

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-41277

(P2008-41277A)

(43) 公開日 平成20年2月21日(2008.2.21)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/26 (2006.01)	H05B 33/26 Z	3K107
H01L 51/50 (2006.01)	H05B 33/14 A	5C094
H05B 33/10 (2006.01)	H05B 33/10	
G09F 9/30 (2006.01)	G09F 9/30 338	
H01L 27/32 (2006.01)	G09F 9/30 365Z	
審査請求 未請求 請求項の数 12 O L (全 39 頁)		

(21) 出願番号	特願2006-210090 (P2006-210090)	(71) 出願人	000001443
(22) 出願日	平成18年8月1日(2006.8.1)		カシオ計算機株式会社
			東京都渋谷区本町1丁目6番2号
		(74) 代理人	100058479
			弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		最終頁に続く	

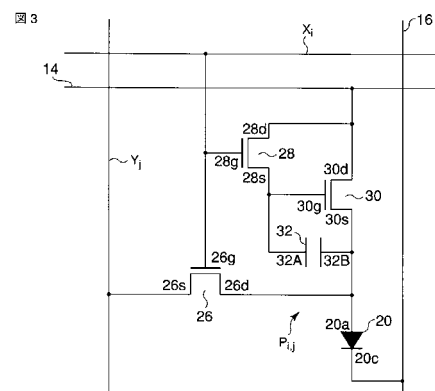
(54) 【発明の名称】 発光素子を用いたディスプレイパネル及びその製造方法

(57) 【要約】

【課題】配線端子部におけるアルミニウム系金属製の配線層と透明アノード電極との接触部において、透明アノード電極にピンホールが開いていても歩留まり良く発光素子を用いたディスプレイパネルを形成できるようにすること。

【解決手段】発光素子として有機EL素子を使用したトップエミッション型の有機ELディスプレイパネルの配線端子部において、ドレイン配線層42上に、このドレイン配線層42が露出している領域を完全に覆う形で反射層50を形成し、更に、透明アノード電極20aを、その反射層50を完全に覆う形で形成することにより、透明アノード電極20aにピンホールが開いていても、透明アノード電極20aと反射層50の組み合わせは、レジスト剥離液中での電池反応は進まないで、歩留まり良く配線端子部を形成できる。

【選択図】図3



【特許請求の範囲】

【請求項 1】

透明な画素電極と発光層と透明な対向電極との積層構造からなる発光素子をマトリクス状に配列したディスプレイパネルであって、

基板と、

前記基板上において、前記発光素子毎に設けられた、前記発光素子を駆動するための複数のトランジスタと、

前記基板上において、前記複数のトランジスタに信号又は電源電圧を供給するための配線層と、

前記複数のトランジスタ及び前記配線層を被覆するように形成された絶縁膜と、

前記発光素子の配列に対応して前記絶縁膜上に形成された導電性の反射層と、

前記反射層上に形成された前記発光素子の画素電極と、

前記配線層を外部と接続するための、前記配線層に達するまで前記絶縁膜に開口部が形成された配線端子部と、

を具備し、

前記配線端子部では、前記画素電極及び前記反射層の積層構造が前記絶縁膜に形成された開口部の内部にまで延在形成されて、前記画素電極及び前記反射層の積層構造を介して外部との導通がなされることを特徴とする発光素子を用いたディスプレイパネル。

10

【請求項 2】

前記反射層は、前記配線端子部の前記絶縁膜に形成された前記開口部の内部での前記画素電極と前記配線層との間の電池反応を防止する電池反応防止層としても機能することを特徴とする請求項 1 に記載のディスプレイパネル。

20

【請求項 3】

前記反射層は、クロム、銀、銀合金の少なくともいずれかの材料で構成されることを特徴とする請求項 2 に記載のディスプレイパネル。

【請求項 4】

前記画素電極は、前記反射層の全面を覆い、且つ、前記反射層は前記配線端子部の前記絶縁膜に形成された前記開口部内部で露出している前記配線層の全面を覆っていることを特徴とする請求項 1 に記載のディスプレイパネル。

30

【請求項 5】

透明な画素電極と発光層と透明な対向電極との積層構造からなる発光素子をマトリクス状に配列したディスプレイパネルであって、

基板と、

前記基板上において、前記発光素子毎に設けられた、前記発光素子を駆動するための複数のトランジスタと、

前記基板上において、前記複数のトランジスタに信号又は電源電圧を供給するための配線層と、

前記複数のトランジスタ及び前記配線層を被覆するように形成された絶縁膜と、

前記発光素子の配列に対応して前記絶縁膜上に形成された導電性の反射層と、

前記反射膜上に形成された前記発光素子の画素電極と、

前記配線層を外部と接続するための、前記配線層に達するまで前記絶縁膜に開口部が形成された配線端子部と、

40

前記配線端子部の前記絶縁膜に形成された前記開口部の内部で露出している前記配線層の全面を覆って形成された導電性の補助層と、

を具備し、

前記配線端子部では、前記画素電極及び前記反射層の積層構造が前記絶縁膜に形成された開口部内の前記補助層上まで延在形成されて、前記画素電極及び前記反射層の積層構造を介して外部との導通がなされることを特徴とする発光素子を用いたディスプレイパネル。

50

【請求項 6】

前記反射層は、前記配線端子部の前記絶縁膜に形成された前記開口部の内部での前記画素電極と前記配線層との間の電池反応を防止する電池反応防止層としても機能することを特徴とする請求項 5 に記載のディスプレイパネル。

【請求項 7】

前記反射層は、クロム、銀、銀合金の少なくともいずれかの材料で構成されることを特徴とする請求項 6 に記載のディスプレイパネル。

【請求項 8】

前記画素電極は、前記反射層の全面を覆い、且つ、前記反射層は前記配線端子部の前記絶縁膜に形成された前記開口部内部で露出している前記補助層の全面を覆っていることを特徴とする請求項 5 に記載のディスプレイパネル。

10

【請求項 9】

前記発光素子は有機 EL 素子であることを特徴とする請求項 1 乃至 8 の何れかに記載のディスプレイパネル。

【請求項 10】

透明な画素電極と発光層と透明な対向電極との積層構造からなる発光素子をマトリクス状に配列したディスプレイパネルの製造方法であって、

基板上に、前記発光素子を駆動するための複数のトランジスタを形成する工程と、

前記基板上に、前記複数のトランジスタに信号又は電源電圧を供給するための配線層を形成する工程と、

前記複数のトランジスタ及び前記配線層を被覆する絶縁膜を形成する工程と、

20

前記絶縁膜に、前記配線層を外部と接続するための配線端子部において、前記配線層に達するまでの開口部を形成する工程と、

前記発光素子の配列に対応して、前記絶縁膜上に、導電性の反射層を形成する工程と、

前記反射膜上に、前記発光素子の画素電極を形成する工程と、

前記発光素子の画素電極上に、前記発光素子の発光層を形成する工程と、

前記発光素子の発光層上に、前記発光素子の対向電極を形成する工程と、

を具備し、

前記反射層を形成する工程及び前記画素電極を形成する工程は、前記配線端子部において、前記反射層と前記画素電極の積層構造が前記絶縁膜に形成された開口部の内部にまで延在して前記画素電極及び前記反射層の積層構造を介して外部との導通がなされるように、前記反射層及び前記画素電極を形成することを特徴とする発光素子を用いたディスプレイパネルの製造方法。

30

【請求項 11】

透明な画素電極と発光層と透明な対向電極との積層構造からなる発光素子をマトリクス状に配列したディスプレイパネルの製造方法であって、

基板上に、前記発光素子を駆動するための複数のトランジスタを形成する工程と、

前記基板上に、前記複数のトランジスタに信号又は電源電圧を供給するための配線層を形成する工程と、

前記複数のトランジスタ及び前記配線層を被覆する絶縁膜を形成する工程と、

40

前記絶縁膜に、前記配線層を外部と接続するための配線端子部において、前記配線層に達するまでの開口部を形成する工程と、

前記配線端子部の前記絶縁膜に形成された前記開口部の内部で露出している前記配線層の全面を覆うように導電性の補助層を形成する工程と、

前記発光素子の配列に対応して、前記絶縁膜上に、導電性の反射層を形成する工程と、

前記反射膜上に、前記発光素子の画素電極を形成する工程と、

前記発光素子の画素電極上に、前記発光素子の発光層を形成する工程と、

前記発光素子の発光層上に、前記発光素子の対向電極を形成する工程と、

を具備し、

前記反射層を形成する工程及び前記画素電極を形成する工程は、前記配線端子部において、前記反射層と前記画素電極の積層構造が前記絶縁膜に形成された開口部内の前記補助

50

層上まで延在して前記画素電極及び前記反射層の積層構造を介して外部との導通がなされるように、前記反射層及び前記画素電極を形成することを特徴とする発光素子を用いたディスプレイパネルの製造方法。

【請求項 12】

前記発光素子は有機 EL 素子であることを特徴とする請求項 10 又は 11 に記載のディスプレイパネルの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光素子を用いたディスプレイパネル及びその製造方法に関し、特に、発光素子として有機エレクトロルミネッセンス素子を用いたディスプレイパネル、及び、そのようなディスプレイパネルの製造方法に関する。

10

【背景技術】

【0002】

従来、有機エレクトロルミネッセンス素子（以下、「有機 EL 素子」と略記する）や発光ダイオード（LED）等のように、供給される電流の電流値に応じた輝度で発光動作する電流制御型の発光素子を備えた表示画素を、2次元配列した表示パネルを備える自己発光型のディスプレイ（表示装置）が知られている。

【0003】

発光素子である有機 EL 素子は、基板上にアノード、EL 層、カソードの順に積層した積層構造となっており、アノードとカソードとの間に電圧が印加されると EL 層に正孔及び電子が注入され、EL 層で電界発光する。EL 層の発光が有機 EL 素子の設けられている基板を光透過して表示するように設計した EL 素子をボトムエミッション型といい、一方、有機 EL 素子が設けられている基板と反対側から外部に出射するように設計した EL 素子をトップエミッション型という。

20

【0004】

有機 EL 素子を用いた有機 EL ディスプレイパネルは、大きく分けて、パッシブ駆動方式のものと、アクティブマトリクス駆動方式のものに分類することができる。アクティブマトリクス駆動方式の有機 EL ディスプレイパネルの方が、高コントラスト、高精細といった点で、パッシブ駆動方式のものよりも優れている。

30

【0005】

アクティブマトリクス駆動方式の有機 EL ディスプレイパネルでは、一画素につき又は複数の薄膜トランジスタが設けられており、薄膜トランジスタによって有機 EL 素子を発光させる。例えば特許文献 1 に記載されたディスプレイパネルにおいては、画像データに応じた電圧信号がゲートに印加されて有機 EL 素子に電流を流す駆動トランジスタと、この駆動トランジスタのゲートに画像データに応じた電圧信号を供給するためのスイッチングを行うスイッチ用トランジスタとの、2つの薄膜トランジスタが画素ごとに設けられている。アクティブマトリクス駆動方式のディスプレイを製造するに際しては、薄膜トランジスタを画素ごとにパターニングしたトランジスタアレイ基板を作製した後にそのトランジスタアレイ基板の表面に有機 EL 素子を画素ごとにパターニングする。薄膜トランジスタの後には有機 EL 素子をパターニングするのは、薄膜トランジスタをパターニングする際の温度が有機 EL 素子の耐熱温度を越えてしまうためである。

40

【0006】

画素ごとに薄膜トランジスタがパターニングされているから、複数の有機 EL 素子をマトリクス状にパターニングするに際して薄膜トランジスタに接続する下層側のアノード電極（画素電極）を画素ごとに独立するようパターニングする。一方、カソード電極（対向電極）は全ての有機 EL 素子に共通電極としてべた一面に成膜する。

【0007】

複数の有機 EL 素子をマトリクス状にパターニングする方法としては、低分子型 EL 層を、所望のパターンを有するマスクを介して蒸着法で形成する方法や、高分子型有機 EL

50

層を、有機溶媒等に溶解させ、インクジェットプリンタやノズルコータで塗布する方法がある。

【特許文献１】特開平８－３３０６００号公報

【発明の開示】

【発明が解決しようとする課題】

【０００８】

トップエミッション構造の有機ＥＬディスプレイパネルにおいて、ドレイン電極（配線）材料にアルミニウム系金属を用い、透明アノード電極材料に錫ドーパ酸化インジウム（以下、ITOと略記する。）を用いる場合、ドレイン電極（配線）を形成後、ITO電極を形成する工程がある。

10

【０００９】

この場合、ITO電極は５００以下の非常に薄い膜厚となっているため、ピンホールが生じ易い。アルミニウム系金属を用いた電極上のITO電極に、そのようなピンホールが開いていると、ITO電極のパターニング時のエッチング工程で、以下に示す電池反応が起こる。ここで、電池反応とは、一般に、異種金属が接触していて、かつ、各々の金属が同じ電解液に接触している場合、片側の金属が陽極となり、他方が陰極となって化学反応が起こる現象のことである。即ち、陽極では還元反応、陰極では酸化反応が起こる。

【００１０】

図４３は、絶縁下地層１上に形成されたアルミニウム系電極２にITO電極３が積層されていて、ITO電極３にピンホール４が開いている状態で、レジスト剥離液５に接触している場合を示している。なお、参照番号６は、絶縁膜である。

20

【００１１】

このような場合においては、図４４（Ａ）に示すように、そのピンホール４の箇所では、レジスト剥離液５が電解液として作用し、ITO電極３は還元され、アルミニウム系電極２は酸化されるため、アルミニウム系電極２のエッチングが進み、図４４（Ｂ）に示すように、断線に至ることがある。

【００１２】

有機ＥＬディスプレイパネルにおいては、このようなドレイン電極と透明アノード電極との接触構造がゲートやドレインの配線層とCOF（Chip on Film）やCOG（Chip on Glass）との接続を行うゲート配線端子部やドレイン配線端子部に存在する。即ち、それら端子部では、アルミニウム系合金性の配線層の露出部が存在し、ITO電極のエッチング時に激しく電池反応を起こすため、それらゲート配線端子部、ドレイン配線端子部における配線層の露出部をITO電極で完全に被覆する必要があるが、ITO電極にピンホールが開いていると、上記のような電池反応が起こり、歩留まりが著しく低下する問題があった。

30

【００１３】

本発明は、上記の点に鑑みてなされたもので、配線端子部におけるアルミニウム系金属製の配線層と透明アノード電極との接触部において、透明アノード電極にピンホールが開いていても歩留まり良く形成することの可能な、発光素子を用いたディスプレイパネル及びその製造方法を提供することを目的とする。

40

【課題を解決するための手段】

【００１４】

本発明の発光素子を用いたディスプレイパネルの一態様は、透明な画素電極と発光層と透明な対向電極との積層構造からなる発光素子をマトリクス状に配列したディスプレイパネルであって、基板と、前記基板上において、前記発光素子毎に設けられた、前記発光素子を駆動するための複数のトランジスタと、前記基板上において、前記複数のトランジスタに信号又は電源電圧を供給するための配線層と、前記複数のトランジスタ及び前記配線層を被覆するように形成された絶縁膜と、前記発光素子の配列に対応して前記絶縁膜上に形成され、その上に前記発光素子の画素電極が形成される導電性の反射層と、前記配線層を外部と接続するための、前記配線層に達するまで前記絶縁膜に開口部が形成された配線

50

端子部と、を具備し、前記配線端子部では、前記画素電極及び前記反射層の積層構造が前記絶縁膜に形成された開口部の内部にまで延在形成されて、前記画素電極及び前記反射層の積層構造を介して外部との導通がなされることを特徴とする。

【0015】

また、本発明の発光素子を用いたディスプレイパネルの別の態様は、透明な画素電極と発光層と透明な対向電極との積層構造からなる発光素子をマトリクス状に配列したディスプレイパネルであって、基板と、前記基板上において、前記発光素子毎に設けられた、前記発光素子を駆動するための複数のトランジスタと、前記基板上において、前記複数のトランジスタに信号又は電源電圧を供給するための配線層と、前記複数のトランジスタ及び前記配線層を被覆するように形成された絶縁膜と、前記発光素子の配列に対応して前記絶縁膜上に形成され、その上に前記発光素子の画素電極が形成される導電性の反射層と、前記配線層を外部と接続するための、前記配線層に達するまで前記絶縁膜に開口部が形成された配線端子部と、前記配線端子部の前記絶縁膜に形成された前記開口部の内部で露出している前記配線層の全面を覆って形成された導電性の補助層と、を具備し、前記配線端子部では、前記画素電極及び前記反射層の積層構造が前記絶縁膜に形成された開口部内の前記補助層上まで延在形成されて、前記画素電極及び前記反射層の積層構造を介して外部との導通がなされることを特徴とする。

10

【0016】

本発明の発光素子を用いたディスプレイパネルの製造方法の一態様は、透明な画素電極と発光層と透明な対向電極との積層構造からなる発光素子をマトリクス状に配列したディスプレイパネルの製造方法であって、基板上に、前記発光素子を駆動するための複数のトランジスタを形成する工程と、前記基板上に、前記複数のトランジスタに信号又は電源電圧を供給するための配線層を形成する工程と、前記複数のトランジスタ及び前記配線層を被覆する絶縁膜を形成する工程と、前記絶縁膜に、前記配線層を外部と接続するための配線端子部において、前記配線層に達するまでの開口部を形成する工程と、前記発光素子の配列に対応して、前記絶縁膜上に、導電性の反射層を形成する工程と、前記反射膜上に、前記発光素子の画素電極を形成する工程と、前記発光素子の画素電極上に、前記発光素子の発光層を形成する工程と、前記発光素子の発光層上に、前記発光素子の対向電極を形成する工程と、を具備し、前記反射層を形成する工程及び前記画素電極を形成する工程は、前記配線端子部において、前記反射層と前記画素電極の積層構造が前記絶縁膜に形成された開口部の内部にまで延在して前記画素電極及び前記反射層の積層構造を介して外部との導通がなされるように、前記反射層及び前記画素電極を形成することを特徴とする。

20

30

【0017】

また、本発明の発光素子を用いたディスプレイパネルの製造方法の別の態様は、透明な画素電極と発光層と透明な対向電極との積層構造からなる発光素子をマトリクス状に配列したディスプレイパネルの製造方法であって、基板上に、前記発光素子を駆動するための複数のトランジスタを形成する工程と、前記基板上に、前記複数のトランジスタに信号又は電源電圧を供給するための配線層を形成する工程と、前記複数のトランジスタ及び前記配線層を被覆する絶縁膜を形成する工程と、前記絶縁膜に、前記配線層を外部と接続するための配線端子部において、前記配線層に達するまでの開口部を形成する工程と、前記配線端子部の前記絶縁膜に形成された前記開口部の内部で露出している前記配線層の全面を覆うように導電性の補助層を形成する工程と、前記発光素子の配列に対応して、前記絶縁膜上に、導電性の反射層を形成する工程と、前記反射膜上に、前記発光素子の画素電極を形成する工程と、前記発光素子の画素電極上に、前記発光素子の発光層を形成する工程と、前記発光素子の発光層上に、前記発光素子の対向電極を形成する工程と、を具備し、前記反射層を形成する工程及び前記画素電極を形成する工程は、前記配線端子部において、前記反射層と前記画素電極の積層構造が前記絶縁膜に形成された開口部内の前記補助層上まで延在して前記画素電極及び前記反射層の積層構造を介して外部との導通がなされるように、前記反射層及び前記画素電極を形成することを特徴とする。

40

【発明の効果】

50

【 0 0 1 8 】

本発明によれば、配線端子部におけるアルミニウム系金属製の配線層と画素電極である透明アノード電極とを直接接触させるのではなく、それらの間にトップエミッション用の導電性の反射層を設けたので、透明アノード電極にピンホールが開いていても、電池反応は起こらず、歩留まり良く形成することが可能となる、発光素子を用いたディスプレイパネル及びその製造方法を提供することができる。

【 0 0 1 9 】

また、本発明によれば、配線端子部におけるアルミニウム系金属製の配線層上に成膜された導電性の補助層であるアノード補助層と画素電極である透明アノード電極とを直接接触させるのではなく、それらアノード補助層と透明アノード電極との間にトップエミッシ

10

【 発明を実施するための最良の形態 】

【 0 0 2 0 】

以下に、本発明を実施するための最良の形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。

【 0 0 2 1 】

〔 第 1 実施形態 〕

20

図 1 は、本発明の発光素子を用いたディスプレイパネルの第 1 実施形態に係るアクティブマトリクス駆動方式の有機 EL ディスプレイパネル 10 の概略図であり、図 2 は、該有機 EL ディスプレイパネル 10 の平面図である。本実施形態は、発光素子として有機 EL 素子を使用したトップエミッション型のディスプレイパネルである。

【 0 0 2 2 】

図 1 及び図 2 に示すように、この有機 EL ディスプレイパネル 10 は、シート状又は板状の絶縁基板 12 と、互いに平行となるよう絶縁基板 12 上に配列された n 本（複数本）の信号線 $Y_1 \sim Y_n$ と、絶縁基板 12 を平面視して信号線 $Y_1 \sim Y_n$ に対して直交するよう絶縁基板 12 上に配列された m 本（複数本）の走査線 $X_1 \sim X_m$ と、走査線 $X_1 \sim X_m$ のそれぞれの間において走査線 $X_1 \sim X_m$ と平行且つ互い違いとなるよう絶縁基板 12 上に配列された m 本（複数本）の給電配線 14 と、信号線 $Y_1 \sim Y_n$ 及び走査線 $X_1 \sim X_m$ に沿ってマトリクス状となるよう絶縁基板 12 上に配列された $(m \times n)$ 群の画素回路 $P_{1,1} \sim P_{m,n}$ と、平面視して信号線 $Y_1 \sim Y_n$ に対して平行方向に設けられた共通配線 16 と、を備える。

30

【 0 0 2 3 】

以下では、信号線 $Y_1 \sim Y_n$ の延在した方向を垂直方向（列方向）といい、走査線 $X_1 \sim X_m$ の延在した方向を水平方向（行方向）という。また、 m, n は 2 以上の自然数であり、走査線 X に下付けした数字は図 1 及び図 2 において上からの配列順を表し、信号線 Y に下付けした数字は図 1 及び図 2 において左からの配列順を表し、画素回路 P に下付けした数字の前側が上からの配列順を表し、後ろ側が左からの配列順を表す。即ち、 $1 \sim m$ のうちの任意の自然数を i とし、 1 から n のうちの任意の自然数を j とした場合に、走査線 X_i は上から i 行目であり、信号線 Y_j は左から j 列目であり、画素回路 $P_{i,j}$ は上から i 行目、左から j 列目であり、画素回路 $P_{i,j}$ は走査線 X_i 、給電配線 14 及び信号線 Y_j に接続されている。

40

【 0 0 2 4 】

給電配線 14 は、例えば絶縁基板 12 の左側の端子 18 L から給電電圧が印加され、走査線 $X_1 \sim X_m$ は、例えば絶縁基板 12 の右側の端子 18 R から走査電圧が印加される。また、信号線 $Y_1 \sim Y_n$ は、例えば絶縁基板 12 の上側の端子 18 U から信号電圧が印加される。

【 0 0 2 5 】

50

共通配線 16 の総数は、 $n + 1$ 本であり、行方向に隣接する共通配線 16 はそれらの間に介在する発光素子である有機 EL 素子 20 の有機 EL 層を成膜時に仕切る隔壁としても機能している。共通配線 16 は、一端部側で、引き回し配線 22 F と接続され、他端部側で、引き回し配線 22 B と接続されている。それら引き回し配線 22 F, 22 B は、共通配線 16 と同じ膜厚であり、前後方向に有機 EL 層を成膜時に仕切る隔壁としても機能している。共通配線 16 は、配線端子 24 によって外部と接続され、コモン電位 V_{com} が印加されている。

【0026】

この EL ディスプレイパネル 10 においては、走査線 $X_1 \sim X_m$ と信号線 $Y_1 \sim Y_n$ とでマトリクス状に区画されたそれぞれの領域が表示画素を構成し、画素回路 $P_{1,1} \sim P_{m,n}$ が各領域に設けられている。

10

【0027】

何れの画素回路 $P_{1,1} \sim P_{m,n}$ も同一に構成されているので、画素回路 $P_{1,1} \sim$ 画素回路 $P_{m,n}$ のうち任意の画素回路 $P_{i,j}$ について説明する。図 3 は、画素回路 $P_{i,j}$ の等価回路図であり、図 4 及び図 5 は主に画素回路 $P_{i,j}$ の電極を示した平面図である。なお、図面を見やすくするために、図 4 においては画素回路 $P_{i,j}$ の透明アノード電極 20 a の図示を省略し、図 5 においては画素回路 $P_{i,j}$ の下層側の電極の図示を省略する。

【0028】

画素回路 $P_{i,j}$ は、発光素子としての有機 EL 素子 20 と、有機 EL 素子 20 の周囲に配置された三つの N チャネル型のアモルファスシリコン薄膜トランジスタ（以下単にトランジスタと記述する。）26, 28, 30 と、キャパシタ 32 と、を備える。以下では、トランジスタ 26 をスイッチトランジスタ 26 と、トランジスタ 28 を保持トランジスタ 28 と、トランジスタ 30 を駆動トランジスタ 30 と称する。なお、キャパシタ 32 として個別のキャパシタ素子を有するものであってもよく、また、駆動トランジスタ 30 のゲート・ソース電極間の寄生容量をキャパシタ 32 とするものであってもよい。

20

【0029】

図 3 に示すように、画素回路 $P_{i,j}$ では、スイッチトランジスタ 26 においては、そのソース電極 26 s が信号線 Y_j に接続され、ドレイン電極 26 d が有機 EL 素子 20 の透明アノード電極 20 a、駆動トランジスタ 30 のソース電極 30 s 及びキャパシタ 32 の電極 32 B に接続され、ゲート電極 26 g が保持トランジスタ 28 のゲート電極 28 g 及び走査線 X_i に接続されている。

30

【0030】

保持トランジスタ 28 においては、そのソース電極 28 s が駆動トランジスタ 30 のゲート電極 30 g 及びキャパシタ 32 の電極 32 A に接続され、ドレイン電極 28 d が駆動トランジスタ 30 のドレイン電極 30 d 及び給電配線 14 に接続され、ゲート電極 28 g がスイッチトランジスタ 26 のゲート電極 26 g 及び走査線 X_i に接続されている。

【0031】

駆動トランジスタ 30 においては、そのソース電極 30 s が有機 EL 素子 20 の透明アノード電極 20 a、スイッチトランジスタ 26 のドレイン電極 26 d 及びキャパシタ 32 の電極 32 B に接続され、ドレイン電極 30 d が保持トランジスタ 28 のドレイン電極 28 d 及び給電配線 14 に接続され、ゲート電極 30 g が保持トランジスタ 28 のソース電極 28 s 及びキャパシタ 32 の電極 32 A に接続されている。

40

【0032】

有機 EL 素子 20 においては、その透明アノード電極 20 a がスイッチトランジスタ 26 のドレイン 26 d、駆動トランジスタ 30 のソース 30 s 及びキャパシタ 32 の電極 32 B に接続され、透明カソード電極 20 c が共通配線 16 に接続されている。

【0033】

図 1 乃至図 5 に示すように、EL ディスプレイパネル 10 全体を平面視した場合、走査線 $X_1 \sim X_m$ と給電配線 14 とは交互に配列され、また、信号線 $Y_1 \sim Y_n$ と共通配線 1

50

6 とは交互に配列されている。

【 0 0 3 4 】

図 4 及び図 5 に示すように、画素回路 $P_{1,1} \sim P_{m,n}$ のうち任意の画素回路 $P_{i,j}$ に着目した場合、平面視して、信号線 Y_j と共通配線 16 との間であって、走査線 X_i と給電配線 14 との間には、これらによって囲繞された矩形領域が形成され、この矩形領域内に有機 EL 素子 20 の透明アノード電極 20a が配置されている。従って、EL ディスプレイパネル 10 全体を平面視した場合、複数の透明アノード電極 20a がマトリクス状に配列されている。なお、透明アノード電極 20a は、平面視した場合に図面上下方向に長尺な矩形状に設けられている。

【 0 0 3 5 】

平面視して、スイッチトランジスタ 26 及び保持トランジスタ 28 が信号線 Y_j に沿うように配置され、それらスイッチトランジスタ 26 及び保持トランジスタ 28 が上記透明アノード電極 20a の縁部に重なっている。これに対して、平面視して、駆動トランジスタ 30 が共通配線 16 に重なるよう配置されている。また、平面視して、キャパシタ 32 が上記透明アノード電極 20a に重なっている。

【 0 0 3 6 】

次に、本実施形態における EL ディスプレイパネル 10 の層構造について説明する。図 6 (A) は図 4 及び図 5 に示した画素回路部分の A - A 線の矢視断面図であり、図 6 (B) は図 2 に示した端子 18U であるゲート配線端子部の B - B 線の矢視断面図、図 6 (C) は図 2 に示した端子 18L 又は端子 18R であるドレイン配線端子部の C - C 線の矢視断面図である。また、図 7 は、図 4 及び図 5 に示した画素回路部分の D - D 線の矢視断面図である。

【 0 0 3 7 】

図 6 (A) に示すように、駆動トランジスタ 30 は、絶縁基板 12 上に形成されたゲート電極 30g と、ゲート電極 30g 上に形成されたゲート絶縁膜 34 と、ゲート絶縁膜 34 を挟んでゲート電極 30g に対向した半導体膜 30A と、半導体膜 30A の中央部上に形成されたチャネル保護膜 30B と、半導体膜 30A の両端部上において互いに離間するよう形成され、チャネル保護膜 30B に一部重なった不純物半導体膜 30C と、不純物半導体膜 30C 上に形成されたクロム等からなる密着層 36 と、密着層 36 上に形成されたドレイン電極 30d 及びソース電極 30s と、から構成されている。平面視した場合、駆動トランジスタ 30 のソース電極 30s がコ字状に設けられていることで、駆動トランジスタ 30 のチャネル幅が広がっている。

【 0 0 3 8 】

なお、他のトランジスタ 26, 28 は、この図 6 (A) の断面には示されていないが、同様の構造を有している。この場合、トランジスタ 26 ~ 30 の各ドレイン 26d ~ 30d 及びソース 26s ~ 30s はアルミニウム系金属の同じ材料層をパターニングして形成されている。

【 0 0 3 9 】

また、キャパシタ 32 は、図 6 (A) 及び図 7 に示すように、絶縁基板 12 上に形成された下層側の電極 32A と、電極 32A 上に形成されたゲート絶縁膜 34 と、ゲート絶縁膜 34 及び密着層 36 を挟んで電極 32A に対向した上層側の電極 32B と、から構成されている。

【 0 0 4 0 】

画素回路 $P_{1,1} \sim P_{m,n}$ のスイッチトランジスタ 26 のゲート 26g、保持トランジスタ 28 のゲート 28g、駆動トランジスタ 30 のゲート 30g 及びキャパシタ 32 の電極 32A 並びに信号線 $Y_1 \sim Y_n$ は、絶縁基板 12 上にべた一面に成膜された同じ導電性膜をフォトリソグラフィ法・エッチング法によってパターニングしたものである。以下では、スイッチトランジスタ 26 のゲート 26g、保持トランジスタ 28 のゲート 28g、駆動トランジスタ 30 のゲート 30g 及びキャパシタ 32 の電極 32A 並びに信号線 $Y_1 \sim Y_n$ の元となる導電性膜をゲート配線層 40 と称する。

10

20

30

40

50

【 0 0 4 1 】

また、ゲート絶縁膜 3 4 は、画素回路 $P_{1,1} \sim P_{m,n}$ のスイッチトランジスタ 2 6、保持トランジスタ 2 8、駆動トランジスタ 3 0 及びキャパシタ 3 2 全てに共通した膜であり、面内にべた一面に成膜されている。従って、ゲート絶縁膜 3 4 は、スイッチトランジスタ 2 6 のゲート 2 6 g、保持トランジスタ 2 8 のゲート 2 8 g、駆動トランジスタ 3 0 のゲート 3 0 g 及びキャパシタ 3 2 の電極 3 2 A 並びに信号線 $Y_1 \sim Y_n$ を被覆している。

【 0 0 4 2 】

画素回路 $P_{1,1} \sim P_{m,n}$ のスイッチトランジスタ 2 6 のドレイン 2 6 d 及びソース 2 6 s、保持トランジスタ 2 8 のドレイン 2 8 d 及びソース 2 8 s、駆動トランジスタ 3 0 のドレイン 3 0 d 及びソース 3 0 s、及びキャパシタ 3 2 の電極 3 2 B、並びに、走査線 $X_1 \sim X_m$ 及び給電配線 1 4 は、ゲート絶縁膜 3 4 上に密着層 3 6 を介してべた一面に成膜された同じ導電性膜をフォトリソグラフィ法・エッチング法によってパターニングしたものである。以下では、これらトランジスタ 2 6 ~ 3 0 の各ドレイン 2 6 d ~ 3 0 d 及びソース 2 6 s ~ 3 0 s 及びキャパシタ 3 2 の電極 3 2 B 並びに走査線 $X_1 \sim X_m$ 及び給電配線 1 4 の元となる導電性膜をドレイン配線層 4 2 と称する。なお、図 4 に示すように、スイッチトランジスタ 2 6 のドレイン 2 6 d と駆動トランジスタ 3 0 のソース 3 0 s とキャパシタ 3 2 の電極 3 2 B とは、一体的な形状となるようにパターニングして形成されている。

【 0 0 4 3 】

また、図 4 に示すように、走査線 X_i は、ゲート絶縁膜 3 4 に形成されたコンタクトホール 3 8 を介してスイッチトランジスタ 2 6 のゲート 2 6 g 及び保持トランジスタ 2 8 のゲート 2 8 g に導通し、信号線 Y_j は、ゲート絶縁膜 3 4 に形成されたコンタクトホール 4 1 を介してスイッチトランジスタ 2 6 のソース 2 6 s に導通し、保持トランジスタ 2 8 のソース 2 8 s は、ゲート絶縁膜 3 4 に形成されたコンタクトホール 4 3 を介して駆動トランジスタ 3 0 のゲート 3 0 g に導通している。

【 0 0 4 4 】

上記スイッチトランジスタ 2 6、保持トランジスタ 2 8 及び駆動トランジスタ 3 0 並びに走査線 $X_1 \sim X_m$ 及び給電配線 1 4 は、べた一面に成膜された層間絶縁膜 4 4 によって被覆されている。

【 0 0 4 5 】

層間絶縁膜 4 4 には有機平坦化膜 4 6 が積層されており、スイッチトランジスタ 2 6、保持トランジスタ 2 8 及び駆動トランジスタ 3 0 並びに走査線 $X_1 \sim X_m$ 及び給電配線 1 4 による凹凸が、この有機平坦化膜 4 6 によって解消されている。

【 0 0 4 6 】

絶縁基板 1 2 から有機平坦化膜 4 6 までの積層構造をトランジスタアレイ基板 4 8 という。このトランジスタアレイ基板 4 8 においては、平面視して、スイッチトランジスタ 2 6、保持トランジスタ 2 8 及び駆動トランジスタ 3 0 がマトリクス状に配列されている。

【 0 0 4 7 】

次に、トランジスタアレイ基板 4 8 の表面に積層された層構造について説明する。トランジスタアレイ基板 4 8 の表面上、即ち、有機平坦化膜 4 6 の表面上には、複数の透明アノード電極 2 0 a が、導電性且つ可視光反射性の高い反射層 5 0 を介して、マトリクス状に配列されている。この反射層 5 0 としては、クロムや銀、または銀合金を用いる。また、有機平坦化膜 4 6 (及び層間絶縁膜 4 4) には、少なくとも一つの有機平坦化膜開口 4 6 ' が設けられ、そこにコンタクトホール 5 2 が形成されている。このコンタクトホール 5 2 内には、上記反射層 5 0 及び透明アノード電極 2 0 a が延在されている。従って、透明アノード電極 2 0 a は、有機平坦化膜 4 6 及び層間絶縁膜 4 4 に形成されたコンタクトホール 5 2 を介して、キャパシタ 3 2 の電極 3 2 B 及び駆動トランジスタ 3 0 のソース 3 0 s (及びスイッチトランジスタ 2 6 のドレイン 2 6 d) に導通している。有機平坦化膜 4 6 上に形成された層間絶縁膜 5 4 によって、コンタクトホール 5 2 の内部が、反射層 5

10

20

30

40

50

0 及び透明アノード電極 20a を介して埋められている。

【0048】

透明アノード電極 20a は、有機 EL 素子 20 の画素電極である。即ち、透明アノード電極 20a の仕事関数が比較的高く、後述する発光層 20e へ正孔を効率よく注入するのが好ましい。また、透明アノード電極 20a は、可視光に対して透過性を有している。透明アノード電極 20a としては、例えば、ITO、亜鉛ドーパ酸化インジウム、酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO) 又はカドミウム - 錫酸化物 (CTO) を主成分としたものがある。本実施形態では、ITO とする。

【0049】

隣接する透明アノード電極 20a 間には、クロム (Cr)、チタン (Ti) 等からなる密着層 56 がパターンニングされている。具体的には、密着層 56 は、共通配線 16 の下地層として列方向に延在する格子状に形成されている。水平方向に隣り合う透明アノード電極 20a 間の密着層 56 の上には、列方向に沿って共通配線 16 がそれぞれ積層されている。

10

【0050】

共通配線 16 は、信号線 $Y_1 \sim Y_n$ 、走査線 $X_1 \sim X_m$ 及び給電配線 14 並びにトランジスタ 26 ~ 30 のゲート電極やソース、ドレイン電極よりも十分に厚い。共通配線 16 は銅、アルミニウム、金、ニッケルのうちの少なくともいずれかを含む。

【0051】

共通配線 16 の表面には、撥水性・撥油性を有した撥液性導電膜 58 が成膜されている。撥液性導電膜 58 は、トリアジルトリチオール分子のチオール基 ($-\text{SH}$) の水素原子 (H) が還元離脱し、硫黄原子 (S) が共通配線 16 の表面に酸化吸着したものである。

20

【0052】

撥液性導電膜 58 はトリアジルトリチオール分子が共通配線 16 の表面に規則正しく並んだ分子一層からなる膜であるから、撥液性導電膜 58 が非常に低抵抗であって導電性を有する。なお、撥水性・撥油性を顕著にするためにトリアジルトリチオールに代えて、トリアジルトリチオールの 1 又は 2 のチオール基がフッ化アルキル基に置換されたものでも良い。

【0053】

透明アノード電極 20a 上には、有機 EL 素子 20 の有機 EL 層が成膜されている。有機 EL 層は広義の発光層であり、有機 EL 層には、有機化合物である発光材料 (蛍光体) が含有されている。有機 EL 層は、透明アノード電極 20a から順に正孔注入層 20h、狭義の発光層 20e の順に積層した多層構造である。正孔注入層 20h は、導電性高分子である PEDOT (ポリチオフェン) 及びドーパントである PSS (ポリスチレンスルホン酸) からなり、狭義の発光層 20e は、ポリフルオレン系発光材料からなる。

30

【0054】

有機 EL 層は、撥液性導電膜 58 のコーティング後に湿式塗布法 (例えば、インクジェット法) によって成膜される。この場合、透明アノード電極 20a に有機 EL 層となる有機化合物を含有する有機化合物含有液を塗布するが、この有機化合物含有液の液面は、層間絶縁膜 54 の頭頂部よりも高い。水平方向に隣り合う透明アノード電極 20a 間に頭頂部が層間絶縁膜 54 の頭頂部よりも十分高い厚膜の共通配線 16 が設けられているから、透明アノード電極 20a に塗布された有機化合物含有液が水平方向に隣り合う透明アノード電極 20a に漏れることがないように堰き止めている。また、共通配線 16 には撥水性・撥油性の撥液性導電膜 58 がコーティングされているから、透明アノード電極 20a に塗布された有機化合物含有液をはじくので、透明アノード電極 20a に塗布された有機化合物含有液が透明アノード電極 20a の中央に対して絶縁膜 56 の角部付近で極端に厚く堆積されなくなるので、有機化合物含有液が乾燥してなる有機 EL 層を均一な膜厚で成膜することができる。

40

【0055】

このように共通配線 16 間に有機 EL 層を成膜することによって、赤色に発光する有機

50

E L 層が成膜された領域、緑色に発光する有機 E L 層が成膜された領域、青色に発光する有機 E L 層が成膜された領域がこの順に配列したストライプ構造を構成し、同列の複数の画素は同色に発光する。

【0056】

平面視した場合、塗布された有機化合物含有液は、水平方向の左右側をそれぞれ共通配線 16 のいずれかに仕切られているため垂直方向に各列毎に様に分布するので、垂直方向に配列された複数の有機 E L 層は何れも同じ層構造であり、同じ色に発光する。なお、透明アノード電極 20a 及び有機 E L 層は図面上下方向に沿って帯状に長尺であるとしたが、図面左右方向に長尺であってもよい。

【0057】

なお、有機 E L 層は、上記層構造の他に、透明アノード電極 20a から順に正孔注入層 20h、狭義の発光層 20e、電子注入層となる三層構造であっても良いし、狭義の発光層 20e からなる一層構造であっても良いし、これらの層構造において更に電子或いは正孔の輸送層が介在した積層構造であっても良いし、電子或いは正孔の注入層に代えて電子或いは正孔の輸送層を介在しても良いし、その他の積層構造であっても良い。

【0058】

有機 E L 層上には、有機 E L 素子 20 の対向電極である透明カソード電極 20c が成膜されている。透明カソード電極 20c は、全ての画素に共通して形成された共通電極であり、べた一面に成膜されている。透明カソード電極 20c がべた一面に成膜されることで、透明カソード電極 20c が撥液性導電膜 58 を挟んで共通配線 16 を被覆している。そのため、図 3 の回路図に示すように、透明カソード電極 20c は共通配線 16 に対して導通している。

【0059】

透明カソード電極 20c は、透明アノード電極 20a よりも仕事関数の低い材料で形成されており、例えば、マグネシウム、カルシウム、リチウム、バリウム、インジウム、希土類金属の少なくとも一種を含む単体又は合金で形成されていることが好ましい。また、透明カソード電極 20c は、上記各種材料の層が積層された積層構造となっても良いし、以上の各種材料の層に加えてシート抵抗を低くするために酸化されにくい金属層が堆積した積層構造となっても良く、具体的には、有機 E L 層と接する界面側に設けられた低仕事関数の高純度のバリウム層と、バリウム層を被覆するように設けられたアルミニウム層との積層構造や、下層にリチウム層、上層にアルミニウム層が設けられた積層構造が挙げられる。また、透明カソード電極 20c を上述のような低仕事関数の薄膜とその上に ITO 等の透明導電膜を積層した透明電極としてもよい。

【0060】

透明カソード電極 20c 上には、封止絶縁薄膜 60 が成膜されている。この封止絶縁薄膜 60 は、透明カソード電極 20c 全体を被覆し、透明カソード電極 20c の劣化を防止するために設けられている透明な無機膜又は有機膜である。

【0061】

なお、従来、トップエミッション型構造の E L ディスプレイパネルでは、透明カソード電極 20c の少なくとも一部に金属酸化物のように抵抗値が比較的高い透明電極が用いられていた。このような材料は十分に厚くしなければシート抵抗が十分に低くならないが、厚くすることによって必然的に有機 E L 素子の透過率が下がってしまい、大画面になるほど面内で均一の電位になりにくく表示特性が低くなってしまっていた。しかしながら、本実施形態では、垂直方向に十分に厚くして低抵抗とした複数の共通配線 16 を設けているので、透明カソード電極 20c と合わせて有機 E L 素子 20 のカソード電極全体の抵抗値を下げ、十分且つ面内で均一に大電流を流すことが可能となる。さらにこのような構造では、共通配線 16 がカソード電極の抵抗を下げているので、透明カソード電極 20c を薄膜にして透過率を向上させることが可能である。

【0062】

また、従来の E L ディスプレイパネルでは透明アノード電極 20a をドレイン配線層 4

10

20

30

40

50

2 上に成膜していたが、本実施形態では、透明アノード電極 20a を、クロムや銀または銀合金でなる反射層 50 を完全に覆う形で形成し、その反射層 50 は、コンタクトホール 52 の部分においてドレイン配線層 42 が露出している領域を完全に覆う形で形成されている。従って、従来は、コンタクトホール 52 の部分において透明アノード電極 20a にピンホールが開いていると、透明アノード電極 20a (例えばITO) とドレイン配線層 42 (例えばアルミニウム系金属) との組み合わせにより、レジスト剥離液中での電池反応によってドレイン配線層 42 が断線してしまうことがあったが、本実施形態では、そのようなピンホールが開いていても、透明アノード電極 20a (例えばITO) と反射層 50 (例えばクロム) の組み合わせは、従来の組み合わせに比べ、レジスト剥離液中での電池反応は進まないの、歩留まり良く接触部を形成できる。更に、反射層 50 の材料として銀や銀合金を選択すれば、同様にレジスト剥離液中での電池反応は抑えられ、かつ、クロムに比べて反射率も高いので、良好な反射層を形成できる。

10

20

30

40

50

【0063】

一方、信号線 $Y_1 \sim Y_n$ を該有機ELディスプレイパネル10の外部回路に接続するための端子18Uであるゲート配線端子部については、図6(B)に示すように、信号線 $Y_1 \sim Y_n$ の元となる導電性膜であるゲート配線層40上に、密着層36を介して、ドレイン配線層42が成膜されている。このドレイン配線層42は、上述したように、トランジスタ26~30の各ドレイン26d~30d及びソース26s~30s及びキャパシタ32の電極32B並びに走査線 $X_1 \sim X_m$ 及び給電配線14を形成する際に形成される。そして、このドレイン配線層42の上に、上記コンタクトホール52の部分と同様に、ドレイン配線層42が露出している領域を完全に覆う形で反射層50を形成し、更に、透明アノード電極20aを、その反射層50を完全に覆う形で形成している。従って、このゲート配線端子部においても、上記コンタクトホール52の部分と同様に、透明アノード電極20aにピンホールが開いていても、レジスト剥離液中での電池反応は進まないの、歩留まり良く端子部を形成できる。

【0064】

また、走査線 $X_1 \sim X_m$ や給電配線14を該有機ELディスプレイパネル10の外部回路に接続するための端子18L, 18Rであるドレイン配線端子部については、図6(C)に示すように、走査線 $X_1 \sim X_m$ や給電配線14の元となる導電性膜であるドレイン配線層42上に、上記コンタクトホール52の部分と同様に、このドレイン配線層42が露出している領域を完全に覆う形で反射層50を形成し、更に、透明アノード電極20aを、その反射層50を完全に覆う形で形成している。従って、このドレイン配線端子部においても、上記コンタクトホール52の部分と同様に、透明アノード電極20aにピンホールが開いていても、レジスト剥離液中での電池反応は進まないの、歩留まり良く端子部を形成できる。

【0065】

次に、本実施形態におけるELディスプレイパネル10の製造方法について説明する。図8(A)乃至図22(A)は、図6(A)に示したような画素回路部分における各工程での断面図を示しており、同じく、図8(B)乃至図22(B)は図6(B)に示したようなゲート配線端子部、図8(C)乃至図22(C)は図6(C)に示したようなドレイン配線端子部における各工程での断面図を示している。

【0066】

まず、第1の工程としてゲート形成工程を実施する。即ち、このゲート形成工程においては、まず、絶縁基板12上に、CVD、PVD、スパッタリングといった気相成長法によってゲート配線層40をべた一面に成膜する。次に、そのゲート配線層40に対してフォトリソグラフィ法・エッチング法を順に施すことによって、各画素回路 $P_{1,1} \sim P_{m,n}$ のゲート26g, 28g, 30g及び電極32A並びに信号線 $Y_1 \sim Y_n$ をパターンニングする。この工程の終了時点においては、画素回路部分及びゲート配線端子部では、図8(A)及び(B)に示すように、絶縁基板12上にゲート配線層40のパターンが残され、ドレイン配線端子部では、図8(C)に示すように絶縁基板12上からはゲート配

線層 40 が除去されることとなる。

【0067】

次に、第2の工程としてチャネル保護膜形成工程を実施する。即ち、このチャネル保護膜形成工程においては、まず、気相成長法によってゲート絶縁膜34をべた一面に成膜する。更にその上に、気相成長法によって半導体膜30Aをべた一面に成膜する。次に、気相成長法・フォトリソグラフィ法・エッチング法を順に施すことによって、各画素回路 $P_{1,1} \sim P_{m,n}$ のチャネル保護膜30Bをパターニングする。この工程の終了時点においては、画素回路部分では、図9(A)に示すように、半導体膜30A上にチャネル保護膜30Bのパターンが残され、ゲート配線端子部及びドレイン配線端子部では、図9(B)及び(C)に示すように、半導体膜30A上からはチャネル保護膜30Bが除去されることとなる。

10

【0068】

次に、第3の工程としてソース・ドレイン形成工程を実施する。即ち、このソース・ドレイン形成工程においては、まず、気相成長法・フォトリソグラフィ法・エッチング法を順に施すことによって各画素回路 $P_{1,1} \sim P_{m,n}$ のドレイン26d, 28d, 30d及びソース26s, 28s, 30sをパターニングする。そして更に、フォトリソグラフィ法・エッチング法を順に施すことによって半導体膜30Aをパターニングする。この工程の終了時点においては、画素回路部分では、図10(A)に示すように、ゲート絶縁膜34上に、各画素回路 $P_{1,1} \sim P_{m,n}$ のドレイン26d, 28d, 30d及びソース26s, 28s, 30sのパターンが半導体膜30A及びチャネル保護膜30Bを介して残され、それら半導体膜30A及びチャネル保護膜30Bは、上記ドレイン26d, 28d, 30d及びソース26s, 28s, 30sのパターン部を除いては除去される。また、ゲート配線端子部及びドレイン配線端子部では、図10(B)及び(C)に示すように、ゲート絶縁膜34上から半導体膜30Aが除去されることとなる。

20

【0069】

次に、第4の工程としてゲート絶縁膜コンタクト形成工程を実施する。即ち、このゲート絶縁膜コンタクト形成工程においては、フォトリソグラフィ法・エッチング法を順に施すことによって、図11(B)に示すように、ゲート配線端子部からゲート絶縁膜34を除去してコンタクト部を形成する。なお、この工程の終了時点において、画素回路部分及びドレイン配線端子部については、図11(A)及び(C)に示すように、先の第3の工程終了時の上記図10(A)及び(C)に示す状態と変化はない。

30

【0070】

次に、第5の工程としてドレイン配線層形成工程を実施する。即ち、このドレイン配線層形成工程においては、まず、気相成長法によってクロム等の密着層36をゲート絶縁膜34上にべた一面に成膜する。次に、その密着層36に対してフォトリソグラフィ法・エッチング法を順に施すことによって、各画素回路 $P_{1,1} \sim P_{m,n}$ のドレイン26d, 28d, 30d、ソース26s, 28s, 30s上、及び電極32B並びに走査線 $X_1 \sim X_m$ 及び給電配線14となる部分をパターニングする。そして更に、その上に、気相成長法によってドレイン配線層42をべた一面に成膜する。次に、そのドレイン配線層42に対してフォトリソグラフィ法・エッチング法を順に施すことによって、各画素回路 $P_{1,1} \sim P_{m,n}$ のドレイン26d, 28d, 30d、ソース26s, 28s, 30s上、及び電極32B並びに走査線 $X_1 \sim X_m$ 及び給電配線14となる部分をパターニングする。この工程の終了時点においては、図12(A)乃至(C)に示すように、密着層36及びドレイン配線層42の層構造がパターニングされることとなる。

40

【0071】

次に、第6の工程として層間絶縁膜形成工程を実施する。即ち、この層間絶縁膜形成工程においては、まず、気相成長法によって層間絶縁膜44をべた一面に成膜する。その後、その層間絶縁膜44に対してフォトリソグラフィ法・エッチング法を順に施すことによって、図13(A)乃至(C)に示すように、各画素回路 $P_{1,1} \sim P_{m,n}$ のコンタクトホール52となる部分、並びに、ゲート配線端子部及びドレイン配線端子部から、そ

50

の層間絶縁膜 44 を除去する。

【0072】

次に、第7の工程として有機平坦化膜形成工程を実施する。即ち、この有機平坦化膜形成工程においては、まず、層間絶縁膜 44 全体に樹脂を塗布し、その樹脂を乾燥させることで、 $2\mu\text{m}$ 程度の有機平坦化膜 46 をべた一面に成膜する。勿論、この膜厚は一例であり、有機 EL ディスプレイパネル 10 のサイズが大きいものであれば厚く、小さいものであれば薄く形成する。そして、図 14 (A) 乃至 (C) に示すように、露光現像法により各画素回路 $P_{1,1} \sim P_{m,n}$ のコンタクトホール 52 となる部分、ゲート配線端子部及びドレイン配線端子部から、その有機平坦化膜 46 に溝状の開口部 (有機平坦化膜開口 46') をそれぞれ形成した後、ポストバーク (熱処理) 法により有機平坦化膜 46 を硬化させる。

10

【0073】

以上によってトランジスタアレイ基板 48 が完成する。

【0074】

次に、第8の工程として反射層形成工程を実施する。即ち、この反射層形成工程においては、まず、気相成長法によってクロムや銀合金等の金属層を成膜する。そして、その金属層に対してフォトリソグラフィ法・エッチング法を順に施すことによって、図 15 (A) 乃至 (C) に示すように、各画素回路 $P_{1,1} \sim P_{m,n}$ の有機 EL 素子 20 の位置及びコンタクトホール 52 の内部、並びに、ゲート配線端子部及びドレイン配線端子部に、反射層 50 を積層させる。

20

【0075】

次に、第9の工程として透明アノード電極形成工程を実施する。即ち、この透明アノード電極形成工程においては、まず、スパッタリング等の気相成長法によって、ITO 等の透明導電性膜をトランジスタアレイ基板 48 の表面べた一面に成膜する。そして、その透明導電性膜に対してフォトリソグラフィ法・エッチング法を順に施すことによって、図 16 (A) 乃至 (C) に示すように、各画素回路 $P_{1,1} \sim P_{m,n}$ の有機 EL 素子 20 の位置及びコンタクトホール 52 の内部、並びに、ゲート配線端子部及びドレイン配線端子部に形成された反射層 50 上に、透明アノード電極 20a を積層させる。この場合、透明アノード電極 20a は、それら反射層 50 よりも広い範囲にはみ出して形成される。

30

【0076】

なお、透明アノード電極 20a は例えば 500 以下の非常に薄い膜厚となっているため、ピンホールが生じ易い。アルミニウム系金属を用いたドレイン配線層 42 上に透明アノード電極 20a を成膜してしまうと、そのようなピンホールによって、透明アノード電極 20a のパターニング時のエッチング工程で電池反応が起こって、ドレイン配線層 42 の断線を引き起こす虞がある。しかしながら、本実施形態では、反射層 50 を透明アノード電極 20a とドレイン配線層 42 との間に介在させているため、レジスト剥離液中での電池反応は進まないの、歩留まり良くコンタクトホール 52 における接触部やゲート配線端子部及びドレイン配線端子部を形成できる。

【0077】

次に、第10の工程として層間絶縁膜形成工程を実施する。即ち、この層間絶縁膜形成工程においては、まず、気相成長法によって層間絶縁膜 54 をべた一面に成膜する。これにより、コンタクトホール 52 の内部は、層間絶縁膜 54 によって埋められる。そして、その層間絶縁膜 54 に対してフォトリソグラフィ法・エッチング法を順に施すことによって、図 17 (A) 乃至 (C) に示すように、各画素回路 $P_{1,1} \sim P_{m,n}$ の有機 EL 素子 20 の位置、並びに、ゲート配線端子部及びドレイン配線端子部から、その層間絶縁膜 54 を除去する。これにより、各画素の発光部が規定される。

40

【0078】

次に、第11の工程として共通配線形成工程を実施する。即ち、この共通配線形成工程においては、まず、気相成長法によって密着層 56 を成膜する。そして、その密着層 56 に対してフォトリソグラフィ法・エッチング法を順に施すことによって、水平方向に隣

50

り合う透明アノード電極 20 a の間であって、層間絶縁膜 5 4 の上に密着層 5 6 がパターンニングされる。次に、その上に、共通配線 1 6 をメッキ法によって成長させる。その後、その共通配線 1 6 に対してフォトリソグラフィ法・エッチング法を順に施すことによって、図 1 8 (A) に示すように、上記密着層 5 6 上に共通配線 1 6 をパターンニングする。また、図 1 8 (B) 及び (C) に示すように、ゲート配線端子部及びドレイン配線端子部からは、それら密着層 5 6 及び共通配線 1 6 は除去される。

【 0 0 7 9 】

次に、第 1 2 の工程として親撥水化工程を実施する。即ち、この親撥水化形成工程においては、まず、共通配線 1 6 の表面全体にトリアジルトリチオール溶液を塗布することによって、或いは、このパネルをトリアジルトリチオール溶液に浸漬することによって、共通配線 1 6 の表面を選択的に撥液化、即ち、選択的に撥液性導電膜 5 8 を形成する。なお、トリアジルトリチオール の 性 質 に よ り 、 共 通 配 線 1 6 や 透 明 ア ノ ード 電 極 2 0 a の 表 面 には撥液性導電膜 5 8 が形成されるが、層間絶縁膜 5 4 の表面には撥液性導電膜が形成されない。そして、透明アノード電極 20 a の表面の撥液化を相殺するために、透明アノード電極 20 a 上に親水化処理を施す。これにより、図 1 9 (A) 乃至 (C) に示すように、共通配線 1 6 の表面にのみ撥液性導電膜 5 8 が残る。

【 0 0 8 0 】

次に、第 1 3 の工程として正孔注入層形成工程を実施する。即ち、この正孔注入層形成工程においては、図 2 0 (A) に示すように、PEDOT を塗布し乾燥させる湿式塗布法によって正孔注入層 20 h としてパターンニングする。水平方向に隣り合う透明アノード電極 20 a 間に厚膜の共通配線 1 6 が設けられているから、更には共通配線 1 6 には撥水性・撥油性の撥液性導電膜 5 8 がコーティングされているから、透明アノード電極 20 a に塗布された PEDOT 含有液が隣の透明アノード電極 20 a に漏れることがない。なお、ゲート配線端子部及びドレイン配線端子部については、図 2 0 (B) 及び (C) に示すように、正孔注入層 20 h は形成されない。

【 0 0 8 1 】

次に、第 1 4 の工程として発光層形成工程を実施する。即ち、この発光層形成工程においては、必要に応じて湿式塗布法によってインターレイヤーを塗布・乾燥させた後、図 2 1 (A) に示すように、ポリフルオレン系発光材の有機化合物を塗布し乾燥させる湿式塗布法によって発光層 20 e をパターンニングする。上述したように、水平方向に隣り合う透明アノード電極 20 a 間に厚膜の共通配線 1 6 が設けられているから、更には共通配線 1 6 には撥水性・撥油性の撥液性導電膜 5 8 がコーティングされているから、透明アノード電極 20 a に塗布された有機化合物含有液が隣の透明アノード電極 20 a に漏れることがない。更に、撥液性導電膜 5 8 の撥水性・撥油性によって、透明アノード電極 20 a に塗布された有機化合物含有液が透明アノード電極 20 a の周囲で厚くならないので、発光層 20 e を均一な膜厚で成膜することができる。ゲート配線端子部及びドレイン配線端子部については、図 2 1 (B) 及び (C) に示すように、発光層 20 e は形成されない。

【 0 0 8 2 】

次に、第 1 5 の工程としてカソード電極形成工程を実施する。即ち、このカソード電極形成工程においては、必要に応じてバリウムやカルシウム等の電子注入層を上記発光層 20 e 上に蒸着した後、図 2 2 (A) に示すように、スパッタリングによって透明カソード電極 20 c をメタルマスクを介し一面に成膜する。なお、発光層 20 e は温度に非常に敏感であるため、上記電子注入層の蒸着や透明カソード電極 20 c のスパッタリングは、発光層 20 e にダメージを与えないような温度の上昇がない (1 0 0 程度) 方法で実施することが必要である。そして、こうして成膜された透明カソード電極 20 c に対してメタルマスクを用いてパターンニングすることで、図 2 2 (B) 及び (C) に示すように、ゲート配線端子部及びドレイン配線端子部から透明カソード電極 20 c は除去される。

【 0 0 8 3 】

次に、第 1 6 の工程として封止絶縁膜形成工程を実施する。即ち、この封止絶縁膜形成工程においては、まず、気相成長法によって封止絶縁薄膜 6 0 をメタルマスクを介し一面

10

20

30

40

50

に成膜することによって、図 6 (A) 乃至 (C) に示すように、封止絶縁薄膜 6 0 をパターンニングする。

【 0 0 8 4 】

以上の工程により、有機 E L ディスプレイパネル 1 0 が完成する。

【 0 0 8 5 】

このような本第 1 実施形態によれば、発光素子として有機 E L 素子を使用したトップエミッション型の有機 E L ディスプレイパネル 1 0 において、透明アノード電極 2 0 a を、クロムや銀または銀合金でなる反射層 5 0 を完全に覆う形で形成し、その反射層 5 0 は、コンタクトホール 5 2 の部分においてドレイン配線層 4 2 が露出している領域を完全に覆う形で形成しているため、コンタクトホール 5 2 の部分において透明アノード電極 2 0 a にピンホールが開いていても、透明アノード電極 2 0 a (例えば I T O) と反射層 5 0 (例えばクロム) の組み合わせは、レジスト剥離液中での電池反応は進まないため、歩留まり良く接触部を形成できる。更に、反射層 5 0 の材料として銀や銀合金を選択すれば、同様にレジスト剥離液中での電池反応は抑えられ、かつ、クロムに比べて反射率も高いので、良好な反射層を形成できる。

10

【 0 0 8 6 】

また、信号線 $Y_1 \sim Y_n$ を該有機 E L ディスプレイパネル 1 0 の外部回路に接続するための端子であるゲート配線端子部では、信号線 $Y_1 \sim Y_n$ の元となる導電性膜であるゲート配線層 4 0 上に、密着層 3 6 を介して、ドレイン配線層 4 2 が成膜され、このドレイン配線層 4 2 の上に、該ドレイン配線層 4 2 が露出している領域を完全に覆う形で反射層 5 0 を形成し、更に、透明アノード電極 2 0 a を、その反射層 5 0 を完全に覆う形で形成しているため、このゲート配線端子部においても、上記コンタクトホール 5 2 の部分と同様に、透明アノード電極 2 0 a にピンホールが開いていても、レジスト剥離液中での電池反応は進まないため、歩留まり良く端子部を形成できる。

20

【 0 0 8 7 】

同様に、走査線 $X_1 \sim X_m$ や給電配線 1 4 を該有機 E L ディスプレイパネル 1 0 の外部回路に接続するための端子であるドレイン配線端子部に関しても、走査線 $X_1 \sim X_m$ や給電配線 1 4 の元となる導電性膜であるドレイン配線層 4 2 上に、このドレイン配線層 4 2 が露出している領域を完全に覆う形で反射層 5 0 を形成し、更に、透明アノード電極 2 0 a を、その反射層 5 0 を完全に覆う形で形成しているため、このドレイン配線端子部においても、透明アノード電極 2 0 a にピンホールが開いていても、レジスト剥離液中での電池反応は進まないため、歩留まり良く端子部を形成できる。

30

【 0 0 8 8 】

また、画素回路 $P_{1,1} \sim P_{m,n}$ の反射層 5 0 形成、該反射層 5 0 上への I T O 等の透明アノード電極 2 0 a 形成後に、S i N 膜等の層間絶縁膜 5 4 形成、共通配線 1 6 形成の工程を経て、有機 E L 層 (正孔注入層 2 0 h 及び発光層 2 0 e) 成膜工程がある。ここで、反射層 5 0 上に透明アノード電極 2 0 a による保護層が無い場合、層間絶縁膜 5 4 のエッチングの際に、ドライエッチングでもウェットエッチングでも、反射層 5 0 がダメージ (エッチングされる) を受けてしまう。即ち、ドライエッチングの場合には、 O_2 プラズマで酸化される。また、ウェットエッチングの場合には、フッ酸系のエッチング液を使用することになるため、このエッチング液で反射層 5 0 がエッチングされてしまう。しかしながら、本第 1 実施形態では、反射層 5 0 上に透明アノード電極 2 0 a による保護層を設けているため、そのようなダメージを防止することができる。

40

【 0 0 8 9 】

更に、隔壁を兼ねた共通配線 1 6 を形成するときにも、エッチングの際に、反射層 5 0 がエッチングされる可能性があるが、本実施形態では、これを防止することができる。また、有機 E L 層 (正孔注入層 2 0 h 及び発光層 2 0 e) を形成する際も、一般的な正孔注入層 2 0 は強酸なので、反射層 5 0 がエッチングされるが、本実施形態によれば、これを防止することができる。

【 0 0 9 0 】

50

また、端子 18 L, 18 R, 18 U 部も、画素回路 $P_{1,1} \sim P_{m,n}$ 部と同様に、透明アノード電極 20a (ITO) で保護しているため、同様である。

【0091】

コンタクトホール 52 部についても、絶縁膜 50 に覆われる構造になっているので、上記のようなエッチングの影響は受けない。

【0092】

また、本実施形態では、反射層 50 の端面を透明アノード電極 20a (ITO) で全面カバーする構成にしている。反射層 50 上に透明アノード電極 20a を形成し、透明アノード電極 20a をウェットエッチングする際、仮に反射層 50 の端面が露出していると、反射層 50 の端面がサイドエッチされ、反射層 50 が後退し、透明アノード電極 20a 端面下部に空洞が生じる可能性があり、この空洞部に液の乾燥不良等が発生し、素子の信頼性に影響を与える可能性がある。本実施形態では、反射層 50 端面を透明アノード電極 20a で全面カバーすることにより、透明アノード電極 20a のウェットエッチング時に反射層 50 のサイドエッチが生じることを防止することができる。

【0093】

また、層間絶縁膜開口 54' の部分のように、層間絶縁膜 54 のエッチングは透明アノード電極 20a 上でしか行わないので、反射層 50 端面が透明アノード電極 20a で覆われていても、覆われていなくても、層間絶縁膜 54 のエッチングの影響は無い。但し、層間絶縁膜 54 成膜時のダメージは、反射層 50 端面が透明アノード電極 20a で覆われているか否かに関係する。即ち、反射層 50 端面が透明アノード電極 20a で覆われていない場合、層間絶縁膜 54 成膜時の成膜温度やプラズマ粒子により、反射層 50 にダメージが発生する場合がある。反射層 50 端面が透明アノード電極 20a で覆われている場合、このようなダメージが生じることを防ぐことができる。

【0094】

[第2実施形態]

次に、本発明の発光素子を用いたディスプレイパネルの第2実施形態を説明する。なお、本実施形態における有機ELディスプレイパネル10も、上記第1実施形態と同様に、発光素子として有機EL素子を使用したトップエミッション型のディスプレイパネルである。ここで、上記第1実施形態と同様の部分については、同じ参照番号を付すことで、その説明は省略する。

【0095】

図23及び図24は、本実施形態に係るアクティブマトリクス駆動方式の有機ELディスプレイパネル10における主に画素回路 $P_{i,j}$ の電極を示した平面図である。なお、図面を見やすくするために、図23においては画素回路 $P_{i,j}$ の透明アノード電極 20a の図示を省略し、図24においては画素回路 $P_{i,j}$ の下層側の電極の図示を省略する。また、図25(A)は図23及び図24に示した画素回路部分のA-A線の矢視断面図であり、図25(B)は端子18Uであるゲート配線端子部の断面図、図25(C)は端子18L又は端子18Rであるドレイン配線端子部の断面図である。また、図26は、図23及び図24に示した画素回路部分のD-D線の矢視断面図である。

【0096】

即ち、本実施形態では、図23、図24及び図26に示すように、走査線 $X_1 \sim X_m$ 及び給電配線 14 上に、それら走査線 $X_1 \sim X_m$ 及び給電配線 14 に沿って、密着層 62 を介してそれら走査線 $X_1 \sim X_m$ 及び給電配線 14 と電氣的に接続しているアノード給電配線 63 がパターンニングされている。また、図25(A)乃至(C)に示すように、コンタクトホール 52 の部分において、並びに、ゲート配線端子部及びドレイン配線端子部において、ドレイン配線層 42 と反射層 50 との間に、密着層 62 を介してアノード補助層 64 を形成している。

【0097】

これらアノード給電配線 63 及びアノード補助層 64 は、バスラインの電圧降下を防ぐ目的で、バスラインの抵抗を下げるため、走査線 X_i 、給電配線 14 及びドレイン 30d

10

20

30

40

50

として同時に形成されるドレイン配線層 4 2 上に積層するものである。このアノード給電配線 6 3 及びアノード補助層 6 4 の材料としてはアルミニウムやアルミニウム系合金等が使用され、密着層 6 2 の材料としてはクロム等が使用される。

【0098】

そして、透明アノード電極 2 0 a は、反射層 5 0 を完全に覆う形で形成され、反射層 5 0 は、コンタクトホール 5 2 の部分でアノード補助層 6 4 が露出している部分、並びに、ゲート配線端子部及びドレイン配線端子部で透明アノード電極 2 0 a が露出している部分を完全に覆う形で形成されている。

【0099】

次に、本実施形態における E L ディスプレイパネル 1 0 の製造方法について説明する。図 2 7 (A) 乃至図 3 6 (A) は、図 2 5 (A) に示したような画素回路部分における各工程での断面図を示しており、同じく、図 2 7 (B) 乃至図 3 6 (B) は図 2 5 (B) に示したようなゲート配線端子部、図 2 7 (C) 乃至図 3 6 (C) は図 2 5 (C) に示したようなドレイン配線端子部における各工程での断面図を示している。

【0100】

本実施形態においては、上記第 1 実施形態において図 8 (A) , (B) , (C) 乃至図 1 3 (A) , (B) , (C) を参照して説明したような第 1 の工程 (ゲート形成工程) 乃至第 6 の工程 (層間絶縁膜形成工程) を実施する。但し、第 6 の工程においては、層間絶縁膜 4 4 の除去を、走査線 $X_1 \sim X_m$ 及び給電配線 1 4 の部分についても行うものである。

【0101】

その後、本実施の形態では、第 7 の工程としてアノード補助層形成工程を実施する。即ち、このアノード補助層形成工程においては、まず、気相成長法によってクロム等の密着層 6 2 を層間絶縁膜 4 4 上にべた一面に成膜する。次に、その密着層 6 2 に対してフォトリソグラフィ法・エッチング法を順に施すことによって、各画素回路 $P_{1,1} \sim P_{m,n}$ のコンタクトホール 5 2 の部分、並びに、ゲート配線端子部及びドレイン配線端子部の部分 (及び走査線 $X_1 \sim X_m$ 及び給電配線 1 4 の部分) をパターニングする。そして更に、その上に、気相成長法によってアルミニウムやアルミニウム系合金等のアノード補助層 6 4 (及びアノード給電配線 6 3) をべた一面に成膜する。次に、そのアノード補助層 6 4 (及びアノード給電配線 6 3) に対してフォトリソグラフィ法・エッチング法を順に施すことによって、各画素回路 $P_{1,1} \sim P_{m,n}$ のコンタクトホール 5 2 の部分、並びに、ゲート配線端子部及びドレイン配線端子部の部分 (及び走査線 $X_1 \sim X_m$ 及び給電配線 1 4 の部分) をパターニングする。この工程の終了時点においては、図 2 7 (A) 乃至 (C) に示すように、密着層 6 2 及びアノード補助層 6 4 (及びアノード給電配線 6 3) の層構造がパターニングされることとなる。

【0102】

次に、第 8 の工程として、上記第 1 実施形態における第 7 の工程に相当する有機平坦化膜形成工程を実施する。即ち、この有機平坦化膜形成工程においては、まず、層間絶縁膜 4 4 全体に樹脂を塗布し、その樹脂を乾燥させることで、有機平坦化膜 4 6 をべた一面に成膜する。そして、図 2 8 (A) 乃至 (C) に示すように、露光現像法により各画素回路 $P_{1,1} \sim P_{m,n}$ のコンタクトホール 5 2 となる部分、ゲート配線端子部及びドレイン配線端子部から、その有機平坦化膜 4 6 に溝状の開口部をそれぞれ形成した後、ポストバーク (熱処理) 法により有機平坦化膜 4 6 を硬化させる。

【0103】

以上によってトランジスタアレイ基板 4 8 が完成する。

【0104】

次に、第 9 の工程として、上記第 1 実施形態における第 8 の工程に相当する反射層形成工程を実施する。即ち、この反射層形成工程においては、気相成長法・フォトリソグラフィ法・エッチング法を順に施すことによって、図 2 9 (A) 乃至 (C) に示すように、各画素回路 $P_{1,1} \sim P_{m,n}$ の有機 E L 素子 2 0 の位置及びコンタクトホール 5 2 の内

10

20

30

40

50

部、並びに、ゲート配線端子部及びドレイン配線端子部に、クロムや銀合金等の反射層 50 を積層させる。即ち、アノード補助層 64 の露出部分を完全に覆うように反射層 50 を形成する。

【0105】

次に、第 10 の工程として、上記第 1 実施形態における第 9 の工程に相当する透明アノード電極形成工程を実施する。即ち、この透明アノード電極形成工程においては、スパッタリング等の気相成長法・フォトリソグラフィ法・エッチング法を順に施すことによって、図 30 (A) 乃至 (C) に示すように、各画素回路 $P_{1,1} \sim P_{m,n}$ の有機 EL 素子 20 の位置及びコンタクトホール 52 の内部、並びに、ゲート配線端子部及びドレイン配線端子部に形成された反射層 50 上に、ITO 等の透明導電性膜である透明アノード電極 20a を積層させる。この場合、透明アノード電極 20a は、それら反射層 50 よりも広い範囲にはみ出して形成される。

10

【0106】

このように、反射層 50 を透明アノード電極 20a とアノード補助層 64 との間に介在させているため、レジスト剥離液中での電池反応は進まないで、歩留まり良くコンタクトホール 52 における接触部やゲート配線端子部及びドレイン配線端子部を形成できる。

【0107】

次に、第 11 の工程として、上記第 1 実施形態における第 10 の工程に相当する層間絶縁膜形成工程を実施する。即ち、この層間絶縁膜形成工程においては、気相成長法・フォトリソグラフィ法・エッチング法を順に施すことによって、図 31 (A) 乃至 (C) に示すように、各画素回路 $P_{1,1} \sim P_{m,n}$ の有機 EL 素子 20 の位置、並びに、ゲート配線端子部及びドレイン配線端子部を除いて、層間絶縁膜 54 を形成する。これにより、各画素の発光部が規定される。また、コンタクトホール 52 の内部は、層間絶縁膜 54 によって埋められる。

20

【0108】

次に、第 12 の工程として、上記第 1 実施形態における第 11 の工程に相当する共通配線形成工程を実施する。即ち、この共通配線形成工程においては、まず、気相成長法・フォトリソグラフィ法・エッチング法を順に施すことによって、水平方向に隣り合う透明アノード電極 20a の間であって、層間絶縁膜 54 の上に密着層 56 がパターニングされる。更に、その密着層 56 上に、メッキ法・フォトリソグラフィ法・エッチング法を順に施すことによって、図 32 (A) に示すように、共通配線 16 をパターニングする。また、図 32 (B) 及び (C) に示すように、ゲート配線端子部及びドレイン配線端子部からは、それら絶縁膜 56 及び共通配線 16 は除去される。

30

【0109】

次に、第 13 の工程として、上記第 1 実施形態における第 12 の工程に相当する親撥水化工程を実施する。即ち、この親撥水化工程においては、まず、共通配線 16 の表面を選択的に撥液化、即ち、選択的に撥液性導電膜 58 を形成する。そして、透明アノード電極 20a の表面の撥液化を相殺するために、透明アノード電極 20a 上に親水化処理を施す。これにより、図 33 (A) 乃至 (C) に示すように、共通配線 16 の表面にのみ撥液性導電膜 58 が残る。

40

【0110】

次に、第 14 の工程として、上記第 1 実施形態における第 13 の工程に相当する正孔注入層形成工程を実施する。即ち、この正孔注入層形成工程においては、図 34 (A) に示すように、PEDOT を塗布し乾燥させる湿式塗布法によって正孔注入層 20h としてパターニングする。水平方向に隣り合う透明アノード電極 20a 間に厚膜の共通配線 16 が設けられているから、更には共通配線 16 には撥水性・撥油性の撥液性導電膜 58 がコーティングされているから、透明アノード電極 20a に塗布された PEDOT 含有液が隣の透明アノード電極 20a に漏れることがない。なお、ゲート配線端子部及びドレイン配線端子部については、図 34 (B) 及び (C) に示すように、正孔注入層 20h は形成されない。

50

【 0 1 1 1 】

次に、第 1 5 の工程として、上記第 1 実施形態における第 1 4 の工程に相当する発光層形成工程を実施する。即ち、この発光層形成工程においては、必要に応じて湿式塗布法によってインターレイヤーを塗布・乾燥させた後、図 3 5 (A) に示すように、ポリフルオレン系発光材の有機化合物を塗布し乾燥させる湿式塗布法によって発光層 2 0 e をパターニングする。上述したように、水平方向に隣り合う透明アノード電極 2 0 a 間に厚膜の共通配線 1 6 が設けられているから、更には共通配線 1 6 には撥水性・撥油性の撥液性導電膜 5 8 がコーティングされているから、透明アノード電極 2 0 a に塗布された有機化合物含有液が隣の透明アノード電極 2 0 a に漏れることがない。更に、撥液性導電膜 5 8 の撥水性・撥油性によって、透明アノード電極 2 0 a に塗布された有機化合物含有液が透明アノード電極 2 0 a の周囲で厚くならないので、発光層 2 0 e を均一な膜厚で成膜することができる。ゲート配線端子部及びドレイン配線端子部については、図 3 5 (B) 及び (C) に示すように、発光層 2 0 e は形成されない。

10

【 0 1 1 2 】

次に、第 1 6 の工程として、上記第 1 実施形態における第 1 5 の工程に相当するカソード電極形成工程を実施する。即ち、このカソード電極形成工程においては、必要に応じてバリウムやカルシウム等の電子注入層を上記発光層 2 0 e 上に蒸着した後、図 3 6 (A) に示すように、スパッタリングによって透明カソード電極 2 0 c をメタルマスクを介し一面に成膜する。なお、発光層 2 0 e は温度に非常に敏感であるため、上記電子注入層の蒸着や透明カソード電極 2 0 c のスパッタリングは、発光層 2 0 e にダメージを与えないような温度の上昇がない (1 0 0 度程度) 方法で実施することが必要である。そして、こうして成膜された透明カソード電極 2 0 c に対してメタルマスクを用いてパターニングすることで、図 3 6 (B) 及び (C) に示すように、ゲート配線端子部及びドレイン配線端子部から透明カソード電極 2 0 c は除去される。

20

【 0 1 1 3 】

次に、第 1 7 の工程として、上記第 1 実施形態における第 1 6 の工程に相当する封止絶縁膜形成工程を実施する。即ち、この封止絶縁膜形成工程においては、気相成長法によって封止絶縁薄膜 6 0 をメタルマスクを介して一面に形成することによって、図 2 5 (A) 乃至 (C) に示すように、封止絶縁薄膜 6 0 をパターニングする。

30

【 0 1 1 4 】

以上の工程により、有機 E L ディスプレイパネル 1 0 が完成する。

【 0 1 1 5 】

このような本第 2 実施形態によれば、発光素子として有機 E L 素子を使用したトップエミッション型の有機 E L ディスプレイパネル 1 0 において、透明アノード電極 2 0 a を、クロムや銀または銀合金でなる反射層 5 0 を完全に覆う形で形成し、その反射層 5 0 は、コンタクトホール 5 2 の部分においてアノード補助層 6 4 が露出している領域を完全に覆う形で形成しているので、コンタクトホール 5 2 の部分において透明アノード電極 2 0 a にピンホールが開いていても、透明アノード電極 2 0 a (例えば I T O) と反射層 5 0 (例えばクロム) の組み合わせは、レジスト剥離液中での電池反応は進まないで、歩留まり良く接触部を形成できる。更に、反射層 5 0 の材料として銀や銀合金を選択すれば、同様にレジスト剥離液中での電池反応は抑えられ、かつ、クロムに比べて反射率も高いので、良好な反射層を形成できる。

40

【 0 1 1 6 】

また、信号線 $Y_1 \sim Y_n$ を該有機 E L ディスプレイパネル 1 0 の外部回路に接続するための端子であるゲート配線端子部では、信号線 $Y_1 \sim Y_n$ の元となる導電性膜であるゲート配線層 4 0 上に、密着層 3 6 を介してドレイン配線層 4 2 が成膜され、このドレイン配線層 4 2 の上に、密着層 6 2 を介してアノード補助層 6 4 が成膜されて、該アノード補助層 6 4 が露出している領域を完全に覆う形で反射層 5 0 を形成し、更に、透明アノード電極 2 0 a を、その反射層 5 0 を完全に覆う形で形成しているので、このゲート配線端子部においても、上記コンタクトホール 5 2 の部分と同様に、透明アノード電極 2 0 a にピン

50

ホールが開いていても、レジスト剥離液中での電池反応は進まないで、歩留まり良く端子部を形成できる。

【0117】

同様に、走査線 $X_1 \sim X_m$ や給電配線14を該有機ELディスプレイパネル10の外部回路に接続するための端子であるドレイン配線端子部に関しても、走査線 $X_1 \sim X_m$ や給電配線14の元となる導電性膜であるドレイン配線層42上に、密着層62を介してアノード補助層64が成膜されて、該アノード補助層64が露出している領域を完全に覆う形で反射層50を形成し、更に、透明アノード電極20aを、その反射層50を完全に覆う形で形成しているため、このドレイン配線端子部においても、透明アノード電極20aにピンホールが開いていても、レジスト剥離液中での電池反応は進まないで、歩留まり良く端子部を形成できる。

10

【0118】

また、反射層50上に透明アノード電極20aによる保護層を設けているので、上記第1実施形態と同様の効果を奏することができる。更に、反射層50の端面をITO等の透明アノード電極20aで全面カバーする構成による効果も、上記第1実施形態と同様である。

【0119】

[第3実施形態]

次に、本発明の発光素子を用いたディスプレイパネルの第3実施形態を説明する。なお、本実施形態における有機ELディスプレイパネル10も、上記第2実施形態と同様に、発光素子として有機EL素子を使用したトップエミッション型のディスプレイパネルである。ここで、上記第2実施形態と同様の部分については、同じ参照番号を付すことで、その説明は省略する。

20

【0120】

図37は、本実施形態に係るアクティブマトリクス駆動方式の有機ELディスプレイパネル10における主に画素回路 $P_{i,j}$ の電極を示した平面図である。なお、図面を見やすくするために、図37においては画素回路 $P_{i,j}$ の下層側の電極の図示を省略する。また、図38(A)は図37に示した画素回路部分のA-A線の矢視断面図であり、図38(B)は端子18Uであるゲート配線端子部の断面図、図38(C)は端子18L、18Rであるドレイン配線端子部の断面図である。なお、図37に示した画素回路部分のD-D線の矢視断面図は図26と同一である。

30

【0121】

即ち、本実施形態では、図37及び図38(A)乃至(C)に示すように、有機EL素子20を仕切る隔壁としても機能している共通配線16の代わりに、単なる隔壁66を形成するようにしたものである。この場合、層間絶縁膜54の上に直接、隔壁66が形成され、該隔壁66の表面に透明カソード電極20cが形成される。

【0122】

次に、本実施形態におけるELディスプレイパネル10の製造方法について説明する。図39(A)乃至図42(A)は、図38(A)に示したような画素回路部分における各工程での断面図を示しており、同じく、図39(B)乃至図42(B)は図38(B)に示したようなゲート配線端子部、図39(C)乃至図42(C)は図38(C)に示したようなドレイン配線端子部における各工程での断面図を示している。

40

【0123】

本実施形態においては、上記第1実施形態における図8(A)、(B)、(C)乃至図13(A)、(B)、(C)を参照して説明したような第1の工程(ゲート形成工程)乃至第6の工程(層間絶縁膜形成工程)、及び、その後の、上記第2実施形態における図27(A)、(B)、(C)乃至図31(A)、(B)、(C)を参照して説明したような第7の工程(アノード補助層形成工程)乃至第11の工程(層間絶縁膜形成工程)を実施する。

【0124】

50

その後、本実施の形態では、第 12 の工程として、隔壁形成工程を実施する。即ち、この隔壁形成工程においては、まず、隔壁材料を塗布し、その隔壁材料を乾燥させることで、隔壁材料をべた一面に成膜する。そして、図 39 (A) 乃至 (C) に示すように、露光現像法により水平方向に隣り合う透明アノード電極 20a の間にのみ該隔壁材料を残した後、ポストバーク（熱処理）法により該隔壁材料を硬化させて、隔壁 66 を形成する。

【0125】

次に、第 13 の工程として、親水化工程を実施する。即ち、本実施形態においては、透明アノード電極 20a 上に親水化処理を施す。

【0126】

その後、第 14 の工程として、上記第 2 実施形態における第 14 の工程に相当する正孔注入層形成工程を実施する。即ち、この正孔注入層形成工程においては、図 40 (A) に示すように、PEDOT を塗布し乾燥させる湿式塗布法によって正孔注入層 20h としてパターンニングする。水平方向に隣り合う透明アノード電極 20a 間に厚膜の隔壁 66 が設けられているので、透明アノード電極 20a に塗布された PEDOT 含有液が隣の透明アノード電極 20a に漏れることがない。なお、ゲート配線端子部及びドレイン配線端子部については、図 40 (B) 及び (C) に示すように、正孔注入層 20h は形成されない。

10

【0127】

次に、第 15 の工程として、上記第 2 実施形態における第 15 の工程に相当する発光層形成工程を実施する。即ち、この発光層形成工程においては、必要に応じて湿式塗布法によってインターレイヤーを塗布・乾燥させた後、図 41 (A) に示すように、ポリフルオレン系発光材の有機化合物を塗布し乾燥させる湿式塗布法によって発光層 20e をパターンニングする。上述したように、水平方向に隣り合う透明アノード電極 20a 間に厚膜の隔壁 66 が設けられているので、透明アノード電極 20a に塗布された有機化合物含有液が隣の透明アノード電極 20a に漏れることがない。ゲート配線端子部及びドレイン配線端子部については、図 41 (B) 及び (C) に示すように、発光層 20e は形成されない。

20

【0128】

次に、第 16 の工程として、上記第 2 実施形態における第 16 の工程に相当するカソード電極形成工程を実施する。即ち、このカソード電極形成工程においては、まず、必要に応じてバリウムやカルシウム等の電子注入層を上記発光層 20e 上に蒸着した後、図 42 (A) に示すように、スパッタリングによって透明カソード電極 20c をメタルマスクを介し一面に成膜する。なお、発光層 20e は温度に非常に敏感であるため、上記電子注入層の蒸着や透明カソード電極 20c のスパッタリングは、発光層 20e にダメージを与えないような温度の上まらない（100 度程度）方法で実施することが必要である。そして、こうして成膜された透明カソード電極 20c に対してメタルマスクを用いてパターンニングすることで、図 42 (B) 及び (C) に示すように、ゲート配線端子部及びドレイン配線端子部から透明カソード電極 20c は除去される。

30

【0129】

次に、第 17 の工程として、上記第 2 実施形態における第 17 の工程に相当する封止絶縁膜形成工程を実施する。即ち、この封止絶縁膜形成工程においては、気相成長法によってメタルマスクを介して封止絶縁薄膜 60 を一面に形成することによって、図 38 (A) 乃至 (C) に示すように、封止絶縁薄膜 60 をパターンニングする。

40

【0130】

以上の工程により、有機 EL ディスプレイパネル 10 が完成する。

【0131】

このような本第 3 実施形態によっても、上記第 2 実施形態と同様の効果を得ることができる。

【0132】

なお、上記第 1 実施形態においても、本第 3 実施形態のように共通配線 16 の代わりに隔壁 66 を形成することも可能である。

【0133】

50

以上、実施形態に基づいて本発明を説明したが、本発明は上述した実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形や応用が可能なことは勿論である。

【 0 1 3 4 】

例えば、上記実施形態では、発光素子として有機 E L 素子を例に説明したが、その他の発光素子を用いても構わない。

【 0 1 3 5 】

また、画素回路の回路構成は、図 3 に示した例に限定されるものではない。

【 0 1 3 6 】

更に、ゲート配線端子部及びドレイン配線端子部の周辺は、有機平坦化膜 4 6 が無くても良い。

【 0 1 3 7 】

また、コンタクトホール 5 2 は穴が開いているため、画素部と同一平面とはならない。そのため、コンタクトホール 5 2 が、平面視して、共通配線 1 6 又は隔壁 6 6 の外に出ている場合、有機 E L 層（正孔注入層 2 0 h 及び発光層 2 0 e ）を均一に形成し難い。よって、コンタクトホール 5 2 は、平面視して、共通配線 1 6 又は隔壁 6 6 の下に隠すように形成する方がより有効である。

【図面の簡単な説明】

【 0 1 3 8 】

【図 1】図 1 は、本発明の発光素子を用いたディスプレイパネルの第 1 実施形態に係るアクティブマトリクス駆動方式の有機 E L ディスプレイパネルの概略図である。

【図 2】図 2 は、第 1 実施形態に係る有機 E L ディスプレイパネルの平面図である。

【図 3】図 3 は、第 1 実施形態に係る有機 E L ディスプレイパネルにおける画素回路の等価回路図である。

【図 4】図 4 は、第 1 実施形態に係る有機 E L ディスプレイパネルの画素回路の電極を示した平面図である。

【図 5】図 5 は、第 1 実施形態に係る有機 E L ディスプレイパネルの画素回路の電極を示した平面図である。

【図 6】図 6 (A) は、第 1 実施形態に係る有機 E L ディスプレイパネルにおける図 4 及び図 5 に示された画素回路部分の A - A 線の矢視断面図、図 6 (B) は、同じく図 2 に示されたゲート配線端子部の B - B 線の矢視断面図であり、図 6 (C) は、同じく図 2 に示されたドレイン配線端子部の C - C 線の矢視断面図である。

【図 7】図 7 は、第 1 実施形態に係る有機 E L ディスプレイパネルにおける図 4 及び図 5 に示された画素回路部分の D - D 線の矢視断面図である。

【図 8】図 8 (A) は、第 1 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 1 の工程としてのゲート形成工程での画素回路部分の断面図、図 8 (B) は、同じくゲート配線端子部の断面図であり、図 8 (C) は、同じくドレイン配線端子部の断面図である。

【図 9】図 9 (A) は、第 1 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 2 の工程としてのチャネル保護膜形成工程での画素回路部分の断面図、図 9 (B) は、同じくゲート配線端子部の断面図であり、図 9 (C) は、同じくドレイン配線端子部の断面図である。

【図 10】図 10 (A) は、第 1 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 3 の工程としてのソース・ドレイン形成工程での画素回路部分の断面図、図 10 (B) は、同じくゲート配線端子部の断面図であり、図 10 (C) は、同じくドレイン配線端子部の断面図である。

【図 11】図 11 (A) は、第 1 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 4 の工程としてのゲート絶縁膜コンタクト形成工程での画素回路部分の断面図、図 11 (B) は、同じくゲート配線端子部の断面図であり、図 11 (C) は、同じくドレイン配線端子部の断面図である。

【図 12】図 12 (A) は、第 1 実施形態に係る有機 E L ディスプレイパネルの製造方法

10

20

30

40

50

における第 5 の工程としてのドレイン配線層形成工程での画素回路部分の断面図、図 1 2 (B) は、同じくゲート配線端子部の断面図であり、図 1 2 (C) は、同じくドレイン配線端子部の断面図である。

【図 1 3】図 1 3 (A) は、第 1 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 6 の工程としての層間絶縁膜形成工程での画素回路部分の断面図、図 1 3 (B) は、同じくゲート配線端子部の断面図であり、図 1 3 (C) は、同じくドレイン配線端子部の断面図である。

【図 1 4】図 1 4 (A) は、第 1 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 7 の工程としての有機平坦化膜形成工程での画素回路部分の断面図、図 1 4 (B) は、同じくゲート配線端子部の断面図であり、図 1 4 (C) は、同じくドレイン配線端子部の断面図である。

10

【図 1 5】図 1 5 (A) は、第 1 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 8 の工程としての反射層形成工程での画素回路部分の断面図、図 1 5 (B) は、同じくゲート配線端子部の断面図であり、図 1 5 (C) は、同じくドレイン配線端子部の断面図である。

【図 1 6】図 1 6 (A) は、第 1 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 9 の工程としての透明アノード電極形成工程での画素回路部分の断面図、図 1 6 (B) は、同じくゲート配線端子部の断面図であり、図 1 6 (C) は、同じくドレイン配線端子部の断面図である。

【図 1 7】図 1 7 (A) は、第 1 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 1 0 の工程としての層間絶縁膜形成工程での画素回路部分の断面図、図 1 7 (B) は、同じくゲート配線端子部の断面図であり、図 1 7 (C) は、同じくドレイン配線端子部の断面図である。

20

【図 1 8】図 1 8 (A) は、第 1 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 1 1 の工程としての共通配線形成工程での画素回路部分の断面図、図 1 8 (B) は、同じくゲート配線端子部の断面図であり、図 1 8 (C) は、同じくドレイン配線端子部の断面図である。

【図 1 9】図 1 9 (A) は、第 1 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 1 2 の工程としての親撥水化工程での画素回路部分の断面図、図 1 9 (B) は、同じくゲート配線端子部の断面図であり、図 1 9 (C) は、同じくドレイン配線端子部の断面図である。

30

【図 2 0】図 2 0 (A) は、第 1 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 1 3 の工程としての正孔注入層形成工程での画素回路部分の断面図、図 2 0 (B) は、同じくゲート配線端子部の断面図であり、図 2 0 (C) は、同じくドレイン配線端子部の断面図である。

【図 2 1】図 2 1 (A) は、第 1 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 1 4 の工程としての発光層形成工程での画素回路部分の断面図、図 2 1 (B) は、同じくゲート配線端子部の断面図であり、図 2 1 (C) は、同じくドレイン配線端子部の断面図である。

【図 2 2】図 2 2 (A) は、第 1 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 1 5 の工程としてのカソード電極形成工程での画素回路部分の断面図、図 2 2 (B) は、同じくゲート配線端子部の断面図であり、図 2 2 (C) は、同じくドレイン配線端子部の断面図である。

40

【図 2 3】図 2 3 は、本発明の発光素子を用いたディスプレイパネルの第 2 実施形態に係る有機 E L ディスプレイパネルの画素回路の電極を示した平面図である。

【図 2 4】図 2 4 は、第 2 実施形態に係る有機 E L ディスプレイパネルの画素回路の電極を示した平面図である。

【図 2 5】図 2 5 (A) は、第 2 実施形態に係る有機 E L ディスプレイパネルにおける図 2 3 及び図 2 4 に示された画素回路部分の A - A 線の矢視断面図、図 2 5 (B) は、同じくゲート配線端子部の断面図であり、図 2 5 (C) は、同じくドレイン配線端子部の断面

50

図である。

【図 2 6】図 2 6 は、第 2 実施形態に係る有機 E L ディスプレイパネルにおける図 2 3 及び図 2 4 に示された画素回路部分の D - D 線の矢視断面図である。

【図 2 7】図 2 7 (A) は、第 2 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 7 の工程としてのアノード補助層形成工程での画素回路部分の断面図、図 2 7 (B) は、同じくゲート配線端子部の断面図であり、図 2 7 (C) は、同じくドレイン配線端子部の断面図である。

【図 2 8】図 2 8 (A) は、第 2 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 8 の工程としての有機平坦化膜形成工程での画素回路部分の断面図、図 2 8 (B) は、同じくゲート配線端子部の断面図であり、図 2 8 (C) は、同じくドレイン配線端子部の断面図である。

10

【図 2 9】図 2 9 (A) は、第 2 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 9 の工程としての反射層形成工程での画素回路部分の断面図、図 2 9 (B) は、同じくゲート配線端子部の断面図であり、図 2 9 (C) は、同じくドレイン配線端子部の断面図である。

【図 3 0】図 3 0 (A) は、第 2 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 1 0 の工程としての透明アノード電極形成工程での画素回路部分の断面図、図 3 0 (B) は、同じくゲート配線端子部の断面図であり、図 3 0 (C) は、同じくドレイン配線端子部の断面図である。

【図 3 1】図 3 1 (A) は、第 2 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 1 1 の工程としての層間絶縁膜形成工程での画素回路部分の断面図、図 3 1 (B) は、同じくゲート配線端子部の断面図であり、図 3 1 (C) は、同じくドレイン配線端子部の断面図である。

20

【図 3 2】図 3 2 (A) は、第 2 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 1 2 の工程としての共通配線形成工程での画素回路部分の断面図、図 3 2 (B) は、同じくゲート配線端子部の断面図であり、図 3 2 (C) は、同じくドレイン配線端子部の断面図である。

【図 3 3】図 3 3 (A) は、第 2 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 1 3 の工程としての親撥水化工程での画素回路部分の断面図、図 3 3 (B) は、同じくゲート配線端子部の断面図であり、図 3 3 (C) は、同じくドレイン配線端子部の断面図である。

30

【図 3 4】図 3 4 (A) は、第 2 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 1 4 の工程としての正孔注入層形成工程での画素回路部分の断面図、図 3 4 (B) は、同じくゲート配線端子部の断面図であり、図 3 4 (C) は、同じくドレイン配線端子部の断面図である。

【図 3 5】図 3 5 (A) は、第 2 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 1 5 の工程としての発光層形成工程での画素回路部分の断面図、図 3 5 (B) は、同じくゲート配線端子部の断面図であり、図 3 5 (C) は、同じくドレイン配線端子部の断面図である。

【図 3 6】図 3 6 (A) は、第 2 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 1 6 の工程としてのカソード電極形成工程での画素回路部分の断面図、図 3 6 (B) は、同じくゲート配線端子部の断面図であり、図 3 6 (C) は、同じくドレイン配線端子部の断面図である。

40

【図 3 7】図 3 7 は、本発明の発光素子を用いたディスプレイパネルの第 3 実施形態に係る有機 E L ディスプレイパネルの画素回路の電極を示した平面図である。

【図 3 8】図 3 8 (A) は、第 3 実施形態に係る有機 E L ディスプレイパネルにおける図 3 7 に示された画素回路部分の A - A 線の矢視断面図、図 3 8 (B) は、同じくゲート配線端子部の断面図であり、図 3 8 (C) は、同じくドレイン配線端子部の断面図である。

【図 3 9】図 3 9 (A) は、第 3 実施形態に係る有機 E L ディスプレイパネルの製造方法における第 1 2 の工程としての隔壁形成工程での画素回路部分の断面図、図 3 9 (B) は

50

、同じくゲート配線端子部の断面図であり、図 39 (C) は、同じくドレイン配線端子部の断面図である。

【図 40】図 40 (A) は、第 3 実施形態に係る有機 EL ディスプレイパネルの製造方法における第 14 の工程としての正孔注入層形成工程での画素回路部分の断面図、図 40 (B) は、同じくゲート配線端子部の断面図であり、図 40 (C) は、同じくドレイン配線端子部の断面図である。

【図 41】図 41 (A) は、第 3 実施形態に係る有機 EL ディスプレイパネルの製造方法における第 15 の工程としての発光層形成工程での画素回路部分の断面図、図 41 (B) は、同じくゲート配線端子部の断面図であり、図 41 (C) は、同じくドレイン配線端子部の断面図である。

【図 42】図 42 (A) は、第 3 実施形態に係る有機 EL ディスプレイパネルの製造方法における第 16 の工程としてのカソード電極形成工程での画素回路部分の断面図、図 42 (B) は、同じくゲート配線端子部の断面図であり、図 42 (C) は、同じくドレイン配線端子部の断面図である。

【図 43】図 43 は、絶縁下地層上に形成されたアルミニウム系電極に ITO 電極が積層されていて、ITO 電極にピンホールが開いている状態で、レジスト剥離液に接触している場合を示す図である。

【図 44】図 44 (A) は、ピンホール箇所における電池反応を説明する図であり、図 44 (B) は、電池反応の結果としてアルミニウム系電極が断線した状態を示す図である。

【符号の説明】

【0139】

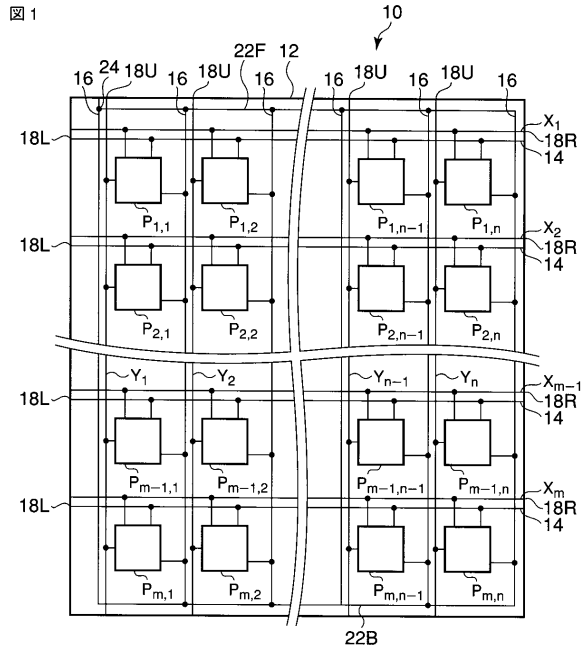
10 ... EL ディスプレイパネル、 12 ... 絶縁基板、 14 ... 給電配線、 16 ... 共通配線、 18 L, 18 R, 18 U ... 端子、 20 ... EL 素子、 20 a ... 透明アノード電極、 20 c ... 透明カソード電極、 20 e ... 発光層、 20 h ... 正孔注入層、 22 F, 22 B ... 引き回し配線、 24 ... 配線端子、 26 ... スイッチトランジスタ、 28 ... 保持トランジスタ、 30 ... 駆動トランジスタ、 30 s ... ソース、 30 g ... ゲート、 30 d ... ドレイン、 30 A ... 半導体膜、 30 B ... チャンネル保護膜、 30 C ... 不純物半導体膜、 32 ... キャパシタ、 32 A ... 電極、 32 B ... 電極、 34 ... ゲート絶縁膜、 36, 62 ... 密着層、 38, 41, 43, 52 ... コンタクトホール、 40 ... ゲート配線層、 42 ... ドレイン配線層、 44, 46 ... 有機平坦化膜、 46' ... 有機平坦化膜開口、 48 ... トランジスタアレイ基板、 50 ... 反射層、 54 ... 層間絶縁膜、 54' ... 絶縁膜開口、 56 ... 密着層、 58 ... 撥液性導電膜、 60 ... 封止絶縁薄膜、 63 ... アノード給電配線、 64 ... アノード補助層、 66 ... 隔壁。

10

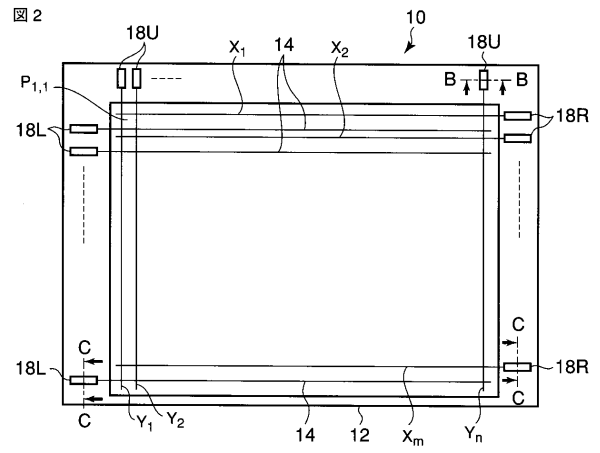
20

30

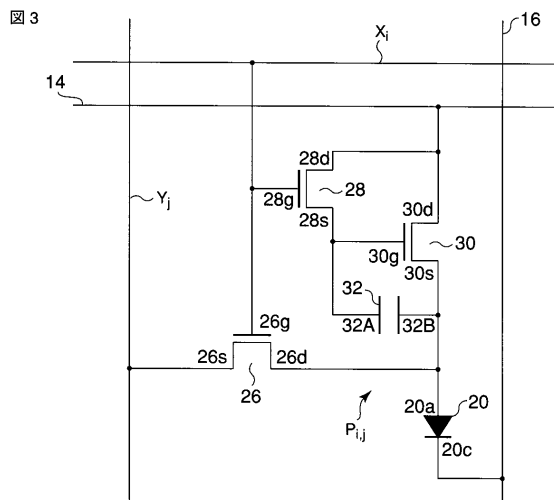
【図 1】



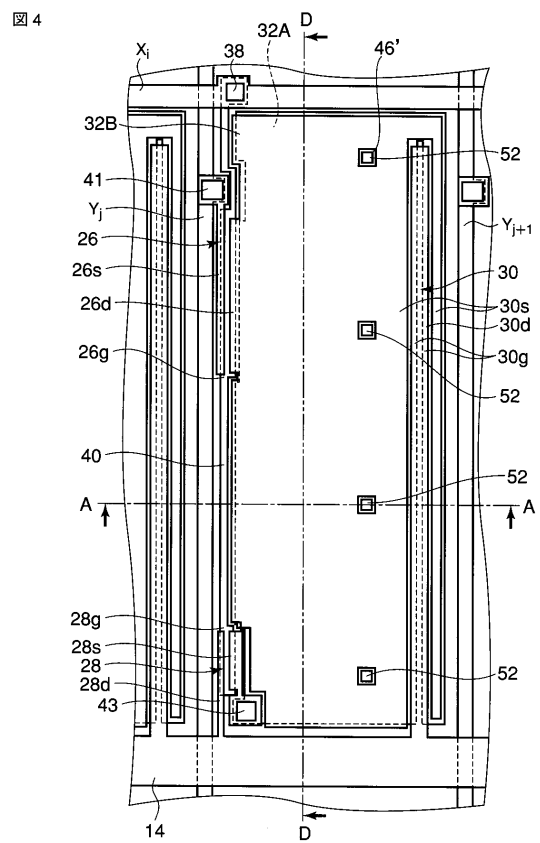
【図 2】



【図 3】

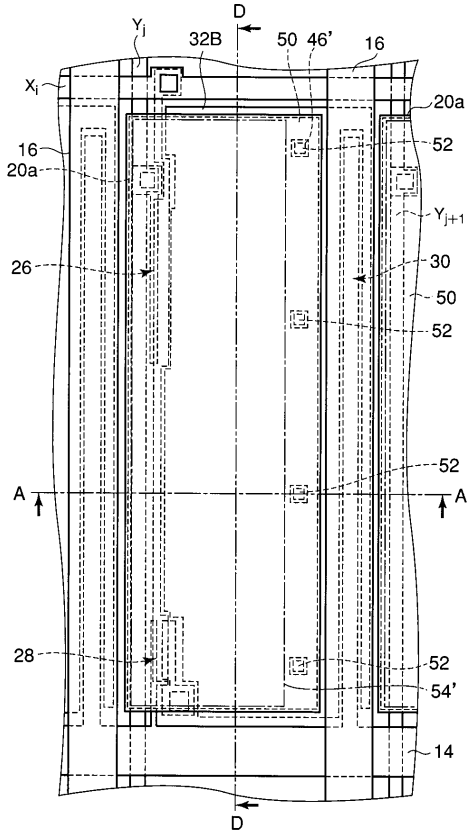


【図 4】



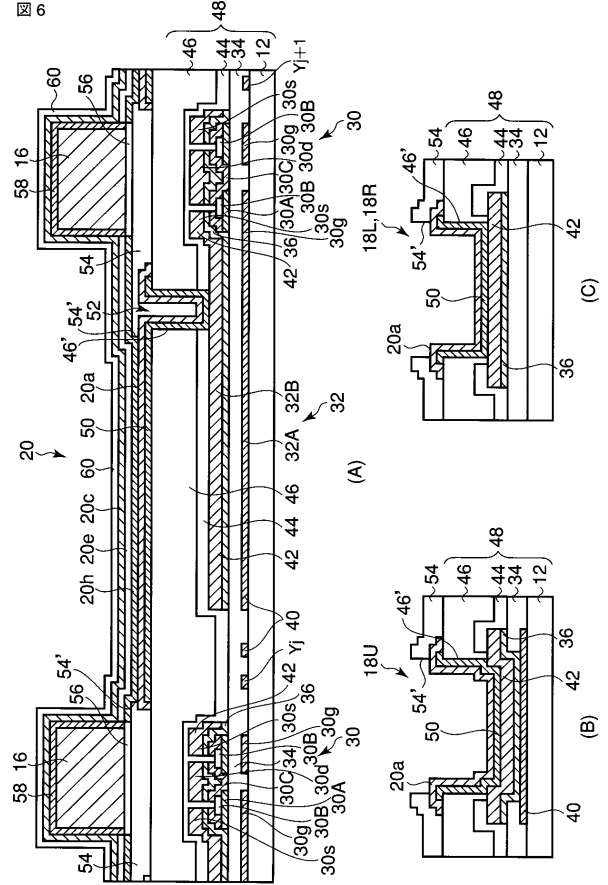
【図 5】

図 5



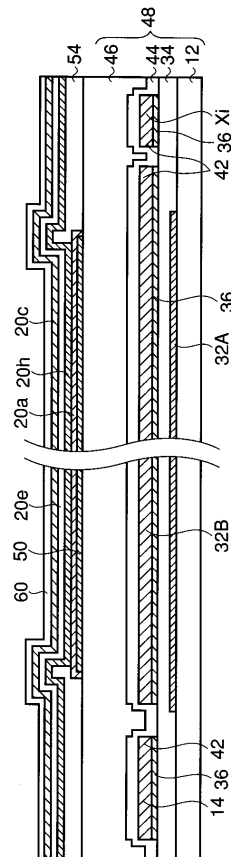
【図 6】

図 6



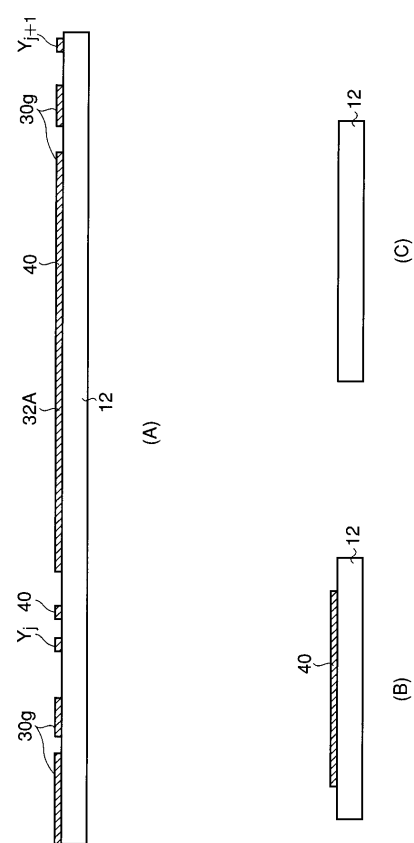
【図 7】

図 7



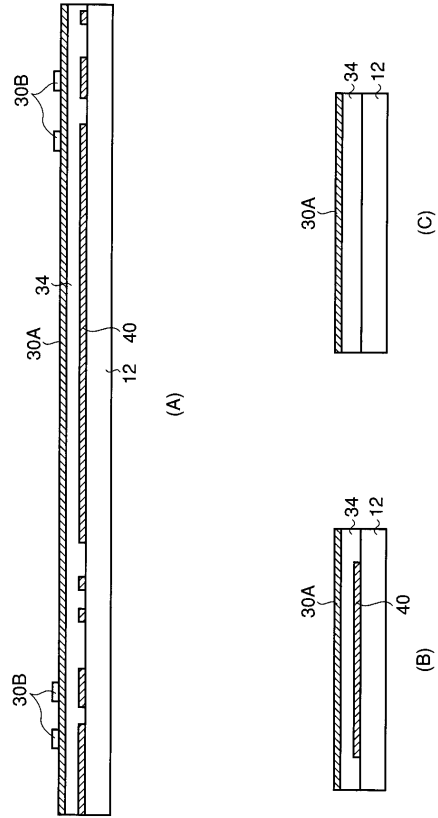
【図 8】

図 8



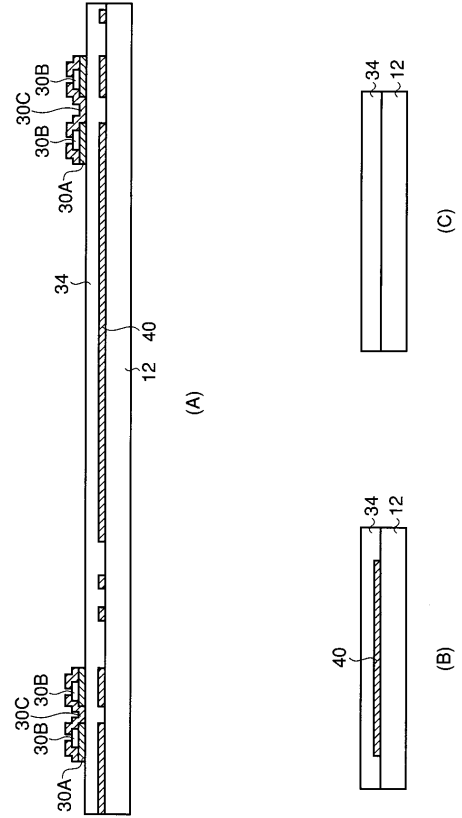
【図 9】

図 9



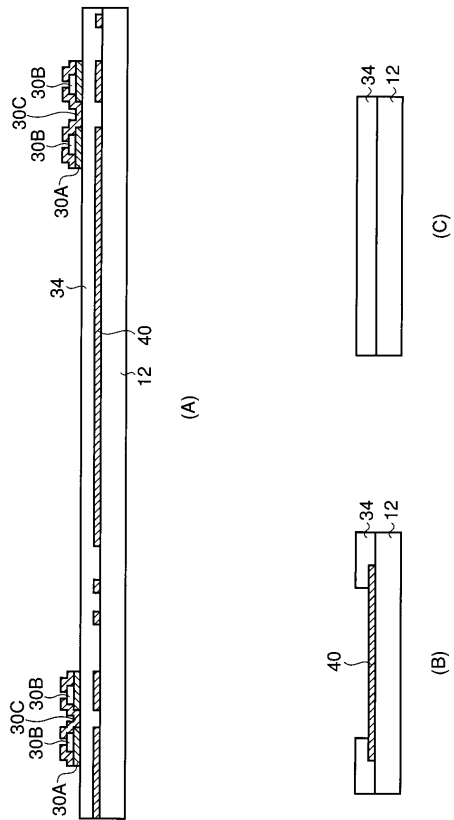
【図 10】

図 10



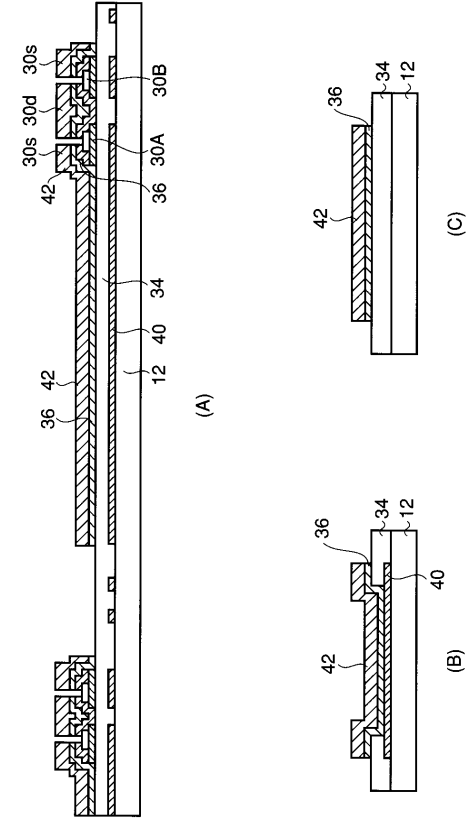
【図 11】

図 11



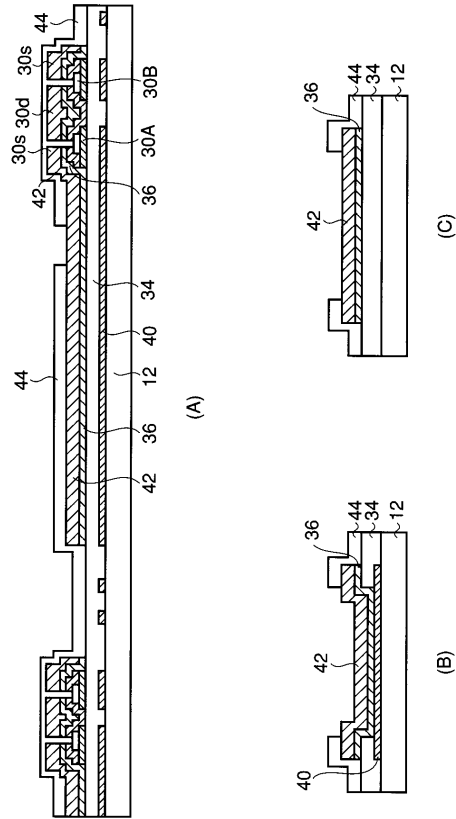
【図 12】

図 12



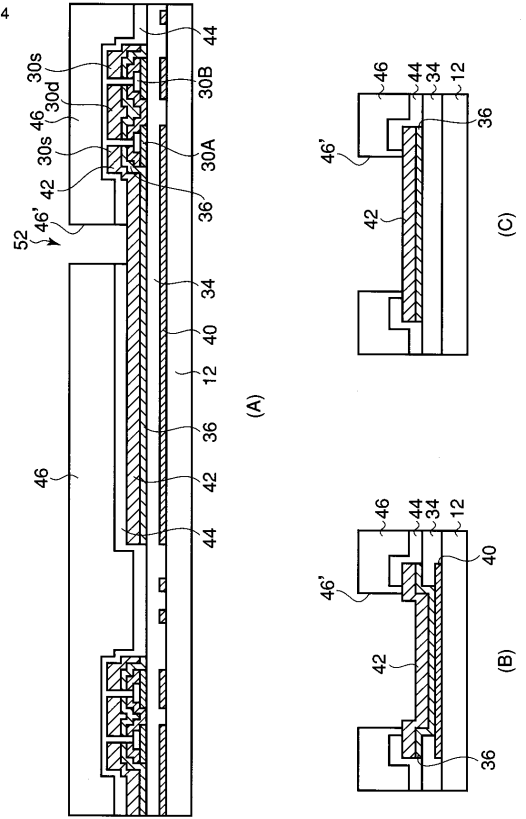
【図 1 3】

図 13



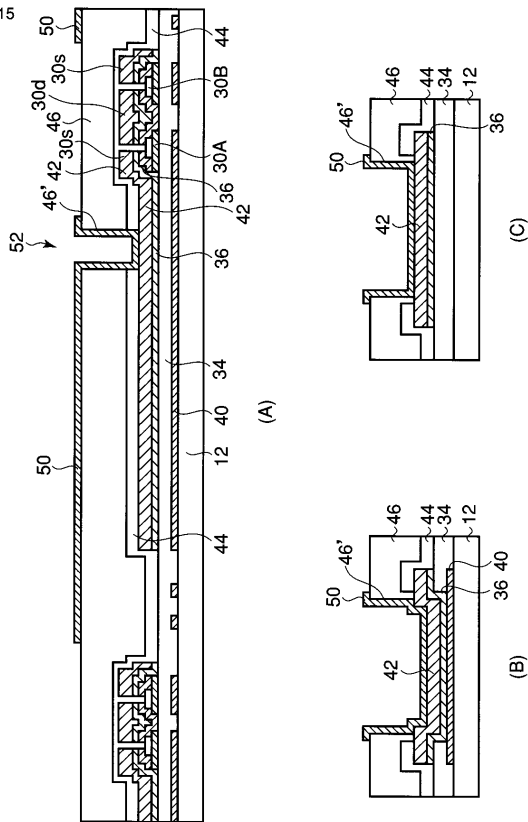
【図 1 4】

図 14



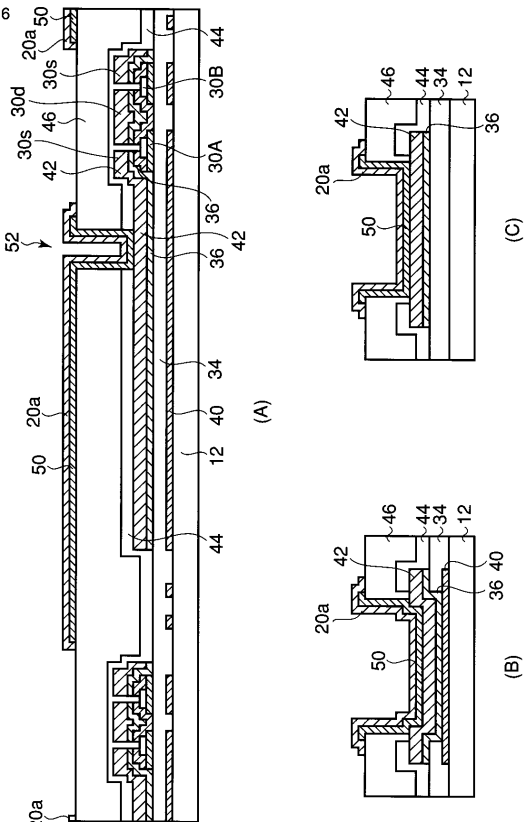
【図 1 5】

図 15

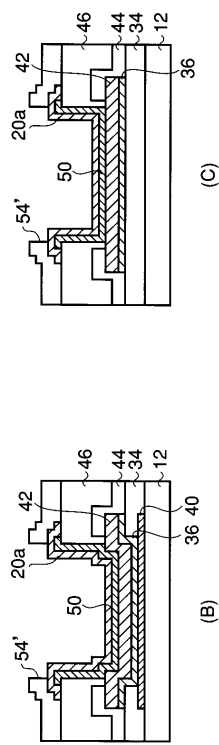
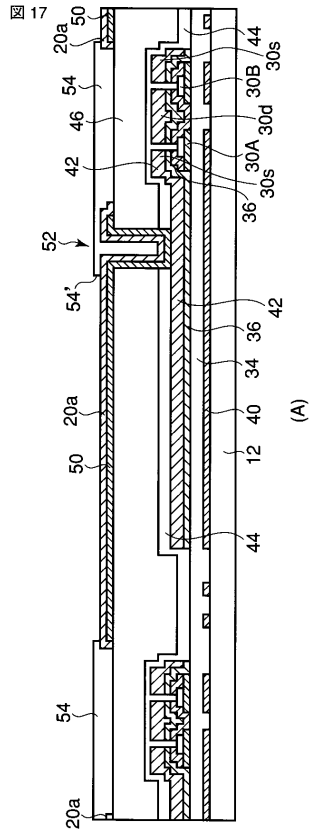


【図 1 6】

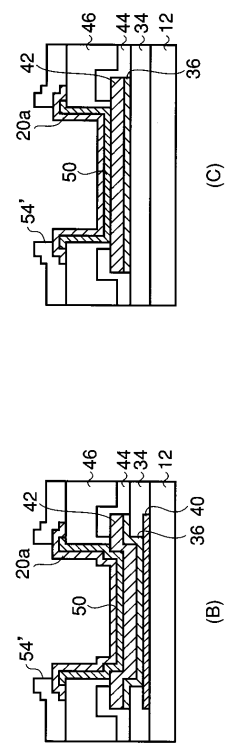
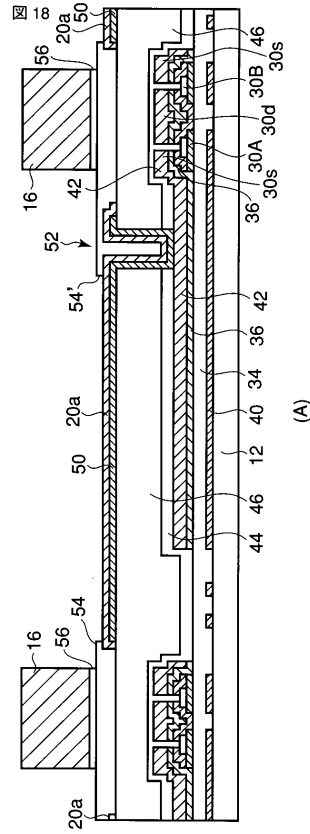
図 16



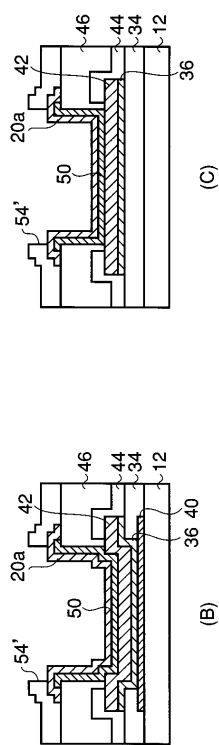
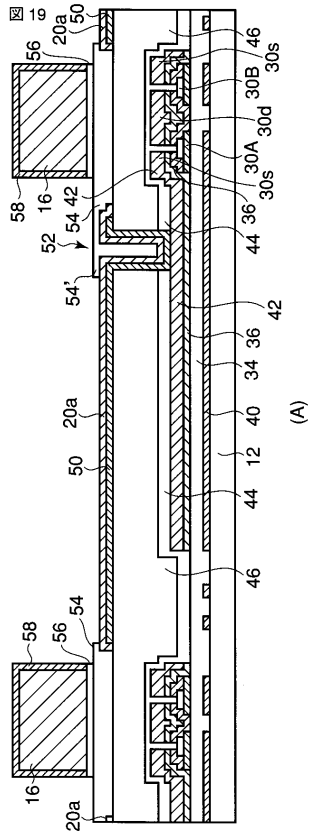
【 図 1 7 】



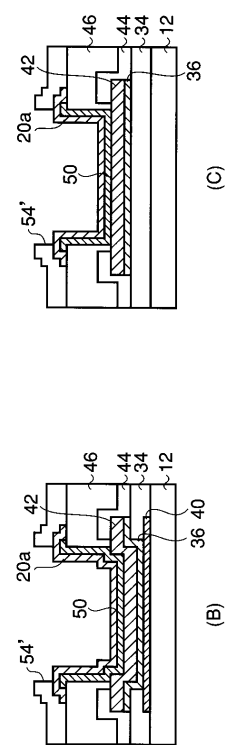
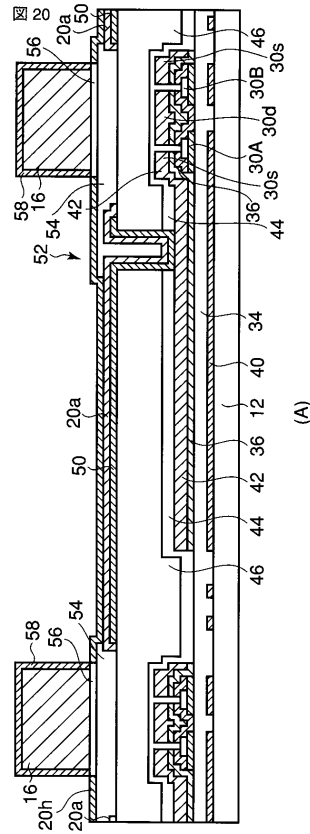
【 図 1 8 】



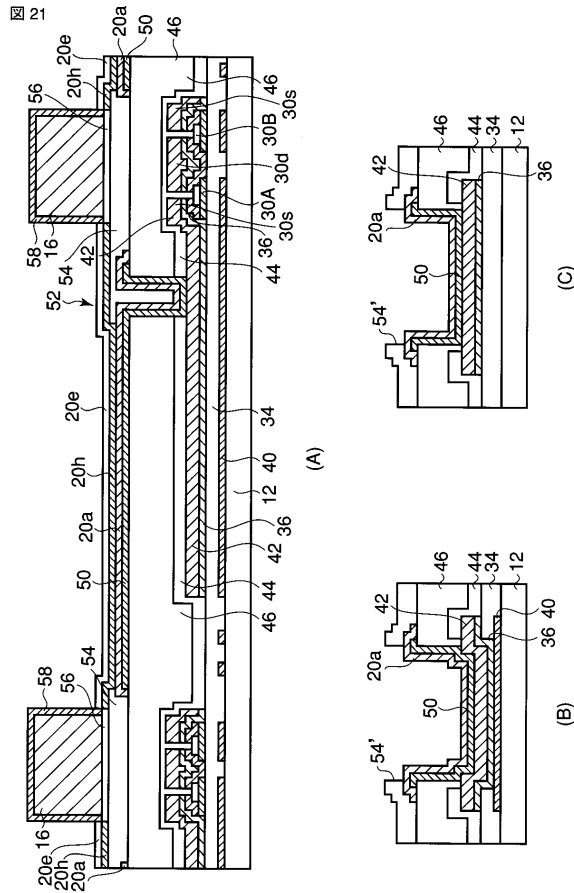
【 図 1 9 】



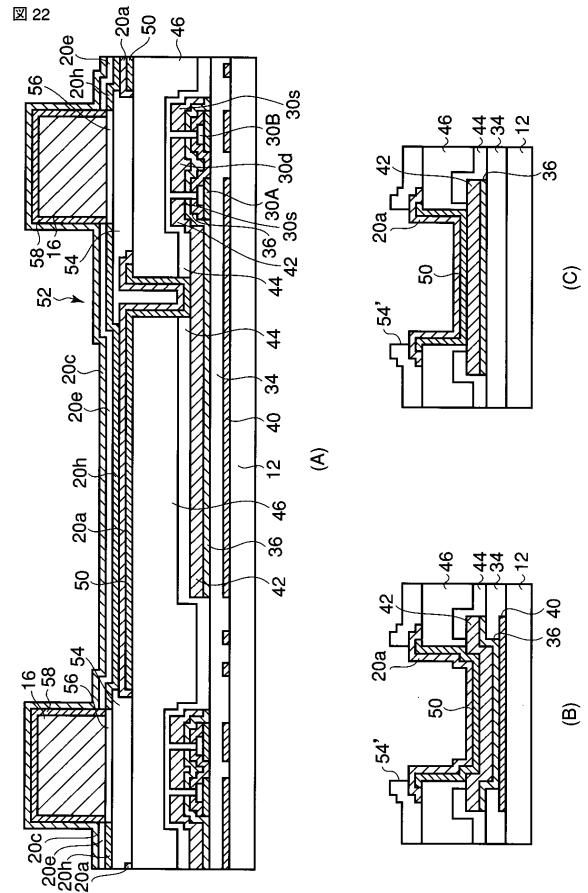
【 図 2 0 】



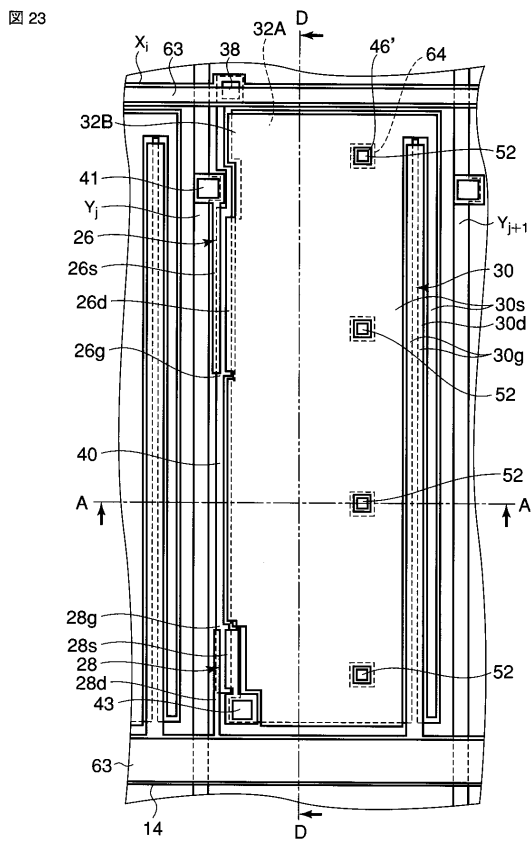
【図 2 1】



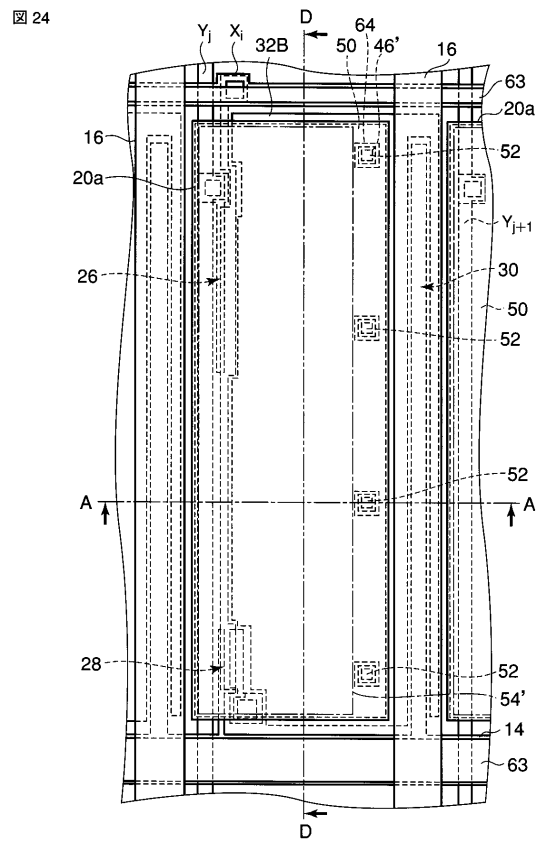
【図 2 2】



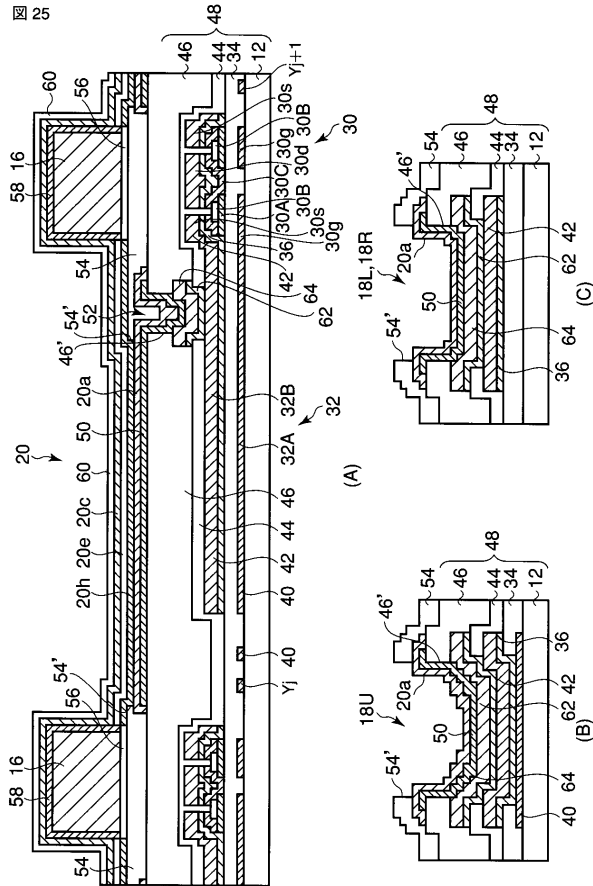
【図 2 3】



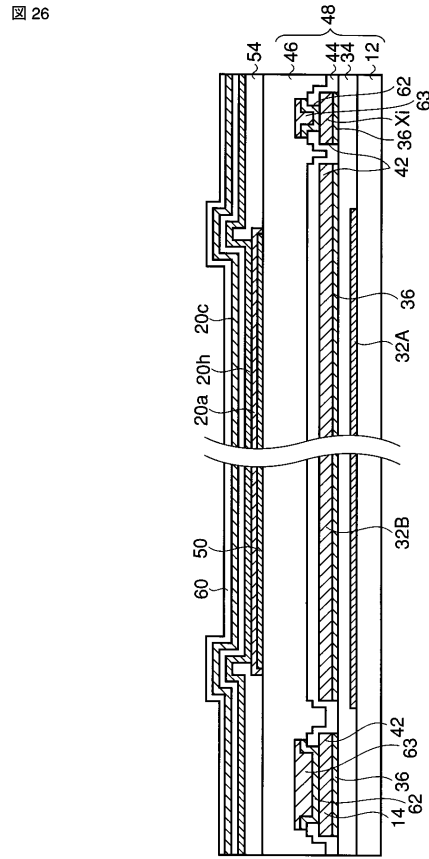
【図 2 4】



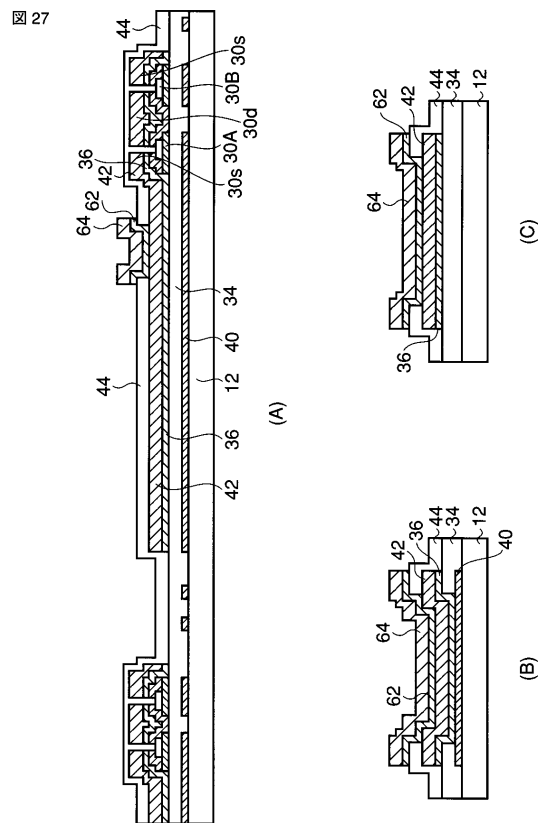
【 図 2 5 】



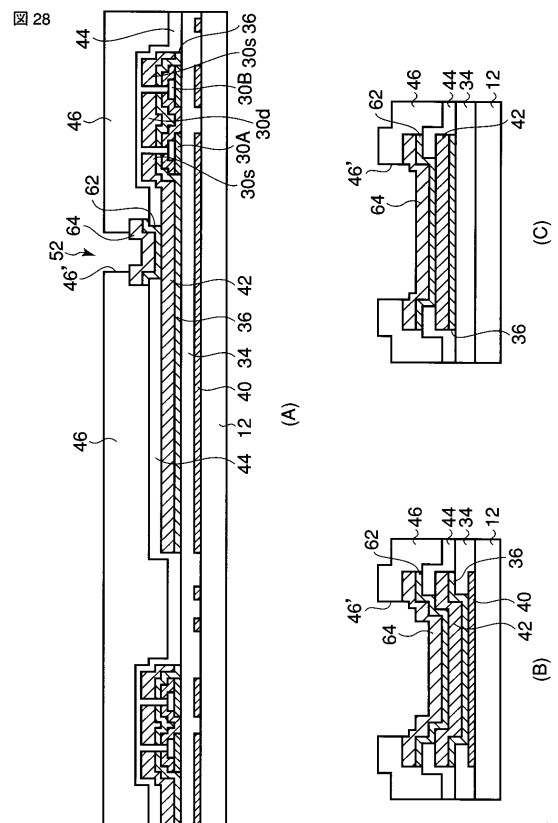
【 図 2 6 】



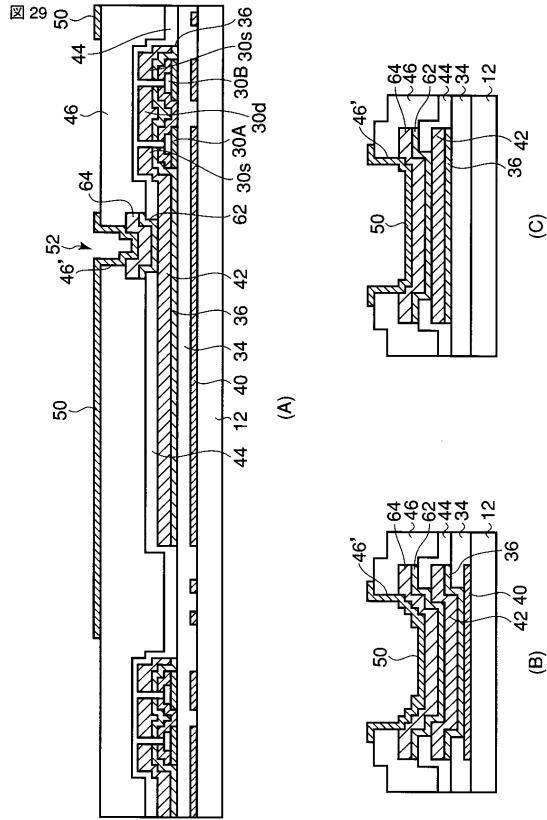
【 図 2 7 】



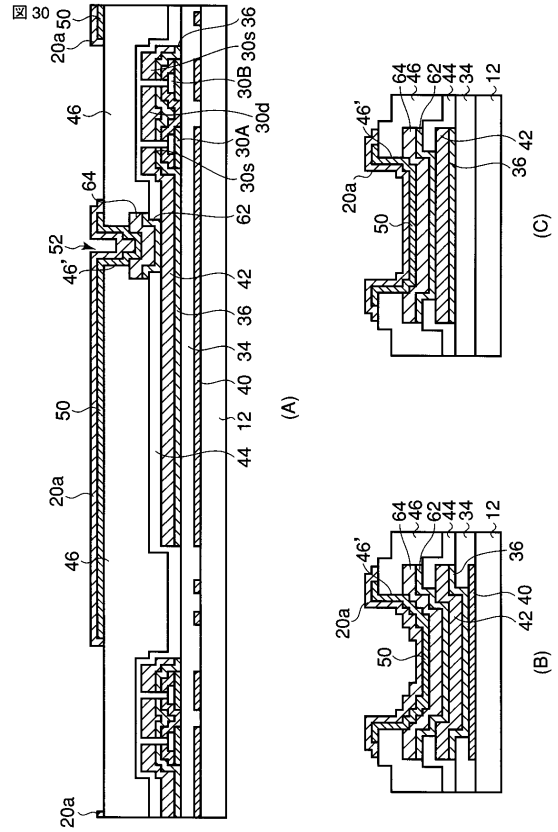
【 図 2 8 】



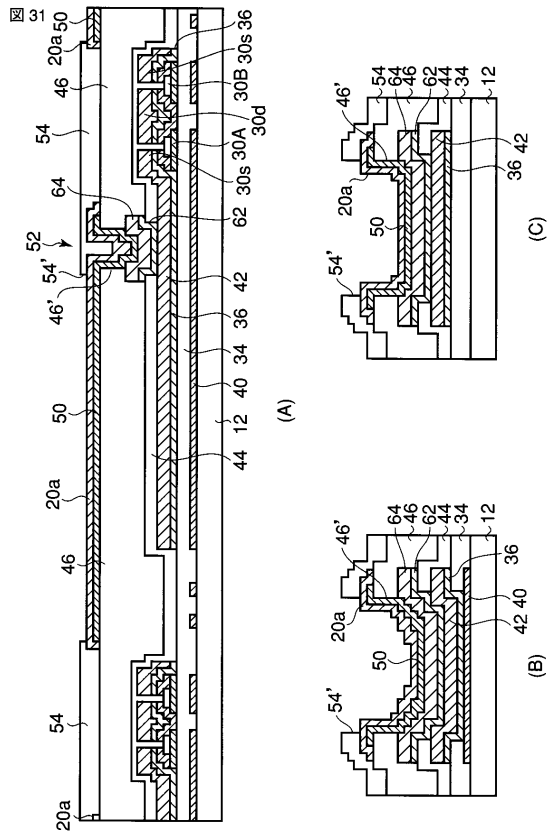
【図 29】



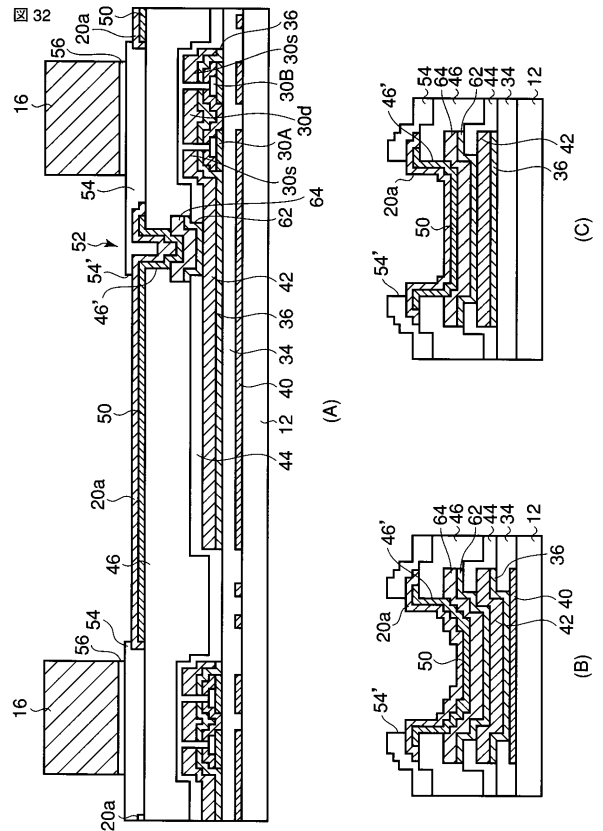
【図 30】



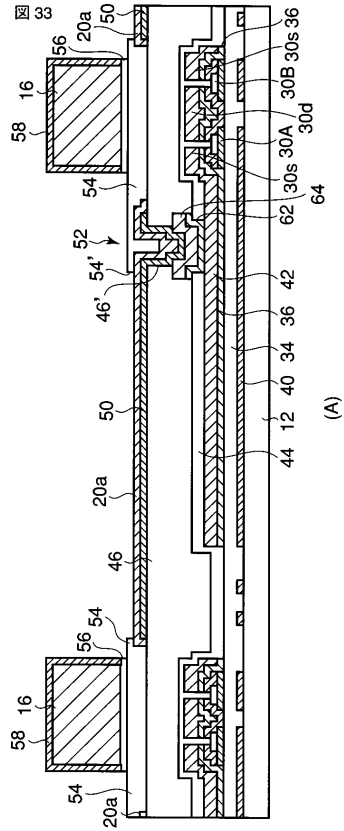
【図 31】



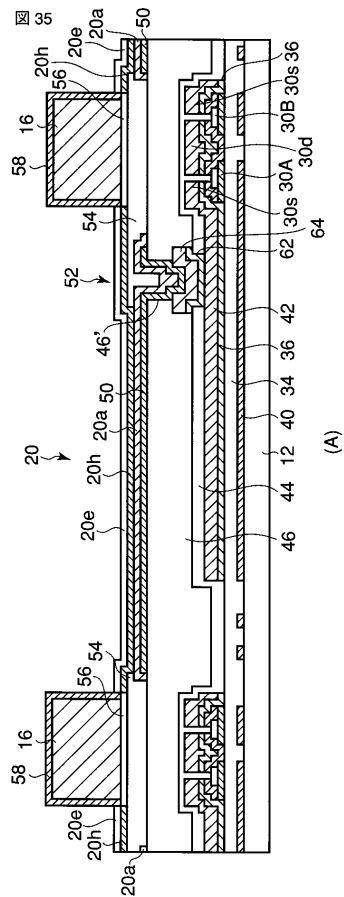
【図 32】



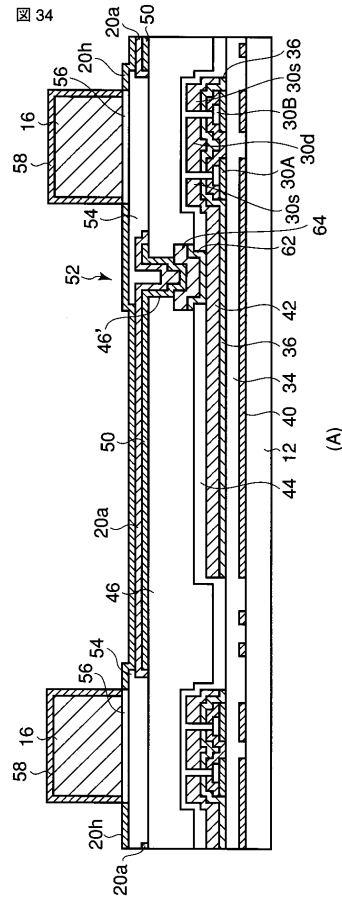
【 図 3 3 】



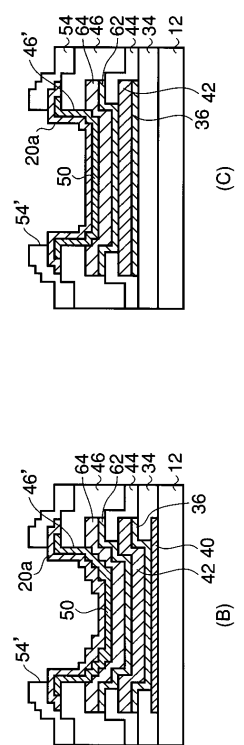
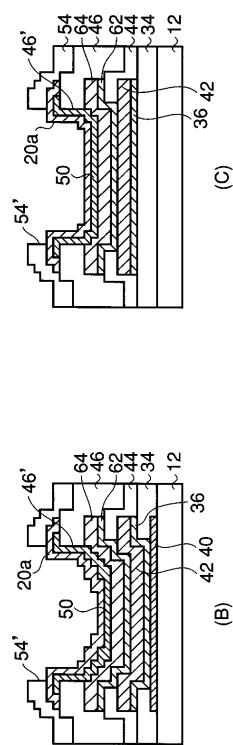
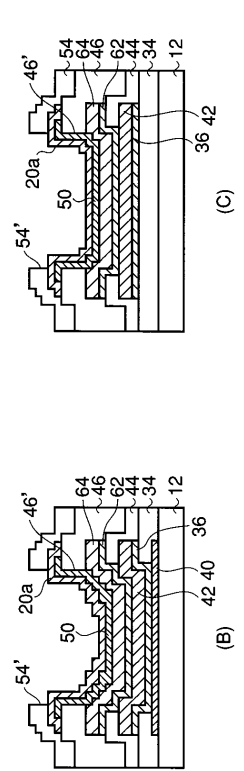
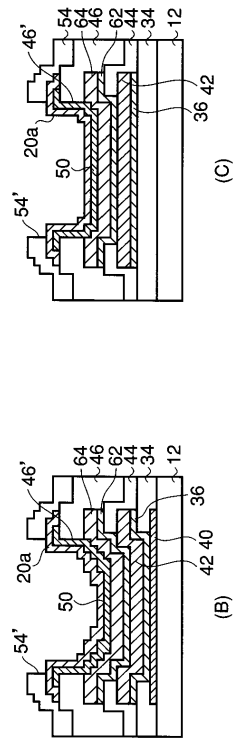
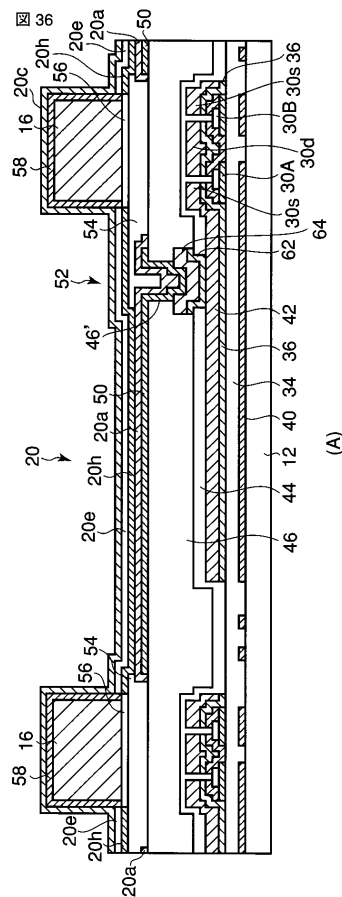
【 図 3 5 】



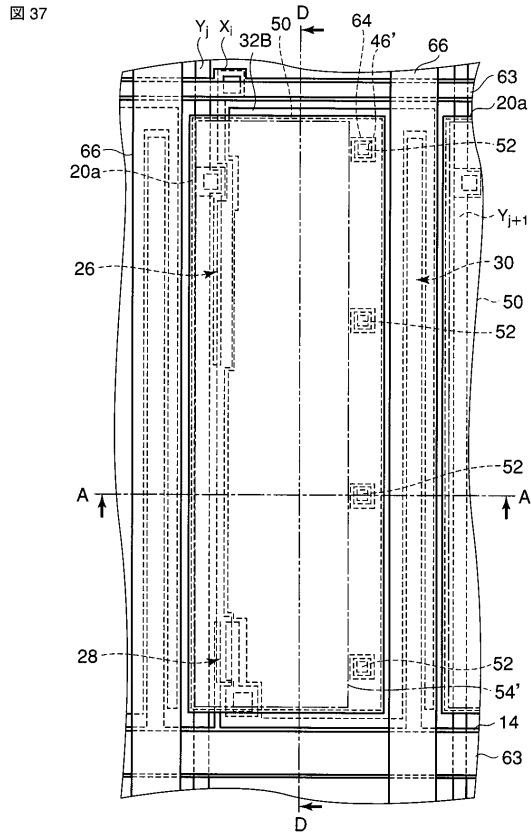
【 図 3 4 】



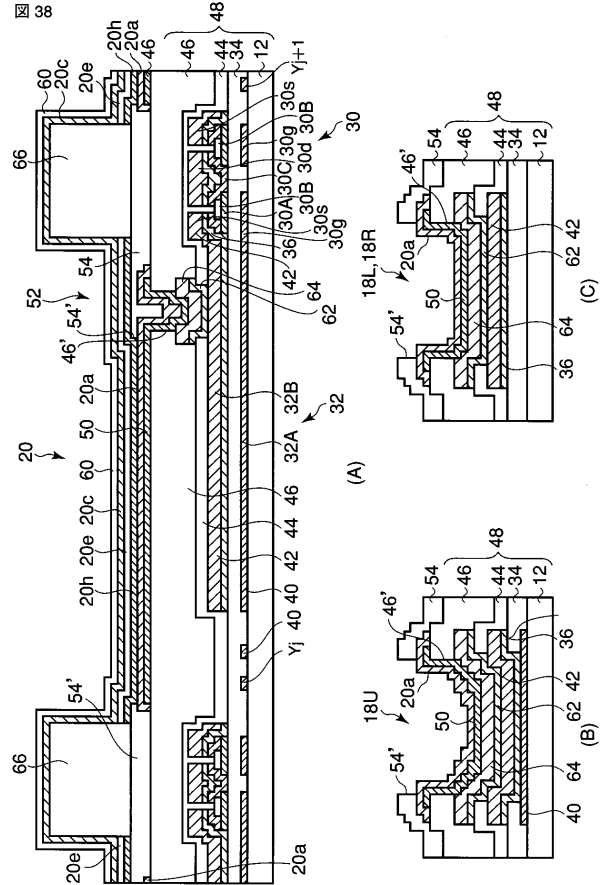
【 図 3 6 】



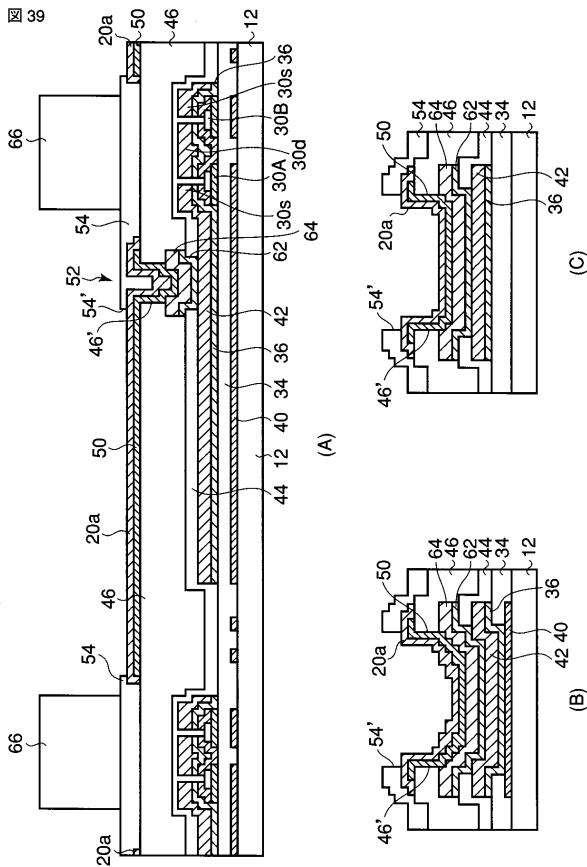
【 図 3 7 】



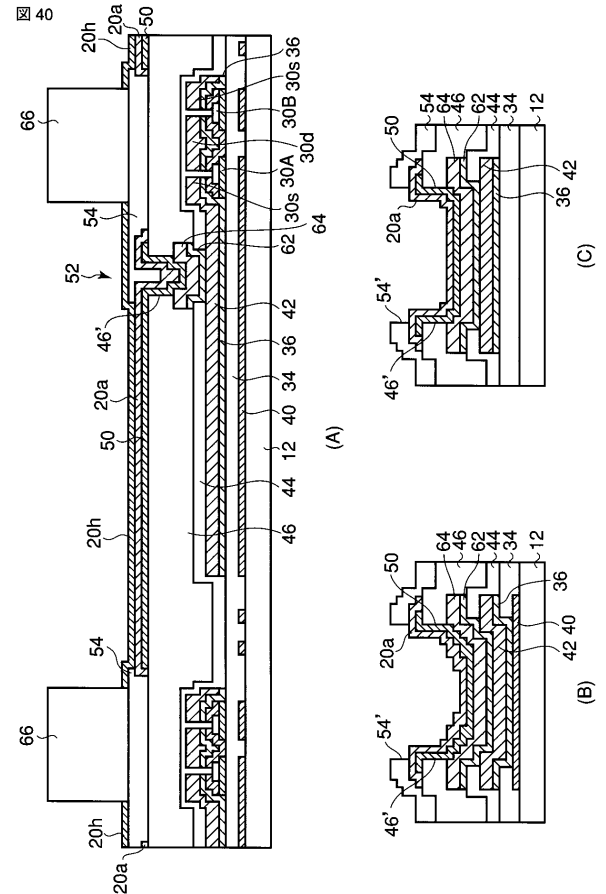
【 図 3 8 】



【 ㄗ 3 9 】



【 図 4 0 】



【 図 4 2 】

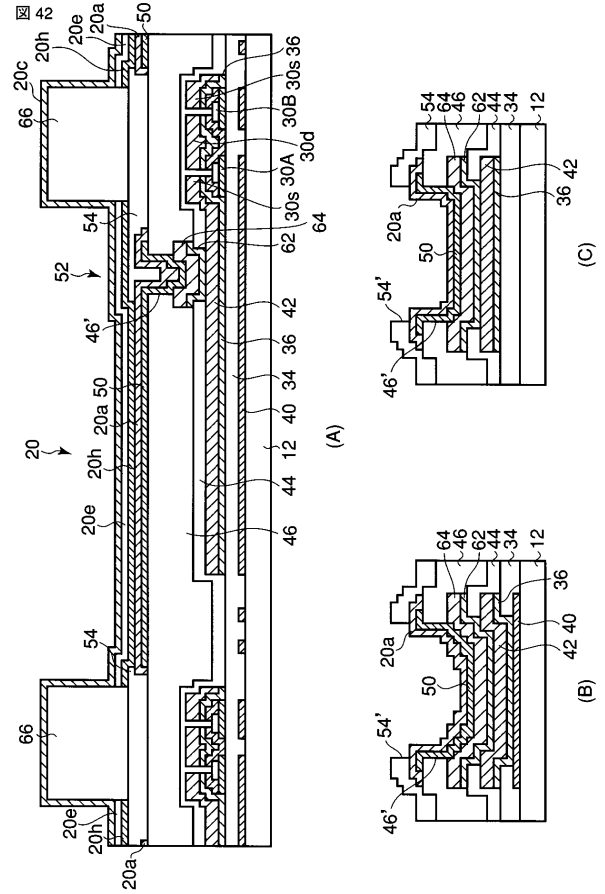


図 43

The diagram shows a cross-section of a semiconductor device. It consists of several layers: a bottom substrate (1) with diagonal hatching, an aluminum-based electrode layer (2) with horizontal hatching, and an ITO electrode layer (3) with vertical hatching. A resist layer (5) is on top of the ITO layer. A pin hole (4) is shown in the ITO layer, extending down to the aluminum layer. An insulating film (6) is on the left side of the ITO layer. A peeling liquid (5) is shown on the right side of the resist layer.

5 レジスト剥離液

6 絶縁膜

4 ピンホール

3 ITO電極

2 アルミニウム系電極

1 下地層

図 44

Al系金属が酸化される ITOが還元される

Figure 44 consists of two cross-sectional diagrams, (A) and (B), illustrating the state of a layered structure during different processes. Both diagrams show a substrate (1) with diagonal hatching, a middle layer (2) with horizontal hatching, and a top layer (3) with diagonal hatching. In diagram (A), an additional layer (5) with horizontal dashed lines is on top of layer 3. A downward arrow points from layer 5 into layer 3, labeled 'Al系金属が酸化される' (Al-based metal is oxidized). An upward arrow points from layer 3 into layer 5, labeled 'ITOが還元される' (ITO is reduced). In diagram (B), the top layer (3) is shown in two separate blocks, indicating a partial removal or etching process, while the middle layer (2) and substrate (1) remain intact.

(A)

(B)

フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 当山 忠久

東京都八王子市石川町 2 9 5 1 番地の 5 カシオ計算機株式会社八王子技術センター内

F ターム(参考) 3K107 AA01 BB01 CC26 CC45 DD03 DD23 DD24 DD28 DD29 DD38

DD44X DD44Y EE03

5C094 AA42 BA03 BA27 CA19 EA04 EA06 ED11 GB10

专利名称(译)	使用发光元件的显示面板及其制造方法		
公开(公告)号	JP2008041277A	公开(公告)日	2008-02-21
申请号	JP2006210090	申请日	2006-08-01
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	当山忠久		
发明人	当山 忠久		
IPC分类号	H05B33/26 H01L51/50 H05B33/10 G09F9/30 H01L27/32		
FI分类号	H05B33/26.Z H05B33/14.A H05B33/10 G09F9/30.338 G09F9/30.365.Z G09F9/30.365 H01L27/32 H05B33/06		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC26 3K107/CC45 3K107/DD03 3K107/DD23 3K107/DD24 3K107/DD28 3K107/DD29 3K107/DD38 3K107/DD44X 3K107/DD44Y 3K107/EE03 5C094/AA42 5C094/BA03 5C094/BA27 5C094/CA19 5C094/EA04 5C094/EA06 5C094/ED11 5C094/GB10		
代理人(译)	河野 哲 中村诚		
其他公开文献	JP4872510B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了能够以高产率形成使用发光元件的显示面板，其中即使在由铝基金属制成的布线层之间的接触部分处的透明阳极电极中打开针孔在布线端子部分处的透明阳极电极。
 解决方案：在顶部发光型有机EL显示板的布线端子部分中，其中有机EL元件用作发光元件，反射层50以完全覆盖a的形状形成在漏极布线层42上。露出该漏极配线层42的区域，此外，通过将透明阳极电极20a形成完全覆盖反射层50的形状，即使在透明阳极电极20a中打开针孔，也可以组合透明阳极电极20a和反射层50能够以优异的成品率形成布线端子部分，因为抗蚀剂剥离液中的电池反应不能进行。
 图

