

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-108380

(P2007-108380A)

(43) 公開日 平成19年4月26日(2007.4.26)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
H01L 51/50 (2006.01)	G09G 3/20 670J	
	G09G 3/20 624B	
	G09G 3/20 612E	
審査請求 未請求 請求項の数 8 O L (全 46 頁) 最終頁に続く		

(21) 出願番号 特願2005-298496 (P2005-298496)
 (22) 出願日 平成17年10月13日 (2005.10.13)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 山本 哲郎
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 (72) 発明者 内野 勝秀
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 (72) 発明者 山下 淳一
 東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

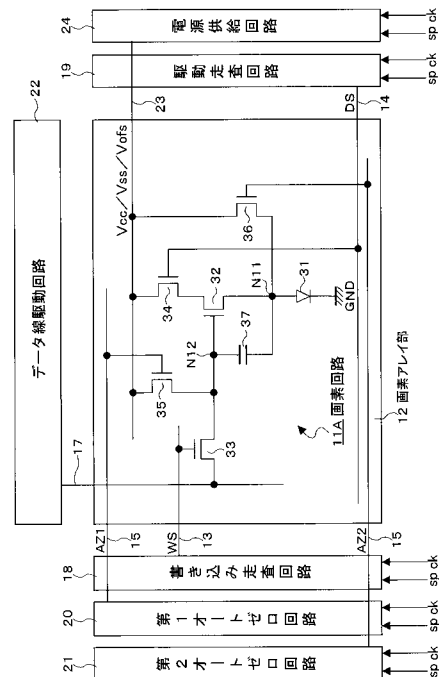
(54) 【発明の名称】 表示装置および表示装置の駆動方法

(57) 【要約】

【課題】異なる電源電位をそれぞれ別々の電源線で供給したのでは、電源線の配線本数が多くなってしまふ。

【解決手段】駆動TFT32、サンプリングTFT33およびスイッチングTFT34～36の5個のトランジスタと1個のキャパシタ37という少ない構成素子数で、有機EL素子31の特性変動に対する補償機能と、駆動TFT32のV_{th}変動に対する補償機能とを実現した上で、1本の電源線23を兼用して3種類の電源電位V_{cc}/V_{ss}/V_{ofs}を選択的に供給することで、電源線の配線本数を削減する。

【選択図】 図10



【特許請求の範囲】

【請求項 1】

一端が第 1 の電源電位に接続された電気光学素子と、
 前記電気光学素子の他端にソースが接続された N チャンネル型の薄膜トランジスタからなる駆動トランジスタと、
 データ線と前記駆動トランジスタのゲートとの間に接続され、前記データ線から輝度情報に応じた入力信号を取り込むサンプリングトランジスタと、
 電源線と前記駆動トランジスタのドレインとの間に接続された第 1 スイッチングトランジスタと、
 前記電源線と前記駆動トランジスタのゲートとの間に接続された第 2 スイッチングトランジスタと、
 前記電源線と前記駆動トランジスタのソースとの間に接続された第 3 スイッチングトランジスタと、
 前記駆動トランジスタのゲートとソースとの間に接続されたキャパシタと
 を有する画素回路が行列状に配置されてなる画素アレイ部と、
 前記電源線に対して第 2 の電源電位、当該第 2 の電源電位よりも低い第 3 の電源電位および所定の電位を選択的に供給する電源供給手段と、
 前記電気光学素子の非発光期間において前記電源線に前記第 2 の電源電位が供給されているときに前記サンプリングトランジスタを導通状態にする第 1 の駆動手段と、
 前記電気光学素子の非発光期間において前記電源線に前記所定の電位が供給されているときに前記第 2 スイッチングトランジスタを導通状態にする第 2 の駆動手段と、
 前記電気光学素子の発光期間と前記電源線に前記所定の電位が供給されている期間に前記第 1 スイッチングトランジスタを導通状態にする第 3 の駆動手段と、
 前記電源線に前記第 3 の電源電位が供給されている期間において前記第 2 スイッチングトランジスタが非導通状態にあるときに前記第 3 スイッチングトランジスタを導通状態にする第 4 の駆動手段と
 を具備することを特徴とする表示装置。

【請求項 2】

一端が第 1 の電源電位に接続された電気光学素子と、
 前記電気光学素子の他端にソースが接続された N チャンネル型の薄膜トランジスタからなる駆動トランジスタと、
 データ線と前記駆動トランジスタのゲートとの間に接続され、前記データ線から輝度情報に応じた入力信号を取り込むサンプリングトランジスタと、
 電源線と前記駆動トランジスタのドレインとの間に接続された第 1 スイッチングトランジスタと、
 前記電源線と前記駆動トランジスタのゲートとの間に接続された第 2 スイッチングトランジスタと、
 前記電源線と前記駆動トランジスタのソースとの間に接続された第 3 スイッチングトランジスタと、
 前記駆動トランジスタのゲートとソースとの間に接続されたキャパシタと
 を有する画素回路が行列状に配置されてなる表示装置の駆動方法であって、
 前記第 1 スイッチングトランジスタを非導通状態にして前記電気光学素子の発光期間から非発光期間に移行させる第 1 ステップと、
 前記非発光期間に入った後に前記電源線の電位を第 2 の電源電位から当該第 2 の電源電位よりも低い第 3 の電源電位に切り替える第 2 ステップと、
 前記電源線の電位が前記第 3 の電源電位のとときに前記第 3 スイッチングトランジスタを導通状態にする第 3 ステップと、
 前記第 3 スイッチングトランジスタが非導通状態になった後に前記電源線の電位を前記第 3 の電源電位から所定の電位に切り替える第 4 ステップと、
 前記電源線の電位が前記所定の電位のとときに前記第 2 スイッチングトランジスタを導通

状態にする第 5 ステップと、

前記第 2 スイッチングトランジスタの導通期間内において前記第 1 スイッチングトランジスタを導通状態にする第 6 ステップと、

前記第 2 スイッチングトランジスタが非導通状態になった後に前記電源線の電位を前記所定の電位から前記第 2 電源電位に切り替える第 7 ステップと、

前記非発光期間において前記電源線の電位が前記第 2 電源電位のとときに前記サンプリングトランジスタを導通状態にする第 8 ステップと

を有することを特徴とする表示装置の駆動方法。

【請求項 3】

一端が第 1 の電源電位に接続された電気光学素子と、

前記電気光学素子の他端にソースが接続された N チャンネル型の薄膜トランジスタからなる駆動トランジスタと、

データ線と前記駆動トランジスタのゲートとの間に接続され、前記データ線から輝度情報に応じた入力信号を取り込むサンプリングトランジスタと、

電源線と前記駆動トランジスタのドレインとの間に接続された第 1 スイッチングトランジスタと、

所定の電位と前記駆動トランジスタのゲートとの間に接続された第 2 スイッチングトランジスタと、

前記電源線と前記駆動トランジスタのソースとの間に接続された第 3 スイッチングトランジスタと、

前記駆動トランジスタのゲートとソースとの間に接続されたキャパシタと

を有する画素回路が行列状に配置されてなる画素アレイ部と、

前記電源線に対して第 2 の電源電位および当該第 2 の電源電位よりも低い第 3 の電源電位を選択的に供給する電源供給手段と、

前記電気光学素子の非発光期間において前記電源線に前記第 2 の電源電位が供給されているときに前記サンプリングトランジスタを導通状態にする第 1 の駆動手段と、

前記電気光学素子の発光期間と前記非発光期間内で前記電源線に前記第 2 の電源電位が供給されている一定の期間に前記第 1 スイッチングトランジスタを導通状態にする第 2 の駆動手段と、

前記非発光期間内において前記電源線に前記第 2 の電源電位が供給されている期間および前記第 1 スイッチングトランジスタが導通状態にある期間に前記第 2 スイッチングトランジスタを導通状態にする第 3 の駆動手段と、

前記電源線に前記第 3 の電源電位が供給されている期間において前記第 2 スイッチングトランジスタが導通状態にあるときに前記第 3 スイッチングトランジスタを導通状態にする第 4 の駆動手段と

を具備することを特徴とする表示装置。

【請求項 4】

一端が第 1 の電源電位に接続された電気光学素子と、

前記電気光学素子の他端にソースが接続された N チャンネル型の薄膜トランジスタからなる駆動トランジスタと、

データ線と前記駆動トランジスタのゲートとの間に接続され、前記データ線から輝度情報に応じた入力信号を取り込むサンプリングトランジスタと、

電源線と前記駆動トランジスタのドレインとの間に接続された第 1 スイッチングトランジスタと、

所定の電位と前記駆動トランジスタのゲートとの間に接続された第 2 スイッチングトランジスタと、

前記電源線と前記駆動トランジスタのソースとの間に接続された第 3 スイッチングトランジスタと、

前記駆動トランジスタのゲートとソースとの間に接続されたキャパシタと

を有する画素回路が行列状に配置されてなる表示装置の駆動方法であって、

10

20

30

40

50

前記第 1 スイッチングトランジスタを非導通状態にして前記電気光学素子の発光期間から非発光期間に移行させる第 1 ステップと、

前記非発光期間に入った後に前記第 2 スイッチングトランジスタを導通状態にする第 2 ステップと、

前記第 2 スイッチングトランジスタが導通状態になった後に前記電源線の電位を第 2 の電源電位から当該第 2 の電源電位よりも低い第 3 の電源電位に切り替える第 3 ステップと、

前記電源線の電位が前記第 3 の電源電位のとときに前記第 3 スイッチングトランジスタを導通状態にする第 4 ステップと、

前記第 3 スイッチングトランジスタが非導通状態になった後に前記電源線の電位を前記第 3 の電源電位から前記第 2 の電源電位に切り替える第 5 ステップと、

前記電源線の電位が前記第 2 の電源電位のとときに前記第 1 スイッチングトランジスタを導通状態にする第 6 ステップと、

前記第 1 スイッチングトランジスタが非導通状態になった後に前記第 2 スイッチングトランジスタを非導通状態にする第 7 ステップと、

前記第 2 スイッチングトランジスタが非導通状態になった後に前記サンプリングトランジスタを導通状態にする第 8 ステップと

を有する表示装置の駆動方法。

【請求項 5】

一端が第 1 の電源電位に接続された電気光学素子と、

前記電気光学素子の他端にソースが接続された N チャンネル型の薄膜トランジスタからなる駆動トランジスタと、

データ線と前記駆動トランジスタのゲートとの間に接続され、前記データ線から輝度情報に応じた入力信号を取り込むサンプリングトランジスタと、

電源線と前記駆動トランジスタのドレインとの間に接続された第 1 スイッチングトランジスタと、

前記電源線と前記駆動トランジスタのゲートとの間に接続された第 2 スイッチングトランジスタと、

第 3 の電源電位と前記駆動トランジスタのソースとの間に接続された第 3 スイッチングトランジスタと、

前記駆動トランジスタのゲートとソースとの間に接続されたキャパシタと

を有する画素回路が行列状に配置されてなる画素アレイ部と、

前記電源線に対して前記第 3 の電源電位よりも高い第 2 の電源電位および所定の電位を選択的に供給する電源供給手段と、

前記電気光学素子の非発光期間において前記電源線に前記第 2 の電源電位が供給されているときに前記サンプリングトランジスタを導通状態にする第 1 の駆動手段と、

前記非発光期間において前記電源線に前記所定の電位が供給されているときに前記第 2 スイッチングトランジスタを導通状態にする第 2 の駆動手段と、

前記電気光学素子の発光期間に前記第 1 スイッチングトランジスタを導通状態にするとともに、前記電源線に前記所定の電位が供給されている期間において前記第 2 スイッチングトランジスタが導通状態にあるときに前記第 1 スイッチングトランジスタを導通状態にする第 3 の駆動手段と、

前記電源線に前記第 3 の電源電位が供給されている期間において前記第 2 スイッチングトランジスタが導通状態にあるときに前記第 3 スイッチングトランジスタを導通状態にする第 4 の駆動手段と

を具備することを特徴とする表示装置。

【請求項 6】

一端が第 1 の電源電位に接続された電気光学素子と、

前記電気光学素子の他端にソースが接続された N チャンネル型の薄膜トランジスタからなる駆動トランジスタと、

10

20

30

40

50

データ線と前記駆動トランジスタのゲートとの間に接続され、前記データ線から輝度情報に応じた入力信号を取り込むサンプリングトランジスタと、

電源線と前記駆動トランジスタのドレインとの間に接続された第1スイッチングトランジスタと、

前記電源線と前記駆動トランジスタのゲートとの間に接続された第2スイッチングトランジスタと、

第3の電源電位と前記駆動トランジスタのソースとの間に接続された第3スイッチングトランジスタと、

前記駆動トランジスタのゲートとソースとの間に接続されたキャパシタと

を有する画素回路が行列状に配置されてなる表示装置の駆動方法であって、

10

前記第1スイッチングトランジスタを非導通状態にして前記電気光学素子の発光期間から非発光期間に移行させる第1ステップと、

前記非発光期間に入った後に前記電源線の電位を前記第3の電源電位よりも高い第2の電源電位から所定の電位に切り替える第2ステップと、

前記電源線の電位が前記所定の電位のとときに前記第2スイッチングトランジスタを導通状態にする第3ステップと、

前記第2スイッチングトランジスタの導通期間において前記第3スイッチングトランジスタを導通状態にする第4ステップと、

前記第2スイッチングトランジスタの導通期間内であって前記第3スイッチングトランジスタが非導通状態になった後に前記第1スイッチングトランジスタを導通状態にする第5ステップと、

20

前記第1スイッチングトランジスタが非導通状態になった後に前記第2スイッチングトランジスタを非導通状態にする第6ステップと、

前記第2スイッチングトランジスタが非導通状態になった後に前記電源線の電位を前記所定の電位から前記第2の電位に切り替える第7ステップと、

前記電源線の電位が前記第2の電位に切り替わった後に前記サンプリングトランジスタを導通状態にする第8ステップと

を有する表示装置の駆動方法。

【請求項7】

一端が第1の電源電位に接続された電気光学素子と、

30

前記電気光学素子の他端にソースが接続されたNチャンネル型の薄膜トランジスタからなる駆動トランジスタと、

データ線と前記駆動トランジスタのゲートとの間に接続され、前記データ線から輝度情報に応じた入力信号を取り込むサンプリングトランジスタと、

電源線と前記駆動トランジスタのドレインとの間に接続された第1スイッチングトランジスタと、

前記駆動トランジスタのゲートとドレインとの間に接続された第2スイッチングトランジスタと、

第3の電源電位と前記駆動トランジスタのソースとの間に接続された第3スイッチングトランジスタと、

40

前記駆動トランジスタのゲートとソースとの間に接続されたキャパシタと

を有する画素回路が行列状に配置されてなる画素アレイ部と、

前記電源線に対して前記第3の電源電位よりも高い第2の電源電位および所定の電位を選択的に供給する電源供給手段と、

前記電気光学素子の非発光期間において前記電源線に前記第2の電源電位が供給されているときに前記サンプリングトランジスタを導通状態にする第1の駆動手段と、

前記非発光期間において前記電源線に前記所定の電位が供給されているときに前記第2スイッチングトランジスタを導通状態にする第2の駆動手段と、

前記電気光学素子の発光期間に前記第1スイッチングトランジスタを導通状態にするとともに、前記電源線に前記所定の電位が供給されている期間において前記第2スイッチ

50

ゲトランジスタが導通状態にあるときに前記第 1 スイッチングトランジスタを導通状態にしかつ前記第 2 スイッチングトランジスタが非導通状態になった後に前記第 1 スイッチングトランジスタを非導通状態にする第 3 の駆動手段と、

前記電源線に前記第 3 の電源電位が供給されている期間において前記第 2 スイッチングトランジスタが導通状態にあるときに前記第 3 スイッチングトランジスタを導通状態にする第 4 の駆動手段と

を具備することを特徴とする表示装置。

【請求項 8】

一端が第 1 の電源電位に接続された電気光学素子と、

前記電気光学素子の他端にソースが接続された N チャンネル型の薄膜トランジスタからなる駆動トランジスタと、 10

データ線と前記駆動トランジスタのゲートとの間に接続され、前記データ線から輝度情報に応じた入力信号を取り込むサンプリングトランジスタと、

電源線と前記駆動トランジスタのドレインとの間に接続された第 1 スイッチングトランジスタと、

前記駆動トランジスタのゲートとドレインとの間に接続された第 2 スイッチングトランジスタと、

第 3 の電源電位と前記駆動トランジスタのソースとの間に接続された第 3 スイッチングトランジスタと、

前記駆動トランジスタのゲートとソースとの間に接続されたキャパシタと 20

を有する画素回路が行列状に配置されてなる表示装置の駆動方法であって、

前記第 1 スイッチングトランジスタを非導通状態にして前記電気光学素子の発光期間から非発光期間に移行させる第 1 ステップと、

前記非発光期間に入った後に前記電源線の電位を前記第 3 の電源電位よりも高い第 2 の電源電位から所定の電位に切り替える第 2 ステップと、

前記電源線の電位が前記所定の電位のときに前記第 2 スイッチングトランジスタを導通状態にする第 3 ステップと、

前記第 2 スイッチングトランジスタの導通期間において前記第 3 スイッチングトランジスタを導通状態にする第 4 ステップと、

前記第 2 スイッチングトランジスタの導通期間内に前記第 1 スイッチングトランジスタを導通状態にし、前記第 2 スイッチングトランジスタの導通期間が経過した後に前記第 1 スイッチングトランジスタを非導通状態にする第 5 ステップと、 30

前記第 1 スイッチングトランジスタが非導通状態になった後に前記電源線の電位を前記所定の電位から前記第 2 の電位に切り替える第 6 ステップと、

前記電源線の電位が前記第 2 の電位に切り替わった後に前記サンプリングトランジスタを導通状態にする第 7 ステップと

を有する表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】 40

本発明は、表示装置および表示装置の駆動方法に関し、特に電気光学素子を含む画素回路が行列状（マトリクス状）に配置されてなる表示装置および当該表示装置の駆動方法に関する。

【背景技術】

【0002】

近年、電気光学素子として、電流値に応じて発光輝度が変化するいわゆる電流駆動型の発光素子、例えば有機 EL (electro luminescence) 素子を含む画素回路が行列状に多数配置されてなる有機 EL 表示装置が開発され、商品化が進められている。有機 EL 表示装置は、有機 EL 素子が自発光素子であることから、液晶セルを含む画素回路によって光源（バックライト）からの光強度を制御する液晶表示装置に比べて、画像の視認性が高い、 50

バックライトが不要、応答速度が速い等の特長を持っている。

【0003】

有機EL表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が簡単であるものの、大型でかつ高精細な表示装置の実現が難しいなどの問題がある。そのため、近年、発光素子に流れる電流を、当該発光素子と同じ画素回路内に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ(Thin Film Transistor; TFT))によって制御するアクティブマトリクス方式の表示装置の開発が盛んに行われている。

【0004】

能動素子として薄膜トランジスタ（以下、「TFT」と記述する）を用いた画素回路において、当該TFTとしてNチャネル型のトランジスタを用いることができれば、TFTの作成に当たって、従来のアモルファスシリコン（a-Si）プロセスを用いることが可能になる。そして、a-Siプロセスを用いることで、TFT基板の低コスト化を図ることができる。

10

【0005】

ところで、一般的に、有機EL素子の電流-電圧（I-V）特性は、時間が経過すると劣化（経時劣化）する。Nチャネル型のTFTを用いた画素回路では、有機EL素子を電流駆動するTFT（以下、「駆動TFT」と記述する）のソースが有機EL素子に接続されることになるために、有機EL素子のI-V特性が経時変化すると、駆動TFTのゲート・ソース間電圧 V_{gs} が変化し、その結果有機EL素子の発光輝度も変化する。

20

【0006】

このことについてより具体的に説明する。駆動TFTのソース電圧は、当該駆動TFTと有機EL素子との動作点で決まる。有機EL素子のI-V特性が劣化すると、駆動TFTと有機EL素子との動作点が変わってしまうために、駆動TFTに同じゲート電圧を印加したとしても、駆動TFTのソース電圧が変化する。これにより、駆動TFTのソース・ゲート間電圧 V_{gs} が変化し、当該駆動TFTに流れる電流値が変化するために、有機EL素子に流れる電流値も変化し、その結果有機EL素子の発光輝度が変化する。

【0007】

また、Nチャネル型のTFTを用いた画素回路では、有機EL素子のI-V特性の経時劣化に加えて、駆動TFTの閾値電圧 V_{th} が経時的に変化したり、当該閾値電圧 V_{th} が画素ごとに異なったりする。駆動TFTの閾値電圧 V_{th} が異なると、駆動TFTに流れる電流値にバラツキが生じるために、駆動TFTに同じゲート電圧を印加しても、有機EL素子の発光輝度が変化する。

30

【0008】

従来は、有機EL素子のI-V特性が経時劣化したり、駆動TFTの閾値電圧 V_{th} が経時変化したりしても、それらの影響を受けることなく、有機EL素子の発光輝度を一定に保つようにするために、有機EL素子の特性変動に対する補償機能および駆動TFTの V_{th} 変動に対する補償機能を画素回路の各々に持たせる構成を採っていた（例えば、特許文献1参照）。この特許文献1に係る従来技術について以下に説明する。

40

【0009】

【特許文献1】特開2004-361640号公報

【0010】

図45は、従来例に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。本従来例に係るアクティブマトリクス型表示装置は、電流駆動型の発光素子、例えば有機EL素子を含む画素回路101が行列状に多数配置されてなる画素アレイ部102を有している。ここでは、図面の簡略化のために、ある1つの画素回路101についてその具体的な回路構成を示している。

【0011】

この画素アレイ部102において、画素回路101の各々に対して各行毎に走査線10

50

3、第1、第2駆動線104、105およびオートゼロ線106がそれぞれ配線され、また各列毎にデータ線107が配線されている。この画素アレイ部102の周囲には、走査線103を駆動する書き込み走査回路108と、第1、第2駆動線104、105を駆動する第1、第2駆動走査回路109、110と、オートゼロ線106を駆動するオートゼロ回路111と、輝度情報に応じたデータ信号をデータ線107に供給するデータ線駆動回路112とが配置されている。

【0012】

画素回路101は、有機EL素子201と、駆動トランジスタ202、キャパシタ(保持容量)203、204、サンプリングトランジスタ205およびスイッチングトランジスタ206~209を構成素子として有している。駆動トランジスタ202、サンプリングトランジスタ205およびスイッチングトランジスタ204~209としては、例えばNチャンネル型の電界効果TFT(薄膜トランジスタ)が用いられている。以下、駆動トランジスタ202、サンプリングトランジスタ205およびスイッチングトランジスタ206~209を、駆動TFT202、サンプリングTFT205およびスイッチングTFT206~209と記述するものとする。

10

【0013】

有機EL素子201は、カソード電極が接地電位GNDに接続されている。駆動TFT202は、有機EL素子201を発光駆動するトランジスタであり、ソースが有機EL素子201のアノード電極に接続されてソースフォロア回路を形成している。キャパシタ203は保持容量であり、一端がTFT駆動202のゲートに、他端が駆動TFT202のソースと有機EL素子201のアノード電極との接続ノードN101にそれぞれ接続されている。

20

【0014】

サンプリングTFT205は、一端がデータ線107に、他端が駆動TFT202のゲートに、ゲートが走査線103にそれぞれ接続されている。キャパシタ204は、一端がノードN104に、他端が駆動TFT202のゲートとキャパシタ203の一端との接続ノードN102にそれぞれ接続されている。スイッチングTFT206は、ドレインが接続ノードN101に、ソースが電源電位V_{ss}にそれぞれ接続されている。

【0015】

スイッチングTFT207は、ドレインが正側電源電位V_{cc}に、ソースが駆動TFT202のドレインに、ゲートが第2駆動線105にそれぞれ接続されている。スイッチングTFT208は、一端が駆動TFT202のドレインとスイッチングTFT207のソースとの接続ノードN103に、他端が接続ノードN102に、ゲートがオートゼロ線106にそれぞれ接続されている。スイッチングTFT209は、一端が所定電位V_{ofs}に、他端がノードN104に、ゲートがオートゼロ線106にそれぞれ接続されている。

30

【0016】

続いて、上記構成の画素回路101をマトリクス状に2次元配置してなるアクティブマトリクス型有機EL表示装置の回路動作について、図46のタイミングチャートを用いて説明する。

【0017】

図46には、ある行の画素回路101を駆動する際に、書き込み走査回路108から走査線103を介して画素回路101に与えられる書き込み信号WS、第1、第2駆動走査回路109、110から第1、第2駆動線104、105を介して画素回路101に与えられる第1、第2駆動信号DS1、DS2およびオートゼロ回路111からオートゼロ線106を介して画素回路101に与えられるオートゼロ信号AZのタイミング関係を示している。

40

【0018】

通常の発光状態では、書き込み走査回路108から出力される書き込み信号WS、第1駆動走査回路109から出力される駆動信号DS1およびオートゼロ回路111から出力されるオートゼロ信号AZが“L”レベルにあり、第2駆動走査回路110から出力され

50

る駆動信号DS2が“H”レベルにあるために、サンプリングTF T 205およびスイッチングTF T 206, 208, 209はオフした状態にあり、スイッチングTF T 207がオンした状態にある。

【0019】

このとき、駆動TF T 202は、飽和領域で動作するように設計されているために定電流源として動作する。その結果、有機EL素子201には駆動TF T 202から、下記の式(1)で与えられる一定電流Idsが供給される。

$$I_{ds} = 1/2 \cdot \mu (W/L) C_{ox} (V_{gs} - |V_{th}|)^2 \quad \dots (1)$$

ここで、Vthは駆動TF T 202の閾値電圧、μはキャリアの移動度、Wはチャネル幅、Lはチャネル長、Coxは単位面積当たりのゲート容量、Vgsはゲート・ソース間電圧である。

10

【0020】

次に、スイッチングTF T 207がオンした状態で第1駆動走査回路109から出力される駆動信号DS1およびオートゼロ回路111から出力されるオートゼロ信号AZが共に“H”レベルになり、スイッチングTF T 206, 208, 209がオン状態となる。これにより、有機EL素子201のアノード電極には電源電位Vssが印加され、駆動TF T 202のゲートには電源電位Vccが印加される。

【0021】

この際、電源電位Vssが有機EL素子201のカソード電圧Vcat(本例では、接地電位GND)と有機EL素子201の閾値電圧Vthelとの和(Vcat + Vthel)よりも小さいのであれば、有機EL素子201は非発光状態となり、非発光期間に入る。以下、Vss = Vcat + Vthelとし、VssはGNDレベルであるとする。このとき、スイッチングTF T 206, 208がオンすることで、ゲート・ソース間電圧Vgsに応じた一定電流Idsは、Vcc - スイッチングTF T 207 - 駆動TF T 202 - ノードN101 - スイッチングTF T 202 - Vssの経路を流れる。

20

【0022】

次に、第2駆動走査回路110から出力される駆動信号DS2が“L”レベルになることで、スイッチングTF T 207がオフ状態となり、駆動TF T 202の閾値電圧Vthをキャンセル(補正)する閾値キャンセル期間に入る。このとき、駆動TF T 202は、ゲートとドレインがスイッチングTF T 208を介して接続されているために飽和領域で動作する。また、駆動TF T 202のゲートには、キャパシタ203, 204が並列に接続されているために、駆動TF T 202のゲート・ソース間の電圧Vgsは、時間の経過とともに緩やかに減少してゆく。

30

【0023】

そして、一定期間が経過した後、駆動TF T 202のゲート・ソース間電圧Vgsは当該駆動TF T 202の閾値電圧Vthとなる。このとき、キャパシタ204には(Vofs - Vth)の電圧が、キャパシタ203にはVthの電圧がそれぞれ充電される。その後、サンプリングTF T 205およびスイッチングTF T 207がオフし、スイッチングTF T 206がオンした状態において、オートゼロ回路111から出力されるオートゼロ信号AZが“H”レベルから“L”レベルに遷移すると、スイッチングTF T 208, 209がオフ状態となり、閾値キャンセル期間の終了となる。このとき、キャパシタ204には(Vofs - Vth)の電圧が、キャパシタ203にはVthの電圧がそれぞれ保持される。

40

【0024】

次に、サンプリングTF T 205およびスイッチングTF T 208, 209がオフし、スイッチングTF T 206がオン、スイッチングTF T 207がオフした状態で、書き込み走査回路108から出力される書き込み信号WSが“H”レベルになると、この書き込み期間では、サンプリングTF T 205がオン状態となり、データ線107を通して与えられる入力信号電圧Vinの書き込み期間となる。サンプリングTF T 205がオンすることで、当該TF T 205の一端、キャパシタ204の一端およびTF T 209のソース

50

の接続ノードN104に入力信号電圧 V_{in} を取り込み、当該接続ノードN104の電圧変化量 V を、キャパシタ204を介して駆動TFT202のゲートにカップリングさせる。

【0025】

このとき、駆動TFT202のゲート電圧 V_g は閾値電圧 V_{th} という値であり、カップリング量 V はキャパシタ203の容量値 C_1 、キャパシタ204の容量値 C_2 および駆動TFT202の寄生容量値 C_3 によって下記の式(2)のように決定される。

$$V = \{ C_2 / (C_1 + C_2 + C_3) \} \cdot (V_{in} - V_{ofs}) \dots (2)$$

【0026】

したがって、キャパシタ203, 204の容量値 C_1, C_2 を駆動TFT202の寄生容量値 C_3 に比べて十分大きく設定すれば、駆動TFT202のゲートへのカップリング量 V は、駆動TFT202の閾値電圧 V_{th} の影響を受けずに、キャパシタ203, 204の容量値 C_1, C_2 のみによって決定される。

【0027】

書き込み走査回路108から出力される書き込み信号 WS が“H”レベルから“L”レベルに遷移し、サンプリングTFT205がオフすることで、入力信号電圧 V_{in} の書き込み期間が終了する。この書き込み期間の終了後、サンプリングTFT205およびスイッチングTFT208, 209がオフした状態で第1駆動走査回路109から出力される駆動信号 DS_1 が“L”レベルになることで、スイッチングTFT206がオフ状態となり、その後、第2駆動走査回路110から出力される駆動信号 DS_2 が“H”レベルになることで、スイッチングTFT207がオン状態となる。

【0028】

スイッチングTFT207がオンすることで、駆動TFT202のドレイン電位が電源電位 V_{cc} まで上昇する。駆動TFT202のゲート・ソース間電圧 V_{gs} が一定であるために、駆動TFT202は一定電流 I_{ds} を有機EL素子201に供給する。このとき、接続ノードN101の電位は、有機EL素子201に一定電流 I_{ds} が流れる電圧 V_x まで上昇し、その結果、有機EL素子201は発光する。

【0029】

上述した一連の動作を行う画素回路101においても、有機EL素子201は発光時間が長くなるとその $I-V$ 特性が変化してしまう。そのため、接続ノードN101の電位も変化する。

【0030】

しかしながら、駆動TFT202のゲート・ソース間電位 V_{gs} が一定値に保たれているために、有機EL素子201に流れる電流値は変化しない。したがって、有機EL素子201の $I-V$ 特性が劣化しても、一定電流 I_{ds} が常に流れ続けるために、有機EL素子201の発光輝度が変化することはない。また、閾値キャンセル期間におけるスイッチングTFT208の作用により、駆動TFT202の閾値電圧 V_{th} をキャンセルし、当該閾値電圧 V_{th} のパラツキの影響を受けない一定電流 I_{ds} を有機EL素子201に流すことができるために、高画質の画像を得ることができる。

【発明の開示】

【発明が解決しようとする課題】

【0031】

上述したように、従来技術では、画素回路101の各々に、有機EL素子201の $I-V$ 特性の変動に対する補償機能および駆動TFT202の閾値電圧 V_{th} の変動に対する補償機能を持たせたことで、有機EL素子201の $I-V$ 特性が経時劣化したり、駆動TFT202の閾値電圧 V_{th} が経時変化したりしたとしても、それらの影響を受けることなく、有機EL素子201の発光輝度を一定に保つことができるが、その反面、画素回路101の各々が6個のトランジスタ202, 205~209と2個のキャパシタ203, 204とで構成されており、構成素子数が多いという欠点がある。

【0032】

10

20

30

40

50

そこで、本発明は、有機EL素子等の電気光学素子の特性変動に対する補償機能と、当該電気光学素子を駆動するTFTのV_{th}変動(画素ごとのバラツキ)に対する補償機能とを、より少ない構成素子数で画素回路の各々に持たせた上で、画素回路の配線本数の削減を可能にした表示装置および表示装置の駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0033】

上記目的を達成するために、本発明では、駆動トランジスタ、サンプリングトランジスタおよび第1乃至第3スイッチングトランジスタの5個のトランジスタと1個のキャパシタとで画素回路の各々を構成する。そして、個々のトランジスタの駆動タイミングを工夫することで、電気光学素子の特性変動に対する補償機能と、電気光学素子を駆動する駆動トランジスタの閾値変動に対する補償機能とを実現する。また、画素回路に供給する複数種類の電源電位を適宜組み合わせ、1本の電源線で複数の電源電位を選択的に画素回路に供給する。

10

【発明の効果】

【0034】

本発明によれば、画素回路のより少ない構成素子数で、電気光学素子の特性変動に対する補償機能と、電気光学素子を駆動する駆動トランジスタの閾値変動に対する補償機能とを実現できる。また、電源線の配線本数を削減できることで、配線の占める割合を小さく抑えることができるために、高精細化や高歩留まり化を図る上で有利となる。

【発明を実施するための最良の形態】

20

【0035】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0036】

先ず、本願出願人によって特願2004-164681号明細書にて提案済みの先願に係る画素回路、即ち有機EL素子の特性変動に対する補償機能と、駆動TFTのV_{th}変動(画素ごとのバラツキ)に対する補償機能とを、より少ない構成素子数で実現した画素回路について参考例として説明する。

【0037】

[参考例]

図1は、本参考例に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。本参考例に係るアクティブマトリクス型表示装置は、電流値に応じて発光輝度が変化する電気光学素子、例えば有機EL素子31を含む画素回路11が行列状(マトリクス状)に2次元配置されてなる画素アレイ部12を有している。ここでは、図面の簡略化のために、ある1つの画素回路11についてその具体的な回路構成を示している。

30

【0038】

この画素アレイ部12において、画素回路11の各々に対して各行毎に走査線13、駆動線14および第1,第2オートゼロ線15,16がそれぞれ配線され、また各列毎にデータ線17が配線されている。この画素アレイ部12の周囲には、走査線13を駆動する書き込み走査回路18と、駆動線14を駆動する駆動走査回路19と、第1,第2オートゼロ線15,16を駆動する第1,第2オートゼロ回路20,21と、輝度情報に応じたデータ信号をデータ線17に供給するデータ線駆動回路22とが配置されている。

40

【0039】

本例では、書き込み走査回路18および駆動走査回路19が画素アレイ部12を挟んで一方側(例えば、図の右側)に配置され、その反対側に第1,第2オートゼロ回路20,21が配置された構成となっている。ただし、これらの配置関係は一例に過ぎず、これに限定されるものではない。また、書き込み走査回路18、駆動走査回路19および第1,第2オートゼロ回路20,21は、スタートパルス信号s_pに 응답して動作を開始し、クロックパルスc_kに同期して書き込み信号W_S、駆動信号D_Sおよび第1,第2オートゼロ信号A_Z1,A_Z2を適宜出力する。

50

【 0 0 4 0 】

(画素回路)

画素回路 1 1 は、有機 E L 素子 3 1 に加えて、駆動トランジスタ 3 2、サンプリングトランジスタ 3 3、スイッチングトランジスタ 3 4 ~ 3 6 およびキャパシタ (保持容量) 3 7 を回路の構成素子として有する構成となっている。すなわち、本参考例に係る画素回路 1 1 は、5 個のトランジスタ 3 2 ~ 3 6 と 1 個のキャパシタ 3 7 とからなり、図 4 5 の従来例に係る画素回路 1 0 1 に比べて、トランジスタ数およびキャパシタ数が 1 個ずつ少ない回路構成となっている。

【 0 0 4 1 】

この画素回路 1 1 において、駆動トランジスタ 3 2、サンプリングトランジスタ 3 3 およびスイッチングトランジスタ 3 4 ~ 3 6 として、N チャンネル型の T F T (薄膜トランジスタ) が用いられている。以下、駆動トランジスタ 3 2、サンプリングトランジスタ 3 3 およびスイッチングトランジスタ 3 4 ~ 3 6 を、駆動 T F T 3 2、サンプリング T F T 3 3 およびスイッチング T F T 3 4 ~ 3 6 と記述するものとする。

10

【 0 0 4 2 】

有機 E L 素子 3 1 は、カソード電極が第 1 の電源電位 (本例では、接地電位 G N D) に接続されている。駆動 T F T 3 2 は、有機 E L 素子 3 1 を電流駆動する駆動トランジスタであり、ソースが有機 E L 素子 3 1 のアノード電極に接続されてソースフォロア回路を形成している。サンプリング T F T 3 3 は、ソースがデータ線 1 7 に、ドレインが駆動 T F T 3 2 のゲートに、ゲートが走査線 1 3 にそれぞれ接続されている。

20

【 0 0 4 3 】

スイッチング T F T 3 4 は、ドレインが第 2 の電源電位 (本例では、正側電源電位 V c c) に、ソースが駆動 T F T 3 2 のドレインに、ゲートが駆動線 1 4 にそれぞれ接続されている。スイッチング T F T 3 5 は、ドレインが所定の電位 V o f s に、ソースがサンプリング T F T 3 3 のドレイン (駆動 T F T 3 2 のゲート) に、ゲートが第 1 オートゼロ線 1 5 にそれぞれ接続されている。

【 0 0 4 4 】

スイッチング T F T 3 6 は、ドレインが駆動 T F T 3 2 のソースと有機 E L 素子 3 1 のアノード電極との接続ノード N 1 1 に、ソースが第 3 の電源電位 V s s (本例では、V s s = G N D) にそれぞれ接続されている。なお、第 3 の電源電位 V s s として、負の電源電位を用いることも可能である。キャパシタ 3 7 は、一端が駆動 T F T 3 2 のゲートとサンプリング T F T 3 3 のドレインとの接続ノード N 1 2 に、他端が駆動トランジスタ T F T 3 2 のソースと有機 E L 素子 3 1 のアノード電極との接続ノード N 1 1 にそれぞれ接続されている。

30

【 0 0 4 5 】

上述した接続関係にて各構成素子が接続されてなる画素回路 1 1 において、各構成素子は次のような作用をなす。すなわち、サンプリング T F T 3 3 は、オン (導通) 状態となることにより、データ線 1 7 を通して供給される入力信号電圧 V s i g をサンプリングする。このサンプリングされた信号電圧 V s i g は、キャパシタ 3 7 に保持される。スイッチング T F T 3 4 は、オン状態になることにより、電源電位 V c c から駆動 T F T 3 2 に電流を供給する。

40

【 0 0 4 6 】

駆動 T F T 3 2 は、キャパシタ 3 7 に保持された信号電圧 V s i g に応じて有機 E L 素子 3 1 を電流駆動する。スイッチング T F T 3 5 , 3 6 は、適宜オン状態になることにより、有機 E L 素子 3 1 の電流駆動に先立って駆動 T F T 3 2 の閾値電圧 V t h を検知し、あらかじめその影響をキャンセルするために当該検知した閾値電圧 V t h をキャパシタ 3 7 に保持する。

【 0 0 4 7 】

この画素回路 1 1 では、正常な動作を保証するための条件として、第 3 の電源電位 V s s は、所定の電位 V o f s から駆動 T F T 3 2 の閾値電圧 V t h を差し引いた電位よりも

50

低く設定されている。すなわち、 $V_{ss} < V_{ofs} - V_{th}$ のレベル関係となっている。また、有機EL素子31のカソード電圧 V_{cat} （本例では、接地電位GND）に有機EL素子31の閾値電圧 V_{thel} に加えたレベルは、電源電位 V_{ofs} から駆動TF T 32の閾値電圧 V_{th} を差し引いたレベルよりも高く設定されている。すなわち、 $V_{cat} + V_{thel} > V_{ofs} - V_{th}$ のレベル関係となっている。

【0048】

続いて、上記構成の画素回路11を行列状に2次元配置してなるアクティブマトリクス型有機EL表示装置の回路動作について、図2のタイミングチャートおよび図3～図8の動作説明図を用いて説明する。

【0049】

図2には、ある行の画素回路11を駆動する際に、書き込み走査回路18から走査線13を介して画素回路11に与えられる書き込み信号WS、駆動走査回路19から駆動線14を介して画素回路11に与えられる駆動信号DSおよび第1，第2オートゼロ回路20，21から第1，第2オートゼロ線15，16を介して画素回路11に与えられる第1，第2オートゼロ信号AZ1，AZ2のタイミング関係、ならびに駆動TF T 32のゲート電圧およびソース電圧の変化をそれぞれ示している。

【0050】

ここで、書き込み信号WS、駆動信号DSおよび第1，第2オートゼロ信号AZ1，AZ2は、“H”レベルの状態がアクティブ状態、“L”レベルの状態が非アクティブ状態とする。また、図3～図8の動作説明図では、図面の簡略化のために、サンプリングTF T 33およびスイッチングTF T 34～36についてはスイッチのシンボルを用いて図示するものとする。

【0051】

（発光期間）

通常発光状態では、書き込み走査回路18から出力される書き込み信号WSおよび第1，第2オートゼロ回路20，21から出力される第1，第2オートゼロ信号AZ1，AZ2が“L”レベルにあり、駆動走査回路19から出力される駆動信号DSが“H”レベルにあるために、図3に示すように、サンプリングTF T 33およびスイッチングTF T 35，36はオフした状態にあり、スイッチングTF T 34がオンした状態にある。このとき、駆動TF T 32は、飽和領域で動作するように設計されているために定電流源として動作する。その結果、スイッチングTF T 34を通して駆動TF T 32から、有機EL素子31に対して先述した式(1)で与えられる一定電流 I_{ds} が供給される。

【0052】

（非発光期間）

スイッチングTF T 34がオンした状態において、時刻 t_1 で第1，第2オートゼロ回路20，21から出力される第1，第2オートゼロ信号AZ1，AZ2が共に“H”レベルになることで、図4に示すように、スイッチングTF T 35，36がオン状態となる。スイッチングTF T 35，36は、どちらが先にオンしても良い。これにより、駆動TF T 32のゲートにはスイッチングTF T 35を介して所定の電位 V_{ofs} が印加され、有機EL素子31のアノード電極にはスイッチングTF T 36を介して電源電位 V_{ss} が印加される。

【0053】

このとき、先述したように、 $V_{ss} < V_{cat} + V_{thel}$ の関係にあるために、有機EL素子31は非発光状態となる。したがって、有機EL素子31には電流が流れず、非発光状態になる。また、駆動TF T 32は、そのゲート・ソース間電圧 V_{gs} が $V_{ofs} - V_{ss}$ という値をとる。これにより、当該値、即ち $V_{ofs} - V_{ss}$ に応じた電流 I_{ds} が、図4に点線で示す経路、即ち V_{cc} スwitchングTF T 33 駆動TF T 32 ノードN11 スwitchングTF T 34 V_{ss} の経路を流れる。

【0054】

（閾値キャンセル期間）

10

20

30

40

50

時刻 t_2 で第 2 オートゼロ回路 21 から出力されるオートゼロ信号 AZ_2 が “L” レベルになることで、図 5 に示すように、スイッチング T F T 35 がオフ状態となり、駆動 T F T 32 の閾値電圧 V_{th} をキャンセル（補正）する閾値キャンセル期間に入る。

【0055】

スイッチング T F T 35 がオフ状態になることで、駆動 T F T 32 を流れる電流 I_{ds} の電流路が遮断される。ここで、有機 E L 素子 31 は、図 6 に等価回路で示すように、ダイオード 31A とキャパシタ 31B で表される。そして、有機 E L 素子 31 に印加される電圧 V_{el} が、先述したように、 $V_{el} < V_{cat} + V_{thel}$ （有機 E L 素子 31 のリーク電流が駆動 T F T 32 を流れる電流よりもかなり小さい）の関係にある限り、駆動 T F T 32 を流れる電流はキャパシタ 37 とキャパシタ 31B とを充電する。

10

【0056】

このとき、ノード N11 の電位、即ち駆動 T F T 32 のソース電圧 V_{el} は、図 9 に示すように、時間が経過するにつれて徐々に上昇する。一定時間が経過し、ノード N11 とノード N12 との間の電位差、即ち駆動 T F T 32 のゲート・ソース間電圧 V_{gs} がちょうど閾値電圧 V_{th} になったところで、駆動 T F T 32 はオン状態からオフ状態になる。そして、N11 - N12 間の電位差 V_{th} は、閾値キャンセル（補正）用の電位としてキャパシタ 37 に保持される。このとき、 $V_{el} = V_{ofs} - V_{th} < V_{cat} + V_{thel}$ となっている。

【0057】

その後、スイッチング T F T 34, 35 がオンし、スイッチング T F T 36 がオフした状態で、駆動走査回路 19 から出力される駆動信号 DS が時刻 t_3 で、第 1 オートゼロ回路 20 から出力されるオートゼロ信号 AZ_1 が時刻 t_4 で順に “H” レベルから “L” レベルに遷移することで、スイッチング T F T 34, 35 が順にオフ状態となり、閾値キャンセル期間の終了となる。このとき、スイッチング T F T 34 がスイッチング T F T 35 よりも先にオンすることで、駆動 T F T 32 のゲート電圧の変動を抑えることが可能となる。

20

【0058】

（書き込み期間）

次に、スイッチング T F T 34, 35, 36 がオフした状態から、時刻 t_5 で書き込み走査回路 18 から出力される書き込み信号 WS が “H” レベルになることで、サンプリング T F T 33 がオン状態となり、入力信号電圧 V_{sig} の書き込み期間に入る。この書き込み期間では、入力信号電圧 V_{sig} がサンプリング T F T 33 によってサンプリングされ、キャパシタ 37 に書き込まれる。

30

【0059】

このとき、信号電圧 V_{sig} は、キャパシタ 37 に保持されている閾値電圧 V_{th} に足し込まれる形で保持される。その結果、駆動 T F T 32 の閾値電圧 V_{th} のバラツキが常にキャンセルされた形となる。すなわち、キャパシタ 37 にあらかじめ閾値電圧 V_{th} を保持しておくことで、当該閾値電圧 V_{th} のバラツキのキャンセル（補正）、即ち閾値キャンセルが行われることになる。

【0060】

ここで、キャパシタ 37 の容量値を C_1 、有機 E L 素子 31 のキャパシタ 31B の容量値を C_{el} 、駆動 T F T 32 の寄生容量値を C_2 とすると、駆動 T F T 32 のゲート・ソース間電圧 V_{gs} は、下記の式（3）で与えられる値となる。

40

$$V_{gs} = \{ C_{el} / (C_{el} + C_1 + C_2) \} \cdot (V_{sig} - V_{ofs}) + V_{th} \quad \dots (3)$$

【0061】

一般に、有機 E L 素子 31 のキャパシタ 31B の容量値 C_{el} は、キャパシタ 37 の容量値 C_1 および駆動 T F T 32 の寄生容量値 C_2 に比べて大きい。したがって、駆動 T F T 32 のゲート・ソース間電圧 V_{gs} はほぼ $V_{sig} + V_{th}$ となる。

【0062】

50

そして、時刻 t_6 で書き込み走査回路 18 から出力される書き込み信号 $W S$ が “ H ” レベルから “ L ” レベルに遷移し、サンプリング $T F T 33$ がオフすることで、入力信号電圧 V_{sig} の書き込み期間が終了する。

【 0063 】

(発光期間)

この書き込み期間の終了後、サンプリング $T F T 33$ およびスイッチング $T F T 35$, 36 がオフした状態において、時刻 t_7 で駆動走査回路 19 から出力される駆動信号 $D S$ が “ H ” レベルになることで、図 8 に示すように、スイッチング $T F T 34$ がオン状態となり、発光期間に入る。

【 0064 】

スイッチング $T F T 34$ がオンすることで、駆動 $T F T 32$ のドレイン電圧が電源電位 V_{cc} まで上昇する。駆動 $T F T 32$ のゲート・ソース間電圧 V_{gs} が一定であるので、駆動 $T F T 32$ は一定電流 I_{ds} を有機 $E L$ 素子 31 に供給する。このとき、有機 $E L$ 素子 31 のアノード電圧 V_{el} は、有機 $E L$ 素子 31 に一定電流 I_{ds} が流れる電圧 V_x まで上昇する。その結果、有機 $E L$ 素子 31 は発光動作を開始する。

【 0065 】

有機 $E L$ 素子 31 に電流が流れると、当該有機 $E L$ 素子 31 において電圧降下が生じるために、ノード $N 11$ の電位が上昇する。これに連動してノード $N 12$ の電位も上昇するために、駆動 $T F T 32$ のゲート・ソース間電圧 V_{gs} はノード $N 11$ の電位上昇に関わらず、常に $V_{sig} + V_{th}$ に維持される。その結果、有機 $E L$ 素子 31 は、入力信号電位 V_{sig} に応じた輝度で発光を続けることになる。

【 0066 】

上述した参考例に係る画素回路 11 においても、有機 $E L$ 素子 31 の発光時間が長くなると、当該有機 $E L$ 素子 31 の $I - V$ 特性が変化してしまう。そのため、有機 $E L$ 素子 31 のアノード電極と駆動 $T F T 32$ のソースとの接続ノード $N 11$ の電位も変化する。しかしながら、駆動 $T F T 32$ のゲート・ソース間電位 V_{gs} が一定値に保たれているために、有機 $E L$ 素子 31 に流れる電流は変化しない。したがって、有機 $E L$ 素子 31 の $I - V$ 特性が劣化しても、一定電流 I_{ds} が常に流れ続けるために、有機 $E L$ 素子 31 の発光輝度が変化することはない (有機 $E L$ 素子 31 の特性変動に対する補償機能) 。

【 0067 】

また、入力信号電圧 V_{sig} が書き込まれる前に駆動 $T F T 32$ の閾値電圧 V_{th} をあらかじめキャパシタ 37 に保持しておくことで、閾値キャンセル期間におけるスイッチング $T F T 34 \sim 36$ およびキャパシタ 37 の作用により、駆動 $T F T 32$ の閾値電圧 V_{th} をキャンセルし、当該閾値電圧 V_{th} のバラツキの影響を受けない一定電流 I_{ds} を常に有機 $E L$ 素子 31 に流すことができるために、高画質の画像を得ることができる (駆動 $T F T 32$ の V_{th} 変動に対する補償機能) 。

【 0068 】

ここで、参考例に係る画素回路 11 において、電源線の配線本数に着目すると、電源電位 V_{cc} 、電源電位 V_{ss} および所定の電位 V_{ofs} をそれぞれ供給する 3 本の電源線が必要である。そして、隣接する 3 個の画素回路を R (赤) , G (緑) , B (青) に対応させて、当該 3 個の画素回路を 1 表示単位としたカラー表示装置を考えた場合に、参考例に係る画素回路 11 では、1 表示単位あたり、データ線 17 を含めて 12 本 (= 4 本 \times 3) の配線が必要となる。

【 0069 】

このように、1 表示単位あたりの配線本数が多いと、画素アレイ部 12 と共にその周辺の駆動回路 18 ~ 22 を同一の基板上に一体形成してなる表示パネルにおいて、配線の占める割合が非常に大きくなるために、表示パネルの高精細化や高歩留まり化を図る上で不利となる。

【 0070 】

そこで、本発明は、有機 $E L$ 素子 31 の特性変動に対する補償機能と、駆動 $T F T 32$

10

20

30

40

50

のV_th変動に対する補償機能とを、より少ない構成素子数（5個のトランジスタ32～36と1個のキャパシタ37）で実現した画素回路を行列状に2次元配置してなるアクティブマトリクス型有機EL表示装置において、1表示単位あたりの配線本数を削減することで、表示パネルの高精細化や高歩留まり化を図るようにしている。以下に、その具体的な4つの実施形態について説明する。

【0071】**[第1実施形態]**

図10は、本発明の第1実施形態に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。本実施形態に係るアクティブマトリクス型表示装置は、電流値に応じて発光輝度が変化する電気光学素子、例えば有機EL素子31を含む画素回路11Aが行列状に2次元配置されてなる画素アレイ部12を有している。

10

【0072】

ここでは、図面の簡略化のために、ある1つの画素回路11Aについてその具体的な回路構成を示している。また、画素回路11Aが5個のトランジスタ32～36と1個のキャパシタ37からなる点で、参考例に係る画素回路11と同じであることから、同等部分には同一符号を付して示している。

【0073】

画素回路11Aの各々に対して各行毎に走査線13、駆動線14、第1、第2オートゼロ線15、16および電源線23がそれぞれ配線され、また各列毎にデータ線17が配線されている。この画素アレイ部12の周囲には、走査線13を駆動する書き込み走査回路18と、駆動線14を駆動する駆動走査回路19と、第1、第2オートゼロ線15、16を駆動する第1、第2オートゼロ回路20、21と、輝度情報に応じたデータ信号をデータ線17に供給するデータ線駆動回路22と、電源線23に対して後述する3種類の電源電位を選択的に供給する電源供給回路24とが配置されている。

20

【0074】

ここで、書き込み走査回路18が特許請求の範囲における第1の駆動手段に相当し、駆動走査回路19が特許請求の範囲における第3の駆動手段に相当し、第1オートゼロ回路20が特許請求の範囲における第2の駆動手段に相当し、第2オートゼロ回路21が特許請求の範囲における第4の駆動手段に相当する。

30

【0075】

本例では、書き込み走査回路18および第1、第2オートゼロ回路20、21が画素アレイ部12を挟んで一方側（例えば、図の左側）に配置され、その反対側に駆動走査回路19および電源供給回路24が配置された構成となっている。ただし、これらの配置関係は一例に過ぎず、これに限定されるものではない。また、書き込み走査回路18、駆動走査回路19および第1、第2オートゼロ回路20、21は、スタートパルス信号s_pにตอบสนองして動作を開始し、クロックパルスc_{ck}に同期して書き込み信号W_S、駆動信号D_Sおよび第1、第2オートゼロ信号A_{Z1}、A_{Z2}を適宜出力する。

【0076】

画素回路11Aにおいて、有機EL素子31は、カソード電極が第1の電源電位（本例では、接地電位GND）に接続されている。駆動TFT32は、有機EL素子31を電流駆動する駆動トランジスタであり、ソースが有機EL素子31のアノード電極に接続されてソースフォロア回路を形成している。サンプリングTFT33は、ソースがデータ線17に、ドレインが駆動TFT32のゲートに、ゲートが走査線13にそれぞれ接続されている。

40

【0077】

スイッチングTFT34は、電源線23と駆動TFT32のドレインとの間に接続され、ゲートが駆動線14に接続されている。スイッチングTFT35は、電源線23とサンプリングTFT33のドレイン（駆動TFT32のゲート）との間に接続され、ゲートが第1オートゼロ線15に接続されている。

50

【0078】

スイッチングTFT36は、駆動TFT32のソースと有機EL素子31のアノード電極との接続ノードN11と電源線23との間に接続され、ゲートが第2オートゼロ線16に接続されている。キャパシタ37は、一端が駆動TFT32のゲートとサンプリングTFT33のドレインとの接続ノードN12に、他端が駆動トランジスタTFT32のソースと有機EL素子31のアノード電極との接続ノードN11にそれぞれ接続されている。

【0079】

ここで、電源供給回路24からは電源線23に対して、第2の電源電位 V_{cc} （本例では、正の電源電位）と、当該第2の電源電位よりも低い第3の電源電位 V_{ss} （本例では、 $V_{ss} = GND$ ）と、所定の電位 V_{ofs} （本例では、第2の電源電位 V_{cc} と第3の電源電位 V_{ss} との間の電位）とが選択的に供給される。

10

【0080】

上述した接続関係にて各構成素子が接続されてなる画素回路11Aにおいて、各構成素子は次のような作用をなす。すなわち、サンプリングTFT33は、オン（導通）状態となることにより、データ線17を通して供給される入力信号電圧 V_{sig} をサンプリングする。このサンプリングされた信号電圧 V_{sig} は、キャパシタ37に保持される。スイッチングTFT34は、電源供給回路24から電源線23に電源電位 V_{cc} が供給されているときにオン状態になることで、電源線23から駆動TFT32に電流を供給する。

【0081】

駆動TFT32は、キャパシタ37に保持された信号電圧 V_{sig} に応じて有機EL素子31を電流駆動する。スイッチングTFT35, 36は、電源供給回路24から電源線23に所定の電位 V_{ofs} /電源電位 V_{ss} が供給されているときに適宜オン状態になることで、有機EL素子31の電流駆動に先立って駆動TFT32の閾値電圧 V_{th} を検知し、あらかじめその影響をキャンセルするために当該検知した閾値電圧 V_{th} をキャパシタ37に保持する。

20

【0082】

この画素回路11Aでは、正常な動作を保証するための条件として、第3の電源電位 V_{ss} は、所定の電位 V_{ofs} から駆動TFT32の閾値電圧 V_{th} を差し引いた電位よりも低く設定されている。すなわち、 $V_{ss} < V_{ofs} - V_{th}$ のレベル関係となっている。また、有機EL素子31のカソード電圧 V_{cat} （本例では、接地電位 GND ）に有機EL素子31の閾値電圧 V_{thel} に加えたレベルは、電源電位 V_{ss} よりも高く設定されている。すなわち、 $V_{cat} + V_{thel} > V_{ss}$ のレベル関係となっている。

30

【0083】

続いて、上記構成の画素回路11Aを行列状に2次元配置してなるアクティブマトリクス型有機EL表示装置において、本発明に係る駆動方法による駆動の下に実行される回路動作について、図11のタイミングチャートおよび図12～図18の動作説明図を用いて説明する。

【0084】

図11には、ある行の画素回路11Aを駆動する際に、書き込み走査回路18から走査線13を介して画素回路11Aに与えられる書き込み信号 WS 、駆動走査回路19から駆動線14を介して画素回路11Aに与えられる駆動信号 DS および第1, 第2オートゼロ回路20, 21から第1, 第2オートゼロ線15, 16を介して画素回路11Aに与えられる第1, 第2オートゼロ信号 $AZ1$, $AZ2$ のタイミング関係、ならびに電源線23の電位、駆動TFT32のゲート電圧およびソース電圧の変化をそれぞれ示している。

40

【0085】

ここで、書き込み信号 WS 、駆動信号 DS および第1, 第2オートゼロ信号 $AZ1$, $AZ2$ は、“H”レベルの状態がアクティブ状態、“L”レベルの状態が非アクティブ状態とする。また、図12～図18の動作説明図では、図面の簡略化のために、サンプリングTFT33およびスイッチングTFT34～36についてはスイッチのシンボルを用いて図示するものとする。

50

【 0 0 8 6 】

(発光期間)

通常の発光状態では、書き込み走査回路 18 から出力される書き込み信号 WS および第 1, 第 2 オートゼロ回路 20, 21 から出力される第 1, 第 2 オートゼロ信号 AZ 1, AZ 2 が “ L ” レベルにあり、駆動走査回路 19 から出力される駆動信号 DS が “ H ” レベルにあるために、図 12 に示すように、サンプリング T F T 33 およびスイッチング T F T 35, 36 はオフした状態にあり、スイッチング T F T 34 がオンした状態にある。

【 0 0 8 7 】

このとき、電源線 23 には電源供給回路 24 から電源電位 V_{cc} が供給されている。すなわち、電源線 23 の電位が電源電位 V_{cc} になっている。また、駆動 T F T 32 は、飽和領域で動作するように設計されているために定電流源として動作する。その結果、電源線 23 からスイッチング T F T 34 および駆動 T F T 32 を通して、有機 EL 素子 31 に対して先述した式 (1) で与えられる一定電流 I_{ds} が供給される。

10

【 0 0 8 8 】

(非発光期間)

次に、時刻 t_1 で駆動信号 DS が “ L ” レベルになることで、図 13 に示すように、スイッチング T F T 34 がオフする。これにより、駆動 T F T 32 を流れる一定電流 I_{ds} の電流路が遮断されるために、有機 EL 素子 31 には電流が流れず、当該有機 EL 素子 31 は消光する (非発光状態となる)。このとき、ノード N11 の電位、即ち駆動 T F T 32 のソース電圧は、有機 EL 素子 31 のカソード電圧 V_{cat} と当該有機 EL 素子 31 の閾値電圧 V_{thel} の和、即ち $V_{cat} + V_{thel}$ になる。

20

【 0 0 8 9 】

次に、時点 t_2 で電源線 23 の電位が電源電位 V_{ss} に切り替わり、しかる後時点 t_3 で第 2 オートゼロ信号 AZ 2 が “ H ” レベルになることで、図 46 に示すように、スイッチング T F T 36 がオンする。これにより、電源線 23 からスイッチング T F T 36 を通してノード N11 に電源電位 V_{ss} が与えられる。このとき、先述したように、 $V_{ss} < V_{cat} + V_{thel}$ の関係にあるために、有機 EL 素子 31 は逆バイアス状態となる。したがって、有機 EL 素子 31 には電流が流れないために、当該有機 EL 素子 31 は消光状態 (非発光状態) を維持する。

30

【 0 0 9 0 】

次いで、時点 t_4 で第 2 オートゼロ信号 AZ 2 が “ H ” レベルから “ L ” レベルに遷移し、続いて時点 t_5 で電源線 23 の電位が電源電位 V_{ss} が所定の電位 V_{ofs} に切り替わる。次に、時点 t_6 で第 1 オートゼロ信号 AZ 1 が “ H ” レベルになることで、スイッチング T F T 35 がオンする。これにより、図 15 に示すように、電源線 23 からスイッチング T F T 35 を通して所定の電位 V_{ofs} が駆動 T F T 32 のゲートに与えられる。

【 0 0 9 1 】

ここで、スイッチング T F T 35 がオンする前の駆動 T F T 32 のゲート電圧を V_{g1} 、キャパシタ 36 の容量値を C_1 、駆動 T F T 32 の寄生容量値を C_2 、有機 EL 素子 31 の寄生容量値を C_{el} とすると、駆動 T F T 32 のゲートに所定の電位 V_{ofs} が与えられることで、ノード N11、即ち駆動 T F T 32 のソースには、キャパシタ 36 によるカップリングにより、下記の式 (3) で与えられるカップリンク量 V_{co} が入ることになる。

40

【 0 0 9 2 】

$$V_{co} = \{ (C_1 + C_2) / (C_{el} + C_1 + C_2) \} \cdot (V_{ofs} - V_{g1}) \dots (4)$$

また、駆動 T F T 32 のソース電圧 V_{gs} は、下記の式 (4) で与えられる値となる。

$$V_{gs} = \{ (C_1 + C_2) / (C_{el} + C_1 + C_2) \} \cdot (V_{ofs} - V_{g1}) + V_{ss} \dots (5)$$

【 0 0 9 3 】

(閾値キャンセル期間)

50

スイッチングTFT35がオンした状態において、時点t7で駆動信号DSが“H”レベルになることで、図16に示すように、スイッチングTFT34がオンする。このとき、上記カップリング量Vcoを加味した上で、駆動TFT32のゲート・ソース間電圧Vgsが当該駆動TFT32の閾値電圧Vthよりも大ならば、駆動TFT32がオン状態になるために、電源線23 スwitchingTFT34 駆動TFT32 ノードN11 キャパシタ36の経路(図16に一点鎖線で示す経路)で電流が流れる。

【0094】

ここで、有機EL素子31は、図16に等価回路で示すように、ダイオード31Aとキャパシタ(寄生容量)31Bで表される。そして、有機EL素子31に印加される電圧V_{el}が、先述したように、 $V_{el} < V_{cat} + V_{thel}$ (有機EL素子31のリーク電流が駆動TFT32を流れる電流よりもかなり小さい)の関係にある限り、駆動TFT32を流れる電流は、キャパシタ37とキャパシタ31Bとを充電する。

10

【0095】

このとき、ノードN11の電位、即ち駆動TFT32のソース電圧V_{el}は、図19に示すように、時間が経過するにつれて初期ソース電圧から徐々に上昇する。一定時間が経過し、ノードN11とノードN12との間の電位差、即ち駆動TFT32のゲート・ソース間電圧Vgsがちょうど閾値電圧Vthになったところで、駆動TFT32はオフ状態になる。

【0096】

そして、N11 - N12間の電位差Vthは、閾値キャンセル(補正)用の電位としてキャパシタ37に保持される。このとき、 $V_{el} = V_{ofs} - V_{th} < V_{cat} + V_{thel}$ となっている。その後、時点t8で駆動信号DSが“H”レベルから“L”レベルに遷移することで、スイッチングTFT34がオフ状態となり、閾値キャンセル期間の終了となる。

20

【0097】

(書き込み期間)

時点t9で第1オートゼロ信号AZ1が“L”レベルになり、次いで時点t10で電源線23の電位が所定の電位Vofsが電源電位Vccに切り替わる。そして、時点t11で書き込み信号WSが“H”レベルになることで、サンプリングTFT33がオン状態となり、階調に応じた所望の電圧値の入力信号電圧Vsigの書き込み期間に入る。この書き込み期間では、図17に示すように、入力信号電圧VsigがサンプリングTFT33によってサンプリングされ、キャパシタ37に書き込まれる。

30

【0098】

このとき、信号電圧Vsigは、キャパシタ37に保持されている閾値電圧Vthに足し込まれる形で保持される。その結果、駆動TFT32の閾値電圧Vthのバラツキが常にキャンセルされた形となる。すなわち、キャパシタ37にあらかじめ閾値電圧Vthを保持しておくことで、当該閾値電圧Vthのバラツキのキャンセル(補正)、即ち閾値キャンセルが行われることになる。

【0099】

このとき、駆動TFT32のゲート・ソース間電圧Vgsは、下記の式(6)で与えられる値となる。

40

$$V_{gs} = \{ C_{el} / (C_{el} + C_1 + C_2) \} \cdot (V_{sig} - V_{ofs}) + V_{th} \quad \dots (6)$$

【0100】

一般に、有機EL素子31のキャパシタ31Bの容量値(寄生容量値)C_{el}は、キャパシタ37の容量値C₁および駆動TFT32の寄生容量値C₂に比べて大きい。したがって、駆動TFT32のゲート・ソース間電圧VgsはほぼVsig + Vthとなる。そして、時刻t12で書き込み信号WSが“L”レベルになることで、サンプリングTFT33がオフし、入力信号電圧Vsigの書き込み期間が終了する。

【0101】

50

(発光期間)

この書き込み期間の終了後、スイッチングTFT35, 36がオフした状態において、時刻t13で駆動信号DSが“H”レベルになることで、図18に示すように、スイッチングTFT34がオン状態となり、発光期間に入る。スイッチングTFT34がオンすることで、駆動TFT32のドレイン電圧が電源電位Vccまで上昇する。駆動TFT32のゲート・ソース間電圧Vgsが一定であるので、駆動TFT32は一定電流Idsを有機EL素子31に供給する。このとき、有機EL素子31のアノード電圧V_{e1}は、有機EL素子31に一定電流Idsが流れる電圧Vxまで上昇する。その結果、有機EL素子31は発光動作を開始する。

【0102】

有機EL素子31に電流が流れると、当該有機EL素子31において電圧降下が生じるために、ノードN11の電位が上昇する。これに連動してノードN12の電位も上昇するために、駆動TFT32のゲート・ソース間電圧VgsはノードN11の電位上昇に関わらず、常にVsig + Vthに維持される。その結果、有機EL素子31は、入力信号電位Vsigに応じた輝度で発光を続けることになる。

【0103】

本画素回路11Aにおいても、有機EL素子31の発光時間が長くなると、当該有機EL素子31のI-V特性が変化してしまう。そのため、有機EL素子31のアノード電極と駆動TFT32のソースとの接続ノードN11の電位も変化する。しかしながら、駆動TFT32のゲート・ソース間電位Vgsが一定値に保たれているために、有機EL素子31に流れる電流は変化しない。したがって、有機EL素子31のI-V特性が劣化しても、一定電流Idsが常に流れ続けるために、有機EL素子31の発光輝度が変化することはない(有機EL素子31の特性変動に対する補償機能)。

【0104】

また、入力信号電圧Vsigが書き込まれる前に駆動TFT32の閾値電圧Vthをあらかじめキャパシタ37に保持しておくことで、閾値キャンセル期間におけるスイッチングTFT34~36およびキャパシタ37の作用により、駆動TFT32の閾値電圧Vthをキャンセルし、当該閾値電圧Vthのパラツキの影響を受けない一定電流Idsを常に有機EL素子31に流すことができるために、高画質の画像を得ることができる(駆動TFT32のVth変動に対する補償機能)。

【0105】

上述したように、本実施形態に係る画素回路11Aおよび当該画素回路11Aを行列状に2次元配置してなるアクティブマトリクス型有機EL表示装置によれば、前述した参考例に係る有機EL表示装置の場合と同様に、駆動TFT32、サンプリングTFT33およびスイッチングTFT34~36の5個のトランジスタと1個のキャパシタ37という少ない構成素子数で、有機EL素子31の特性変動に対する補償機能と、駆動TFT32のVth変動に対する補償機能とを実現できる。

【0106】

そして、電源電位Vcc、電源電位Vssおよび所定の電位Vofsを画素回路11Aに供給する電源線として1本の電源線23を兼用し、これら3種類の電源電位Vcc/Vss/Vofsの供給を電源供給回路24による制御の下に適宜切り替えることで、参考例に係る有機EL表示装置の場合に比べて電源線の配線本数を削減できる。すなわち、1つの画素回路11Aについて、参考例に係る有機EL表示装置では、電源電位Vcc、電源電位Vss、所定の電位Vofsの各電源線の計3本の配線が必要であったのに対して、本実施形態に係る有機EL表示装置では、電源線23の1本の配線で済む。

【0107】

ここで、隣接する3個の画素回路をR, G, Bに対応させて、当該3個の画素回路を1表示単位としたカラー表示装置を考えた場合に、電源線について1表示単位あたり、参考例に係る有機EL表示装置では9本(=3本×3)の配線が必要であったのに対して、本実施形態に係る有機EL表示装置では3本(=1本×3)の配線で済む。このように、配

10

20

30

40

50

線の本数を削減できることで、表示パネルにおいて、配線の占める割合を小さく抑えることができるために、表示パネルの高精細化や高歩留まり化を図る上で有利となる。

【0108】

また、閾値キャンセル期間（閾値補正期間）を、参考例に係る有機EL表示装置では、第2オートゼロ信号AZ2と駆動信号DSとによって決定していたのに対して、本実施形態に係る有機EL表示装置では、駆動信号DSのみ（即ち、スイッチングTF T 3 4のオン/オフ）で決定するようにしている。そのため、閾値キャンセル期間が受ける駆動線14の配線抵抗や寄生容量等に起因する駆動信号DSの波形なまりの影響を小さく抑えることができるために、表示パネルの大型化、高精細化に有利となる。

【0109】

ここで、上記構成の画素回路11Aにおいて、スイッチングTF T 3 5をオフした時点t9から書き込みを開始する時点t11までの時間について考える。

【0110】

スイッチングTF T 3 4のオフ時のリーク電流が大きいと、当該リーク電流が駆動TF T 3 2に流れ、さらに有機EL素子31に流れることで、スイッチングTF T 3 4がオフする時点t8から書き込みを開始する時点t11までの期間において駆動TF T 3 2のソース電圧が上昇し、時点t9から時点t11までの期間において駆動TF T 3 2のゲート電圧が上昇してしまう。そして、そのリーク電流の大小によって信号電圧Vsigを書き込む前に、駆動TF T 3 2のゲート電圧にバラツキが生じ、有機EL素子31の発光輝度がばらつくために、均一な画質を得ることができない。

【0111】

ところが、本実施形態に係る駆動タイミングでは、スイッチングTF T 3 4がオフする時点t8から書き込みを開始する時点t11までの期間が、前述した参考例に係る駆動タイミング（図2を参照）における同じ期間、即ちスイッチングTF T 3 4がオフする時刻t3から書き込みを開始する時点t5までの期間に比べて非常に短くなっているために、その分だけスイッチングTF T 3 4のオフ時のリーク電流が有機EL素子31に流れる時間を短くできる。

【0112】

一般に、スイッチングTF T 3 4のオフ時のリーク電流によって駆動TF T 3 2のゲート電圧およびソース電圧が上昇する量は、リーク電流が流れる時間に比例して大きくなることから、スイッチングTF T 3 4のオフ時のリーク電流が有機EL素子31に流れる時間を短くできることで、スイッチングTF T 3 4のリーク電流による駆動TF T 3 2のソース電圧の変動を小さく抑えることができるために、画像ムラの無い均一な画質を得ることができる。

【0113】

一方、駆動TF T 3 2のゲート電圧のバラツキについては、電源線23の電位を所定の電位Vofsから電源電位Vccに切り替えるタイミングを、書き込み信号WSが“L”レベルから“H”レベルに遷移するタイミングt4の後に設定するとともに、スイッチングTF T 3 5を駆動する第1オートゼロ信号AZ1が“H”レベルから“L”レベルに遷移するタイミングを、書き込み信号WSが“L”レベルから“H”レベルに遷移するタイミングt4の後に設定する、即ち第1オートゼロ信号AZ1のアクティブ期間と書き込み信号WSのアクティブ期間とをオーバーラップさせた駆動タイミングとする。

【0114】

このように、第1オートゼロ信号AZ1と書き込み信号WSとのアクティブ期間をオーバーラップさせ、書き込み信号WSが“H”レベルになる信号電圧Vsigの書き込み前に、第1オートゼロ信号AZ1の“L”レベル期間を無くすことで、駆動TF T 3 2のゲート電圧は書き込み動作まで所定の電位Vofsに維持されたままとなる。これにより、スイッチングTF T 3 4のリーク電流によって駆動TF T 3 2のゲート電圧が変動することが無くなるために、画像ムラの無い均一な画質を得ることができる。

【0115】

10

20

30

40

50

[第 2 実施形態]

図 20 は、本発明の第 2 実施形態に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。本実施形態に係るアクティブマトリクス型表示装置において、画素回路 11B が 5 個のトランジスタ 32 ~ 36 と 1 個のキャパシタ 37 からなる点で、参考例に係る画素回路 11 と同じであることから、同等部分には同一符号を付して示している。

【 0116 】

画素回路 11B の各々に対して各行毎に走査線 13、駆動線 14、第 1、第 2 オートゼロ線 15、16 および電源線 23 がそれぞれ配線され、また各列毎にデータ線 17 が配線されている。この画素アレイ部 12 の周囲には、走査線 13 を駆動する書き込み走査回路 18 と、駆動線 14 を駆動する駆動走査回路 19 と、第 1、第 2 オートゼロ線 15、16 を駆動する第 1、第 2 オートゼロ回路 20、21 と、輝度情報に応じたデータ信号をデータ線 17 に供給するデータ線駆動回路 22 と、電源線 23 に対して後述する 2 種類の電源電位を選択的に供給する電源供給回路 24 とが配置されている。

10

【 0117 】

ここで、書き込み走査回路 18 が特許請求の範囲における第 1 の駆動手段に相当し、駆動走査回路 19 が特許請求の範囲における第 2 の駆動手段に相当し、第 1、第 2 オートゼロ回路 20、21 が特許請求の範囲における第 3、第 4 の駆動手段に相当する。

【 0118 】

また、書き込み走査回路 18、駆動走査回路 19、第 1、第 2 オートゼロ回路 20、21 および電源供給回路 24 の動作や画素アレイ部 12 に対する配置関係については、第 1 実施形態に係る有機 EL 表示装置の場合と同じである。

20

【 0119 】

画素回路 11B において、有機 EL 素子 31 は、カソード電極が第 1 の電源電位（本例では、接地電位 GND）に接続されている。駆動 TFT 32 は、有機 EL 素子 31 を電流駆動する駆動トランジスタであり、ソースが有機 EL 素子 31 のアノード電極に接続されてソースフォロア回路を形成している。サンプリング TFT 33 は、ソースがデータ線 17 に、ドレインが駆動 TFT 32 のゲートに、ゲートが走査線 13 にそれぞれ接続されている。

【 0120 】

スイッチング TFT 34 は、電源線 23 と駆動 TFT 32 のドレインとの間に接続され、ゲートが駆動線 14 に接続されている。スイッチング TFT 35 は、所定の電位 V_{ofs} とサンプリング TFT 33 のドレイン（駆動 TFT 32 のゲート）との間に接続され、ゲートが第 1 オートゼロ線 15 に接続されている。

30

【 0121 】

スイッチング TFT 36 は、駆動 TFT 32 のソースと有機 EL 素子 31 のアノード電極との接続ノード N11 と電源線 23 との間に接続され、ゲートが第 2 オートゼロ線 16 に接続されている。キャパシタ 37 は、一端が駆動 TFT 32 のゲートとサンプリング TFT 33 のドレインとの接続ノード N12 に、他端が駆動トランジスタ TFT 32 のソースと有機 EL 素子 31 のアノード電極との接続ノード N11 にそれぞれ接続されている。

40

【 0122 】

ここで、電源供給回路 24 からは電源線 23 に対して、第 2 の電源電位 V_{cc} （本例では、正の電源電位）と、当該第 2 の電源電位よりも低い第 3 の電源電位 V_{ss} （本例では、 $V_{ss} = GND$ ）とが選択的に供給される。

【 0123 】

上述した接続関係にて各構成素子が接続されてなる画素回路 11B において、各構成素子は次のような作用をなす。すなわち、サンプリング TFT 33 は、オン状態となることにより、データ線 17 を通して供給される入力信号電圧 V_{sig} をサンプリングする。このサンプリングされた信号電圧 V_{sig} は、キャパシタ 37 に保持される。スイッチング TFT 34 は、電源供給回路 24 から電源線 23 に電源電位 V_{cc} が供給されているとき

50

にオン状態になることで、電源線 23 から駆動 T F T 3 2 に電流を供給する。

【 0 1 2 4 】

駆動 T F T 3 2 は、キャパシタ 3 7 に保持された信号電圧 V_{sig} に応じて有機 E L 素子 3 1 を電流駆動する。スイッチング T F T 3 5 , 3 6 は、適宜オン状態になることにより、有機 E L 素子 3 1 の電流駆動に先立って駆動 T F T 3 2 の閾値電圧 V_{th} を検知し、あらかじめその影響をキャンセルするために当該検知した閾値電圧 V_{th} をキャパシタ 3 7 に保持する。このとき、電源線 23 には電源供給回路 2 4 から電源電位 V_{ss} が供給されている。

【 0 1 2 5 】

この画素回路 1 1 B では、正常な動作を保證するための条件として、第 3 の電源電位 V_{ss} は、所定の電位 V_{ofs} から駆動 T F T 3 2 の閾値電圧 V_{th} を差し引いた電位よりも低く設定されている。すなわち、 $V_{ss} < V_{ofs} - V_{th}$ のレベル関係となっている。また、有機 E L 素子 3 1 のカソード電圧 V_{cat} (本例では、接地電位 G N D) に有機 E L 素子 3 1 の閾値電圧 V_{thel} に加えたレベルは、電源電位 V_{ss} よりも高く設定されている。すなわち、 $V_{cat} + V_{thel} > V_{ss}$ のレベル関係となっている。

10

【 0 1 2 6 】

続いて、上記構成の画素回路 1 1 B を行列状に 2 次元配置してなるアクティブマトリクス型有機 E L 表示装置において、本発明に係る駆動方法による駆動の下に実行される回路動作について、図 2 1 のタイミングチャートおよび図 2 2 ~ 図 2 7 の動作説明図を用いて説明する。

20

【 0 1 2 7 】

図 2 1 には、ある行の画素回路 1 1 B を駆動する際に、書き込み走査回路 1 8 から走査線 1 3 を介して画素回路 1 1 B に与えられる書き込み信号 $W S$ 、駆動走査回路 1 9 から駆動線 1 4 を介して画素回路 1 1 B に与えられる駆動信号 $D S$ および第 1 , 第 2 オートゼロ回路 2 0 , 2 1 から第 1 , 第 2 オートゼロ線 1 5 , 1 6 を介して画素回路 1 1 B に与えられる第 1 , 第 2 オートゼロ信号 $A Z 1$, $A Z 2$ のタイミング関係、ならびに電源線 2 3 の電位、駆動 T F T 3 2 のゲート電圧およびソース電圧の変化をそれぞれ示している。

【 0 1 2 8 】

ここで、書き込み信号 $W S$ 、駆動信号 $D S$ および第 1 , 第 2 オートゼロ信号 $A Z 1$, $A Z 2$ は、“ H ” レベルの状態がアクティブ状態、“ L ” レベルの状態が非アクティブ状態とする。また、図 2 2 ~ 図 2 7 の動作説明図では、図面の簡略化のために、サンプリング T F T 3 3 およびスイッチング T F T 3 4 ~ 3 6 についてはスイッチのシンボルを用いて図示するものとする。

30

【 0 1 2 9 】

(発光期間)

通常の発光状態では、書き込み走査回路 1 8 から出力される書き込み信号 $W S$ および第 1 , 第 2 オートゼロ回路 2 0 , 2 1 から出力される第 1 , 第 2 オートゼロ信号 $A Z 1$, $A Z 2$ が “ L ” レベルにあり、駆動走査回路 1 9 から出力される駆動信号 $D S$ が “ H ” レベルにあるために、図 2 2 に示すように、サンプリング T F T 3 3 およびスイッチング T F T 3 5 , 3 6 はオフした状態にあり、スイッチング T F T 3 3 がオンした状態にある。

40

【 0 1 3 0 】

このとき、電源線 23 には電源供給回路 2 4 から電源電位 V_{cc} が供給されている。すなわち、電源線 23 の電位が電源電位 V_{cc} になっている。また、駆動 T F T 3 2 は、飽和領域で動作するように設計されているために定電流源として動作する。その結果、電源線 23 からスイッチング T F T 3 4 および駆動 T F T 3 2 を通して、有機 E L 素子 3 1 に対して先述した式 (1) で与えられる一定電流 I_{ds} が供給される。

【 0 1 3 1 】

(非発光期間)

次に、時刻 t_1 で駆動信号 $D S$ が “ L ” レベルになることで、図 2 3 に示すように、スイッチング T F T 3 4 がオフする。これにより、駆動 T F T 3 2 を流れる一定電流 I_{ds}

50

の電流路が遮断されるために、有機EL素子31には電流が流れず、当該有機EL素子31は消光する（非発光状態となる）。このとき、ノードN11の電位、即ち駆動TF T 32のソース電圧は、有機EL素子31のカソード電圧 V_{cat} と当該有機EL素子31の閾値電圧 V_{thel} の和、即ち $V_{cat} + V_{thel}$ になる。

【0132】

時点 t_2 で第1オートゼロ信号AZ1が“H”レベルになり、スイッチングTF T 35がオンすることで、図24に示すように、駆動TF T 32のゲートにスイッチングTF T 35を通して所定の電位 V_{ofs} が与えられる。次に、時点 t_3 で電源線23の電位が電源電位 V_{cc} から電源電位 V_{ss} に切り替わり、その後時点 t_4 で第2オートゼロ信号AZ2が“H”レベルになり、スイッチングTF T 36がオンすることで、図24に示すように、電源線23からスイッチングTF T 36を通してノードN11に電源電位 V_{ss} が与えられる。このとき、先述したように、 $V_{ss} < V_{cat} + V_{thel}$ の関係にあるために、有機EL素子31は逆バイアス状態となり、消光状態（非発光状態）を維持する。

10

【0133】

その後、時点 t_5 で第2オートゼロ信号AZ2が“L”レベルになり、スイッチングTF T 36がオフする。次いで、時点 t_6 で電源線23の電位が電源電位 V_{ss} から電源電位 V_{cc} に切り替わる。

【0134】

（閾値キャンセル期間）

そして、時点 t_7 で駆動信号DSが“H”レベルになることで、スイッチングTF T 34がオンする。このとき、駆動TF T 32のゲート・ソース間電圧 V_{gs} が当該駆動TF T 32の閾値電圧 V_{th} よりも大ならば、駆動TF T 32がオン状態になるために、図25に示すように、電源線23 スwitchingTF T 34 駆動TF T 32 ノードN11 キャパシタ36の経路（図中、一点鎖線で示す経路）で電流が流れ、閾値キャンセル（閾値補正）動作が開始される。

20

【0135】

ここで、有機EL素子31がダイオード31Aとキャパシタ31Bで表されるために、有機EL素子31に印加される電圧 V_{el} が、先述したように、 $V_{el} < V_{cat} + V_{thel}$ （有機EL素子31のリーク電流が駆動TF T 32を流れる電流よりもかなり小さい）の関係にある限り、駆動TF T 32を流れる電流は、キャパシタ37とキャパシタ31Bとを充電する。

30

【0136】

このとき、駆動TF T 32のソース電圧 V_{el} は、時間が経過するにつれて初期ソース電圧から徐々に上昇する（図19を参照）。一定時間が経過し、ノードN11とノードN12との間の電位差、即ち駆動TF T 32のゲート・ソース間電圧 V_{gs} がちょうど閾値電圧 V_{th} になったところで、駆動TF T 32はオフ状態になる。

【0137】

そして、N11 - N12間の電位差 V_{th} は、閾値キャンセル（補正）用の電位としてキャパシタ37に保持される。このとき、 $V_{el} = V_{ofs} - V_{th} < V_{cat} + V_{thel}$ となっている。その後、時点 t_8 で駆動信号DSが“H”レベルから“L”レベルに遷移することで、スイッチングTF T 34がオフ状態となり、閾値キャンセル期間の終了となる。その後、時点 t_9 で第1オートゼロ信号AZ1が“L”レベルになり、スイッチングTF T 35がオフする。

40

【0138】

（書き込み期間）

時点 t_{10} で書き込み信号WSが“H”レベルになり、サンプリングTF T 33がオン状態となることで、階調に応じた所望の電圧値の入力信号電圧 V_{sig} の書き込み期間に入る。この書き込み期間では、図26に示すように、入力信号電圧 V_{sig} がサンプリングTF T 33によってサンプリングされ、キャパシタ37に書き込まれる。

【0139】

50

このとき、信号電圧 V_{sig} は、キャパシタ 37 に保持されている閾値電圧 V_{th} に足し込まれる形で保持される。その結果、駆動 T F T 3 2 の閾値電圧 V_{th} のバラツキが常にキャンセルされた形となる。すなわち、キャパシタ 37 にあらかじめ閾値電圧 V_{th} を保持しておくことで、当該閾値電圧 V_{th} のバラツキのキャンセル（補正）、即ち閾値キャンセルが行われることになる。

【0140】

このとき、駆動 T F T 3 2 のゲート・ソース間電圧 V_{gs} は、先述した式（6）で与えられる値となる。一般に、有機 E L 素子 3 1 のキャパシタ 3 1 B の容量値 C_{el} は、キャパシタ 3 7 の容量値 C_1 および駆動 T F T 3 2 の寄生容量値 C_2 に比べて大きい。したがって、駆動 T F T 3 2 のゲート・ソース間電圧 V_{gs} はほぼ $V_{sig} + V_{th}$ となる。そして、時刻 t_{11} で書き込み信号 WS が “L” レベルになることで、サンプリング T F T 3 3 がオフし、入力信号電圧 V_{sig} の書き込み期間が終了する。

10

【0141】

（発光期間）

この書き込み期間の終了後、スイッチング T F T 3 5 , 3 6 がオフした状態において、時刻 t_{12} で駆動信号 DS が “H” レベルになることで、図 27 に示すように、スイッチング T F T 3 4 がオン状態となり、発光期間に入る。スイッチング T F T 3 4 がオンすることで、駆動 T F T 3 2 のドレイン電圧が電源電位 V_{cc} まで上昇する。駆動 T F T 3 2 のゲート・ソース間電圧 V_{gs} が一定であるので、駆動 T F T 3 2 は一定電流 I_{ds} を有機 E L 素子 3 1 に供給する。このとき、有機 E L 素子 3 1 のアノード電圧 V_{el} は、有機 E L 素子 3 1 に一定電流 I_{ds} が流れる電圧 V_x まで上昇する。その結果、有機 E L 素子 3 1 は発光動作を開始する。

20

【0142】

本画素回路 1 1 B においても、有機 E L 素子 3 1 の発光時間が長くなると、当該有機 E L 素子 3 1 の $I - V$ 特性が変化してしまう。そのため、有機 E L 素子 3 1 のアノード電極と駆動 T F T 3 2 のソースとの接続ノード N_{11} の電位も変化する。しかしながら、駆動 T F T 3 2 のゲート・ソース間電位 V_{gs} が一定値に保たれているために、有機 E L 素子 3 1 に流れる電流は変化しない。したがって、有機 E L 素子 3 1 の $I - V$ 特性が劣化しても、一定電流 I_{ds} が常に流れ続けるために、有機 E L 素子 3 1 の発光輝度が変化することはない（有機 E L 素子 3 1 の特性変動に対する補償機能）。

30

【0143】

また、入力信号電圧 V_{sig} が書き込まれる前に駆動 T F T 3 2 の閾値電圧 V_{th} をあらかじめキャパシタ 37 に保持しておくことで、閾値キャンセル期間におけるスイッチング T F T 3 4 ~ 3 6 およびキャパシタ 37 の作用により、駆動 T F T 3 2 の閾値電圧 V_{th} をキャンセルし、当該閾値電圧 V_{th} のバラツキの影響を受けない一定電流 I_{ds} を常に有機 E L 素子 3 1 に流すことができるために、高画質の画像を得ることができる（駆動 T F T 3 2 の V_{th} 変動に対する補償機能）。

【0144】

上述したように、本実施形態に係る画素回路 1 1 B および当該画素回路 1 1 B を行列状に 2 次元配置してなるアクティブマトリクス型有機 E L 表示装置によれば、前述した参考例に係る有機 E L 表示装置の場合と同様に、駆動 T F T 3 2 、サンプリング T F T 3 3 およびスイッチング T F T 3 4 ~ 3 6 の 5 個のトランジスタと 1 個のキャパシタ 3 7 という少ない構成素子数で、有機 E L 素子 3 1 の特性変動に対する補償機能と、駆動 T F T 3 2 の V_{th} 変動に対する補償機能とを実現できる。

40

【0145】

そして、電源電位 V_{cc} および電源電位 V_{ss} を画素回路 1 1 B に供給する電源線として 1 本の電源線 2 3 を兼用し、これら 2 種類の電源電位 V_{cc} / V_{ss} の供給を電源供給回路 2 4 による制御の下に適宜切り替えることで、参考例に係る有機 E L 表示装置の場合に比べて電源線の配線本数を削減できる。すなわち、1 つの画素回路 1 1 B について、参考例に係る有機 E L 表示装置では、電源電位 V_{cc} 、電源電位 V_{ss} 、所定の電位 V_{of}

50

sの各電源線の計3本の配線が必要であったのに対して、本実施形態に係る有機EL表示装置では、所定の電位Vofsを供給する電源線と電源線23の2本の配線で済む。

【0146】

ここで、隣接する3個の画素回路をR, G, Bに対応させて、当該3個の画素回路を1表示単位としたカラー表示装置を考えた場合に、電源線について1表示単位あたり、参考例に係る有機EL表示装置では9本(=3本×3)の配線が必要であったのに対して、本実施形態に係る有機EL表示装置では6本(=2本×3)の配線で済む。このように、配線の本数を削減できることで、表示パネルにおいて、配線の占める割合を小さく抑えることができるために、表示パネルの高精細化や高歩留まり化を図る上で有利となる。

【0147】

また、本実施形態に係る有機EL表示装置においても、閾値キャンセル期間を、駆動信号DSのみ(即ち、スイッチングTF T 3 4のオン/オフ)で決定するようにしていることから、閾値キャンセル期間が受ける駆動線14の配線抵抗や寄生容量等に起因する駆動信号DSの波形なまりの影響を小さく抑えることができるために、表示パネルの大型化、高精細化に有利となる。

【0148】

さらに、本実施形態に係る有機EL表示装置でも、スイッチングTF T 3 4がオフする時点t8から書き込みを開始する時点t10までの期間が、前述した参考例に係る駆動タイミング(図2を参照)における同じ期間、即ちスイッチングTF T 3 4がオフする時刻t3から書き込みを開始する時点t5までの期間に比べて非常に短くなっているために、その分だけスイッチングTF T 3 4のオフ時のリーク電流が有機EL素子31に流れる時間を短くできる。これにより、スイッチングTF T 3 4のリーク電流による駆動TF T 3 2のソース電圧の変動を小さく抑えることができるために、画像ムラの無い均一な画質を得ることができる。

【0149】

また、駆動TF T 3 2のゲート電圧のバラツキについても、スイッチングTF T 3 5を駆動する第1オートゼロ信号AZ1が“L”レベルになるタイミングを、書き込み信号WSが“H”レベルになるタイミングt4の後に設定する、即ち第1オートゼロ信号AZ1のアクティブ期間と書き込み信号WSのアクティブ期間とをオーバーラップさせた駆動タイミングに設定し、書き込み信号WSが“H”レベルになる信号電圧Vsigの書き込み前に、第1オートゼロ信号AZ1の“L”レベル期間を無くすことで、駆動TF T 3 2のゲート電圧は書き込み動作まで所定の電位Vofsに維持されたままとなり、スイッチングTF T 3 4のリーク電流によって駆動TF T 3 2のゲート電圧が変動することが無くなるために、画像ムラの無い均一な画質を得ることができる。さらに、本発明では電源ラインが2値をもつので、既存のゲートドライバや垂直スキャナを用いることができ、低コスト化が実現可能である。

【0150】

[第3実施形態]

図28は、本発明の第3実施形態に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。本実施形態に係るアクティブマトリクス型表示装置において、画素回路11Cが5個のトランジスタ32~36と1個のキャパシタ37からなる点で、参考例に係る画素回路11と同じであることから、同等部分には同一符号を付して示している。

【0151】

画素回路11Cの各々に対して各行毎に走査線13、駆動線14、第1,第2オートゼロ線15,16および電源線23がそれぞれ配線され、また各列毎にデータ線17が配線されている。この画素アレイ部12の周囲には、走査線13を駆動する書き込み走査回路18と、駆動線14を駆動する駆動走査回路19と、第1,第2オートゼロ線15,16を駆動する第1,第2オートゼロ回路20,21と、輝度情報に応じたデータ信号をデータ線17に供給するデータ線駆動回路22と、電源線23に対して後述する3種類の電源

10

20

30

40

50

電位を選択的に供給する電源供給回路 2 4 とが配置されている。

【 0 1 5 2 】

ここで、書き込み走査回路 1 8 が特許請求の範囲における第 1 の駆動手段に相当し、駆動走査回路 1 9 が特許請求の範囲における第 3 の駆動手段に相当し、第 1 オートゼロ回路 2 0 が特許請求の範囲における第 2 の駆動手段に相当し、第 2 オートゼロ回路 2 1 が特許請求の範囲における第 4 の駆動手段に相当する。

【 0 1 5 3 】

また、書き込み走査回路 1 8、駆動走査回路 1 9、第 1、第 2 オートゼロ回路 2 0、2 1 および電源供給回路 2 4 の動作や画素アレイ部 1 2 に対する配置関係については、第 1 実施形態に係る有機 E L 表示装置の場合と同じである。

10

【 0 1 5 4 】

画素回路 1 1 C において、有機 E L 素子 3 1 は、カソード電極が第 1 の電源電位（本例では、接地電位 G N D）に接続されている。駆動 T F T 3 2 は、有機 E L 素子 3 1 を電流駆動する駆動トランジスタであり、ソースが有機 E L 素子 3 1 のアノード電極に接続されてソースフォロア回路を形成している。サンプリング T F T 3 3 は、ソースがデータ線 1 7 に、ドレインが駆動 T F T 3 2 のゲートに、ゲートが走査線 1 3 にそれぞれ接続されている。

【 0 1 5 5 】

スイッチング T F T 3 4 は、電源線 2 3 と駆動 T F T 3 2 のドレインとの間に接続され、ゲートが駆動線 1 4 に接続されている。スイッチング T F T 3 5 は、電源線 2 3 とサンプリング T F T 3 3 のドレイン（駆動 T F T 3 2 のゲート）との間に接続され、ゲートが第 1 オートゼロ線 1 5 に接続されている。ここで、電源線 2 3 には、電源供給回路 2 4 から第 2 の電源電位 V c c（本例では、正の電源電位）と、所定の電位 V o f s とが選択的に供給される。

20

【 0 1 5 6 】

スイッチング T F T 3 6 は、駆動 T F T 3 2 のソースと有機 E L 素子 3 1 のアノード電極との接続ノード N 1 1 と第 3 の電源電位 V s s（本例では、V s s = G N D）との間に接続され、ゲートが第 2 オートゼロ線 1 6 に接続されている。キャパシタ 3 7 は、一端が駆動 T F T 3 2 のゲートとサンプリング T F T 3 3 のドレインとの接続ノード N 1 2 に、他端が駆動トランジスタ T F T 3 2 のソースと有機 E L 素子 3 1 のアノード電極との接続ノード N 1 1 にそれぞれ接続されている。

30

【 0 1 5 7 】

上述した接続関係にて各構成素子が接続されてなる画素回路 1 1 C において、各構成素子は次のような作用をなす。すなわち、サンプリング T F T 3 3 は、オン状態となることにより、データ線 1 7 を通して供給される入力信号電圧 V s i g をサンプリングする。このサンプリングされた信号電圧 V s i g は、キャパシタ 3 7 に保持される。スイッチング T F T 3 4 は、電源供給回路 2 4 から電源線 2 3 に電源電位 V c c が供給されているときにオン状態になることで、電源線 2 3 から駆動 T F T 3 2 に電流を供給する。

【 0 1 5 8 】

駆動 T F T 3 2 は、キャパシタ 3 7 に保持された信号電圧 V s i g に応じて有機 E L 素子 3 1 を電流駆動する。スイッチング T F T 3 5、3 6 は、適宜オン状態になることで、有機 E L 素子 3 1 の電流駆動に先立って駆動 T F T 3 2 の閾値電圧 V t h を検知し、あらかじめその影響をキャンセルするために当該検知した閾値電圧 V t h をキャパシタ 3 7 に保持する。このとき、電源線 2 3 には電源供給回路 2 4 から所定の電位 V o f s が供給されている。

40

【 0 1 5 9 】

この画素回路 1 1 C では、正常な動作を保証するための条件として、第 3 の電源電位 V s s は、所定の電位 V o f s から駆動 T F T 3 2 の閾値電圧 V t h を差し引いた電位よりも低く設定されている。すなわち、V s s < V o f s - V t h のレベル関係となっている。また、有機 E L 素子 3 1 のカソード電圧 V c a t（本例では、接地電位 G N D）に有機

50

E L 素子 3 1 の閾値電圧 V_{thel} に加えたレベルは、電源電位 V_{ss} よりも高く設定されている。すなわち、 $V_{cat} + V_{thel} > V_{ss}$ のレベル関係となっている。

【0160】

続いて、上記構成の画素回路 11C を行列状に 2 次元配置してなるアクティブマトリクス型有機 E L 表示装置において、本発明に係る駆動方法による駆動の下に実行される回路動作について、図 29 のタイミングチャートおよび図 30 ~ 図 35 の動作説明図を用いて説明する。

【0161】

図 29 には、ある行の画素回路 11C を駆動する際に、書き込み走査回路 18 から走査線 13 を介して画素回路 11C に与えられる書き込み信号 WS 、駆動走査回路 19 から駆動線 14 を介して画素回路 11C に与えられる駆動信号 DS および第 1, 第 2 オートゼロ回路 20, 21 から第 1, 第 2 オートゼロ線 15, 16 を介して画素回路 11C に与えられる第 1, 第 2 オートゼロ信号 $AZ1$, $AZ2$ のタイミング関係、ならびに電源線 23 の電位、駆動 $TFT32$ のゲート電圧およびソース電圧の変化をそれぞれ示している。

【0162】

ここで、書き込み信号 WS 、駆動信号 DS および第 1, 第 2 オートゼロ信号 $AZ1$, $AZ2$ は、“H”レベルの状態がアクティブ状態、“L”レベルの状態が非アクティブ状態とする。また、図 30 ~ 図 35 の動作説明図では、図面の簡略化のために、サンプリング $TFT33$ およびスイッチング $TFT34 \sim 36$ についてはスイッチのシンボルを用いて図示するものとする。

【0163】

(発光期間)

通常発光状態では、書き込み走査回路 18 から出力される書き込み信号 WS および第 1, 第 2 オートゼロ回路 20, 21 から出力される第 1, 第 2 オートゼロ信号 $AZ1$, $AZ2$ が“L”レベルにあり、駆動走査回路 19 から出力される駆動信号 DS が“H”レベルにあるために、図 30 に示すように、サンプリング $TFT33$ およびスイッチング $TFT35$, 36 はオフした状態にあり、スイッチング $TFT33$ がオンした状態にある。

【0164】

このとき、電源線 23 には電源供給回路 24 から電源電位 V_{cc} が供給されている。すなわち、電源線 23 の電位が電源電位 V_{cc} になっている。また、駆動 $TFT32$ は、飽和領域で動作するように設計されているために定電流源として動作する。その結果、電源線 23 からスイッチング $TFT34$ および駆動 $TFT32$ を通して、有機 E L 素子 31 に対して先述した式 (1) で与えられる一定電流 I_{ds} が供給される。

【0165】

(非発光期間)

次に、時刻 t_1 で駆動信号 DS が“L”レベルになることで、図 31 に示すように、スイッチング $TFT34$ がオフする。これにより、駆動 $TFT32$ を流れる一定電流 I_{ds} の電流路が遮断されるために、有機 E L 素子 31 には電流が流れず、当該有機 E L 素子 31 は消光する(非発光状態となる)。このとき、ノード $N11$ の電位、即ち駆動 $TFT32$ のソース電圧は、有機 E L 素子 31 のカソード電圧 V_{cat} と当該有機 E L 素子 31 の閾値電圧 V_{thel} の和、即ち $V_{cat} + V_{thel}$ になる。

【0166】

時点 t_2 で電源線 23 の電位が電源電位 V_{cc} から所定の電位 V_{ofs} に切り替わり、次いで時点 t_3 で第 1 オートゼロ信号 $AZ1$ が“H”レベルになり、スイッチング $TFT35$ がオンすることで、図 32 に示すように、電源線 23 から所定の電位 V_{ofs} がスイッチング $TFT35$ を介して駆動 $TFT32$ のゲートに与えられる。

【0167】

続いて、時点 t_4 で第 2 オートゼロ信号 $AZ2$ が“H”レベルになり、スイッチング $TFT36$ がオンすることで、図 32 に示すように、電源電位 V_{ss} がスイッチング $TFT36$ を通してノード $N11$ 、即ち駆動 $TFT32$ のソースに与えられる。このとき、先述

10

20

30

40

50

したように、 $V_{ss} < V_{cat} + V_{thel}$ の関係にあるために、有機EL素子31は逆バイアス状態となり、消光状態を維持する。その後、時点 t_5 で第2オートゼロ信号AZ2が“L”レベルになり、スイッチングTFT36がオフする。

【0168】

(閾値キャンセル期間)

そして、時点 t_6 で駆動信号DSが“H”レベルになることで、スイッチングTFT34がオンする。このとき、駆動TFT32のゲート・ソース間電圧 V_{gs} が当該駆動TFT32の閾値電圧 V_{th} よりも大ならば、駆動TFT32がオン状態になるために、図33に示すように、電源線23 スwitchingTFT34 駆動TFT32 ノードN11 キャパシタ36の経路(図中、点線で示す経路)で電流が流れ、閾値キャンセル(閾値補正)動作が開始される。

10

【0169】

ここで、有機EL素子31がダイオード31Aとキャパシタ31Bで表されるために、有機EL素子31に印加される電圧 V_{el} が、先述したように、 $V_{el} < V_{cat} + V_{thel}$ (有機EL素子31のリーク電流が駆動TFT32を流れる電流よりもかなり小さい)の関係にある限り、駆動TFT32を流れる電流は、キャパシタ37とキャパシタ31Bとを充電する。

【0170】

このとき、駆動TFT32のソース電圧 V_{el} は、時間が経過するにつれて初期ソース電圧から徐々に上昇する(図19を参照)。一定時間が経過し、ノードN11とノードN12との間の電位差、即ち駆動TFT32のゲート・ソース間電圧 V_{gs} がちょうど閾値電圧 V_{th} になったところで、駆動TFT32はオフ状態になる。

20

【0171】

そして、N11 - N12間の電位差 V_{th} は、閾値キャンセル(補正)用の電位としてキャパシタ37に保持される。このとき、 $V_{el} = V_{ofs} - V_{th} < V_{cat} + V_{thel}$ となっている。その後、時点 t_7 で駆動信号DSが“H”レベルから“L”レベルに遷移することで、スイッチングTFT34がオフ状態となり、閾値キャンセル期間の終了となる。

【0172】

その後、時点 t_8 で第1オートゼロ信号AZ1が“L”レベルになり、スイッチングTFT35がオフする。続いて、時点 t_9 で電源線23の電位が所定の電位 V_{ofs} から電源電位 V_{cc} に切り替わる。

30

【0173】

(書き込み期間)

時点 t_{10} で書き込み信号WSが“H”レベルになり、サンプリングTFT33がオン状態となることで、階調に応じた所望の電圧値の入力信号電圧 V_{sig} の書き込み期間に入る。この書き込み期間では、図34に示すように、入力信号電圧 V_{sig} がサンプリングTFT33によってサンプリングされ、キャパシタ37に書き込まれる。

【0174】

このとき、信号電圧 V_{sig} は、キャパシタ37に保持されている閾値電圧 V_{th} に足し込まれる形で保持される。その結果、駆動TFT32の閾値電圧 V_{th} のバラツキが常にキャンセルされた形となる。すなわち、キャパシタ37にあらかじめ閾値電圧 V_{th} を保持しておくことで、当該閾値電圧 V_{th} のバラツキのキャンセル(補正)、即ち閾値キャンセルが行われることになる。

40

【0175】

このとき、駆動TFT32のゲート・ソース間電圧 V_{gs} は、先述した式(6)で与えられる値となる。一般に、有機EL素子31のキャパシタ31Bの容量値 C_{el} は、キャパシタ37の容量値 C_1 および駆動TFT32の寄生容量値 C_2 に比べて大きい。したがって、駆動TFT32のゲート・ソース間電圧 V_{gs} はほぼ $V_{sig} + V_{th}$ となる。そして、時刻 t_{11} で書き込み信号WSが“L”レベルになることで、サンプリングTFT

50

33がオフし、入力信号電圧 V_{sig} の書き込み期間が終了する。

【0176】

(発光期間)

この書き込み期間の終了後、スイッチングTFT35, 36がオフした状態において、時刻 t_{12} で駆動信号DSが“H”レベルになることで、図35に示すように、スイッチングTFT34がオン状態となり、発光期間に入る。スイッチングTFT34がオンすることで、駆動TFT32のドレイン電圧が電源電位 V_{cc} まで上昇する。駆動TFT32のゲート・ソース間電圧 V_{gs} が一定であるので、駆動TFT32は一定電流 I_{ds} を有機EL素子31に供給する。このとき、有機EL素子31のアノード電圧 V_{el} は、有機EL素子31に一定電流 I_{ds} が流れる電圧 V_x まで上昇する。その結果、有機EL素子31は発光動作を開始する。

10

【0177】

本画素回路11Cにおいても、有機EL素子31の発光時間が長くなると、当該有機EL素子31のI-V特性が変化してしまう。そのため、有機EL素子31のアノード電極と駆動TFT32のソースとの接続ノードN11の電位も変化する。しかしながら、駆動TFT32のゲート・ソース間電位 V_{gs} が一定値に保たれているために、有機EL素子31に流れる電流は変化しない。したがって、有機EL素子31のI-V特性が劣化しても、一定電流 I_{ds} が常に流れ続けるために、有機EL素子31の発光輝度が変化することはない(有機EL素子31の特性変動に対する補償機能)。

【0178】

20

また、入力信号電圧 V_{sig} が書き込まれる前に駆動TFT32の閾値電圧 V_{th} をあらかじめキャパシタ37に保持しておくことで、閾値キャンセル期間におけるスイッチングTFT34~36およびキャパシタ37の作用により、駆動TFT32の閾値電圧 V_{th} をキャンセルし、当該閾値電圧 V_{th} のバラツキの影響を受けない一定電流 I_{ds} を常に有機EL素子31に流すことができるために、高画質の画像を得ることができる(駆動TFT32の V_{th} 変動に対する補償機能)。

【0179】

上述したように、本実施形態に係る画素回路11Cおよび当該画素回路11Cを行列状に2次元配置してなるアクティブマトリクス型有機EL表示装置によれば、前述した参考例に係る有機EL表示装置の場合と同様に、駆動TFT32、サンプリングTFT33およびスイッチングTFT34~36の5個のトランジスタと1個のキャパシタ37という少ない構成素子数で、有機EL素子31の特性変動に対する補償機能と、駆動TFT32の V_{th} 変動に対する補償機能とを実現できる。

30

【0180】

そして、電源電位 V_{cc} および所定の電位 V_{ofs} を画素回路11Cに供給する電源線として1本の電源線23を兼用し、これら2種類の電源電位 V_{cc}/V_{ofs} の供給を電源供給回路24による制御の下に適宜切り替えることで、参考例に係る有機EL表示装置の場合に比べて電源線の配線本数を削減できる。すなわち、1つの画素回路11Cについて、参考例に係る有機EL表示装置では、電源電位 V_{cc} 、電源電位 V_{ss} 、所定の電位 V_{ofs} の各電源線の計3本の配線が必要であったのに対して、本実施形態に係る有機EL表示装置では、電源電位 V_{ss} を供給する電源線と電源線23の2本の配線で済む。

40

【0181】

ここで、隣接する3個の画素回路をR, G, Bに対応させて、当該3個の画素回路を1表示単位としたカラー表示装置を考えた場合に、電源線について1表示単位あたり、参考例に係る有機EL表示装置では9本(=3本×3)の配線が必要であったのに対して、本実施形態に係る有機EL表示装置では6本(=2本×3)の配線で済む。このように、配線の本数を削減できることで、表示パネルにおいて、配線の占める割合を小さく抑えることができるために、表示パネルの高精細化や高歩留まり化を図る上で有利となる。

【0182】

また、本実施形態に係る有機EL表示装置においても、閾値キャンセル期間を、駆動信

50

号DSのみ(即ち、スイッチングTF T 3 4のオン/オフ)で決定するようにしていることから、閾値キャンセル期間が受ける駆動線14の配線抵抗や寄生容量等に起因する駆動信号DSの波形なまりの影響を小さく抑えることができるために、表示パネルの大型化、高精細化に有利となる。

【0183】

さらに、有機EL素子31の消光をスイッチングTF T 3 4のオフで決定しているために、電源線23から電源電位Vssの電源線に電流が流れることがない。電源電位Vssの電源線に電流が流れないことで、レイアウト上当該電源線の配線幅を細くすることができるために、より高精細化・高歩留まり化が可能になる。さらに、本発明では電源ラインが2値をもつので、既存のゲートドライバや垂直スキャナを用いることができ、低コスト

10

【0184】

また、本実施形態に係る有機EL表示装置でも、スイッチングTF T 3 4がオフする時点t7から書き込みを開始する時点t10までの期間が、前述した参考例に係る駆動タイミング(図2を参照)における同じ期間、即ちスイッチングTF T 3 4がオフする時刻t3から書き込みを開始する時点t5までの期間に比べて非常に短くなっているために、その分だけスイッチングTF T 3 4のオフ時のリーク電流が有機EL素子31に流れる時間を短くできる。これにより、スイッチングTF T 3 4のリーク電流による駆動TF T 3 2のソース電圧の変動を小さく抑えることができるために、画像ムラの無い均一な画質を得ることができる。

20

【0185】

また、駆動TF T 3 2のゲート電圧のバラツキについても、スイッチングTF T 3 5を駆動する第1オートゼロ信号AZ1が“L”レベルになるタイミングを、書き込み信号WSが“H”レベルになるタイミングt4の後に設定する、即ち第1オートゼロ信号AZ1のアクティブ期間と書き込み信号WSのアクティブ期間とをオーバーラップさせた駆動タイミングに設定し、書き込み信号WSが“H”レベルになる信号電圧Vsigの書き込み前に、第1オートゼロ信号AZ1の“L”レベル期間を無くすことで、駆動TF T 3 2のゲート電圧は書き込み動作まで所定の電位Vofsに維持されたままとなり、スイッチングTF T 3 4のリーク電流によって駆動TF T 3 2のゲート電圧が変動することが無くなるために、画像ムラの無い均一な画質を得ることができる。

30

【0186】

[第4実施形態]

図36は、本発明の第4実施形態に係るアクティブマトリクス型有機EL表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。本実施形態に係る有機EL表示装置は、第3実施形態に係る有機EL表示装置とは、5個のトランジスタ33~36と1個のキャパシタ37という少ない構成素子数で、有機EL素子31の特性変動に対する補償機能と、駆動TF T 3 2のVth変動に対する補償機能とを実現しつつ、2種類の電源電位Vcc/Vofsの供給を適宜切り替えることによって電源線23を共用するという基本的な構成については同じであり、画素回路の具体的な回路構成およびそれに伴う回路動作が若干相違している。

40

【0187】

本実施形態に係る画素回路11Dにおいて、有機EL素子31は、カソード電極が第1の電源電位(本例では、接地電位GND)に接続されている。駆動TF T 3 2は、有機EL素子31を電流駆動する駆動トランジスタであり、ソースが有機EL素子31のアノード電極に接続されてソースフォロア回路を形成している。サンプリングTF T 3 3は、ソースがデータ線17に、ドレインが駆動TF T 3 2のゲートに、ゲートが走査線13にそれぞれ接続されている。

【0188】

スイッチングTF T 3 4は、電源線23と駆動TF T 3 2のドレインとの間に接続され、ゲートが駆動線14に接続されている。スイッチングTF T 3 5は、駆動TF T 3 2の

50

ゲートと当該駆動 T F T 3 2 のソース (スイッチング T F T 3 4 のソース) との間に接続され、ゲートが第 1 オートゼロ線 1 5 に接続されている。ここで、電源線 2 3 には、電源供給回路 2 4 から第 2 の電源電位 V_{cc} (本例では、正の電源電位) と、所定の電位 V_{ofs} とが選択的に供給される。

【 0 1 8 9 】

スイッチング T F T 3 6 は、駆動 T F T 3 2 のソースと有機 E L 素子 3 1 のアノード電極との接続ノード N 1 1 と第 3 の電源電位 V_{ss} (本例では、 $V_{ss} = GND$) との間に接続され、ゲートが第 2 オートゼロ線 1 6 に接続されている。キャパシタ 3 7 は、一端が駆動 T F T 3 2 のゲートとサンプリング T F T 3 3 のドレインとの接続ノード N 1 2 に、他端が駆動トランジスタ T F T 3 2 のソースと有機 E L 素子 3 1 のアノード電極との接続ノード N 1 1 にそれぞれ接続されている。

10

【 0 1 9 0 】

上述した接続関係にて各構成素子が接続されてなる画素回路 1 1 D において、各構成素子は次のような作用をなす。すなわち、サンプリング T F T 3 3 は、オン状態となることにより、データ線 1 7 を通して供給される入力信号電圧 V_{sig} をサンプリングする。このサンプリングされた信号電圧 V_{sig} は、キャパシタ 3 7 に保持される。スイッチング T F T 3 4 は、電源供給回路 2 4 から電源線 2 3 に電源電位 V_{cc} が供給されているときにオン状態になることで、電源線 2 3 から駆動 T F T 3 2 に電流を供給する。

【 0 1 9 1 】

駆動 T F T 3 2 は、キャパシタ 3 7 に保持された信号電圧 V_{sig} に応じて有機 E L 素子 3 1 を電流駆動する。スイッチング T F T 3 5 , 3 6 は、適宜オン状態になることで、有機 E L 素子 3 1 の電流駆動に先立って駆動 T F T 3 2 の閾値電圧 V_{th} を検知し、あらかじめその影響をキャンセルするために当該検知した閾値電圧 V_{th} をキャパシタ 3 7 に保持する。このとき、電源線 2 3 には電源供給回路 2 4 から所定の電位 V_{ofs} が供給されている。

20

【 0 1 9 2 】

この画素回路 1 1 D では、正常な動作を保證するための条件として、第 3 の電源電位 V_{ss} は、所定の電位 V_{ofs} から駆動 T F T 3 2 の閾値電圧 V_{th} を差し引いた電位よりも低く設定されている。すなわち、 $V_{ss} < V_{ofs} - V_{th}$ のレベル関係となっている。また、有機 E L 素子 3 1 のカソード電圧 V_{cat} (本例では、接地電位 GND) に有機 E L 素子 3 1 の閾値電圧 V_{thel} に加えたレベルは、電源電位 V_{ss} よりも高く設定されている。すなわち、 $V_{cat} + V_{thel} > V_{ss}$ のレベル関係となっている。

30

【 0 1 9 3 】

続いて、上記構成の画素回路 1 1 D を行列状に 2 次元配置してなるアクティブマトリクス型有機 E L 表示装置において、本発明に係る駆動方法による駆動の下に実行される回路動作について、図 3 7 のタイミングチャートおよび図 3 8 ~ 図 4 4 の動作説明図を用いて説明する。

【 0 1 9 4 】

図 3 7 には、ある行の画素回路 1 1 D を駆動する際に、書き込み走査回路 1 8 から走査線 1 3 を介して画素回路 1 1 D に与えられる書き込み信号 WS 、駆動走査回路 1 9 から駆動線 1 4 を介して画素回路 1 1 D に与えられる駆動信号 DS および第 1 , 第 2 オートゼロ回路 2 0 , 2 1 から第 1 , 第 2 オートゼロ線 1 5 , 1 6 を介して画素回路 1 1 D に与えられる第 1 , 第 2 オートゼロ信号 $AZ1$, $AZ2$ のタイミング関係、ならびに電源線 2 3 の電位、駆動 T F T 3 2 のゲート電圧およびソース電圧の変化をそれぞれ示している。

40

【 0 1 9 5 】

ここで、書き込み信号 WS 、駆動信号 DS および第 1 , 第 2 オートゼロ信号 $AZ1$, $AZ2$ は、“ H ” レベルの状態がアクティブ状態、“ L ” レベルの状態が非アクティブ状態とする。また、図 3 8 ~ 図 4 4 の動作説明図では、図面の簡略化のために、サンプリング T F T 3 3 およびスイッチング T F T 3 4 ~ 3 6 についてはスイッチのシンボルを用いて図示するものとする。

50

【0196】

(発光期間)

通常の発光状態では、書き込み走査回路18から出力される書き込み信号WSおよび第1,第2オートゼロ回路20,21から出力される第1,第2オートゼロ信号AZ1,AZ2が“L”レベルにあり、駆動走査回路19から出力される駆動信号DSが“H”レベルにあるために、図38に示すように、サンプリングTF T 33およびスイッチングTF T 35,36はオフした状態にあり、スイッチングTF T 33がオンした状態にある。

【0197】

このとき、電源線23には電源供給回路24から電源電位Vccが供給されている。すなわち、電源線23の電位が電源電位Vccになっている。また、駆動TF T 32は、飽和領域で動作するように設計されているために定電流源として動作する。その結果、電源線23からスイッチングTF T 34および駆動TF T 32を通して、有機EL素子31に対して先述した式(1)で与えられる一定電流Idsが供給される。

10

【0198】

(非発光期間)

次に、時刻t1で駆動信号DSが“L”レベルになることで、図39に示すように、スイッチングTF T 34がオフする。これにより、駆動TF T 32を流れる一定電流Idsの電流路が遮断されるために、有機EL素子31には電流が流れず、当該有機EL素子31は消光する。このとき、ノードN11の電位、即ち駆動TF T 32のソース電圧は、有機EL素子31のカソード電圧Vcatと当該有機EL素子31の閾値電圧Vthelの和、即ちVcat+Vthelになる。

20

【0199】

時点t2で電源線23の電位が電源電位Vccから所定の電位Vofsに切り替わり、次いで時点t3で第1オートゼロ信号AZ1が“H”レベルになり、スイッチングTF T 35がオンすることで、図40に示すように、駆動TF T 32のゲートとドレインが接続される。これにより、キャパシタ37 スwitchingTF T 35 駆動TF T 32 ノードN11の経路(図中、点線で示す経路)で電流が流れる。これにより、駆動TF T 32のゲート電圧は時間が経過するにつれて緩やかに下降してゆく。そして、一定時間が経過後、駆動TF T 32のゲート電圧はVcat+Vthel+Vthという値になる。

30

【0200】

次に、時点t4で第2オートゼロ信号AZ2が“H”レベルになり、スイッチングTF T 36がオンすることで、図41に示すように、電源電位VssがスイッチングTF T 36を通してノードN11、即ち駆動TF T 32のソースに与えられる。このとき、先述したように、Vss<Vcat+Vthelの関係にあるために、有機EL素子31は逆バイアス状態となり、消光状態を維持する。

40

【0201】

ここで、駆動TF T 32のゲート・ソース間にはキャパシタ37が接続されているために、駆動TF T 32のゲート・ソース間電圧Vgsは一定に保たれている。よって、駆動TF T 32のソースが電源電位Vssになることで、駆動TF T 32のゲート・ソース間電圧VgsはVss+Vthという値となる。その後、時点t5で第2オートゼロ信号AZ2が“L”レベルになり、スイッチングTF T 36がオフする。

40

【0202】

(閾値キャンセル期間)

次に、時点t6で駆動信号DSが“H”レベルになり、スイッチングTF T 34がオンすることで、図42に示すように、電源線23から所定の電位VofsがスイッチングTF T 34,35を通して駆動TF T 32のゲートに与えられる。そして、駆動TF T 32のゲート電圧がVss+VthからVofsに変化することで、駆動TF T 32のゲート・ソース間電圧Vgsは、下記の式(7)で与えられる値となる。

$$V_{gs} = \{ C_{el} / (C_{el} + C_1 + C_2) \} \cdot (V_{ofs} - V_{ss} - V_{th}) + V_{th} \quad \dots (7)$$

50

【0203】

このとき、駆動TFT32のゲート・ソース間電圧 V_{gs} が当該駆動TFT32の閾値電圧 V_{th} よりも大ならば、駆動TFT32がオン状態になるために、図42に示すように、電源線23 スwitchングTFT34 駆動TFT32 ノードN11 キャパシタ36の経路(図中、点線で示す経路)で電流が流れ、閾値キャンセル(閾値補正)動作が開始される。一定時間が経過し、駆動TFT32のソース電圧が $V_{ofs} - V_{th}$ となった後、時刻 t_7 で第1オートゼロ信号AZ1が“L”レベルとなり、SwitchングTFT35がオフすることで、閾値キャンセル期間の終了となる。

【0204】

次いで、時刻 t_8 で駆動信号DSが“L”レベルとなることで、SwitchングTFT34がオフする。SwitchングTFT34がオフすることで、駆動TFT32に電流が流れなくなり、駆動TFT32のゲート・ソース間電圧 V_{gs} が確定する。その後、時刻 t_9 で電源線23の電位が所定の電位 V_{ofs} から電源電位 V_{cc} に切り替わる。

【0205】

(書き込み期間)

時点 t_{10} で書き込み信号WSが“H”レベルになり、サンプリングTFT33がオン状態となることで、階調に応じた所望の電圧値の入力信号電圧 V_{sig} の書き込み期間に入る。この書き込み期間では、図43に示すように、入力信号電圧 V_{sig} がサンプリングTFT33によってサンプリングされ、キャパシタ37に書き込まれる。

【0206】

このとき、信号電圧 V_{sig} は、キャパシタ37に保持されている閾値電圧 V_{th} に足し込まれる形で保持される。その結果、駆動TFT32の閾値電圧 V_{th} のバラツキが常にキャンセルされた形となる。すなわち、キャパシタ37にあらかじめ閾値電圧 V_{th} を保持しておくことで、当該閾値電圧 V_{th} のバラツキのキャンセル(補正)、即ち閾値キャンセルが行われることになる。

【0207】

このとき、駆動TFT32のゲート・ソース間電圧 V_{gs} は、キャパシタ37の容量値 C_1 、駆動TFT32の寄生容量値 C_2 、有機EL素子31の寄生容量値 C_{e1} により、先述した式(6)で与えられる値となる。一般に、有機EL素子31の寄生容量値 C_{e1} がキャパシタ37の容量値 C_1 および駆動TFT32の寄生容量値 C_2 に比べて大きいため、駆動TFT32のゲート・ソース間電圧 V_{gs} はほぼ $V_{sig} + V_{th}$ となる。そして、時刻 t_{11} で書き込み信号WSが“L”レベルになることで、サンプリングTFT33がオフし、入力信号電圧 V_{sig} の書き込み期間が終了する。

【0208】

(発光期間)

この書き込み期間の終了後、SwitchングTFT35, 36がオフした状態において、時刻 t_{12} で駆動信号DSが“H”レベルになることで、図44に示すように、SwitchングTFT34がオン状態となり、発光期間に入る。SwitchングTFT34がオンすることで、駆動TFT32のドレイン電圧が電源電位 V_{cc} まで上昇する。駆動TFT32のゲート・ソース間電圧 V_{gs} が一定であるので、駆動TFT32は一定電流 I_{ds} を有機EL素子31に供給する。このとき、有機EL素子31のアノード電圧 V_{e1} は、有機EL素子31に一定電流 I_{ds} が流れる電圧 V_x まで上昇する。その結果、有機EL素子31は発光動作を開始する。

【0209】

本画素回路11Dにおいても、有機EL素子31の発光時間が長くなると、当該有機EL素子31のI-V特性が変化してしまう。そのため、有機EL素子31のアノード電極と駆動TFT32のソースとの接続ノードN11の電位も変化する。しかしながら、駆動TFT32のゲート・ソース間電位 V_{gs} が一定値に保たれているために、有機EL素子31に流れる電流は変化しない。したがって、有機EL素子31のI-V特性が劣化しても、一定電流 I_{ds} が常に流れ続けるために、有機EL素子31の発光輝度が変化するこ

10

20

30

40

50

とはない（有機EL素子31の特性変動に対する補償機能）。

【0210】

また、入力信号電圧 V_{sig} が書き込まれる前に駆動TFT32の閾値電圧 V_{th} をあらかじめキャパシタ37に保持しておくことで、閾値キャンセル期間におけるスイッチングTFT34～36およびキャパシタ37の作用により、駆動TFT32の閾値電圧 V_{th} をキャンセルし、当該閾値電圧 V_{th} のバラツキの影響を受けない一定電流 I_{ds} を常に有機EL素子31に流すことができるために、高画質の画像を得ることができる（駆動TFT32の V_{th} 変動に対する補償機能）。

【0211】

上述したように、本実施形態に係る画素回路11Cおよび当該画素回路11Cを行列状に2次元配置してなるアクティブマトリクス型有機EL表示装置によれば、前述した参考例に係る有機EL表示装置の場合と同様に、駆動TFT32、サンプリングTFT33およびスイッチングTFT34～36の5個のトランジスタと1個のキャパシタ37という少ない構成素子数で、有機EL素子31の特性変動に対する補償機能と、駆動TFT32の V_{th} 変動に対する補償機能とを実現できる。

【0212】

そして、電源電位 V_{cc} および所定の電位 V_{ofs} を画素回路11Cに供給する電源線として1本の電源線23を兼用し、これら2種類の電源電位 V_{cc}/V_{ofs} の供給を電源供給回路24による制御の下に適宜切り替えることで、参考例に係る有機EL表示装置の場合に比べて電源線の配線本数を削減できる。すなわち、1つの画素回路11Cについて、参考例に係る有機EL表示装置では、電源電位 V_{cc} 、電源電位 V_{ss} 、所定の電位 V_{ofs} の各電源線の計3本の配線が必要であったのに対して、本実施形態に係る有機EL表示装置では、電源電位 V_{ss} を供給する電源線と電源線23の2本の配線で済む。

【0213】

ここで、隣接する3個の画素回路をR、G、Bに対応させて、当該3個の画素回路を1表示単位としたカラー表示装置を考えた場合に、電源線について1表示単位あたり、参考例に係る有機EL表示装置では9本（＝3本×3）の配線が必要であったのに対して、本実施形態に係る有機EL表示装置では6本（＝2本×3）の配線で済む。このように、配線の本数を削減できることで、表示パネルにおいて、配線の占める割合を小さく抑えることができるために、表示パネルの高精細化や高歩留まり化を図る上で有利となる。

【0214】

また、本実施形態に係る有機EL表示装置においても、閾値キャンセル期間を、駆動信号DSのみ（即ち、スイッチングTFT34のオン/オフ）で決定するようにしていることから、閾値キャンセル期間が受ける駆動線14の配線抵抗や寄生容量等に起因する駆動信号DSの波形なまりの影響を小さく抑えることができるために、表示パネルの大型化、高精細化に有利となる。

【0215】

さらに、本実施形態に係る有機EL表示装置でも、スイッチングTFT34がオフする時点 t_7 から書き込みを開始する時点 t_{10} までの期間が、前述した参考例に係る駆動タイミング（図2を参照）における同じ期間、即ちスイッチングTFT34がオフする時刻 t_3 から書き込みを開始する時点 t_5 までの期間に比べて非常に短くなっているために、その分だけスイッチングTFT34のオフ時のリーク電流が有機EL素子31に流れる時間を短くできる。これにより、スイッチングTFT34のリーク電流による駆動TFT32のソース電圧の変動を小さく抑えることができるために、画像ムラの無い均一な画質を得ることができる。

【0216】

また、駆動TFT32のゲート電圧のバラツキについても、スイッチングTFT35を駆動する第1オートゼロ信号AZ1が“L”レベルになるタイミングを、書き込み信号WSが“H”レベルになるタイミング t_4 の後に設定する、即ち第1オートゼロ信号AZ1のアクティブ期間と書き込み信号WSのアクティブ期間とをオーバーラップさせた駆動タ

イミングに設定し、書き込み信号WSが“H”レベルになる信号電圧Vsigの書き込み前に、第1オートゼロ信号AZ1の“L”レベル期間を無くすことで、駆動TF T 3 2のゲート電圧は書き込み動作まで所定の電位Vofsに維持されたままとなり、スイッチングTF T 3 4のリーク電流によって駆動TF T 3 2のゲート電圧が変動することが無くなるために、画像ムラの無い均一な画質を得ることができる。さらに、本発明では電源ラインが2値をもつので、既存のゲートドライバやVスキャナを用いることができ、低コスト化が実現可能である。

【0217】

上述したように、本実施形態に係る有機EL表示装置は、第3実施形態に係る有機EL表示装置とは、画素回路11Dの具体的な回路構成およびそれに伴う回路動作が若干相違しているのみであり、それ以外の構成については基本的に同じである。したがって、基本的に、第3実施形態に係る有機EL表示装置と同様に作用効果を得ることができる。

10

【0218】

なお、上記各実施形態では、画素回路11の電気光学素子として、有機EL素子を用いた有機EL表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではなく、電流値に応じて発光輝度が変化する電流駆動型の発光素子を用いた表示装置全般に適用可能である。

【0219】

また、上記実施形態においては、画素回路11を構成する駆動トランジスタ32、サンプリングトランジスタ33およびスイッチングトランジスタ34~36としてNチャネル型のTF Tを用いた場合を例に挙げて説明したが、サンプリングトランジスタ33およびスイッチングトランジスタ34~36については、必ずしもNチャネル型のTF Tである必要はない。

20

【図面の簡単な説明】

【0220】

【図1】本発明の参考例に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。

【図2】参考例に係る画素回路の回路動作を説明するためのタイミングチャートである。

【図3】参考例に係る画素回路の動作説明図(その1)である。

【図4】参考例に係る画素回路の動作説明図(その2)である。

30

【図5】参考例に係る画素回路の動作説明図(その3)である。

【図6】参考例に係る画素回路の動作説明図(その4)である。

【図7】参考例に係る画素回路の動作説明図(その5)である。

【図8】参考例に係る画素回路の動作説明図(その6)である。

【図9】参考例に係る画素回路の動作説明に供する特性図である。

【図10】本発明の第1実施形態に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。

【図11】第1実施形態に係る画素回路の回路動作を説明するためのタイミングチャートである。

【図12】第1実施形態に係る画素回路の動作説明図(その1)である。

40

【図13】第1実施形態に係る画素回路の動作説明図(その2)である。

【図14】第1実施形態に係る画素回路の動作説明図(その3)である。

【図15】第1実施形態に係る画素回路の動作説明図(その4)である。

【図16】第1実施形態に係る画素回路の動作説明図(その5)である。

【図17】第1実施形態に係る画素回路の動作説明図(その6)である。

【図18】第1実施形態に係る画素回路の動作説明図(その7)である。

【図19】第1実施形態に係る画素回路の動作説明に供する特性図である。

【図20】本発明の第2実施形態に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。

【図21】第2実施形態に係る画素回路の回路動作を説明するためのタイミングチャート

50

である。

【図 2 2】第 2 実施形態に係る画素回路の動作説明図（その 1）である。

【図 2 3】第 2 実施形態に係る画素回路の動作説明図（その 2）である。

【図 2 4】第 2 実施形態に係る画素回路の動作説明図（その 3）である。

【図 2 5】第 2 実施形態に係る画素回路の動作説明図（その 4）である。

【図 2 6】第 2 実施形態に係る画素回路の動作説明図（その 5）である。

【図 2 7】第 2 実施形態に係る画素回路の動作説明図（その 6）である。

【図 2 8】本発明の第 3 実施形態に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。

【図 2 9】第 3 実施形態に係る画素回路の回路動作を説明するためのタイミングチャートである。 10

【図 3 0】第 3 実施形態に係る画素回路の動作説明図（その 1）である。

【図 3 1】第 3 実施形態に係る画素回路の動作説明図（その 2）である。

【図 3 2】第 3 実施形態に係る画素回路の動作説明図（その 3）である。

【図 3 3】第 3 実施形態に係る画素回路の動作説明図（その 4）である。

【図 3 4】第 3 実施形態に係る画素回路の動作説明図（その 5）である。

【図 3 5】第 3 実施形態に係る画素回路の動作説明図（その 6）である。

【図 3 6】本発明の第 4 実施形態に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。

【図 3 7】第 4 実施形態に係る画素回路の回路動作を説明するためのタイミングチャートである。 20

【図 3 8】第 4 実施形態に係る画素回路の動作説明図（その 1）である。

【図 3 9】第 4 実施形態に係る画素回路の動作説明図（その 2）である。

【図 4 0】第 4 実施形態に係る画素回路の動作説明図（その 3）である。

【図 4 1】第 4 実施形態に係る画素回路の動作説明図（その 4）である。

【図 4 2】第 4 実施形態に係る画素回路の動作説明図（その 5）である。

【図 4 3】第 4 実施形態に係る画素回路の動作説明図（その 6）である。

【図 4 4】第 4 実施形態に係る画素回路の動作説明図（その 7）である。

【図 4 5】従来例に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。 30

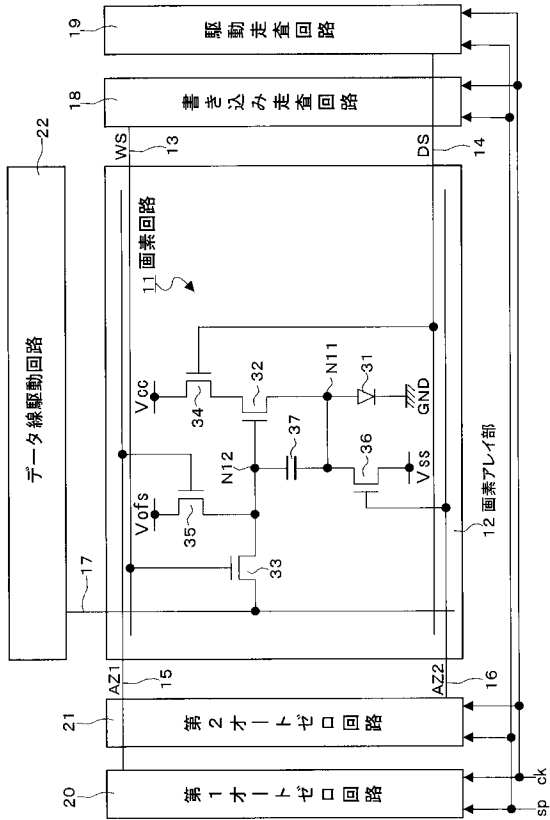
【図 4 6】従来例に係る画素回路の回路動作を説明するためのタイミングチャートである。

【符号の説明】

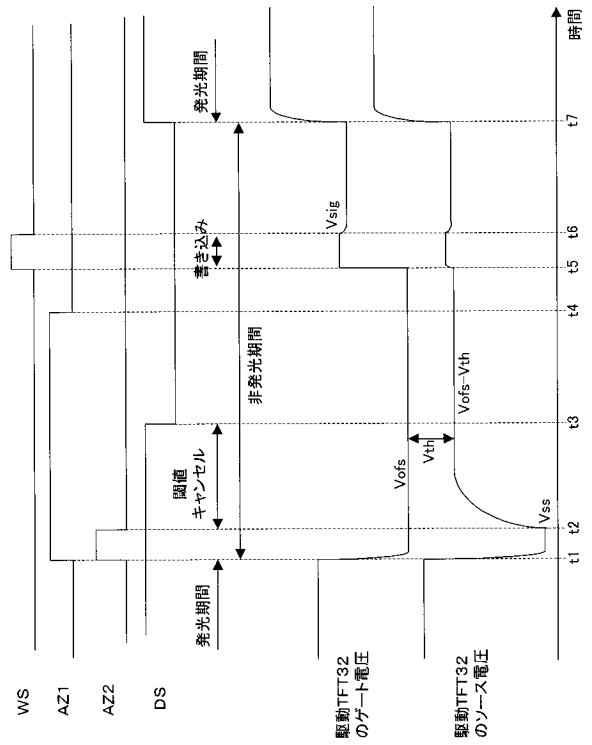
【0 2 2 1】

1 1 , 1 1 A , 1 1 B , 1 1 C , 1 1 D ... 画素回路、 1 2 ... 画素アレイ部、 1 3 ... 走査線、 1 4 ... 駆動線、 1 5 ... 第 1 オートゼロ線、 1 6 ... 第 2 オートゼロ線、 1 7 ... データ線、 1 8 ... 書き込み走査回路、 1 9 ... 駆動走査回路、 2 0 ... 第 1 オートゼロ回路、 2 1 ... 第 2 オートゼロ回路、 2 2 ... データ線駆動回路、 3 1 ... 有機 E L 素子、 3 2 ... 駆動 T F T、 3 3 ... サンプリング T F T、 3 4 ~ 3 6 ... スイッチング T F T、 3 7 ... キャパシタ

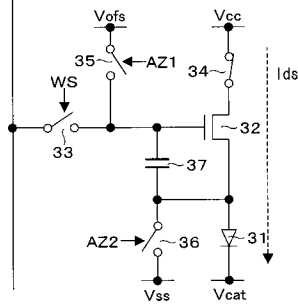
【 図 1 】



【 図 2 】



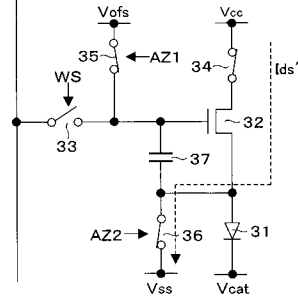
【 図 3 】



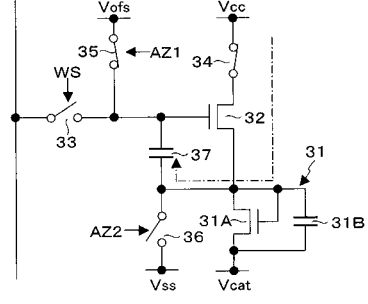
【 図 5 】



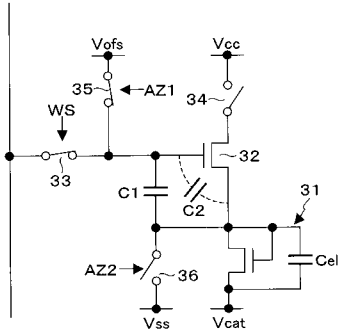
【 図 4 】



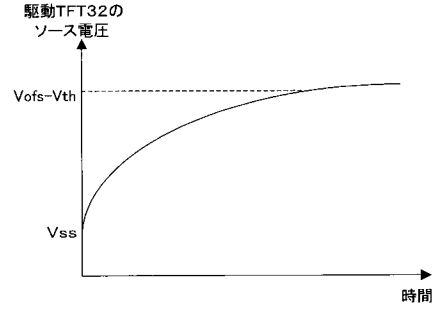
【 図 6 】



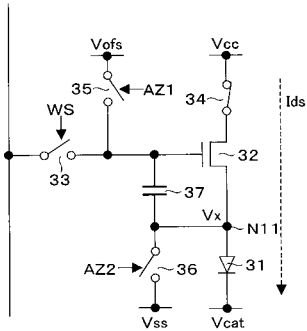
【 図 7 】



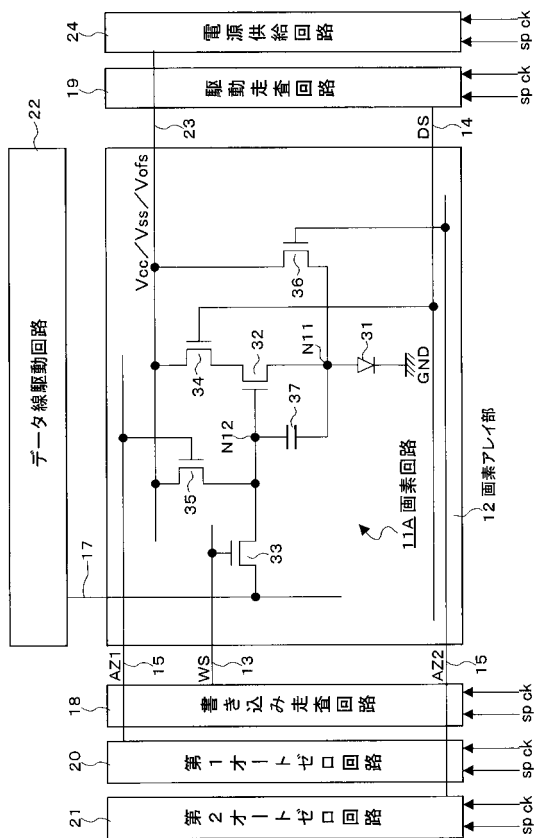
【 図 9 】



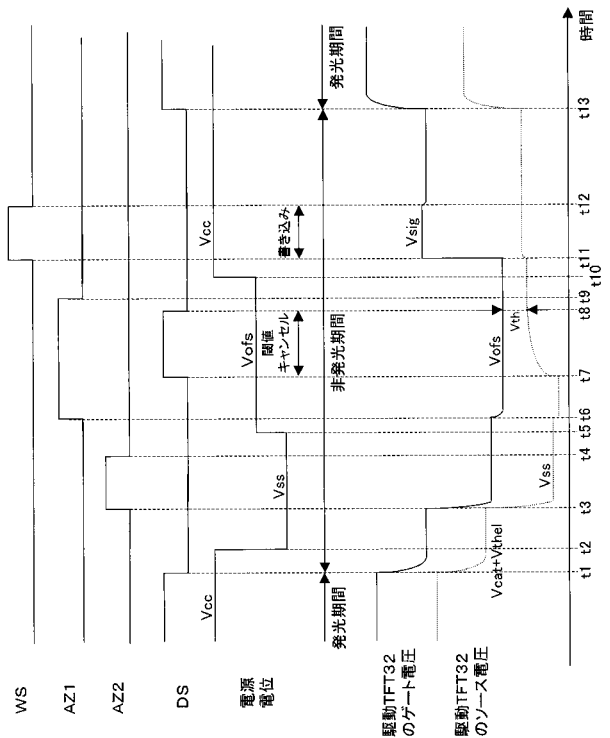
【 図 8 】



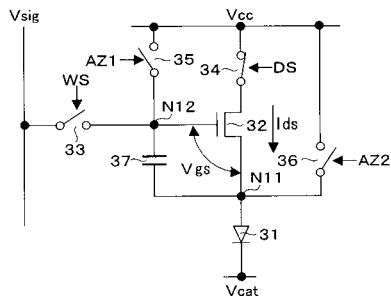
【 図 10 】



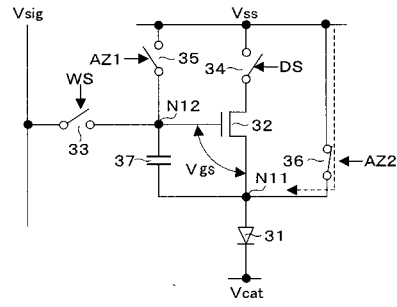
【 図 11 】



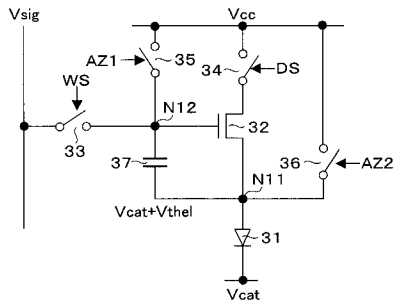
【 図 1 2 】



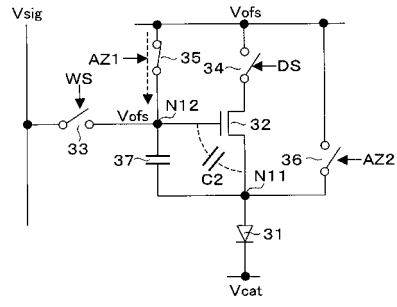
【 図 1 4 】



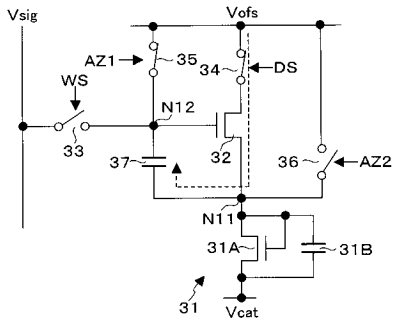
【 図 1 3 】



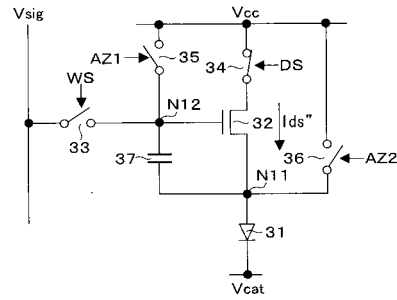
【 図 1 5 】



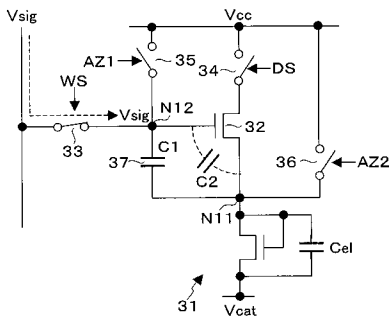
【 図 1 6 】



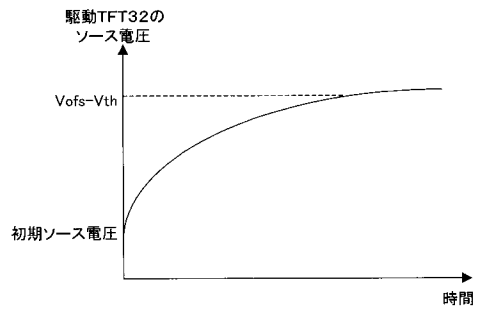
【 図 1 8 】



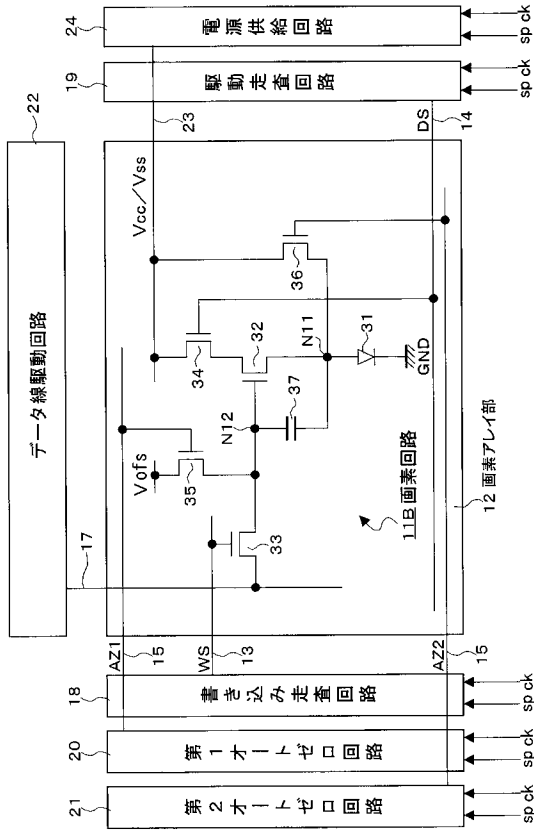
【 図 1 7 】



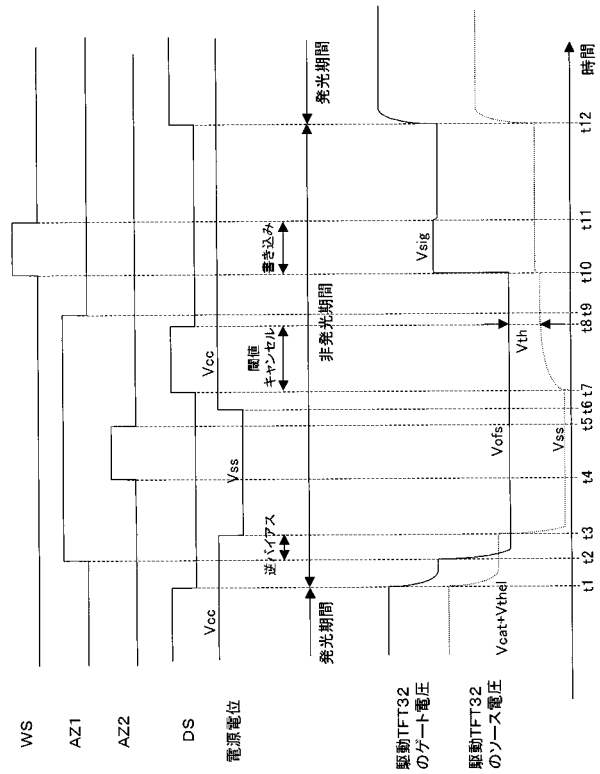
【 図 1 9 】



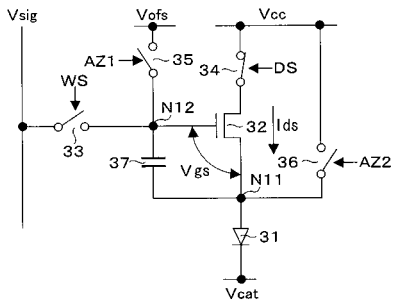
【図 20】



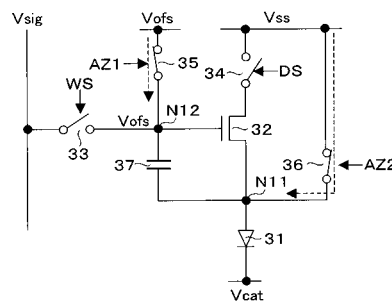
【図 21】



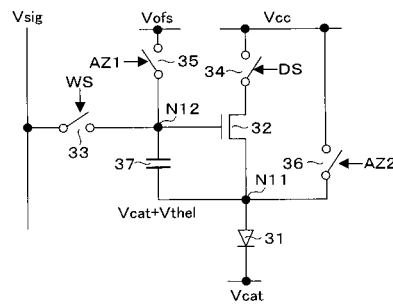
【図 22】



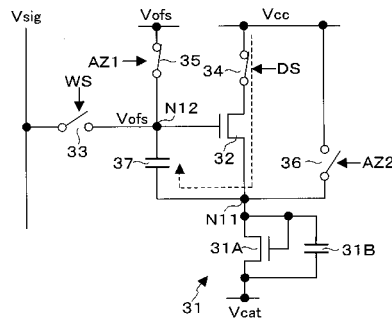
【図 24】



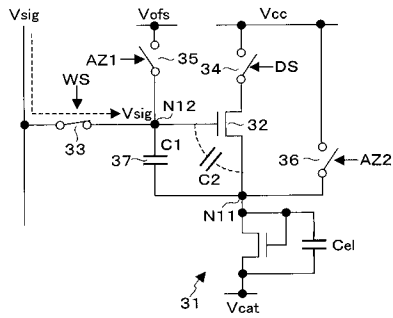
【図 23】



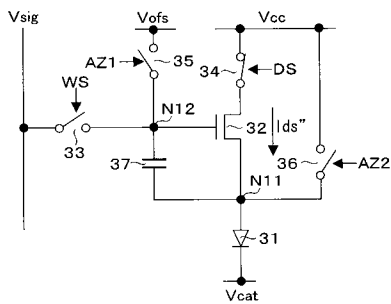
【図 25】



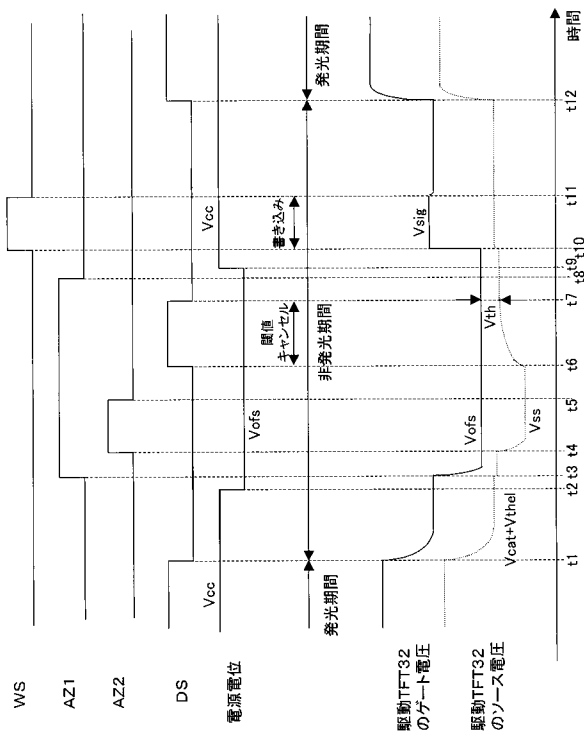
【 図 2 6 】



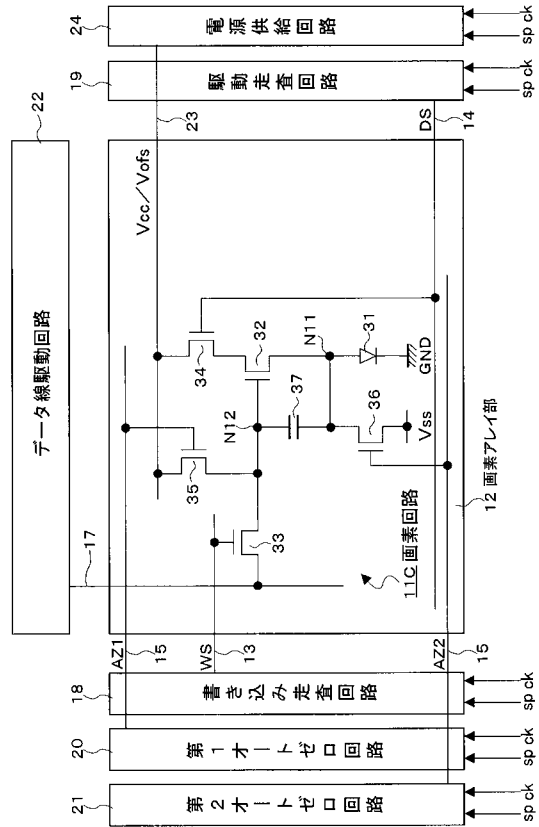
【 図 2 7 】



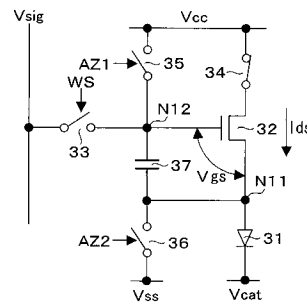
【 図 2 9 】



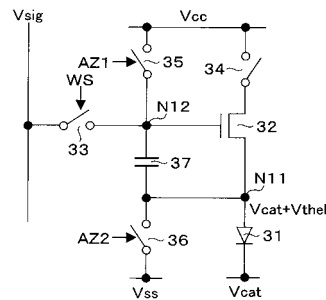
【 図 2 8 】



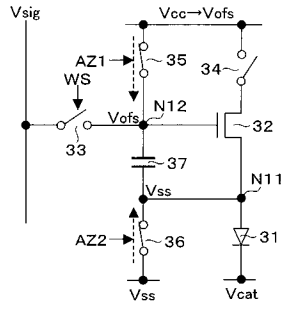
【 図 3 0 】



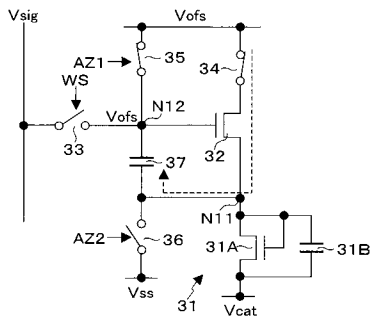
【 図 3 1 】



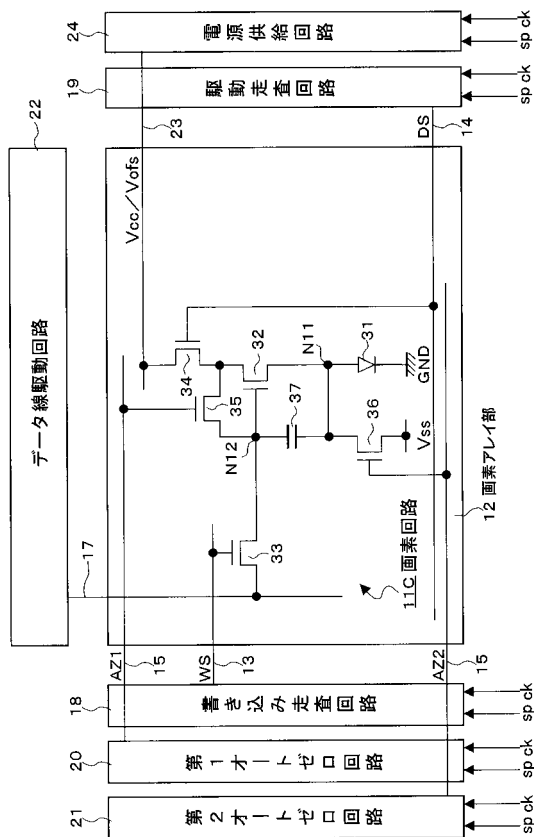
【 図 3 2 】



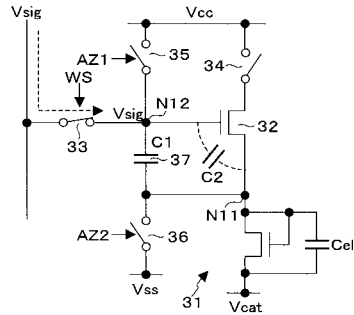
【 図 3 3 】



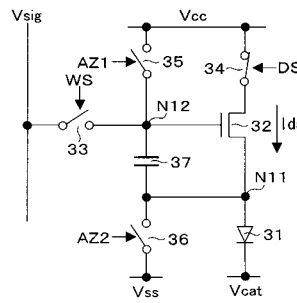
【 図 3 6 】



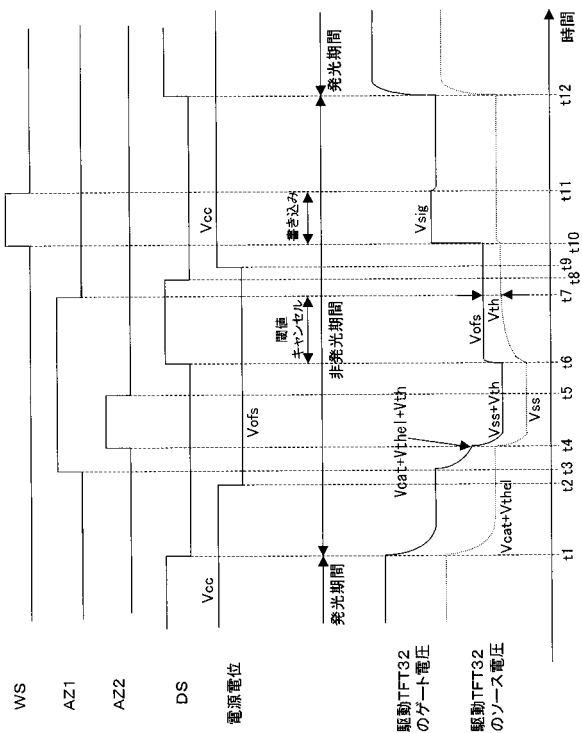
【 図 3 4 】



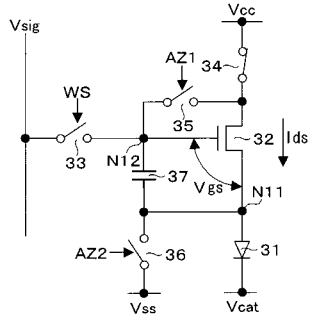
【 図 3 5 】



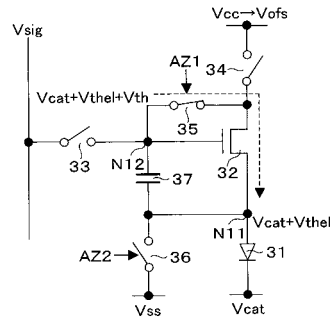
【 図 3 7 】



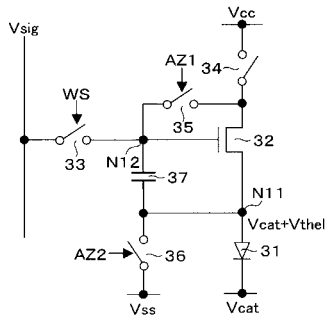
【 図 3 8 】



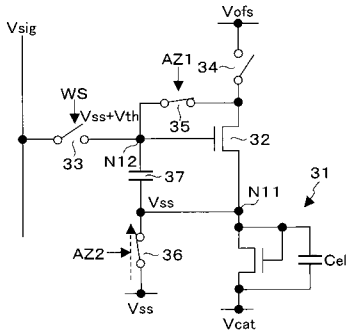
【 図 4 0 】



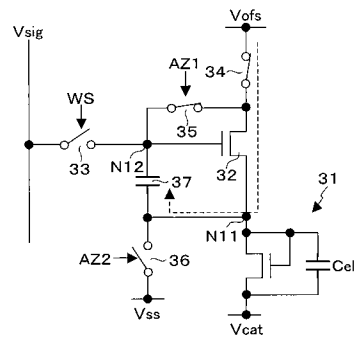
【 図 3 9 】



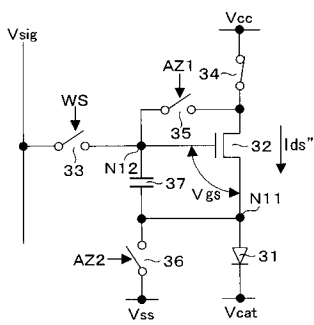
【 図 4 1 】



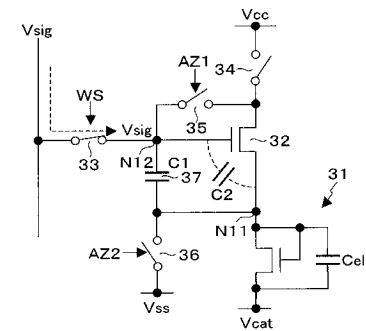
【 図 4 2 】



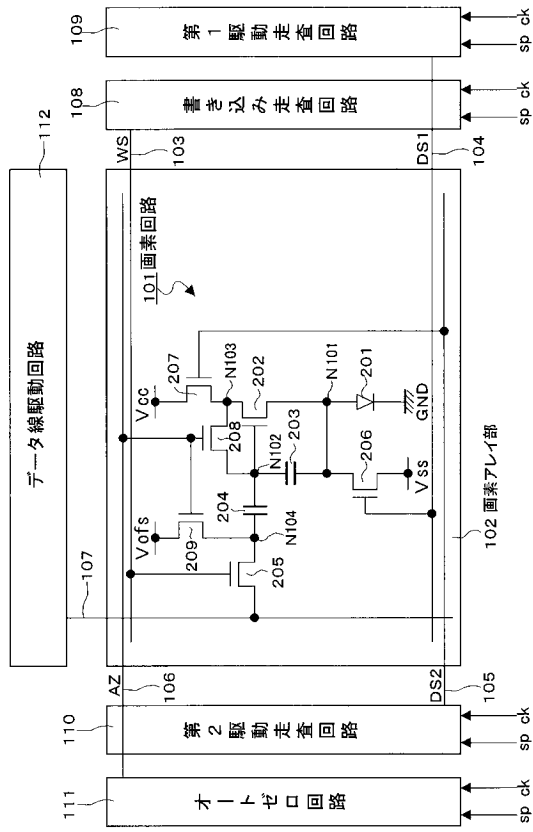
【 図 4 4 】



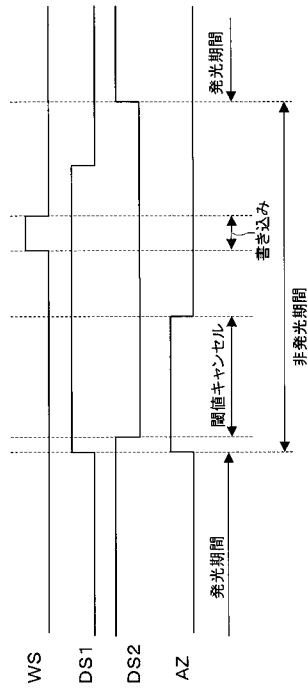
【 図 4 3 】



【 図 4 5 】



【 図 4 6 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

H 0 5 B 33/14

A

Fターム(参考) 3K107 AA01 BB01 CC33 CC35 CC45 EE03 HH05
5C080 AA06 BB05 DD04 DD05 DD28 DD29 EE28 FF11 JJ02 JJ03
JJ04 JJ05

专利名称(译)	显示装置和显示装置的驱动方法		
公开(公告)号	JP2007108380A	公开(公告)日	2007-04-26
申请号	JP2005298496	申请日	2005-10-13
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀 山下淳一		
发明人	山本 哲郎 内野 勝秀 山下 淳一		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.670.J G09G3/20.624.B G09G3/20.612.E H05B33/14.A G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/CC45 3K107/EE03 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD04 5C080/DD05 5C080/DD28 5C080/DD29 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB34 5C380/BA10 5C380/BA12 5C380/BA13 5C380/BA19 5C380/BA20 5C380/BA29 5C380/BA31 5C380/BA38 5C380/BB02 5C380/BD03 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB20 5C380/CB26 5C380/CB31 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC57 5C380/CC65 5C380/CC71 5C380/CD015 5C380/CD026 5C380/DA06 5C380/DA47		
代理人(译)	船桥 国则		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了通过单独的电源线提供不同的电源电位，电源线的布线数量增加。 解决方案：有机EL元件31的特性波动的补偿功能和驱动TFT 32的Vth的变化的补偿功能相对于具有少量构成元件的驱动TFT 32的Vth的变化，例如驱动TFT 32，采样TFT 33和开关TFT 34至36以及一个电容器37并且实现补偿功能，通过使用一条电源线23选择性地提供电源电位Vcc / Vss / Vofs，从而减少电源线的布线数量。 .The 10

