

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-502433

(P2006-502433A)

(43) 公表日 平成18年1月19日(2006.1.19)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K007
G09G 3/20 (2006.01)	G09G 3/30 H	5C080
HO1L 51/50 (2006.01)	G09G 3/20 611A	
	G09G 3/20 611D	
	G09G 3/20 621A	

審査請求 未請求 予備審査請求 未請求 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2004-542699 (P2004-542699)
 (86) (22) 出願日 平成15年9月15日 (2003. 9. 15)
 (85) 翻訳文提出日 平成17年4月7日 (2005. 4. 7)
 (86) 国際出願番号 PCT/IB2003/004136
 (87) 国際公開番号 W02004/034365
 (87) 国際公開日 平成16年4月22日 (2004. 4. 22)
 (31) 優先権主張番号 0223305.4
 (32) 優先日 平成14年10月8日 (2002. 10. 8)
 (33) 優先権主張国 英国 (GB)

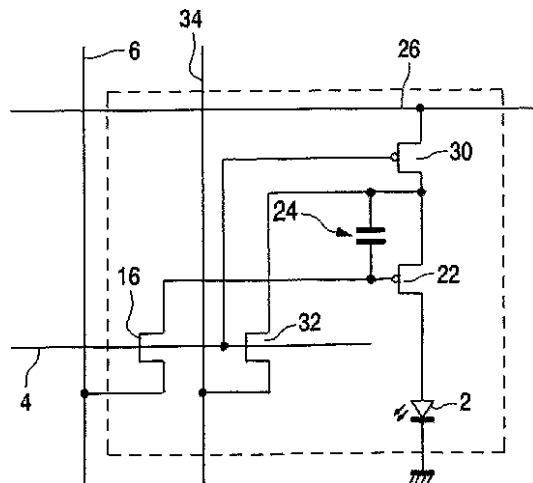
(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介

最終頁に続く

(54) 【発明の名称】 エレクトロルミネッセンス表示装置

(57) 【要約】

アクティブマトリクスエレクトロルミネッセンス表示装置は、表示素子のアレイを有する。各々の画素において、第1スイッチは電源ラインから表示素子に電力を接続し、第2スイッチは電流測定電源ラインから表示素子に電流を流す。駆動トランジスタに供給されるゲート電圧はフィードバックシステムにより制御され、それ故、制御電圧は所望の電流を達成するように閉ループ状に制御される。制御電圧は、それ故、続く画素のアドレス指定のために用いられる。



【特許請求の範囲】

【請求項 1】

表示画素のアレイを有するアクティブマトリクスエレクトロルミネッセンス (E L) 表示装置であって、各々の画素は：

エレクトロルミネッセンス (E L) 表示素子及び該 E L 表示素子を流れる電流を駆動するための駆動トランジスタ；

電源ラインからの電力が前記 E L 表示素子に供給されるようにする第 1 スイッチ；

前記 E L 表示素子に電流測定電源ラインから電流を流すための第 2 スイッチであって、前記第 1 スイッチ及び前記第 2 スイッチは相補的に動作する、第 2 スイッチ；並びに

前記駆動トランジスタに供給されるゲート電圧を制御するための制御ラインであって、フィードバックシステムは前記電流測定電源ラインと前記制御ラインとの間に備えられている、制御ライン；

を有することを特徴とするアクティブマトリクス E L 表示装置。

10

【請求項 2】

請求項 1 に記載のアクティブマトリクス E L 表示装置であって、前記フィードバックシステムは、ゲート電圧が前記駆動トランジスタを流れる所望の電流に対応して決定されるようにする、ことを特徴とするアクティブマトリクス E L 表示装置。

【請求項 3】

請求項 1 又は 2 に記載の E L 表示装置であって、前記フィードバックシステムは前記表示装置の列ドライバに備えられている、ことを特徴とするアクティブマトリクス E L 表示装置。

20

【請求項 4】

請求項 1 乃至 3 のいずれ一項に記載のアクティブマトリクス E L 表示装置であって、各々の画素は、前記駆動トランジスタのゲート - ソース電圧を蓄積するための保持容量を更に有する、ことを特徴とするアクティブマトリクス E L 表示装置。

【請求項 5】

請求項 1 乃至 4 のいずれ一項に記載のアクティブマトリクス E L 表示装置であって、各々の画素は、前記制御ラインと前記駆動トランジスタのゲートとの間に接続されたアドレストランジスタを更に有する、ことを特徴とするアクティブマトリクス E L 表示装置。

【請求項 6】

請求項 5 に記載のアクティブマトリクス E L 表示装置であって、前記アドレストランジスタ、前記第 1 スイッチ及び前記第 2 スイッチは共有制御ラインにより各々制御される、ことを特徴とするアクティブマトリクス E L 表示装置。

30

【請求項 7】

請求項 6 に記載のアクティブマトリクス E L 表示装置であって、前記アドレストランジスタ及び前記第 2 スイッチは同期して制御される、ことを特徴とするアクティブマトリクス E L 表示装置。

【請求項 8】

請求項 1 乃至 7 のいずれ一項に記載のアクティブマトリクス E L 表示装置であって、各々のスイッチはトランジスタを有する、ことを特徴とするアクティブマトリクス E L 表示装置。

40

【請求項 9】

請求項 8 に記載のアクティブマトリクス E L 表示装置であって、前記スイッチの一方は N M O S T F T であり、他は O M O S T F T である、ことを特徴とするアクティブマトリクス E L 表示装置。

【請求項 10】

請求項 1 乃至 9 のいずれ一項に記載のアクティブマトリクス E L 表示装置であって、前記フィードバックシステムは：

電流測定電源ラインから引き出された電流に対応する第 1 電圧を供給するための電流 - 電圧変換部；

50

前記の所望の電流を表す入力電圧と慙愧第1電圧を比較するための比較部；及び

前記制御ラインに電圧を供給するための駆動部であって、前記制御ライン電圧が前記入力電圧に対応する電流を生じる前記駆動トランジスタの駆動を与えるとき、フィードバックループが平衡状態にある、駆動部；

を有する、ことを特徴とするアクティブマトリクスEL表示装置。

【請求項11】

請求項1乃至10のいずれ一項に記載のアクティブマトリクスEL表示装置であって：

所望の画素駆動電流が前記電流測定電源ラインから引き出され、前記フィードバックシステムが前記駆動トランジスタに対して対応するゲート電圧を生成する、第1モードであって、前記駆動トランジスタに対して対応するゲート-ソース電圧が蓄積される、第1モード；並びに

前記の蓄積されたゲート-ソース電圧を用いて、電流が前記駆動トランジスタ及び前記EL表示素子により駆動される第2モード；

の2つのモードにおいて動作する、ことを特徴とするアクティブマトリクスEL表示装置。

【請求項12】

表示画素のアレイを有するアクティブマトリクスエレクトロルミネッセンス表示装置をアドレス指定する方法であって、その表示画素において、各々の画素は、エレクトロルミネッセンス(EL)表示素子とEL表示素子を流れる電流を駆動するための駆動トランジスタとを有する方法であり、各々の画素に対して：

前記EL表示素子を流れる電流を駆動するために前記駆動トランジスタに電圧を供給する段階であって、前記電流は電流測定電源ラインから引き出される、段階；

前記の画素のアレイの外側においてフィードバック制御回路構成を用い及び所望の電流を表す入力を有して前記電流を処理する段階；

前記の処理された電流を用いて、前記駆動トランジスタに対して前記フィードバック制御回路構成において制御電圧を生成し、これにより、前記電流が前記の所望の電流に対応するときに平衡に達するフィードバック制御ループを構成し、前記画素に前記制御電圧を供給する段階；

画素内で、前記制御電圧から導き出された電圧を蓄積する段階；並びに

前記駆動トランジスタのゲートに前記の蓄積された電圧を供給し、前記EL表示素子を照射するために電源ラインから電流を引き出す段階；

を有することを特徴とする方法。

【請求項13】

請求項12に記載の方法であって、前記の電流を処理する段階は、前記の電流を電圧に変換する手順と、増幅された差動出力を生成するように前記の所望の電流を表す入力電圧とその電圧を比較する手順と、を有する、ことを特徴とする方法。

【請求項14】

請求項13に記載の方法であって、前記制御電圧は前記の増幅された差動出力を有する、ことを特徴とする方法。

【請求項15】

請求項12乃至14のいずれ一項に記載の方法であって、電流は第1スイッチにより前記電源ラインから引き出され、電流は第2スイッチにより前記電流測定電源ラインから引き出され、前記第1スイッチ及び前記第2スイッチは相補的に動作され、前記第1スイッチは最初の画素プログラミングフェーズの後に用いられ、前記第2スイッチは最初の画素プログラミングフェーズの間に用いられる、ことを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、エレクトロルミネッセンス表示装置に関し、特に、各々の画素に関連付けられた薄膜スイッチングトランジスタを有するアクティブマトリクス表示装置に関する。

【背景技術】

【0002】

エレクトロルミネッセンス（EL）発光装置を用いるマトリクス型表示装置は周知である。その表示素子は、例えば、高分子材料を用いる有機薄膜エレクトロルミネッセンス素子、又は、従来のIII-V族半導体化合物を用いる発光ダイオード（LED）を有することが可能である。有機エレクトロルミネッセンス材料、特に高分子材料における近年の研究は、映像表示装置に対して実際に使用される能力を示してきた。代表的には、それらの材料は、一对の電極間に挟まれた半導体性共役系高分子の1層又はそれ以上の数の層を有し、それら電極の一方は透明であり、他方は高分子層にホール又は電子を注入するために適する材料から成る。

10

【0003】

高分子材料層は、CVDプロセスを用いて形成することができ、または可溶性共役高分子の溶液を用いるスピンコーティング技術により簡単に形成することができる。又、インクジェットプリンティング方法を用いることが可能である。有機エレクトロルミネッセンス材料は、ダイオードのようなI-V族半導体材料の特性を示し、それ故、それら材料は表示機能およびスイッチング機能に両方を提供することができ、受動型表示装置において用いられることができる。また、それらの材料はアクティブマトリクス表示装置のために用いることが可能であり、各々の画素は表示素子を通る電流を制御するためのスイッチング素子と表示素子とを有する。

【0004】

この種類の表示装置は電流アドレス型表示素子を有し、それ故、従来のアナログ駆動スキームは表示素子に制御可能な電流を供給する。電流源トランジスタを画素構成の一部として備えることが知られており、このとき、電流源トランジスタに供給されるゲート電圧は表示素子を通る電流を決定する。保持容量はアドレスフェーズの後、ゲート電圧を維持する。

20

【0005】

図1は、アクティブマトリクスアドレスエレクトロルミネッセンス表示装置のための既知の画素回路を示している。アクティブマトリクスアドレスエレクトロルミネッセンス表示装置は、行（選択）列（データ）アドレス導体4及び6の交差点の集合間のインターセクションに位置付けられた、関連するスイッチング手段と共にエレクトロルミネッセンス表示素子2を有し且つブロック1により表される、一定間隔を置いた画素の行列マトリクスアレイを有するパネルを有する。簡単化のために、図1においては、幾らかの画素のみを示している。実際には、数百の画素の行及び列が存在することが可能である。画素1は、それぞれ導体の集合の端部に接続される、走査のための行の駆動回路8と、データのための列の駆動回路9とを有する周辺駆動回路により、行及び列のアドレス導体の集合を介してアドレスされる。

30

【0006】

エレクトロルミネッセンス表示素子2は、ここではダイオード素子（LED）として表され、1層またはそれ以上の数の層の有機エレクトロルミネッセンス材料の活性層が間に挟まれる一对の電極を有する、有機発光ダイオードを有する。アレイにおける表示素子は、絶縁基板の一方側に、関連するアクティブマトリクス回路と共に支持される。表示素子の陰極または陽極は透明導電材料を用いて形成される。基板はガラスのような透明材料から成り、基板に最も近い表示素子2の電極は透明導電材料から成り、それ故、基板の他の側から観測者が見ることができるよう、エレクトロルミネッセンス層により生成される光は電極および基板を透過する。代表的には、有機エレクトロルミネッセンス材料層の厚さは100nm乃至200nmの範囲内である。エレクトロルミネッセンス表示素子2のために使用することができる、適切な有機エレクトロルミネッセンス材料の代表的な例は、周知であり、欧州特許第0717446号明細書に説明されている。国際公開第96/36959号パンフレットに説明されているような共役高分子材料が又、用いられることができる。

40

50

【0007】

図2は、既知の画素及び駆動回路配置を単純化した模式図に示している。各々の画素1は、EL表示素子2と関連する駆動回路とを有する。その駆動回路は、行の導体における行のアドレスパルスによりオンにされるアドレスタランジスタ16を有する。アドレスタランジスタ16がオンにされるとき、列の導体6の電圧は残りの画素に加えることができる。特に、アドレスタランジスタ16は、駆動トランジスタ22と保持容量24を有する電流源20に列の導体電圧を供給する。列の電圧は駆動トランジスタ22のゲートに供給され、行のアドレスパルスが終了した後に保持容量24によりゲートはこの電圧に保たれる。駆動トランジスタ22は電力供給ライン26から電流を引き出す。

【0008】

この回路における駆動トランジスタ22は、PMOS T F Tとして実施され、それ故、保持容量24は固定されたゲートソース電圧に保たれる。これにより、トランジスタを流れる固定ソースドレイン電流が得られ、それ故、画素の所望の電流源動作を提供する。

【0009】

上記の基本的な画素回路は電圧がプログラムされた画素であり、又、駆動電流をサンプリングする電流がプログラムされた画素がある。しかしながら、全ての画素構成は、各々の画素に供給される電流を必要とする。

【0010】

特にポリシリコン型薄膜トランジスタを用いる場合の、電圧がプログラムされた画素を用いる1つの問題点は、基板におけることとなるトランジスタ特性(特に、閾値電圧)がゲート電圧とソース-ドレイン電流との間の異なる関係及び表示画像結果におけるアーチファクトを生じさせる。

【0011】

電流がプログラムされた画素は、基板におけるトランジスタの変化の影響を低減する又は削除することができる。例えば、電流がプログラムされた画素は、所望の画素駆動電流により駆動されるサンプリングトランジスタにおいてゲート-ソース電圧をサンプリングするためにカレントミラーを用いることができる。サンプリングされたゲート-ソース電圧は駆動トランジスタをアドレス指定するために用いられる。サンプリングトランジスタ及び駆動トランジスタが基板において互いに隣接しており、互いにより正確に適合されることができるため、これは装置の均一性の問題点を緩和する。他の電流サンプリング回路は、サンプリング及び駆動のために同じトランジスタを用い、それ故、トランジスタの適合は必要でないが、付加トランジスタ及びアドレスラインが必要である。

【0012】

LEDを用いる更なる問題点は、画素により引き出される大きな電流からもたらされる。LEDは、典型的には、アクティブマトリクス回路構成を担持する基板を通して、後方に発光する。これは、EL表示素子の所望の陰極材料が不透明であるため、好ましい配置であり、それ故、ELダイオードの他の側からの発光があり、更に、アクティブマトリクス回路構成に対してこの好ましい陰極材料を設けることは好ましくない。金属の行胴体は電源ラインを規定するために形成され、これらの後方発光表示装置に対して、それらの列胴体は、不透明であるために、表示領域間の空間を占める必要がある。例えば、携帯用プロダクトとして適切である12.5cm(対角線)の表示装置においては、行導体は、11cmの長さで20 μ mの幅であることが可能である。1.2 / の典型的な金属のシート抵抗に対して、これは、1.1k の金属行導体に対するライン抵抗を与える。明るい画素は約8 μ Aを引き出し、引き出された電流は行に沿って分配される。かなりの行導体抵抗は行導体に沿って電圧降下を生じさせ、これらの電力供給ラインに沿った電圧変化は駆動トランジスタにおけるゲート-ソース電圧を変化させ、これにより、表示の輝度に影響を与える。更に、行における画素により引き出された電流は画像に依存するため、データ補正技術により画素駆動レベルを補正することは難しく、歪は、本質的には、異なる列における画素間のクロストークである。

【0013】

10

20

30

40

50

電圧降下は、行の両方の端部から電流を引き出すことにより4分の1に減少されることができ、EL材料の効率の改善は又、引き出される電流を減少させることができる。それにも拘らず、かなりの電圧降下が尚も存在する。これらの電圧降下は又、カレントミラー画素回路における性能制限を引き起こし、薄膜トランジスタは、本質的に非理想的電流源装置である（出力電流は、実際には、ゲート-ソース電圧のみではなく、ソース電圧とドレイン電圧の両方に依存する）。

【発明の開示】

【課題を解決するための手段】

【0014】

本発明に従って、表示画素のアレイを有するアクティブマトリクスエレクトロルミネッセンス表示装置であって、各々の画素は： 10

エレクトロルミネッセンス（EL）表示素子及び該EL表示素子を流れる電流を駆動するための駆動トランジスタ；

電源ラインからの電力がEL表示素子に供給されるようにする第1スイッチ；

EL表示素子に電流測定電源ラインから電流を流すための第2スイッチであって、第1スイッチ及び第2スイッチは相補的に動作する、第2スイッチ；並びに

駆動トランジスタに供給されるゲート電圧を制御するための制御ラインであって、フィードバックシステムは電流測定電源ラインと制御ラインとの間に備えられている、制御ライン；

を有する、アクティブマトリクスエレクトロルミネッセンス表示装置を備えている。 20

【0015】

このような構成は、画素プログラミングフェーズに対してのみ用いられる電流測定電源ラインと画素駆動信号が供給される標準的な制御ラインとの間のフィードバックパスを構築し、それ故、制御ライン電圧は、所望の電流を達成するように閉ループ状に制御されることができ、結果的に得られる制御電圧は、次いで、フレーム期間の残りの間に用いられることができる。それ故、所望の画素電流は入力信号として用いられ、実際に流れる電流はアドレス指定フェーズの間にフィードバック信号として用いられる。これは、駆動トランジスタ特性における差動が許容されることを可能にする。画素は、次いで、フレーム期間の残りの間にプログラムされた電圧レベルを用いて、駆動される。特に、フィードバックシステムは、ゲート電圧が駆動トランジスタを流れる所望の電流に対応して決定されることを可能にする。 30

【0016】

フィードバックシステムは、好適には、表示装置の列ドライバに備えられている。

【0017】

各々の画素は、好適には、制御ラインと駆動トランジスタのゲートとの間に接続されるアドレストランジスタを更に有する。これは、制御ライン（典型的には、列ライン）における制御信号が正確な画素行に適用されることを可能にするために用いられる。アドレストランジスタと第1及び第2スイッチとは、共有制御ラインにより各々制御されることができ、これにより、本発明の実行を簡単化することができる。アドレストランジスタ及び第2スイッチは同期して制御され、それら両方は、画素プログラミング段階の間にフィードバックループを構成し、第1スイッチはプログラミングの間に用いられないが、フレーム期間の残りの間に用いられる。 40

【0018】

各々のスイッチは、勿論、トランジスタを有することが可能であり、それらのスイッチの1はNMOS T F Tであり、他はPMOS T F Tであることが可能である。

【0019】

周辺回路構成において、フィードバックシステムは、電流測定電源ラインから引き出される電流に対応する第1電圧を供給するための電流対電圧変換部と、所望の電流を表す入力電圧と第1電圧を比較するための比較部とを有することが可能である。これらは、引き出される電流及び所望の電流との比較の測定を効果的に提供する（ただし、電圧ドメイン 50

に変換される)。駆動部は、次いで、制御ラインにおいて電圧を供給し、制御ライン電圧が所望の電流を生じる駆動トランジスタの駆動を与えるとき、フィードバックループは平衡になる。

【0020】

アクティブマトリクスエレクトロルミネッセンス表示装置は、それ故、2つのモードであって：

所望の画素駆動電流が電流測定電源ラインから引き出され、フィードバックシステムが駆動トランジスタに対して対応するゲート電圧を生成する第1画素プログラミングモードであって、駆動トランジスタに対して対応するゲート-ソース電圧が蓄積される、第1画素プログラミングモード；並びに

蓄積されたゲート-ソース電圧を用いて、電流が駆動トランジスタ及びEL表示素子により駆動される第2モード；

において動作する。

【0021】

本発明は又、表示画素のアレイを有するアクティブマトリクスエレクトロルミネッセンス表示装置をアドレス指定する方法であって、その表示画素において、各々の画素は、エレクトロルミネッセンス(EL)表示素子とEL表示素子を流れる電流を駆動するための駆動トランジスタとを有する方法であり、各々の画素に対して：

表示素子を流れる電流を駆動するために駆動トランジスタに電圧を供給する段階であって、電流は電流測定電源ラインから引き出される、段階；

画素のアレイの外側においてフィードバック制御回路構成を用い及び所望の電流を表す入力を有して電流を処理する段階；

処理された電流を用いて、駆動トランジスタに対してフィードバック制御回路構成において制御電圧を生成し、これにより、その電流が所望の電流に対応するとき、平衡に達するフィードバック制御ループを構成し、画素に制御電圧を供給する段階；

画素内で、制御電圧から導き出された電圧を蓄積する段階；並びに

駆動トランジスタのゲートに蓄積された電圧を供給し、表示素子を表示するために電源ラインから電流を引き出す段階；

を有する方法を提供する。

【0022】

この方法は、画素プログラミングの間に電流フィードバックを用いるが、それにも拘らず、電圧プログラミング画素駆動を実行する。この方法は、駆動トランジスタ特性の画素当たりの補正を提供する一方、フィードバック制御回路構成が画素のアレイの外側にあるようにすることが可能である。

【0023】

電流を処理する段階は、電流を電圧に変換する手順と、増幅された差動出力を生成するように所望の電流を表す入力電圧とその電圧を比較する手順と、を有することが可能である。電流は、好適には、第1スイッチにより電源ラインから引き出され、電流は第2スイッチにより電流測定電源ラインから引き出され、第1スイッチ及び第2スイッチは相補的に動作され、第1スイッチは最初の画素プログラミングフェーズの後に用いられ、第2スイッチは最初の画素プログラミングフェーズの間に用いられる。

【0024】

本発明については、以下、添付図面を参照して、例として説明する。

【発明を実施するための最良の形態】

【0025】

本発明は、異なる画素の駆動トランジスタの特性の間の差のいずれの影響が回避されるように、画素プログラミングの間に電流フィードバックが用いられるアクティブマトリクスエレクトロルミネッセンス表示装置を提供する。

【0026】

同様の参照番号は同様の構成要素に対して異なる図において用いられ、それらの構成要

10

20

30

40

50

素に関する説明は繰り返さない。

【0027】

図3は、本発明に従った第1画素構成を示している。図2の従来の画素におけるように、画素は電圧プログラミングされ、保持容量24は、画素アドレス指定(プログラミング)フェーズの後、駆動トランジスタ22のゲートにおいて電圧を維持する。

【0028】

画素内に、2つの電流パスが表示素子2に対して設けられている。それらの一は従来の電源ライン26を用いるが、付加的なトランジスタスイッチ30が、電源ライン26と駆動トランジスタ22との間に設けられている。第2トランジスタスイッチ32は、電流測定電圧ライン34から駆動トランジスタ22への電流パスを提供する。図3においては、トランジスタ30はPMOS T F Tであり、第2スイッチ32はNMOS T F Tである。これらは両方とも、行導体4によりゲートにおいて制御され、結果的に、それらは相補的に動作する。

10

【0029】

トランジスタ30をオフにし、トランジスタ32をオンにすることにより、表示素子電流は電流測定電源34から引き出されることを確実にすることが可能である。このラインは列導体であるため、それは個々の画素に対してのみ電流を供給し(画素の1つの行のみがどの時点においてもアドレス指定されるため)、それ故、電流フィードバック回路として動作することができる。

【0030】

フィードバックシステムは、電流測定電源ライン34と制御ライン6との間に備えられている。制御ライン6における電圧は、表示素子2を流れる所望の電流を達成するために閉ループ状に制御される。制御電圧は、次いで、フレーム期間の残りの間に、画素の表示素子の続く駆動に対して用いられることができる。

20

【0031】

フィードバックシステムは表示装置の列ドライバにおいて備えられ、図4は、列ドライバにおいて備えられている有効なフィードバックシステムの一例を示している。

【0032】

電流測定電源ライン34は画素プログラミングステージの間に画素に電流を供給し、その画素プログラミングステージはフィードバックシステムが用いられるときである。このステージの間に、引き出された電流はフィードバックシステムにより効果的に測定される。フィードバックシステムは、トランSMISSIONゲート40により列導体6に結合されている。スイッチ32と閉じたアドレストランジスタ16を用いて、閉ループフィードバックパスが形成される。

30

【0033】

電流対電圧変換部42は、下の電流測定電源ライン34から供給される電流に従って、ノード43に電圧を供給される。電流対電圧変換部42は、仮想接地増幅器入力に接続された電流測定電源ラインが増幅器44の他の入力において電圧 V_{SUPPLY} に維持されるように、高開ループゲイン増幅器44を有する。これは、電源ライン26と同じ電源電圧である。ノード43における電圧は、値 $R \times I$ である、この電源電圧とは異なる。ここで、 R はフィードバック抵抗46の抵抗値であり、 I は流れている電流である。それ故、出力電圧は、電流測定電源ラインから引き出された電流の関数である。

40

【0034】

比較部50は、ノード43における電圧を所望の電流を表す入力52における入力電圧と比較する。これらの電流対電圧変換部42及び比較部50は、引き出される電流の測定及び所望の電流との比較を効果的に提供する。比較部50の増幅された出力はゲート40を介して列導体に供給される。比較部50は、それ故又、列導体電圧を供給するためのドライバとして機能する。

【0035】

比較部50は、その出力(図4においては図示せず)において積分増幅器を有すること

50

が可能である。これはフィードバックループの安定性を改善し、小さいゲインが比較器の増幅器において用いられることを可能にし、実際の実施においてより良好な閾値の比較を提供する。

【0036】

フィードバックループは、列導体6における制御ライン電圧が所望の電流を生じる画素における駆動トランジスタ22の駆動を与える(ノード43における電圧が測定電流を表す同じ方法で、入力52における入力電圧が画素電流を表す場合)とき、平衡状態にある。

【0037】

このフィードバックシステムの動作は、所望の画素駆動電流が電流測定電源ライン34から引き出され、フィードバックシステムが駆動トランジスタに対して対応するゲート電圧を生成する、画素プログラミングモードの間に実行される。図3を参照するに、駆動トランジスタに対するゲート-ソース電圧は容量24に蓄積される。この電圧は、列導体6においてフィードバックシステムにより供給される電圧から導き出される。

10

【0038】

画素プログラミングモードの後、トランスマッションゲート40はオフにされ、行導体4はアドレストランジスタ16及びトランジスタ32をオフにするように、そしてトランジスタ30をオンにするように動作される。トランジスタ30は、フレーム期間の残りの間において及び行がアドレス指定される次の時点まで、オンに保たれる。表示素子に対する電流のソースは、次いで、標準的な電源ライン26に戻される。ゲート-ソース電圧が固定されると同時に、駆動トランジスタのゲート及びソースの電位は、所定の電流に対しては表示素子において同じ電圧降下があるため、本質的に変わらないまま保たれる。更に、電流測定電源ライン34における電位は電源電圧 V_{SUPPLY} に保たれ、その電源電圧 V_{SUPPLY} は、画素駆動フェーズの間の電源ライン26における電圧に対応している。駆動トランジスタ22の電気的環境は、それ故、不変であり、正確なプログラミング電流が維持される。

20

【0039】

トランジスタ30のソース-ドレイン電圧により電源ライン電圧における差が取り込まれるため、電源ライン電圧における差が存在する場合でさえ、容量24はゲート-ソース電圧を蓄積する。その回路は、それ故、駆動トランジスタに対して、移動度のばらつきと閾値電圧のばらつきとを補償し、電源ライン電圧降下に対するある復元力を提供する。

30

【0040】

フィードバックループは、実際には、プログラミングフェーズの終了の直前に、トランスマッションゲート40により遮断され、列導体6における電圧は行寄生容量により維持される一方、行導体におけるアドレス制御信号は変化し、画素における異なるトランジスタはオン及びオフにスイッチングされる。

【0041】

図4のフィードバック回路は、好適には、各々の列に対して備えられ、それ故、全ての列は、順にアドレス指定される各々の行と共に、従来の方式で、同時にアドレス指定されることができる。

40

【0042】

PMOSトランジスタ及びNMOSトランジスタは、上記の例におけるトランジスタと反対の種類であることが可能である。同じ種類のトランジスタを全体に亘って用いて実施することが又、想定されるが、その場合、画素に付加的な制御ラインが必要となる。

【0043】

上記の実施形態においては、アナログ式列ドライバ構成を用いている。しかしながら、本発明の画素回路は又、デジタル式ドライバアーキテクチャに関連付けて用いられることが可能である。それ故、本発明のフィードバックシステムは、上で詳細に説明したアナログ式構成ばかりでなく、種々の方法において実行されることができる。

【0044】

50

上記の実施形態においては、電流測定フィードバック動作と標準的な画素駆動動作との間のスイッチングに対するトランジスタ30は電源ライン26と表示素子2の陽極側との間にある。代替として、それは、大地帰路接続において表示素子2の陰極側に位置付けられることが可能である。

【0045】

種々の他の変形が可能であることが、当業者に理解されるであろう。

【図面の簡単な説明】

【0046】

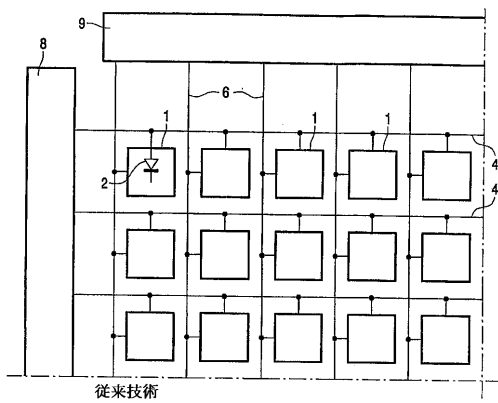
【図1】従来のEL表示装置を示す図である。

【図2】入力駆動電圧を用いて従来の画素回路の単純化した模式図である。

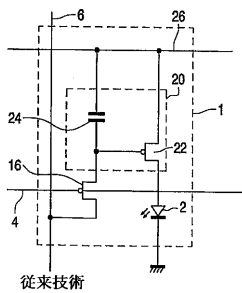
【図3】本発明の表示装置のための画素配置の単純化した模式図である。

【図4】図3の画素を用いる表示装置のための列ドライバアーキテクチャを示す図である。

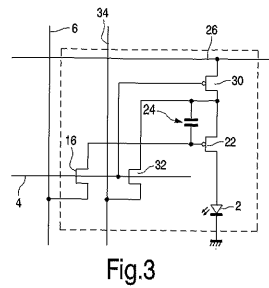
【図1】



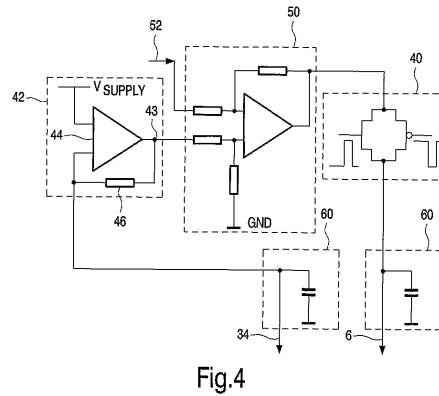
【図2】



【図3】



【図4】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No PCT/IB 03/04136
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/30 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 221 686 A (LG ELECTRONICS INC) 10 July 2002 (2002-07-10) abstract; figures 2,3,5 paragraphs '0032!-'0042!, '0046!-'0054!, '0059!-'0067! ----	1-15
X	US 2001/024186 A1 (ATHERTON JAMES HAROLD ET AL) 27 September 2001 (2001-09-27) figures 10,13 paragraphs '0103!-'0107!, '0111! ----	1-5, 10-15
A	GB 2 360 870 A (SEIKO EPSON CORP) 3 October 2001 (2001-10-03) the whole document ----	1-15
A	US 6 091 203 A (SASAKI HIROSHI ET AL) 18 July 2000 (2000-07-18) the whole document -----	1-15
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search 5 December 2003		Date of mailing of the International search report 16/12/2003
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2200 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Fulcheri, A

INTERNATIONAL SEARCH REPORT

Information on patent family members

Internat
application No
PCT/IB 03/04136

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 1221686	A	10-07-2002	KR 2002057538 A CN 1363916 A EP 1221686 A2 US 2002089357 A1	11-07-2002 14-08-2002 10-07-2002 11-07-2002
US 2001024186	A1	27-09-2001	US 6229508 B1 EP 0905673 A1 JP 11219146 A	08-05-2001 31-03-1999 10-08-1999
GB 2360870	A	03-10-2001	GB 2364592 A GB 2364593 A WO 0175853 A1	30-01-2002 30-01-2002 11-10-2001
US 6091203	A	18-07-2000	JP 3252897 B2 JP 11282419 A TW 477156 B	04-02-2002 15-10-1999 21-02-2002

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 4 2 P
	H 0 5 B 33/14	A

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100107766

弁理士 伊東 忠重

(72) 発明者 スティア, ウィリアム エイ

イギリス国, サリー アールエイチ1 5エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクチュアル プロパティ アンド スタンダーズ内(番地なし)

Fターム(参考) 3K007 AB03 AB05 AB17 BA06 DB03 GA00 GA04

5C080 AA06 BB05 DD10 DD26 EE28 EE29 FF11 JJ02 JJ03

专利名称(译)	电致发光显示装置		
公开(公告)号	JP2006502433A	公开(公告)日	2006-01-19
申请号	JP2004542699	申请日	2003-09-15
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	スティアウヰリアムエイ		
发明人	スティア,ウヰリアム エイ		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32		
CPC分类号	G09G3/3233 G09G3/3291 G09G2300/0842 G09G2300/0861 G09G2320/0295 G09G2320/043		
FI分类号	G09G3/30.K G09G3/30.H G09G3/20.611.A G09G3/20.611.D G09G3/20.621.A G09G3/20.624.B G09G3/20.641.D G09G3/20.642.P H05B33/14.A		
F-TERM分类号	3K007/AB03 3K007/AB05 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD10 5C080/DD26 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03		
代理人(译)	伊藤忠彦		
优先权	2002023305 2002-10-08 GB		
外部链接	Espacenet		

摘要(译)

有源矩阵电致发光显示装置具有显示元件阵列。在每个像素中，第一开关将电源从电源线连接到显示元件，第二开关将电流从电流测量电源线传导到显示元件。提供给驱动晶体管的栅极电压由反馈系统控制，因此控制电压在闭环中被控制以实现所需的电流。因此，控制电压用于后续像素的寻址。

