

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-502432

(P2006-502432A)

(43) 公表日 平成18年1月19日(2006.1.19)

| | | |
|-----------------------------|----------------|-------------|
| (51) Int. Cl. | F I | テーマコード (参考) |
| G09G 3/30 (2006.01) | G09G 3/30 K | 3K007 |
| G09G 3/20 (2006.01) | G09G 3/30 H | 5C080 |
| HO1L 51/50 (2006.01) | G09G 3/20 611A | |
| | G09G 3/20 624B | |
| | G09G 3/20 641D | |

審査請求 未請求 予備審査請求 未請求 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2004-542695 (P2004-542695)
 (86) (22) 出願日 平成15年9月15日 (2003. 9. 15)
 (85) 翻訳文提出日 平成17年4月7日 (2005. 4. 7)
 (86) 国際出願番号 PCT/IB2003/004026
 (87) 国際公開番号 W02004/034364
 (87) 国際公開日 平成16年4月22日 (2004. 4. 22)
 (31) 優先権主張番号 0223304. 7
 (32) 優先日 平成14年10月8日 (2002. 10. 8)
 (33) 優先権主張国 英国 (GB)

(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands

(74) 代理人 100070150
 弁理士 伊東 忠彦

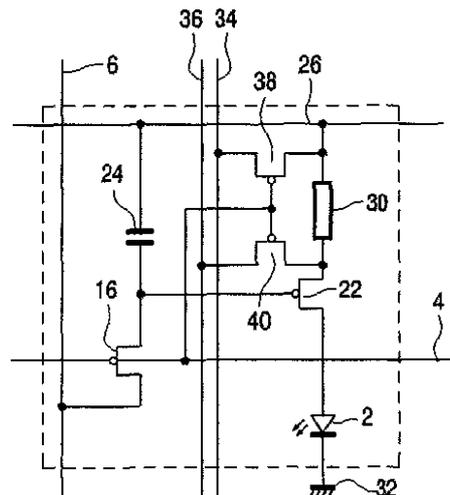
(74) 代理人 100091214
 弁理士 大貫 進介

最終頁に続く

(54) 【発明の名称】 エレクトロルミネッセンス表示装置

(57) 【要約】

アクティブマトリクスエレクトロルミネッセンス表示装置は、表示素子と直列の状態にある各々の画素に電流サンプリング抵抗を有する。フィードバック信号は電流サンプリング抵抗における電圧降下を表し、画素駆動信号は表示素子により駆動される電流を制御するためにフィードバック信号に依存して変更される。このようにして、閾値補正が提供される一方、単一の電圧駆動される駆動トランジスタを用いることを可能にする。



【特許請求の範囲】**【請求項 1】**

表示画素のアレイを有するアクティブマトリクスエレクトロルミネッセンス (E L) 表示装置であって、各々の画素は：

エレクトロルミネッセンス (E L) 表示素子；

前記 E L 表示素子を流れる電流を駆動するための駆動トランジスタ；

電流サンプリング抵抗であって、前記 E L 表示素子、前記駆動トランジスタ及び前記電流サンプリング抵抗が第 1 電力ラインと第 2 電力ラインとの間で直列状態にある、電流サンプリング抵抗；並びに

少なくとも 1 つのフィードバックラインに前記電流サンプリング抵抗において電圧降下を表すフィードバック信号又は信号群を供給するための回路構成；

を有する、アクティブマトリクス E L 表示装置であり、

前記 E L 表示装置は、前記フィードバック信号又は信号群に依存して画素駆動信号を処理するための処理手段を更に有する；

ことを特徴とするアクティブマトリクス E L 表示装置。

【請求項 2】

請求項 1 に記載のアクティブマトリクス E L 表示装置であって、前記フィードバック信号又は信号群を供給するための前記回路構成は、前記電流サンプリング抵抗の一の端子と第 1 フィードバックラインとの間に接続された第 1 サンプルトランジスタを更に有する、ことを特徴とするアクティブマトリクス E L 表示装置。

【請求項 3】

請求項 2 に記載のアクティブマトリクス E L 表示装置であって、前記フィードバック信号又は信号群を供給するための前記回路構成は、前記電流サンプリング抵抗の他の端子と第 2 フィードバックラインとの間に接続された第 2 サンプルトランジスタを更に有する、ことを特徴とするアクティブマトリクス E L 表示装置。

【請求項 4】

請求項 2 又は 3 に記載のアクティブマトリクス E L 表示装置であって、各々の画素は、データ入力ラインと前記駆動トランジスタのゲートとの間に接続したアドレストラジスタを更に有し、前記アドレストラジスタのゲートと前記サンプルトランジスタ又は各々のサンプルトランジスタは共有アドレスラインにより制御される、ことを特徴とするアクティブマトリクス E L 表示装置。

【請求項 5】

請求項 4 に記載のアクティブマトリクス E L 表示装置であって、各々の画素は第 2 アドレストラジスタを更に有し、該アドレストラジスタは前記電流サンプリング抵抗の一の端子と電流ドレインラインとの間に接続されている、ことを特徴とするアクティブマトリクス E L 表示装置。

【請求項 6】

請求項 5 に記載のアクティブマトリクス E L 表示装置であって、前記第 2 アドレストラジスタは前記共有アドレスラインにより制御される、ことを特徴とするアクティブマトリクス E L 表示装置。

【請求項 7】

請求項 1 乃至 4 のいずれか一項に記載のアクティブマトリクス E L 表示装置であって、前記処理手段は、前記フィードバック信号又は信号群を受け、又は前記電流サンプリング抵抗を通して流れる電流に依存する出力を引き出す第 1 増幅器と、前記電流サンプリング抵抗を通して流れる電流及び前記画素駆動信号に依存する出力を受け、変更された画素駆動信号を供給する第 2 増幅器と、を有する、ことを特徴とするアクティブマトリクス E L 表示装置。

【請求項 8】

請求項 5 又は 6 に記載のアクティブマトリクス E L 表示装置であって、前記処理手段は、前記フィードバック信号又は信号群を受け、又は前記電流サンプリング抵抗を通して流

10

20

30

40

50

れる電流に依存する出力を引き出す第1増幅器と、出力値を保つためのサンプル及びホール回路と、前記電流サンプリング抵抗を流れる電流に依存する前記出力及び前記の保たれた出力値を受けるための第2増幅器と、を有する、ことを特徴とするアクティブマトリクスEL表示装置。

【請求項9】

請求項8に記載のアクティブマトリクスEL表示装置であって、前記データ入力ラインは、電源ライン電圧と前記第2増幅器の前記出力との間でスイッチング可能である、ことを特徴とするアクティブマトリクスEL表示装置。

【請求項10】

請求項8又は9に記載のアクティブマトリクスEL表示装置であって：

10

所望の画素駆動電流が前記電流ドレインラインに前記電流サンプリング抵抗及び前記第2アドレストランジスタにより駆動され、前記電流サンプリング抵抗を流れる電流に依存する前記出力が蓄積される、第1モード；並びに

電流が前記駆動トランジスタ及び前記EL表示素子により駆動され、前記電流サンプリング抵抗を流れる電流に依存する前記出力は前記の蓄積された出力値との比較のための前記第2増幅器に供給される、第2モードであって、前記第2増幅器はデータ入力ライン電圧を供給する、第2モード；

において動作する、ことを特徴とするアクティブマトリクスEL表示装置。

【請求項11】

表示画素のアレイを有するアクティブマトリクスエレクトロルミネッセンス(EL)表示装置をアドレス指定する方法であって、各々の画素は、エレクトロルミネッセンス(EL)表示素子と、前記EL表示素子を流れる電流を駆動するための駆動トランジスタと、前記EL表示素子及び前記駆動トランジスタと直列の状態にある電流サンプリング抵抗とを有する方法であり、各々の画素に対して：

20

所望の電流を表す画素に駆動信号を供給する段階；

前記EL表示素子と直列の状態にある電流サンプリング抵抗の端子において電圧をサンプリングすることにより前記表示素子を通して流れる前記電流を表すフィードバック信号を得る段階；並びに

流れる電流が所望の電流に等しいような、変更された画素駆動信号を生成するために前記駆動信号及び前記フィードバック信号を用いる段階；

30

を有する、ことを特徴とする方法。

【請求項12】

請求項11に記載の方法であって、前記駆動信号及び前記フィードバック信号を用いる段階は、前記信号を差動的に増幅する手順を有する、ことを特徴とする方法。

【請求項13】

請求項11又は12に記載の方法であって、前記EL表示素子と直列の状態にある前記電流サンプリング抵抗の端子において電圧をサンプリングすることは、各々の端子から差動増幅器に電圧を接続することを有する、ことを特徴とする方法。

【請求項14】

請求項11又は12に記載の方法であって、前記EL表示素子と直列の状態にある前記電流サンプリング抵抗の端子において電圧をサンプリングすることは、一の端子から電圧を接続することを有し、他の端子における電圧は既知の電源電圧を有する、ことを特徴とする方法。

40

【請求項15】

表示画素のアレイを有するアクティブマトリクスEL表示装置をアドレス指定する方法であって、各々の画素は、EL表示素子と、前記EL表示素子を流れる電流を駆動するための駆動トランジスタと、前記EL表示素子及び前記駆動トランジスタと直列の状態にある電流サンプリング抵抗とを有する方法であり、各々の画素に対して：

前記表示素子ではなく、前記電流サンプリング抵抗を流れる所望の電流を駆動する段階

；

50

前記電流サンプリング抵抗における対応する電圧降下を表すフィードバック信号を得る段階；

前記フィードバック信号を蓄積する段階；並びに

前記駆動トランジスタのゲートに電圧を供給することにより前記EL表示素子を流れる電流を続いて駆動するためのフィードバック制御信号として前記の蓄積されたフィードバック信号を用いる段階であって、前記フィードバック制御信号は前記ゲート電圧を決定するために用いられる、段階；

を有する、ことを特徴とする方法。

【請求項16】

請求項15に記載の方法であって、前記の蓄積されたフィードバック信号を用いる段階は、差動増幅器に前記EL表示素子を駆動する間に前記の蓄積されたフィードバック信号及び第2フィードバック信号を供給する手順と、前記駆動トランジスタを制御するために前記差動増幅器の出力を用いる手順とを有する、ことを特徴とする方法。

10

【請求項17】

請求項16に記載の方法であって、前記第2フィードバック信号は、前記電流サンプリング抵抗の端子において電圧をサンプリングすることにより得られる、ことを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、エレクトロルミネッセンス表示装置に関し、特に、各々の画素に関連付けられた薄膜スイッチングトランジスタを有するアクティブマトリクス表示装置に関する。

20

【背景技術】

【0002】

エレクトロルミネッセンス(EL)発光装置を用いるマトリクス型表示装置は周知である。その表示素子は、例えば、高分子材料を用いる有機薄膜エレクトロルミネッセンス素子、又は、従来のIII-V族半導体化合物を用いる発光ダイオード(LED)を有することが可能である。有機エレクトロルミネッセンス材料、特に高分子材料における近年の研究は、映像表示装置に対して実際に使用される能力を示してきた。代表的には、それらの材料は、一对の電極間に挟まれた半導体性共役系高分子の1層又はそれ以上の数の層を有し、それら電極の一方は透明であり、他方は高分子層にホール又は電子を注入するために適する材料から成る。

30

【0003】

高分子材料層は、CVDプロセスを用いて形成することができ、または可溶性共役高分子の溶液を用いるスピンコーティング技術により簡単に形成することができる。又、インクジェットプリンティング方法を用いることが可能である。有機エレクトロルミネッセンス材料は、ダイオードのようなI-V族化合物半導体材料の特性を示し、それ故、それら材料は表示機能およびスイッチング機能に両方を提供することができ、受動型表示装置において用いられることができる。また、それらの材料はアクティブマトリクス表示装置のために用いることが可能であり、各々の画素は表示素子を流れる電流を制御するためのスイッチング素子と表示素子とを有する。

40

【0004】

この種類の表示装置は電流アドレス型表示素子を有し、それ故、従来のアナログ駆動スキームは表示素子に制御可能な電流を供給する。電流源トランジスタを画素構成の一部として備えることが知られており、このとき、電流源トランジスタに供給されるゲート電圧は表示素子を流れる電流を決定する。保持容量はアドレスフェーズの後、ゲート電圧を維持する。

【0005】

図1は、アクティブマトリクスアドレスエレクトロルミネッセンス表示装置のための既知の画素回路を示している。アクティブマトリクスアドレスエレクトロルミネッセンス表

50

示装置は、行（選択）列（データ）アドレス導体 4 及び 6 の交差点の集合間のインターセクションに位置付けられた、関連するスイッチング手段と共にエレクトロルミネッセンス表示素子 2 を有し且つブロック 1 により表される、一定間隔を置いた画素の行列マトリクスアレイを有するパネルを有する。簡単化のために、図 1 においては、幾らかの画素のみを示している。実際には、数百の画素の行及び列が存在することが可能である。画素 1 は、それぞれ導体の集合の端部に接続される、走査のための行の駆動回路 8 と、データのための列の駆動回路 9 とを有する周辺駆動回路により、行及び列のアドレス導体の集合を介してアドレスされる。

【0006】

エレクトロルミネッセンス表示素子 2 は、ここではダイオード素子（LED）として表され、1 層またはそれ以上の数の層の有機エレクトロルミネッセンス材料の活性層が間に挟まれる一対の電極を有する、有機発光ダイオードを有する。アレイにおける表示素子は、絶縁基板の一方側に、関連するアクティブマトリクス回路と共に支持される。表示素子の陰極または陽極は透明導電材料を用いて形成される。基板はガラスのような透明材料から成り、基板に最も近い表示素子 2 の電極は透明導電材料から成り、それ故、基板の他の側から観測者が見ることができるよう、エレクトロルミネッセンス層により生成される光は電極および基板を透過する。代表的には、有機エレクトロルミネッセンス材料層の厚さは 100 nm 乃至 200 nm の範囲内である。エレクトロルミネッセンス表示素子 2 のために使用することができる、適切な有機エレクトロルミネッセンス材料の代表的な例は、周知であり、欧州特許第 0717446 号明細書に説明されている。国際公開第 96/36959 号パンフレットに説明されているような共役高分子材料が又、用いられることができる。

10

20

【0007】

図 2 は、既知の画素及び駆動回路配置を簡単化した模式図に示している。各々の画素 1 は、EL 表示素子 2 と関連する駆動回路とを有する。その駆動回路は、行の導体における行のアドレスパルスによりオンにされるアドレスタランジスタ 16 を有する。アドレスタランジスタ 16 がオンにされるとき、列の導体 6 の電圧は残りの画素に加えることができる。特に、アドレスタランジスタ 16 は、駆動トランジスタ 22 と保持容量 24 を有する電流源 20 に列の導体電圧を供給する。列の電圧は駆動トランジスタ 22 のゲートに供給され、行のアドレスパルスが終了した後に保持容量 24 によりゲートはこの電圧に保たれる。駆動トランジスタ 22 は電力供給ライン 26 から電流を引き出す。

30

【0008】

この回路における駆動トランジスタ 22 は、PMOS TFT として実施され、それ故、保持容量 24 は固定されたゲートソース電圧に保たれる。これにより、トランジスタを流れる固定ソースドレイン電流が得られ、それ故、画素の所望の電流源動作を提供する。

【0009】

上記の基本的な画素回路は電圧がプログラムされた画素であり、又、駆動電流をサンプリングする電流がプログラムされた画素がある。しかしながら、全ての画素構成は、各々の画素に供給される電流を必要とする。

【0010】

特にポリシリコン型薄膜トランジスタを用いる場合の、電圧がプログラムされた画素を用いる 1 つの問題点は、基板におけることなるトランジスタ特性（特に、閾値電圧）がゲート電圧とソース・ドレイン電流との間の異なる関係及び表示画像結果におけるアーチファクトを生じさせる。

40

【0011】

電流がプログラムされた画素は、基板におけるトランジスタの変化の影響を低減する又は削除することができる。例えば、電流がプログラムされた画素は、所望の画素駆動電流により駆動されるサンプリングトランジスタにおいてゲート・ソース電圧をサンプリングするためにカレントミラーを用いることができる。サンプリングされたゲート・ソース電圧は駆動トランジスタをアドレス指定するために用いられる。サンプリングトランジスタ及

50

び駆動トランジスタが基板において互いに隣接しており、互いにより正確に適合されることができ、これは装置の均一性の問題点を緩和する。他の電流サンプリング回路は、サンプリング及び駆動のために同じトランジスタを用い、それ故、トランジスタの適合は必要でないが、付加トランジスタ及びアドレスラインが必要である。

【0012】

LEDを用いる更なる問題点は、画素により引き出される大きな電流からもたらされる。LEDは、典型的には、アクティブマトリクス回路構成を担持する基板を通して、後方に発光する。これは、EL表示素子の所望の陰極材料が不透明であるため、好ましい配置であり、それ故、ELダイオードの他の側からの発光があり、更に、アクティブマトリクス回路構成に対してこの好ましい陰極材料を設けることは好ましくない。金属の行胴体は電源ラインを規定するために形成され、これらの後方発光表示装置に対して、これらの列胴体は、不透明であるために、表示領域間の空間を占める必要がある。例えば、携帯用プロダクトとして適切である12.5cm(対角線)の表示装置においては、行導体は、11cmの長さで20 μ mの幅であることが可能である。1.2 / の典型的な金属のシート抵抗に対して、これは、1.1k の金属行導体に対するライン抵抗を与える。明るい画素は約8 μ Aを引き出し、引き出された電流は行に沿って分配される。かなりの行導体抵抗は行導体に沿って電圧降下を生じさせ、これらの電力供給ラインに沿った電圧変化は駆動トランジスタにおけるゲート-ソース電圧を変化させ、これにより、表示の輝度に影響を与える。更に、行における画素により引き出された電流は画像に依存するため、データ補正技術により画素駆動レベルを補正することは難しく、歪は、本質的には、異なる列における画素間のクロストークである。

【0013】

電圧降下は、行の両方の端部から電流を引き出すことにより4分の1に減少されることができ、EL材料の効率の改善は又、引き出される電流を減少させることができる。それにも拘らず、かなりの電圧降下が尚も存在する。これらの電圧降下は又、カレントミラー画素回路における性能制限を引き起こし、薄膜トランジスタは、本質的に非理想的電流源装置である(出力電流は、実際には、ゲート-ソース電圧のみではなく、ソース電圧とドレイン電圧の両方に依存する)。

【発明の開示】

【課題を解決するための手段】

【0014】

本発明に従って、表示画素のアレイを有するアクティブマトリクスエレクトロルミネッセンス表示装置であって：

エレクトロルミネッセンス(EL)表示素子；

表示素子により電流を駆動するためのトランジスタ；

電流サンプリング抵抗であって、EL表示素子、駆動トランジスタ及び電流サンプリング抵抗が第1電力ラインと第2電力ラインとの間において直列状態である、電流サンプリング抵抗；

少なくとも1つのフィードバックラインに電流サンプリング抵抗における電圧降下を表すフィードバック信号を供給する回路構成；

を有するアクティブマトリクスエレクトロルミネッセンス表示装置であり、

表示装置は、更に、フィードバック信号に依存して画素駆動信号を処理するための処理手段を有する。

【0015】

この配置において、フィードバックは、表示素子により駆動される電流を制御するために用いられる。これはトランジスタ閾値補償を提供する一方、単一の電圧駆動の駆動トランジスタが用いられることを可能にする。

【0016】

フィードバック信号を供給するための回路構成は、電流サンプリング抵抗の1つの端子と第1フィードバックラインとの間に接続される第1サンプリングトランジスタを有する

10

20

30

40

50

ことが可能である。フィードバックラインが高入力インピーダンス回路構成に接続される場合、最小電流が流れ、トランジスタは電圧プローブ機能を提供する。1つの電圧プローブは、トランジスタの1つの端子が既知の固定電位にある場合、電圧降下を決定するためには十分である。又、第2サンプリングトランジスタは、電流サンプリングトランジスタの他の端子と第2フィードバックラインとの間に接続されることができる。

【0017】

各々の画素は、データ入力ラインと駆動トランジスタのゲートとの間に接続されたアドレスタランジスタを更に有し、アドレスタランジスタのゲートとそのサンプリングトランジスタ又は各々のサンプリングトランジスタは共有アドレスラインにより制御される。これは画素の制御を単純化し、フィードバック機能を用いて画素の駆動を同期化する。

10

【0018】

各々の画素は、第2アドレスタランジスタを更に有することが可能であり、その第2アドレスタランジスタは、電流サンプリング抵抗の1つの端子と電流ドレインラインとの間に接続される。この第2アドレスタランジスタは表示素子がバイパスされることを可能にし、既知の電流が電流サンプリング抵抗により駆動されることを可能にする。これは、抵抗における許容範囲が適応されることができるよう、較正動作が実行されることを可能にする。

【0019】

第2アドレスタランジスタは又、共有アドレスラインにより制御されることができ、電流ドレインラインは、それ故、表示素子がアドレス指定フェーズの間にバイパスされるかどうかを判定するために用いられることができる。

20

【0020】

一実施形態（抵抗変化に対する較正を伴わない）において、処理手段は、フィードバック信号又は信号群を受け、それから電流サンプリング抵抗により流れる電流に依存する出力を導き出す第1増幅器と、電流サンプリング抵抗を通して流れる電流に依存する出力及び駆動信号を受け、変更された画素駆動信号を供給する第2増幅器とを有する。これは、変更された画素駆動信号が電流サンプリング抵抗により所望の電流を生じるときに安定化するフィードバック機構を提供する。このフィードバックスキームは、画素駆動トランジスタの異なる特性を考慮する。

【0021】

他の実施形態（抵抗変化に対する較正を伴う）においては、処理手段は、フィードバック信号又は信号群を受け、それから電流サンプリング抵抗を通して流れる電流に依存する出力を導き出す第1増幅器と、出力値を維持するためのサンプル及びホールド回路と、維持された出力値と電流サンプリング抵抗を通して流れる電流に依存する出力とを受けするための第2増幅器とを有する。

30

【0022】

この配置においては、既知の電流に対する抵抗における電圧降下は、サンプル及びホールド回路により蓄積された値を得るために用いられる。これは、画素を駆動するとき、第2増幅器のための基準値として用いられる。データ入力ラインは、電源ライン電圧と第2増幅器の出力との間でスイッチング可能である。データ入力ラインが電源ラインに対してスイッチングされるとき、サンプル及びホールド動作は、EL表示素子を駆動することなく実行されることができる。データ入力ラインが第2増幅器の出力に対してスイッチングされるとき、EL表示素子はフィードバック制御により駆動される。

40

【0023】

装置は、それ故、2つのモードであって：
所望の画素駆動電流が電流ドレインラインに対して電流サンプリング抵抗及び第2アドレス抵抗により駆動され、電流サンプリング抵抗を通して流れる電流に依存する出力が蓄積される、第1モード；並びに

電流が駆動トランジスタ及びEL表示素子により駆動され、電流サンプリング抵抗を通して流れる電流に依存する出力は蓄積された出力値との比較のために第2増幅器に供給さ

50

れる第2モードであって、第2増幅器はデータ入力ライン電圧を供給する、第2モード；
において動作する。

【0024】

一特徴において、本発明は又、表示画素のアレイを有するアクティブマトリクスエレクトロルミネッセンス表示装置をアドレス指定する方法であって、その表示画素において、各々の画素は、エレクトロルミネッセンス(EL)表示素子、表示素子を通して流れる電流を駆動するための駆動トランジスタ、及び、EL表示素子と駆動トランジスタと直列の状態にある電流サンプリング抵抗を有する方法であり、各々の画素に対して；

所望の電流を表す画素への駆動信号を供給する段階；

EL表示素子と直列状態にある抵抗の端子において電圧をサンプリングすることにより表示素子を通して流れる電流を表すフィードバック信号を得る段階；並びに

流れている電流が所望の電流に等しいような変更された画素駆動信号を生成するために駆動信号とフィードバック信号とを用いる段階；

を有する、方法を提供する。

【0025】

この方法は、既知の抵抗値に基づいて、表示素子を流れる所望の電流を供給するためにフィードバックを用いる。

【0026】

他の特徴においては、本発明は、表示画素のアレイを有するアクティブマトリクスエレクトロルミネッセンス表示装置をアドレス指定する方法であって、表示画素において、各々の画素は、エレクトロルミネッセンス(EL)表示素子、表示素子を通して流れる電流を駆動するための駆動トランジスタ、及び、EL表示素子と駆動トランジスタと直列の状態にある電流サンプリング抵抗を有する方法であり、各々の画素に対して；

電流サンプリング抵抗を通り、表示素子を通らない所望の電流を駆動する段階；

電流サンプリング抵抗において対応する電圧降下を表すフィードバック信号を得る段階；

フィードバック信号を蓄積する段階；並びに

駆動トランジスタのゲートに電圧を供給することにより表示素子を通して流れる続く駆動電流のためのフィードバック制御信号として蓄積されたフィードバック信号を用いる段階であって、フィードバック制御信号はゲート電圧を決定するために用いられる、段階；

を有する、方法を提供する。

【0027】

本方法は又、表示素子により所望の電流を供給するためにフィードバックを用いるが、抵抗値における許容差を可能にする。

【0028】

以下、本発明について、添付図面を参照して説明する。

【発明を実施するための最良の形態】

【0029】

本発明は、電流サンプリング抵抗が表示素子の主電流パスにおける各々の画素において備えられているアクティブマトリクスエレクトロルミネッセンス(EL)表示装置を提供する。これは、抵抗(及び、それ故、表示素子)を流れる電流から導き出されるフィードバック信号が画素駆動を制御するために用いられることを可能にする。

【0030】

同様の参照番号は同様な構成要素に対して種々の図において用いられ、それらの構成要素についての説明は繰り返さないこととする。

【0031】

図3は、本発明に従った第1画素配列を示している。図2の従来の画素におけるように、画素は電圧アドレス指定され、保持容量24は、画素アドレス指定フェーズの後、駆動トランジスタ22のゲートにおける電圧を保持する。

【0032】

電流サンプリング抵抗30は駆動トランジスタ22及び表示素子2と直列状態にあるよ

10

20

30

40

50

うに位置付けられ、それ故、それらは全て、電源ライン 26 と接地端子 32 との間で直列に配列されている。抵抗 30 の各々の端子における電圧は、それぞれのフィードバックライン 34、36 に接続されている。抵抗 30 の各々の端部に電圧を接続することにより、2つのフィードバック信号が供給され、それらのフィードバック信号は共に、抵抗 30 において電圧降下を得るために用いられることができる。流れる電流は、それ故、既知の抵抗 30 の抵抗値に基づいて計算されることができる。

【0033】

フィードバックライン 34、36 は、引き出される電流が無視できるように、高入力インピーダンス差動増幅器（下で更に説明する）に結合される。抵抗 30 の各々の端部は、それぞれのサンプリングトランジスタ 38、40 によりフィードバックラインに接続されている。これらのトランジスタはスイッチとして動作し、フィードバックライン 34、36 が電圧プローブとして機能することを可能にする。

10

【0034】

この画素回路においては、サンプリングトランジスタ 38、40 は、フィードバック信号が抵抗 30 を通って流れる電流に依存して導き出されることが可能である 4 探針動作を提供する。このようなフィードバック信号は、次いで、駆動トランジスタ 22 のためのゲート電圧が抵抗 30 を、それ故、表示素子 2 を通って流れる所望の電流に対応する平衡に到達するまで、列導体 6 に供給されるデータを修正するために用いられる。このような平衡はアドレス指定フェーズの間に達せられ、駆動トランジスタに対するゲート電圧は、続いて、残りのフレーム期間の間に、保持容量 24 により保持される。列導体 6 に供給される電圧は、電流サンプリング抵抗 30 により測定された電流と所望の電流レベル、即ち、“輝度入力”とを比較することにより導き出される。その“輝度入力”は列ドライバへの入力において供給される。

20

【0035】

この配列は、画素の続く駆動の間と全く同じ電気的環境下で駆動トランジスタ 22 に対してゲートのフィードバックプログラミングを提供する。これは、画素強度のプログラミングを改善する。所望のアナログ電流（即ち、輝度レベル）は画素をプログラムするために用いられ、これは簡単なガンマカーブ補正を可能にする。図 3 に示すように、サンプリングトランジスタ 38、40、アドレストランジスタ 16 及び駆動トランジスタ 22 は、PMOS TFT として各々実行されることが可能である。これは、付加的画素構成要素の簡単な実施を可能にする。

30

【0036】

図 4 は、駆動トランジスタ 22 のゲートに印加される電圧を制御するフィードバック制御ループを実行するためにフィードバック信号がどのように用いられるかを示している。

【0037】

図に示すように、2つの電圧プローブフィードバック信号が高入力インピーダンス差動増幅器 50 に供給され、その出力は、電流サンプリング抵抗 30 の2つの端部における電圧の差に依存し、それ故、電流サンプリング抵抗 30 を流れる電流に依存する。増幅器 50 はゲインを調節するには小さい。差分増幅器 50 のゲインは、入力信号 52 が所望の輝度値を表すのと同じ方法で出力が輝度値を表すような電流サンプリング抵抗 30 の抵抗値に依存して選択される。第 2 高ゲイン差分増幅器は、測定された輝度を所望の輝度と比較し、差分増幅器 54 の出力はドライブトランジスタ 22 を駆動するために列 6 に供給される。列 6 に対する出力が入力 52 に供給された輝度に対応する輝度を生じる駆動トランジスタ 22 に対するゲート電圧であるとき、図 4 の回路において、平衡が達せられる。

40

【0038】

この配列は、高い精度であって、例えば、1%の精度を有する各々の画素のための電流サンプリング抵抗 30 を必要とする。更に、差分増幅器 50 に対して十分な電圧降下を提供するために、高抵抗値であって、例えば、50 k が好ましい。このような抵抗は、各々の画素の面積の範囲内につくられる必要がある。そのような抵抗は、今日の技術を用いてつくることができる。例えば、そのような抵抗は、約 5 μm の最小幅と、1乃至 2 k

50

ノの表面抵抗を有するポリシリコンに作製することが可能である。200 μm の長さの抵抗は、それ故、50 k の値を有し、1 μA の電流に対して50 mVの降下を与える。より大きい値の抵抗を作製することが可能であり、そのような抵抗は図4の駆動回路構成に関する要求を低減するが、これは均一性の正確さを犠牲にすることとなる。

【0039】

図5は、電流サンプリング抵抗30の抵抗値における差分が許容されることが可能である、図3の画素回路に対する修正を示している。図5の回路において、第2アドレスタランジスタ60が備えられ、電流サンプリング抵抗30の1つの端子と伝リユドレインライン62との間に接続されている。それ故、直列状態にある電流サンプリング抵抗30と第2アドレスタランジスタ60とにより、電圧源ライン26と電流ドレインライン62との間にパスが備えられている。電流ドレインライン62は電流サンプリング抵抗30により既存の電流を強制的に流すために用いられる一方、表示素子2をバイパスする。電流サンプリング抵抗30を流れる既存電流を引き出すことにより、較正段階が実行され、それ故、電流サンプリング抵抗30の抵抗値は効率的に測定される。

10

【0040】

図5に示すように、第2アドレスタランジスタ60は、第1アドレスタランジスタ16と第1及び第2サンプリングトランジスタ38、40と同じ制御ライン4により制御される。それ故、図3及び図5の両方の回路においては、付加抵抗は第1アドレスタランジスタ16と同期して制御される。

【0041】

図5の回路において、電流サンプリング抵抗30を流れる電流は、駆動トランジスタ22及び表示素子2（画素駆動の間）を流れるか又は電流サンプリング抵抗30及び第2アドレスタランジスタ（較正の間）を流れる。用いられているこれらの電流パスのどれかを制御するために、列導体6の電圧は、電圧源ライン26の高電圧とデータ電圧との間でスイッチングされることができる。列導体における電圧が大きいとき、駆動トランジスタ22は、電流サンプリング抵抗30を流れる電流全てが電流ドレイン62に流れることができるように、トランジスタ22はオフにされる。表示素子2を駆動するとき、電流ドレイン62は、第2アドレスタランジスタ60により電流が引き出されないように、開回路にスイッチングされることができる。このように、列導体はアドレス周期の位相の間にスイッチングするために用いられることができる一方、制御トランジスタ（2つのアドレスタランジスタ及び2つのサンプリングトランジスタ）のスイッチングはが共通の制御ラインにより同時に制御されることが尚も可能である。

20

30

【0042】

図6は、駆動トランジスタ22に対して必要なゲート電圧を供給するためにフィードバックライン34、36においてフィードバック信号を処理するための列ドライバにおける有効な回路構成の一例を示している。フィードバックライン34、36に供給される電圧プローブ信号は又、測定された輝度値を表す信号を供給するためにゲインを有する差動増幅器に供給される。この測定された輝度値は第2差動増幅器70の1つの入力に供給され、第2差動増幅器70の他の入力はサンプル及びホールド回路72から供給される。このサンプル及びホールド回路72は、較正段階の間に得られる出力を供給する。それ故、図6の回路が画素を駆動するために用いられるとき、第2差分増幅器70は、サンプル及びホールド回路72からの蓄積された較正值を第1差分増幅器50からの測定された値と比較する。図6に示すように、列導体6は、第2差分増幅器70の出力に不変であるように接続されない。そうではなく、列は、増幅器70の出力と電圧源ライン26の電源電圧V_{SUPPLY}との間でスイッチング可能である。上で説明したように、電源電圧に列をスイッチングすることにより、駆動トランジスタ22は、較正が実行されることができるよう、オフにされる。

40

【0043】

画素をプログラミングするために、列導体6は、上で説明したように、駆動トランジスタ22をオフにするために電源電圧にスイッチングされる。アドレスフェーズは、小さい

50

値にアドレス導体4をスイッチングすることにより開始され、それにより、両方のアドレストランジスタ16、60及び両方のサンプリングトランジスタ38、40がオンにされる。電流電源は電流ドレインライン62から所望の電流を引き出すために用いられ、この電流は電流サンプリング抵抗30及び第2アドレストランジスタ60により引き出される。この間に、図6の回路は、第1差分増幅器50の出力において測定された輝度値を導き出すために電圧プローブ測定を用いる。この輝度値は回路72によりサンプリングされ、保持される。このフェーズの間に、第2差分増幅器70の出力はフローティングであり、その回路は純粹にサンプル及びホールド回路として機能している。

【0044】

サンプル及びホールド動作の後、電流電源はオフにされ、電流ドレインライン62は高インピーダンス状態にスイッチングされ、それ故、第2アドレストランジスタ60により更なる電流は引き出されない。列導体6は、次いで、図6の回路の出力にスイッチングされ、それ故、フィードバックシステムは列導体6において電圧を調節するように動作する。しかしながら、第2差分増幅器70はフィードバック信号をサンプリングされ且つ保持された値と比較する。それ故、列導体電圧がサンプル及びホールド回路72に蓄積されたサンプリング値に対応する測定輝度を生じるとき、平衡に達する。従って、フィードバック回路は、前にサンプリングされた電流を生じた列導体6に電圧を供給するように動作する。アドレスフェーズの終了時に、アドレス導体は、アドレストランジスタ及びサンプリングトランジスタをオフにするように高くなる。保持容量24は又、駆動トランジスタ22の所望のゲート電圧を蓄積し、アレイにおける他の画素は、次いで、アドレス指定されることができ

【0045】

この配列はサンプリングされる電流入力を必要とするが、このとき、その電圧アドレス指定の利点は維持される。上記の実施形態においては、必要とされるLED電流は較正電流として用いられ、その較正電流は、次いで、アドレス指定フェーズの間に実際の電流に対して調節される。それに代えて、既知の固定電流を用いて電流サンプリング抵抗30を較正することが可能であり、それ故、較正段階は、本質的に抵抗の測定である。この抵抗の測定は、次いで、必要なフィードバック特性を提供するために、図4の回路において第1差分増幅器50のゲインを制御するために用いられる。このように機能する代替のスキームについての詳細説明は省略することとする。

【0046】

上記の例においては、電流サンプリング抵抗30の両方の端部に対して電圧プローブ測定がなされる。これは、フィードバックシステムが電源ライン26の電圧に関係なく、電流に関して動作することを確実にする。冒頭において説明したように、行の画素により引き出される電流の結果として、電源ライン26に沿って著しい電圧降下が存在し得る。しかしながら、電源ライン26の抵抗が、このような電圧降下が電流サンプリング抵抗30における最小の電圧降下より実質的に小さい程、十分小さい場合、各々の画素における電源ライン電圧の測定(本質的に、サンプリングトランジスタ38の動作である)は必要ない。図7は、サンプリングトランジスタ38及びフィードバックライン34が削除された、変更された図5の回路を示している。代替として、電流サンプリング抵抗30と駆動トランジスタ22の間の接合における電圧は、いずれの所定の表示素子電流を一意に規定する。

【0047】

上記の回路はPMOS駆動トランジスタを用いる。又、勿論、NMOSの実施も可能である。

【0048】

図3、5及び7においては、保持容量24は電源ライン26と駆動トランジスタのゲートとの間に供給される。又、駆動トランジスタ22のゲートとそのトランジスタ22のソース端子との間の保持容量24を設けることが可能である。これは、回路の動作において殆ど差を生じない。

【 0 0 4 9 】

上記の実施形態においては、アナログ式列ドライバの構成を用いている。しかしながら、本発明の画素回路は又、デジタル式ドライバアーキテクチャに関連付けて用いられることが可能である。回路のサンプル及びホールド部分は、例えば、ADC-DACを用いて実施されることが可能である。抵抗は、適切なメモリストア及び処理能力を用いて、電源投入時に較正されることができる。それ故、本発明の画素回路により生成されたフィードバック信号の処理は、上で詳細に説明したアナログにおける実施ばかりでなく、種々の方法において実行されることができる。

【 0 0 5 0 】

種々の他の変形が可能であることが、当業者に理解されるであろう。

10

【 図面の簡単な説明 】

【 0 0 5 1 】

【 図 1 】 既知のEL表示装置を示す図である。

【 図 2 】 入力駆動電圧を用いてEL表示画素を電流アドレス指定するための既知の画素回路の模式図である。

【 図 3 】 本発明の表示装置のための画素配置の第1の実施形態についての模式図である。

【 図 4 】 図3の画素を用いる表示装置のための列ドライバアーキテクチャを示す図である。

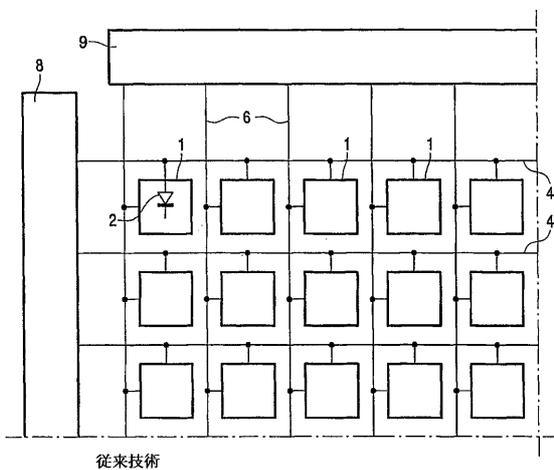
【 図 5 】 本発明の表示装置のための画素配置の第2の実施形態についての模式図である。

【 図 6 】 図5の画素を用いる表示装置のための列ドライバアーキテクチャを示す図である

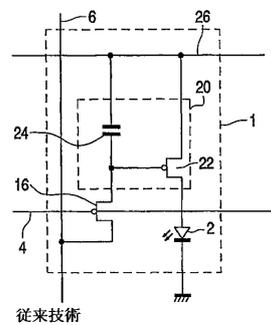
20

【 図 7 】 本発明の表示装置のための画素配置の第3の実施形態についての模式図である。

【 図 1 】



【 図 2 】



【 図 3 】

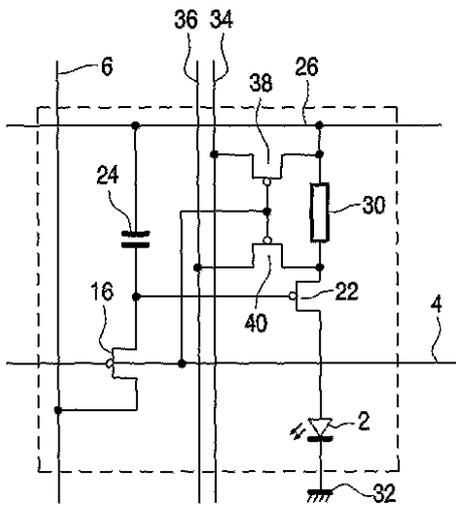
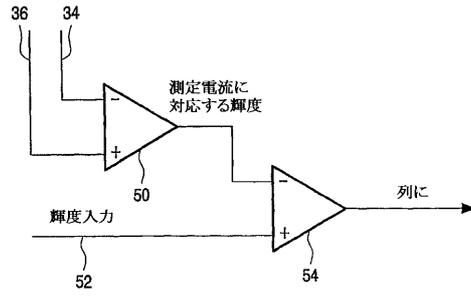


Fig.3

【 図 4 】



【 図 5 】

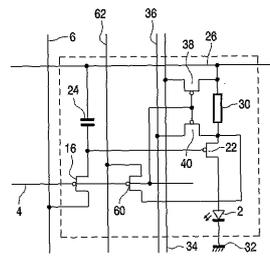
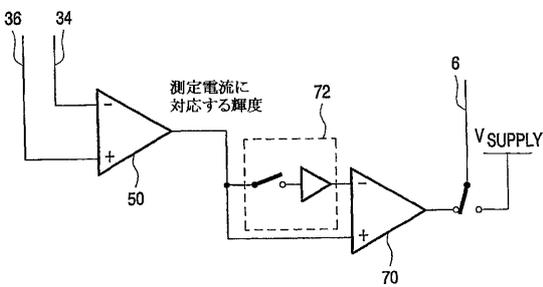


Fig.5

【 図 6 】



【 図 7 】

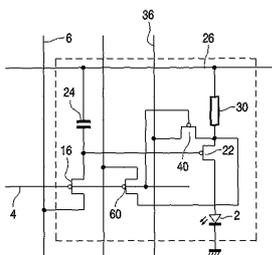


Fig.7

【 国際調査報告 】

| INTERNATIONAL SEARCH REPORT | | International Application No. PCT/IB 03/04026 |
|--|--|---|
| A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/30 G09G3/32 | | |
| According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED | | |
| Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched | | |
| Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category * | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| X | US 6 288 696 B1 (HOLLOMAN CHARLES J) 11 September 2001 (2001-09-11) abstract; figures 1,2 column 2, line 54 - column 3, line 50 | 1,11,12, 14 |
| X | US 5 949 194 A (KAWAKAMI HARUO ET AL) 7 September 1999 (1999-09-07) column 2, line 45 - column 3, line 29; figures 7,8 column 6, lines 15-42 | 1,11,12, 14 |
| X | US 6 351 078 B1 (WANG WEN-CHUN ET AL) 26 February 2002 (2002-02-26) abstract; figure 2A column 3, lines 29-57 | 1,11 |
| A | EP 1 170 718 A (SEIKO EPSON CORP) 9 January 2002 (2002-01-09) the whole document | 1-14 |
| <input type="checkbox"/> Further documents are listed in the continuation of box C. | | <input checked="" type="checkbox"/> Patent family members are listed in annex. |
| * Special categories of cited documents : | | |
| "A" document defining the general state of the art which is not considered to be of particular relevance | | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "E" earlier document but published on or after the international filing date | | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. |
| "O" document referring to an oral disclosure, use, exhibition or other means | | "&" document member of the same patent family |
| "P" document published prior to the international filing date but later than the priority date claimed | | |
| Date of the actual completion of the international search 2 December 2003 | | Date of mailing of the international search report 24.02.2004 |
| Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016 | | Authorized officer Fulcheri, A |

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB 03/04026**Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)**

This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful International Search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this International application, as follows:

see additional sheet

1. As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.

2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-14

Remark on Protest

- The additional search fees were accompanied by the applicant's protest.
- No protest accompanied the payment of additional search fees.

International Application No. PCT/IB 03/04026

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-14

A process, in an active matrix luminescent display device wherein a drive transistor, a resistor and an electroluminescent element are connected in series between two power lines, to measure the current driven through the display element and the resistor to provide feedback data and correspondingly adjust the video signal, so as to compensate for the different transistor characteristics across the substrate.

NB: Claims 1, 11, 12 and 14 do not appear to be new.

Document D1 (US6288696), which is at present considered to represent the closest state of the art with regard to claim 1, discloses an active matrix electroluminescent display device (see D1: Fig.1) whose pixel circuits comprise an EL element (see D1: Fig.1, item "LED"), a driving transistor (see D1: Fig.1, item FETd) and a resistor connected in series (see D1: Fig.1, item Rf), circuitry for providing a feedback signal representing the voltage drop on the resistor and processing means for processing the pixel drive signal in dependence of the feedback signal (see D1: Fig.1, item 22), as claimed in claims 1 and 11.

Moreover D1 discloses that the feedback chain comprises a differential amplifier (see D1: Fig.1, item 22) and that the one terminal of the resistor is tapped while the other terminal is a known supply (see D1: Fig.1, item 21 and GND line connected to item Rf) as claimed in claims 12 and 14.

Claims 1, 11, 12 and 14 do not thus meet the requirements of Article 33(2) PCT.

2. claims: 15-17

International Application No. PCT/JP 03 04026

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

A process, in an active matrix luminescent display device wherein a drive transistor, a resistor and an electroluminescent element are connected in series between two power lines, to calibrate a feedback system so as to compensate for the variation of the characteristic of a sampling resistor.

INTERNATIONAL SEARCH REPORT

| |
|------------------------------|
| International Application No |
| PCT/JP 03/04026 |

| Patent document cited in search report | Publication date | Patent family member(s) | Publication date | |
|--|------------------|-------------------------|------------------|------------|
| US 6288696 | B1 | 11-09-2001 | US 6097360 A | 01-08-2000 |
| | | | AU 3087499 A | 11-10-1999 |
| | | | CA 2368386 A1 | 23-09-1999 |
| | | | JP 2002507773 T | 12-03-2002 |
| | | | WO 9948079 A1 | 23-09-1999 |
| US 5949194 | A | 07-09-1999 | JP 3106953 B2 | 06-11-2000 |
| | | | JP 9305145 A | 28-11-1997 |
| US 6351078 | B1 | 26-02-2002 | TW 463393 B | 11-11-2001 |
| | | | JP 2002072926 A | 12-03-2002 |
| EP 1170718 | A | 09-01-2002 | CN 1388951 T | 01-01-2003 |
| | | | EP 1170718 A1 | 09-01-2002 |
| | | | WO 0205254 A1 | 17-01-2002 |
| | | | US 2002033718 A1 | 21-03-2002 |

フロントページの続き

| (51) Int.Cl. | F I | テーマコード(参考) |
|--------------|---------------|------------|
| | G 0 9 G 3/20 | 6 4 2 A |
| | G 0 9 G 3/20 | 6 4 2 P |
| | H 0 5 B 33/14 | A |

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100107766

弁理士 伊東 忠重

(72) 発明者 スティア, ウィリアム エイ

イギリス国, サリー アールエイチ 1 5 エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクチュアル プロパティ アンド スタンダーズ内(番地なし)

Fターム(参考) 3K007 AB03 AB05 AB17 BA06 DB03 GA00 GA04

5C080 AA06 BB05 DD05 DD26 EE28 EE29 FF11 JJ02 JJ03

| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 电致发光显示装置 | | |
| 公开(公告)号 | JP2006502432A | 公开(公告)日 | 2006-01-19 |
| 申请号 | JP2004542695 | 申请日 | 2003-09-15 |
| [标]申请(专利权)人(译) | 皇家飞利浦电子股份有限公司 | | |
| 申请(专利权)人(译) | 皇家飞利浦电子股份有限公司的Vie | | |
| [标]发明人 | スティアウヰリアムエイ | | |
| 发明人 | スティア,ウヰリアム エイ | | |
| IPC分类号 | G09G3/30 G09G3/20 H01L51/50 G09G3/32 | | |
| CPC分类号 | G09G3/3233 G09G2300/0809 G09G2300/0842 G09G2320/0295 G09G2320/043 | | |
| FI分类号 | G09G3/30.K G09G3/30.H G09G3/20.611.A G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.642.P H05B33/14.A | | |
| F-TERM分类号 | 3K007/AB03 3K007/AB05 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD26 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 | | |
| 代理人(译) | 伊藤忠彦 | | |
| 优先权 | 2002023304 2002-10-08 GB | | |
| 其他公开文献 | JP5618170B2 | | |
| 外部链接 | Espacenet | | |

摘要(译)

有源矩阵电致发光显示装置在每个像素内具有与显示元件串联的电流采样电阻器。反馈信号表示电流采样电阻器两端的电压降，并且像素驱动信号根据反馈信号被修改以控制通过显示元件驱动电流。以这种方式，提供阈值补偿，同时使能单个电压驱动的驱动晶体管。

