

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2005-157262
(P2005-157262A)

(43) 公開日 平成17年6月16日(2005.6.16)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09G 3/20	G09G 3/20 624B	3K007
G09F 9/30	G09G 3/20 611H	5C080
G09G 3/30	G09G 3/20 641D	5C094
H05B 33/14	G09G 3/20 642A	
	G09F 9/30 338	
審査請求 未請求 請求項の数 7 O L (全 25 頁) 最終頁に続く		

(21) 出願番号	特願2004-154080 (P2004-154080)	(71) 出願人	000001889
(22) 出願日	平成16年5月25日 (2004. 5. 25)		三洋電機株式会社
(31) 優先権主張番号	特願2003-378581 (P2003-378581)		大阪府守口市京阪本通2丁目5番5号
(32) 優先日	平成15年11月7日 (2003. 11. 7)	(74) 代理人	100075258
(33) 優先権主張国	日本国 (JP)		弁理士 吉田 研二
		(74) 代理人	100096976
			弁理士 石田 純
		(72) 発明者	古河 雅行
			大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		Fターム(参考)	3K007 AB17 BA06 DB03 GA00
			5C080 AA06 BB05 DD05 DD22 FF11
			JJ03 JJ05 JJ06
			5C094 AA02 AA23 AA53 AA55 BA03
			BA29 CA19 FB14

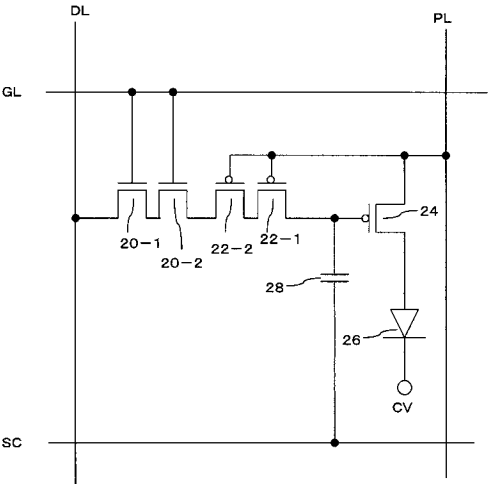
(54) 【発明の名称】 画素回路及び表示装置

(57) 【要約】

【課題】 駆動TFTのしきい値変動の悪影響を減少する。

【解決手段】 選択TFT20、補正TFT22がオンし、データラインのデータ電圧が駆動TFT24のゲート電圧として保持容量28に保持される。選択TFT20、21をオフ後、保持容量ラインSCの電圧を立ち下げ、駆動TFT24をオンして駆動電流を有機EL素子26に流す。補正TFT22は、保持容量ラインSCの立ち下がり前はオンで、立ち下がり途中でオフし、ゲート電圧の立ち下がり中に補正TFT22の容量値が変化し、駆動TFT24のゲート電圧の立ち下がり勾配が変化し、画素毎の駆動TFT24のしきい値に対応して保持容量ラインSC立ち下がり後のゲート電圧が設定される。選択TFT20のマルチゲート化(20-1, 20-2)により、駆動TFT24のゲート電圧の変化中に、選択TFT20のリーク電流を防ぐ。

【選択図】 図9



【特許請求の範囲】

【請求項 1】

第 1 導電領域がデータラインに接続され、制御端に選択信号が入力される選択トランジスタと、

第 1 導電領域が前記選択トランジスタの第 2 導電領域に接続され、制御端が所定電圧の第 1 電源に接続された補正トランジスタと、

制御端が前記補正トランジスタの第 2 導電領域に接続され、第 1 導電領域が電流供給源としての第 2 電源に接続された駆動トランジスタと、

第 1 電極が前記駆動トランジスタの制御端に接続され、第 2 電極がパルス電圧ラインに接続された保持容量と、

10

前記駆動トランジスタに流れる電流によって動作する被駆動素子と、

を有し、

前記補正トランジスタは、

前記パルス電圧ラインの電圧の変動に応じて前記駆動トランジスタの制御端電圧が変化し、これに応じて前記駆動トランジスタがオン状態となる際の前記制御端電圧を、該補正トランジスタの動作しきい値及びゲート容量に基づいて制御し、

前記選択トランジスタは、共に同一の選択信号が入力される複数のゲートを有し、かつ、前記データラインと前記補正トランジスタとの間に電氣的に複数のトランジスタが直列接続されたマルチゲートトランジスタであることを特徴とする画素回路。

【請求項 2】

20

複数の画素がマトリクス状に配列された表示装置であって、

各画素は、

供給電流に応じた動作をする表示素子と、

データラインに第 1 導電領域が接続され、制御端に選択信号が入力される選択トランジスタと、

制御端が所定電圧の第 1 電源に接続され、第 1 導電領域が前記選択トランジスタの第 2 導電領域に接続された補正トランジスタと、

第 1 導電領域が第 2 電源に接続され、制御端が前記補正トランジスタの第 2 導電領域に接続され、前記表示素子に電力を供給する駆動トランジスタと、

第 1 電極が、前記駆動トランジスタの制御端及び前記補正トランジスタの第 2 導電領域に接続され、第 2 電極がパルス電圧ラインに接続された保持容量と、

30

を有し、

前記補正トランジスタは、

前記駆動トランジスタと同一導電型トランジスタであり、かつ、

前記パルス電圧ラインの電圧の変動に応じて前記駆動トランジスタの制御端電圧が変化し、これに応じて前記駆動トランジスタがオン状態となる際の前記制御端電圧を、該補正トランジスタの動作しきい値及びゲート容量に基づいて制御し、

前記選択トランジスタは、共に同一の選択信号が入力される複数のゲートを有し、かつ、前記データラインと前記補正トランジスタとの間に電氣的に複数のトランジスタが直列接続されたマルチゲートトランジスタであることを特徴とする表示装置。

40

【請求項 3】

請求項 1 又は請求項 2 に記載の画素回路又は表示装置において、

前記選択トランジスタの制御端は、前記選択信号を供給する選択ラインに接続され、

該選択ラインは、水平走査方向に延び、前記データラインは垂直走査方向に延び、

前記選択トランジスタの複数のゲートは、選択ラインから垂直走査方向に互いに平行に突出形成されていることを特徴とする画素回路又は表示装置。

【請求項 4】

請求項 1 又は請求項 2 に記載の画素回路又は表示装置において、

前記選択トランジスタの制御端は、前記選択信号を供給する選択ラインに接続され、

該選択ラインは、水平走査方向に延び、前記データラインは垂直走査方向に延び、

50

前記選択トランジスタの能動層を構成する半導体層は、前記データラインとの接続位置から該接続位置から離れるように前記水平走査方向に延び、途中で折り返して再び前記接続位置に近づく略U字状のパターンを有し、

前記選択トランジスタの複数のゲートは、前記略U字状の半導体層と、複数回、間にゲート絶縁層を挟んで交差するように、前記選択ラインから突出形成されていることを特徴とする画素回路又は表示装置。

【請求項5】

請求項1～請求項4のいずれか一項に記載の画素回路又は表示装置において、

前記補正トランジスタは、同一の前記第1電源に接続された複数のゲートを有し、前記選択トランジスタと前記駆動トランジスタの制御端との間に、電氣的に複数のトランジスタが直列接続されたマルチゲートトランジスタであることを特徴とする画素回路又は表示装置。

10

【請求項6】

請求項1～請求項4のいずれか一項に記載の画素回路又は表示装置において、

前記第1電源と前記第2電源は、同一電源電圧であり、

前記補正トランジスタの制御端及び前記駆動トランジスタの前記第1導電領域は、いずれも、垂直走査方向に配置された電源ラインに接続され、

前記補正トランジスタは、前記データラインと前記電源ラインとのライン間領域に形成され、そのチャネル長方向が前記電源ラインの延在する前記垂直走査方向に沿うように配置されていることを特徴とする画素回路又は表示装置。

20

【請求項7】

請求項1～請求項6のいずれか一項に記載の画素回路又は表示装置において、

前記補正トランジスタは、

前記選択トランジスタがオン制御されて、前記駆動トランジスタの制御端にデータラインからデータ電圧を印加する際に、オン状態となり、

前記選択トランジスタがオフ制御された後に、前記パルス電圧ラインの電圧を変化させ、この電圧変化に応じて前記保持容量を介して前記駆動トランジスタの制御端電圧がシフトすることでオフし、前記駆動トランジスタの制御端電圧の変化速度を変更することを特徴とする画素回路。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、有機EL素子などの発光素子を含む画素回路及びそれをマトリクス状に配置した表示装置に関する。

【背景技術】

【0002】

従来より、発光素子として有機EL素子を用いた有機ELパネルが知られており、その開発が進んでいる。この有機ELパネルにおいては、有機EL素子をマトリクス状に配置し、この有機EL素子の発光を個別に制御することで、表示を行う。特に、アクティブマトリクスタイプの有機ELパネルでは、画素毎に表示制御用のTFTを有し、このTFTの動作制御により画素毎の発光を制御できるため、非常に高精度の表示を行うことができる。

40

【0003】

図13に、アクティブマトリクスタイプの有機ELパネルにおける画素回路の一例を示す。画素の輝度を示すデータ電圧が供給されるデータラインは、ゲートがゲートラインに接続されたnチャンネルの選択TFT10を介し、駆動TFT12のゲートに接続されている。また、駆動TFT12のゲートには、他端が保持容量ラインSCに接続された保持容量14の一端が接続され、駆動TFT12のゲート電圧を保持する。

【0004】

駆動TFT12のソースは、EL電源ラインに接続され、ドレインは有機EL素子16

50

のアノードに接続され、有機ＥＬ素子１６のカソードがカソード電源に接続されている。

【０００５】

このような画素回路がマトリクス状に配置されており、所定のタイミングで、水平ライン毎に設けられたゲートラインがＨレベルとなり、その行の選択ＴＦＴ１０がオン状態になる。この状態で、データラインには、順次データ電圧が供給されるため、そのデータ電圧は保持容量１４に供給保持され、ゲートラインがＬレベルとなってもその時の電圧を保持する。

【０００６】

そして、この保持容量１４に保持された電圧に応じて、駆動ＴＦＴ１２が動作して対応する駆動電流がＥＬ電源からの有機ＥＬ素子１６を介し、カソード電源に流れ、有機ＥＬ素子１６がデータ電圧に応じて発光する。

10

【０００７】

そして、ゲートラインを順次Ｈレベルとして、入力されてくるビデオ信号を対応する画素にデータ電圧として順次供給することで、マトリクス状に配置された、有機ＥＬ素子１６がデータ電圧に応じて発光し、ビデオ信号についての表示が行われる。

【０００８】

【特許文献１】特表２００２－５１４３２０号公報

【発明の開示】

【発明が解決しようとする課題】

【０００９】

20

しかし、このような画素回路において、マトリクス状に配置された画素回路の駆動ＴＦＴのしきい値電圧がばらつくと、輝度がばらつくことになり、表示品質が低下するという問題がある。そして、表示パネル全体の画素回路を構成するＴＦＴについて、その特性を同一にすることは難しく、そのオンオフのしきい値がばらつくことを防止することは難しい。

【００１０】

そこで、駆動ＴＦＴにおけるしきい値のバラツキの表示に対する影響を防止することが望まれる。

【００１１】

ここで、ＴＦＴのしきい値の変動への影響を防止するための回路については、従来より各種の提案がある（例えば、上記特許文献１）。

30

【００１２】

しかし、この提案では、しきい値変動の補償をするための回路を必要とする。従って、このような回路を用いると、画素回路の素子数が増加し、開口率が小さくなってしまいう問題があった。また、補償のための回路を追加した場合、画素回路を駆動するための周辺回路についても変更が必要となるという問題もあった。

【００１３】

本発明は、簡単な変更で、効果的に駆動トランジスタのしきい値電圧の変動を補償できる画素回路を提供する。

【課題を解決するための手段】

40

【００１４】

本発明は、画素回路であって、第１導電領域がデータラインに接続され、制御端に選択信号が入力される選択トランジスタと、第１導電領域が前記選択トランジスタの第２導電領域に接続され、制御端が所定電圧の第１電源に接続された補正トランジスタと、制御端が前記補正トランジスタの第２導電領域に接続され、第１導電領域が電流供給源としての第２電源に接続された駆動トランジスタと、第１電極が前記駆動トランジスタの制御端に接続され、第２電極がパルス電圧ラインに接続された保持容量と、前記駆動トランジスタに流れる電流によって動作する被駆動素子と、を有し、前記補正トランジスタは、前記パルス電圧ラインの電圧の変動に応じて前記駆動トランジスタの制御端電圧が変化し、これに応じて前記駆動トランジスタがオン状態となる際の前記制御端電圧を、該補正トランジ

50

スタの動作しきい値及びゲート容量に基づいて制御し、前記選択トランジスタは、共に同一の選択信号が入力される複数のゲートを有し、かつ、前記データラインと前記補正トランジスタとの間に電氣的に複数のトランジスタが直列接続されたマルチゲートトランジスタである。

【0015】

本発明の他の態様は、複数の画素がマトリクス状に配列された表示装置であって、各画素は、供給電流に応じた動作をする表示素子と、データラインに第1導電領域が接続され、制御端に選択信号が入力される選択トランジスタと、制御端が所定電圧の第1電源に接続され、第1導電領域が前記選択トランジスタの第2導電領域に接続された補正トランジスタと、第1導電領域が第2電源に接続され、制御端が前記補正トランジスタの第2導電領域に接続され、前記表示素子に電力を供給する駆動トランジスタと、第1電極が、前記駆動トランジスタの制御端及び前記補正トランジスタの第2導電領域に接続され、第2電極がパルス電圧ラインに接続された保持容量と、を有し、前記補正トランジスタは、前記駆動トランジスタと同一導電型トランジスタであり、かつ、前記パルス電圧ラインの電圧の変動に応じて前記駆動トランジスタの制御端電圧が変化し、これに応じて前記駆動トランジスタがオン状態となる際の前記制御端電圧を、該補正トランジスタの動作しきい値及びゲート容量に基づいて制御し、前記選択トランジスタは、共に同一の選択信号が入力される複数のゲートを有し、かつ、前記データラインと前記補正トランジスタとの間に電氣的に複数のトランジスタが直列接続されたマルチゲートトランジスタである。

10

【0016】

本発明の他の態様では、前記選択トランジスタの制御端は、前記選択信号を供給する選択ラインに接続され、該選択ラインは、水平走査方向に延び、前記データラインは垂直走査方向に延び、前記選択トランジスタの複数のゲートは、選択ラインから垂直走査方向に互いに平行に突出形成されている。

20

【0017】

本発明の他の態様では、前記選択トランジスタの制御端は、前記選択信号を供給する選択ラインに接続され、該選択ラインは、水平走査方向に延び、前記データラインは垂直走査方向に延び、前記選択トランジスタの能動層を構成する半導体層は、前記データラインとの接続位置から該接続位置から離れるように前記水平走査方向に延び、途中で折り返して再び前記接続位置に近づく略U字状のパターンを有し、前記選択トランジスタの複数のゲートは、前記略U字状の半導体層と、複数回、間にゲート絶縁層を挟んで交差するように、前記選択ラインから突出形成されている。

30

【0018】

本発明の他の態様において、前記補正トランジスタとして、同一の前記第1電源に接続された複数のゲートを有し、前記選択トランジスタと前記駆動トランジスタの制御端との間に、電氣的に複数のトランジスタが直列接続されたマルチゲートトランジスタを採用することも可能である。

【0019】

本発明の他の態様では、前記第1電源と前記第2電源を同一電源電圧とし、前記補正トランジスタの制御端及び前記駆動トランジスタの前記第1導電領域をいずれも、垂直走査方向に配置された電源ラインに接続し、前記補正トランジスタを前記データラインと前記電源ラインとのライン間領域に形成され、そのチャンネル長方向が前記電源ラインの延在する前記垂直走査方向に沿うように配置することも可能である。

40

【0020】

本発明の他の態様では、前記補正トランジスタは、前記選択トランジスタがオン制御されて、前記駆動トランジスタの制御端にデータラインからデータ電圧を印加する際に、オン状態となり、前記選択トランジスタがオフ制御された後に、前記パルス電圧ラインの電圧を変化させ、この電圧変化に応じて前記保持容量を介して前記駆動トランジスタの制御端電圧がシフトすることでオフし、前記駆動トランジスタの制御端電圧の変化速度を変更する。

50

【発明の効果】

【0021】

以上説明したように、本発明によれば、パルス電圧ラインの電圧値を変更することで駆動トランジスタをオンする過程で、補正トランジスタのオンオフ状態を変更し、これによって駆動トランジスタのオン時における制御端電圧を制御する。従って、補正トランジスタのしきい値電圧に応じて異なる電圧を、対応する駆動トランジスタの制御端に設定することができる。そして、補正トランジスタを適切な特性とすることで駆動トランジスタのしきい値電圧のばらつきを補償でき、発光素子などの被駆動素子に流す電流量を均一にすることができる。ここで、本発明では、上記補正トランジスタとデータラインとの間に設けた選択トランジスタをマルチゲート化することで、駆動トランジスタの制御端からデータラインへオフリーク電流が流れてしまうことを確実に防止する。

【0022】

すなわち、本発明では、選択トランジスタと補正トランジスタがオン制御されて、駆動トランジスタの制御端にデータラインからデータ電圧が印加され、選択トランジスタがオフ制御された後に、パルス電圧ラインの電圧を変化させ、この電圧変化に応じて保持容量を介して駆動トランジスタの制御端電圧がシフトし、そのしきい値に応じた電圧で補正トランジスタがオフし、駆動トランジスタの制御端電圧の変化速度を変更する。このようにオンオフの状態変化電圧は、補正トランジスタのしきい値に応じ、また制御端電圧の変化速度は補正トランジスタの容量値などによって制御される。駆動トランジスタの制御端の電圧が、パルス電圧ラインの変化に応じて変化していく場合、最初にデータラインから上記制御端電圧に書き込んだ電圧から変化することとなるが、パルス電圧ラインの電圧変動時には、選択トランジスタがオフ制御されていて、駆動トランジスタの制御端は、本来、データラインから電氣的に切り離されている。従って、特に、パルス電圧ラインの電圧変動に伴う駆動トランジスタの制御端の電圧変化量が大きい場合には、駆動トランジスタの制御端とデータラインとの間にリーク電流が発生しやすくなる。そして、このようなリーク電流が発生すると、本来駆動トランジスタのしきい値のばらつき補償のために設定すべき最終駆動トランジスタの制御端電圧が変動することとなり、被駆動素子に流す電流量の均一化に悪影響を及ぼす。本発明では、選択トランジスタがマルチゲート化されているのでこのようなリーク電流が少なく、精度良く駆動トランジスタのしきい値補償を行うことが可能となる。

【0023】

なお、補正トランジスタをさらにマルチゲート化することでより一層オフリーク電流を確実に防止することが可能となる。またその補正トランジスタを電源ラインとデータラインとのライン間に配置すれば1画素内にマルチゲート化された選択トランジスタと、補正トランジスタ、駆動トランジスタ、保持容量、そして発光素子などの被駆動素子を効率的に配置することができる。

【0024】

また、選択トランジスタのマルチゲート化は、例えば水平走査方向に延びる選択ラインから平行に垂直走査方向に向かって複数のゲート電極を突出形成する方法により達成できる。あるいは、選択ラインの延在する水平走査方向に沿うように延びる選択トランジスタの能動層を途中で折り返すような略U字（或いは略コの字）型のパターンとして、この能動層と、選択ラインから垂直走査方向に突出形成したゲート電極とを複数箇所で交差させる等の方法によって達成することができる。これらの方法によれば、シングルゲートのレイアウトと比較して最小限の設計変更であって、かつ、実質的にトランジスタ数を増やすにもかかわらず1画素当たりの開口率（発光素子などの表示素子の実効面積：表示に寄与する面積）を低下させることなく達成することができる。

【発明を実施するための最良の形態】

【0025】

以下、本発明の実施形態について、図面に基づいて説明する。

【0026】

10

20

30

40

50

図1は、実施形態に係る1画素の画素回路の構成を示す図である。垂直(走査)方向に伸びるデータラインDLには、nチャネルの選択TF T 2 0の第1導電領域(ドレイン)が接続されている。この選択TF T 2 0のゲート(制御端)は水平(走査)方向に伸びるゲートラインGLに接続され、第2導電領域(ソース)は、pチャネルの補正TF T 2 2の第1導電領域(ソース)に接続されている。なお、この選択TF T 2 0は、pチャネルでもよく、pチャネルの場合には、ゲートラインGLに出力する選択信号(ゲート信号)の極性(HレベルまたはLレベル)を逆に駆動すればよい。

【0027】

補正TF T 2 2の制御端(ゲート)は、電源ラインPL(電圧Pvdd)に接続され、第2導電領域(ドレイン)は、pチャネルの駆動TF T 2 4の制御端(ゲート)に接続されている。さらに、駆動TF T 2 4のゲートには、保持容量28の一端(第1電極)が接続され、この保持容量28の他端(第2電極)は、パルス状電圧で駆動されるパルス電圧ラインとして機能する保持容量ライン(以下容量ライン)SCに接続されている。この容量ラインSCはゲートラインGLと同様に水平方向に伸びるラインである。なお、別の電源ラインを設け、補正TF T 2 2のゲートをその別の電源ラインに接続すれば、補正TF T 2 2のオンからオフに切り替わるタイミングを任意に調整することができる。

【0028】

駆動TF T 2 4の第1導電領域(ソース)は、垂直方向に伸びる電源ラインPLに接続され、第2導電領域(ドレイン)は有機EL素子26のアノードに接続されている。また、有機EL素子26のカソードは、所定の低電圧のカソード電源CVに接続されている。ここで、通常の場合、有機EL素子26のカソードは全画素共通になっており、このカソードがカソード電源CVに接続されている。

【0029】

有機ELパネルでは、このような画素回路がマトリクス状に配置されており、該当する水平ラインのビデオ信号が入力されてくるタイミングで、その水平ラインのゲートラインがHレベルとなり、その行の選択TF T 2 0がオン状態になる。これによって、補正TF T 2 2のソースは、データラインDLの電位になる。

【0030】

ここで、データラインDLには、データ電圧が供給される。このデータ電圧Vdataは、対応画素を表示するビデオ信号に対応したものであり、例えば白レベルから黒レベルを3~5V程度で表現している。一方、電源ラインPLの電圧Pvddは、0V程度に設定される。従って、選択TF T 2 0がオンして、補正TF T 2 2(ここではソース)に、データラインDLのデータ電圧Vdataが印加されると、補正TF T 2 2はオン状態になり、データ電圧Vdataが駆動TF T 2 4のゲート(ノードTg24)にセットされる。すなわち、各画素へのデータ電圧Vdataの書き込み期間には、3~5V程度の電圧が駆動TF T 2 4のゲートにセットされる。なお、このときに保持容量28の他端の容量ラインSCは、+8V程度に設定されている。

【0031】

このようなデータ電圧Vdataの書き込みが終了後、容量ラインSCの電圧を例えば-4Vに下げる。これに応じて、駆動TF T 2 4のゲートは12V程度低下し、駆動TF T 2 4がオンし、データ電圧に応じた電流が、駆動TF T 2 4を介し電源ラインPLから有機EL素子26に供給され発光する。

【0032】

ここで、補正TF T 2 2は、容量ラインSCが+8Vから-4V程度にまで低下することで、そのドレイン(ノードTg24)の電圧が、3~5Vから、基本的に-9V~-7V程度の負電圧(後述するように、この電圧は少し異なる)になり、オン状態からオフ状態に変化する。補正TF T 2 2のこのオンからオフへの変化に応じて補正TF T 2 2のゲート容量が変化するため、その容量の変化タイミング、すなわち補正TF T 2 2のしきい値Vth22が、最終的な駆動TF T 2 4のゲート電位を左右する。よって、補正TF T 2 2によって駆動TF T 2 4のしきい値電圧Vth24のばらつきを補償することができる。

10

20

30

40

50

【0033】

ここで、駆動TFT24は、電源電圧Pvddとゲート電圧Vg24の差、すなわちVgs24に応じてオンして対応する駆動電流を流す。このVgs24が、そのTFTの特性で定まるしきい値電圧Vth24より大きくなったときに、駆動TFT24は電流を流し始め、駆動電流量は、ゲート電圧Vg24と、しきい値電圧Vth24との差によって決定される。一方、基板上にマトリクス状に配置された多数の画素の各駆動TFT24のしきい値電圧Vth24を完全に同一にすることは難しく、しきい値電圧Vth24が、画素位置によって多少ばらつくことは免れることができない。そして、有機EL素子26は、供給される駆動電流量に応じた輝度で発光するため、各画素の発光輝度は、駆動TFT24のしきい値電圧Vth24のバラツキに応じて変動することになる。本実施形態に係る構成では、補正TFT22の容量変化によって、発光輝度のばらつきを補償する。 10

【0034】

以下、発光輝度のばらつき補償の原理について、図2および図3を参照して説明する。図3は、図2における長丸で示した容量ラインSCの立ち下がり時の状態を拡大して示した図である。まず、図2に示すように、ゲートラインGLは、その行（水平ライン）が選択されているときに、アクティブ（H）レベルになる。この例では、選択TFT20がnチャネルであり、ゲートラインGLは、Lレベル = -4V程度、Hレベル = 8V程度に設定され、選択（アクティブ）の際には、8Vに設定される。

【0035】

一方、容量ラインSCの電圧Vscは、ゲートラインGLが選択される（Hレベルの）期間より、若干長めの期間、Hレベルとなる。すなわち、ゲートラインGLがHレベルとなる前にHレベルとなり、ゲートラインGLがLレベルとなった後にLレベルになる。 20

【0036】

ゲートラインGLがHレベルの期間には、このゲートラインGLに対応する選択TFT20および補正TFT22がオンし、その際データラインDLに出力されているデータ電圧Vdataが、選択TFT20および補正TFT22を介してノードTg24に印加される。即ち、駆動TFT24のゲート電圧Vg24が、データ電圧Vdataにセットされる。

【0037】

ゲートラインGLがLレベルとなり、データ電圧Vdataの書き込み後、容量ラインSCの電圧が立ち下がり、これに応じてノードTg24の電位が低下していくことでやがて補正TFT22がオフする。駆動TFT24のゲート電圧Vg24は、容量ラインSCの低下分（この例では8Vから-4Vへの12V）に応じて、データ電圧Vdataから所定電圧だけ低い電圧になり、この電圧に応じた駆動電流を流す。 30

【0038】

補正TFT22は、各画素毎に設けられており、かつその画素の駆動TFT24に隣接して形成されており、また駆動TFT24と同一の工程を経て作成される。特に、後述するように選択TFT20を含め例えば駆動TFT24及び補正トランジスタ22の能動層として、非晶質シリコンをレーザアニールによって多結晶化して得た多結晶シリコンを用いる場合など、駆動TFT24と補正TFT22の能動層領域に対して多結晶化のための同一のレーザパルスと同時に照射することで、TFT特性を揃えることができる。また、能動層に注入する不純物濃度もほぼ同一とできる。従って、駆動TFT24と、補正TFT22は、しきい値電圧もほぼ同一のものになる。また、補正TFT22のゲートは、電源ラインPL（ここでは、Pvdd = 0V）に接続されているため、ノードTg24の電圧Vg24の低下に従って、オンからオフに変化する。 40

【0039】

このように、容量ラインSCの立ち下がり時において、pチャネルTFTである補正TFT22は、オンからオフに状態が変化し、一方駆動TFT24はオフからオンに状態が変化する。TFTは、そのゲート容量値Cgが、オンまたはオフの状態によって変化する。したがって、駆動TFT24のゲート電圧Vg24の変化は、2つのTFT22, 24のオンオフ状態の変化の影響を受ける。すなわち、TFTは、具体的には、TFTオン状態 50

では、 C_g は大きく、オフ状態では小さい。オンの時にオフの時より容量が大きいいため、電圧変化状態が容量変化の影響を受ける。

【 0 0 4 0 】

すなわち、補正 T F T 2 2 がオンからオフになってそのゲート容量値 C_{g22} が小さくなると、電圧 V_{g24} の低下の傾き α が大きくなる。

【 0 0 4 1 】

従って、ある画素の補正 T F T 2 2 のオン状態からオフ状態に切り替わる切り替わり電圧が、図 3 における「切り替わり電圧 A」であった場合には、ノード T g24 の電圧（ゲート電圧 V_{g24} ）は、図において実線で示したように変化する。即ち、切り替わり電圧 A に至るまでは、ゲート電圧 V_{g24} は、一旦セットされたデータ電圧 V_{data} から第 1 の傾き α_1 で変化（低下）し、切り替わり電圧 A に到達後、第 2 の傾き α_2 で変化（低下）する。そして、駆動 T F T 2 4 がオンになると、第 3 の傾き α_3 で変化（低下）し、容量ライン S C の電圧が L レベルになって所定期間経過後に、電圧 V_{g24} は、補正電圧 V_{cA} に設定される。

【 0 0 4 2 】

ここで、補正 T F T 2 2 がオンからオフに変化する切り替わり電圧は、上述のように補正 T F T 2 2 のゲート電圧である電源電圧 $P_{vdd} = 0$ と、そのソース電圧の差 V_{gs22} で決まる。このため、切り替わり電圧 A、B は、電源電圧 P_{vdd} に補正 T F T 2 2 のしきい値電圧 V_{th22} の絶対値を加算した電圧（ $P_{vdd} + |V_{th22}|$ ）に等しい。

【 0 0 4 3 】

一方、補正 T F T 2 2 のしきい値電圧 V_{th22} が、「切り替わり電圧 A」より低い「切り替わり電圧 B」である場合、ゲート電圧 V_{g24} は、図 3 に破線で示したように変化する。即ち、ゲート電圧 V_{g24} は、一旦セットされたデータ電圧 V_{data} から、切り替わり電圧 B に到達するまでは第 1 の傾き α_1 で変化（低下）し、到達後からは第 2 の傾き α_2 で変化（低下）し、駆動 T F T 2 4 がオンすると第 3 の傾き α_3 で変化（低下）し、容量ライン S C の電圧が L レベルになってから所定期間経過後に、電圧 V_{g24} は、補正電圧 V_{cB} に設定される。

【 0 0 4 4 】

このように、ノード T g24 に、最初は、同一のデータ電圧 V_{data} が供給されても、最終的な駆動 T F T 2 4 のゲート電圧 V_{g24} は、しきい値電圧が低いほど高い補正電圧 V_c に設定されることになる。

【 0 0 4 5 】

上述のように、駆動 T F T 2 4 のしきい値電圧 V_{th24} は、補正 T F T 2 2 のしきい値電圧 V_{th22} に対応している。従って、駆動 T F T 2 4 のしきい値電圧 V_{th24} が、「 $V_{th24} A$ 」であれば、ゲート電圧 V_{g24} は、しきい値電圧 $V_{th24} A$ に対応する補正電圧 V_{cA} になり、「 $V_{th24} B$ 」であれば、ゲート電圧 V_{g24} は、このしきい値電圧 $V_{th24} B$ に対応する補正電圧 V_{cB} に設定される。この例では、しきい値電圧 V_{th24} と補正後のゲート電圧 V_{g24} との差は、しきい値電圧が $V_{th24} A$ の場合でも $V_{th24} B$ の場合でも、同一である。すなわち、補正 T F T 2 2 のサイズ、電源電圧値 P_{vdd} 、駆動 T F T 2 4 のサイズ、保持容量 2 8 の容量値 C_s などの設定によって、データ電圧 V_{data} が同一であれば、駆動 T F T 2 4 のしきい値電圧 V_{th24} が画素毎に異なっても、しきい値電圧 V_{th24} とゲート電圧 V_{g24} との差を一定にすることが可能であり、駆動 T F T 2 4 のしきい値電圧 V_{th24} のバラツキの影響を排除することができる。

【 0 0 4 6 】

ここで、以上のような補償を行うためには、第 2 の傾き α_2 が、第 1 の傾き α_1 の 2 倍になるように、条件を設定することが好適である。この条件設定について図 3 に基づいて説明する。図 3 に示すように、補正 T F T 2 2 がオン状態であるとした場合は、その容量値 C_{g22} がオフ時に比べて大きいいため、ゲート電圧 V_{g24} の変化は、パルス駆動電圧の変化による影響が抑制されて、傾き α_1 は小さくなる。一方、補正 T F T 2 2 がオフ状態である場合は容量値 C_{g22} が小さく、パルス駆動電圧の変化による影響が大きいいため傾き α_2 が大

きい。さらに、傾き α_2 は傾き α_1 の 2 倍の大きさになるよう条件に設定しているため、パルス駆動電圧が L レベルになったときのゲート電圧 V_{g24} の減少分は、補正 T F T 2 2 がオフ状態の時にオン状態のときの 2 倍になる。

【0047】

すなわち、2つの駆動 T F T 2 4 のしきい値電圧の差 ΔV_{th24} と、2つの補正 T F T 2 2 のしきい値電圧の差 ΔV_{th22} が等しくなるように T F T を構成し、補正 T F T 2 2 のオンからオフに変わったときの傾きを 2 倍にすることによって、 $\Delta V_{th22} = \Delta V_{th24}$ となり、2つの補正電圧 (V_{cA} 、 V_{cB}) の差 ΔV_c は、 $\Delta V_c = \Delta V_{th24}$ を満たす。

【0048】

すなわち、図 3 において、

10

(i) 2つの補正 T F T 2 2 の切り替わり電圧 A と B との差 (ΔV_{th22})、
(ii) 切り替わり電圧 B (切り替わりタイミングの遅い方：ここでは低い方の電圧) と、その画素のノード Tg24B が切り替わり電圧 B に到達したときに、切り替わり電圧 A の補正 T F T 2 2 を備える画素におけるノード Tg24B の電圧 V_{g24A} との差 ($\Delta V_{th22}'$)

(iii) 2つの駆動 T F T 2 4 の切り替わり電圧の差 (ΔV_{th24})、

(iv) 補正電圧 V_{cA} 、 V_{cB} との差 (ΔV_c)

は全て等しくなる。

【0049】

なお、データ電圧 V_{data} として書き込まれる電圧であるサンプリング電圧が変化した場合でも、傾きが変わらないので、切り替わり電圧差 ΔV_{th22} と、補正電圧差 ΔV_c が等しくなることには変わりはなく、常にしきい値電圧の変動を補償することができる。

20

【0050】

また、実験によれば、データ電圧の電位差は、補償動作後の補正電圧において、2 倍に増幅される。従って、データ電圧の範囲を小さくして、十分な駆動 T F T 2 4 のゲート電圧の差を保持することができ、データ電圧を供給する回路の負荷が小さく作成が容易になるという効果も得られる。

【0051】

なお、上述のように、容量ライン S C の電圧を立ち下げる際の駆動 T F T 2 4 のゲート電圧変化は、特に補正 T F T 2 2 のゲート容量値 C_{g22} と、駆動 T F T 2 4 のゲート容量値 C_{g24} 、保持容量 2 8 の容量値 C_s 、および配線の寄生容量 C_w の影響を受ける。

30

【0052】

上述した V_{g24} の変化のメカニズムについて、電荷の移動量に基づいて説明する。ここで、保持容量 2 8 の容量値を C_s 、補正 T F T 2 2 のゲート容量を C_{g22} 、駆動 T F T 2 4 のゲート容量を C_{g24} 、補正 T F T 2 2 のしきい値電圧を V_{th22} 、駆動 T F T 2 4 のしきい値電圧を V_{th24} とするとともに、保持容量 2 8 の容量値 $C_s =$ 補正 T F T 2 2 のゲート容量 C_{g22} に設定する。

(i) まず、駆動 T F T 2 4 のゲート電圧 $V_{g24} = V_{data}$ の状態から、容量ライン S C を 1 2 V 下げると、ノード Tg24 の電圧 V_{g24} も 1 2 V 下がるはずである。この変化のみを考慮した V_{g24} を V_{g24}' と表せば、

40

$$V_{g24}' = V_{data} - 12$$

となる。

(ii) 補正 T F T 2 2 のゲート容量を C_{g22} とすると、この補正 T F T 2 2 から流れ出し、保持容量 2 8 に流れ込む電荷量 Q_{f22} は、

$$Q_{f22} = C_{g22} \times (V_{data} - |V_{th22}|)$$

である。

【0053】

ここで、本実施形態では、上述のように $C_{g22} = C_s$ であり、ノード Tg24 の電圧 V_{g24} は、 $(V_{data} - |V_{th22}|)$ だけ上昇する。よって、この上昇分を考慮した電圧 V_{g24}'' は、

50

$$V_{g24}'' = 2V_{data} - 12 - |V_{th22}|$$

となる。

(iii) さらに、保持容量 28 には、駆動 TFT 24 のゲートからも電荷が流れ込む。この電荷量 Q_{f24} は、駆動 TFT 24 の最終的なゲート電圧を V_{g24} として、

$$Q_{f24} = -C_{g24}' \times (V_{g24} + |V_{th24}|)$$

となる。ここで、 C_{g24}' は、駆動 TFT 24 におけるオフ時とオン時の容量差であり、SPICE (スパイスシミュレータ) の MEYER の式を用いて計算した $C_{g24}' = C_{g24} \times 2/3$ の値を用いた。

(iv) 駆動 TFT 24 のゲート電圧 V_{g24} は、電荷 Q_{f24} が保持容量 28 に流れ込んだ分だけ、ずれた電圧とすればよい。従って、

$$\begin{aligned} V_{g24} &= V_{g24}'' + Q_{f24} / C_{g22} \\ &= V_{g24}'' - C_{g24}' (V_{g24} + |V_{th24}|) / C_{g22} \end{aligned}$$

これを書き直すと、最終 V_{g24} は、

$$\begin{aligned} (1 + C_{g24}' / C_{g22}) V_{g24} \\ = 2V_{data} - 12 - |V_{th22}| - (C_{g24}' / C_{g22}) |V_{th24}| \end{aligned}$$

となる。

【0054】

$V_{th22} = V_{th24} = V_{th}$ であれば、

$$V_{g24} = -|V_{th}| + (2V_{data} - 12) / (1 + C_{g24}' / C_{g22})$$

となる。

【0055】

この式における右辺第二項は、レイアウト寸法による固定値なので、 V_{g24} は V_{th} 分ずれることになり、駆動 TFT 24 のしきい値電圧 V_{th} にずれがあってもこれを補償することができることになる。

【0056】

なお、厳密には、配線に対する寄生容量についても、考慮する必要があり、これを考慮して、設定するとよい。また、電源電圧 P_{vdd} が 0 V でない場合には、その値を考慮すればよい。

【0057】

また、補正 TFT 22 のしきい値電圧 V_{th22} と、駆動 TFT 24 のしきい値 V_{th24} が異なる場合にも、駆動 TFT 24 のしきい値 V_{th24} だけ、そのゲート電圧 V_{g24} がずれるのが望ましい。このためには、上述の式における C_{g24}' / C_{g22} を調整すればよい。ただし、あまり大きな調整は、困難であり、なるべく

$V_{th22} = V_{th24}$ となるように TFT を形成することが好ましい。

【0058】

次に、本発明の実施形態に係る画素回路における各種容量の関係について、さらに図 4 を参照して説明する。本実施形態に係る画素回路には、保持容量 C_s の他、上述の補正 TFT 22 のゲート容量 C_{g22} 、駆動 TFT 24 のゲート容量 C_{g24} や各種の寄生容量が接続されている。例えば、図 4 のように、補正 TFT 22 のドレインと駆動トランジスタ 24 のゲートとの接続点 (ノード) T_{g24} と電源ライン PL との間の寄生容量 C_{w1} 、補正 TFT 22 のソースと選択 TFT 20 のソースとの接続部と電源ライン PL との間の寄生容量 C_{w2} が存在する。これらの寄生容量と図 3 のノード T_{g24} の電圧 V_{g24} の低下の傾き α との関係を示すと、図 3 において、データ電圧 V_{data} から切り替わり電圧 (A 又は B) に到達する迄の傾き α_1 は、

$$\alpha_1 = C_s / (C_{w1} + C_{w2} + C_s + C_{g22})$$

で示することができる。これらの寄生容量 (C_{w1} 、 C_{w2} 、 C_{g22}) の全てにそれぞれ一定の電荷が充電された状態から、保持容量 C_s に電荷が流れ込むため、ゲート電圧 V_{g24} の低下する傾き α_1 は、このような式で表される。

【0059】

次に、図 3 において、切り替わり電圧到達後、駆動 TFT 24 がオンするまでの期間の

10

20

30

40

50

ノード Tg24 の電圧 V_{g24} の低下の傾き α_2 は、

$$\alpha_2 = C_s / (C_s + C_{w1})$$

で表される。これは、切り替わり電圧到達後には、補正 TFT 22 がオフとなり、そのゲート容量 C_{g22} と、そのソースと電源ライン PL との間の寄生容量 C_{w2} が、電氣的に保持容量 28 (容量値 C_s) から切り離されるからである。

ここで、上述のように、 $\alpha_2 = 2 \times \alpha_1$ に設定されている。

従って、 $C_s = C_{g22} - C_{w1} + C_{w2}$ を満たすように保持容量 28 の容量 C_s を設定することで、容量ライン SC の電圧を立ち下げた際、補正 TFT 22 のオンからオフへの切り替わりによって、駆動 TFT 24 のゲート電圧 V_{g24} の降下の傾き α_2 を α_1 の 2 倍に設定することができ、駆動 TFT 24 のしきい値電圧変動の適切な補償を行うことができる。

10

【0060】

また、図 3 に示すように、駆動 TFT 24 がオンした後の傾き α_3 は、

$$\alpha_3 = C_s / (C_s + C_{w1} + C_{g24})$$

で表される。

【0061】

C_{g24} は、上述のように駆動 TFT 24 のゲート容量であり、駆動 TFT 24 がオンすることで、この容量 C_{g24} は保持容量 28 に接続され、電圧降下の傾き α_3 は、この容量 C_{g24} の影響も受けることになる。この駆動 TFT 24 がオンするタイミング t_{on24} は、上述のように駆動 TFT 24 の切り替わり電圧、即ちそのしきい値電圧 V_{th24} によらず、各画素で同時である。具体的には、各補正 TFT 22 がそのしきい値 V_{th22} のばらつきに応じたタイミングでそれぞれオフすることで、各画素回路で、ゲート電圧 V_{g24} が、電源電圧 P vdd からそれぞれの V_{th24} に応じた分だけ低い電圧に同時に到達したタイミングである。

20

【0062】

次に、このような画素回路を備える画素のレイアウトについて、図 5 及び図 6 を参照して説明する。図 5 は、1 画素における概略平面構造、図 6 (a) 及び (b) は、図 5 の A - A 線、B - B 線に沿った概略断面構造をそれぞれ示す。

【0063】

ガラスなどの透明な絶縁基板 100 の上にはバッファ層 102 が形成されており、その上に形成され、かつ多結晶シリコンからなる各 TFT の能動層、及び容量電極を構成する半導体層 (120、124、28e) は、図 5 において、破線で示している。また、図 5 において、上記半導体層よりも上方に形成され、Cr などの高融点金属材料が用いられたゲートライン GL、容量ライン SC 及び補正 TFT 22 のゲート電極 22g、駆動 TFT 24 のゲート電極 24g は、一点鎖線で示す。また、半導体層や上記 GL、SC よりも上方に形成され、Al などの低抵抗金属材料が用いられたデータライン DL、電源ライン PL、これらと同層の金属配線 24w は、実線で示している。

30

【0064】

図 5 に示すレイアウトでは、各画素は、表示装置の水平 (H) 方向に沿って形成されるゲートライン GL の行間と、概ね表示装置の垂直 (V) 方向に沿って形成されるデータライン DL の行間との位置に構成されている。また、電源ライン PL は、データライン DL とほぼ並んで垂直方向 (マトリクス列方向) に形成されており、各画素領域内では、データライン DL とこのデータライン DL に接続される画素の有機 EL 素子 26 との間を通っている。そして、後述するように選択 TFT 20、補正 TFT 22 及び保持容量 28 はデータライン DL と電源ライン PL との間、駆動 TFT と有機 EL 素子 26 は、電源ライン PL と隣の列のデータライン DL との間に配置されている。

40

【0065】

選択 TFT 20 は、ゲートライン GL とデータライン DL との交点付近に形成されている。ゲートライン GL からは、画素領域に向かって突出部が形成され、間にゲート絶縁膜 104 を挟んで、ゲートライン GL に沿って延びる半導体層 120 の一部分を横切るように覆っている。このゲートライン GL からの突出部が TFT 20 のゲート電極 20g とな

50

り、半導体層 120 のこのゲート電極 20g に覆われた領域がチャネル領域になっている。

【0066】

選択 TFT 20 に接続されている補正 TFT 22 は、データライン DL と電源ライン PL とに挟まれた領域にそのチャネル長方向がデータライン DL の延在方向（垂直方向）に沿うように配置されている。また、この補正 TFT 22 の能動層は、データライン DL と一部が重なるようにデータライン DL の下層に形成されている。この補正 TFT 22 と次行のゲートライン GL に近接して配置された容量ライン SC との間には、より具体的には該容量ライン SC に沿って、保持容量 28 が配置されている。また駆動 TFT 24 が、電源ライン PL を挟んで補正 TFT 22 の形成領域と反対側の領域（有機 EL 素子領域 26 側）に配置されており、その能動層を構成する半導体層 124 の少なくともチャネル領域 24c は、補正 TFT 22 のチャネル領域 22c とできるだけ近接して配置されるようにレイアウトされている。

10

【0067】

ここで、本実施形態において、選択 TFT 20 の能動層と、補正 TFT 22 の能動層及び保持容量 28 の容量電極 28e は、単一の半導体層 120 によって一体的に形成されている（もちろん、それぞれ独立層として、かつそれぞれを所定配線で電氣的に接続しても良い）。

【0068】

選択 TFT 20 の形成領域では、データライン DL と半導体層 120 とは、ゲート絶縁膜 104 及び層間絶縁膜 106 を貫通して形成されたコンタクトホールにおいて接続されている。そして、この半導体層 120 は、データライン DL の下層領域（データライン DL とのコンタクト領域）からゲートライン GL に沿って電源ライン PL と重なる位置まで延び、重なった位置から電源ライン PL の下層を電源ライン PL の延在方向に沿って垂直方向に延びる。さらに、この半導体層 120 は、補正 TFT 22 のゲート電極 22g と電源ライン PL とのコンタクト付近の手前で、電源ライン PL の下層位置からゲートライン GL の延在方向に平行な方向に曲がり、データライン DL に向かって延びる。

20

【0069】

なお、選択 TFT 20 の形成領域では、半導体層 120 は、データライン DL と接続された不純物注入領域が第 1 導電領域（例えばドレイン領域 20d）となり、ゲート電極 20g と重なり不純物の注入されない真性領域がチャネル領域 20c を構成し、このチャネル領域 20c を挟んだ反対側に、第 1 導電領域と同じ導電型の不純物が注入された第 2 導電領域（例えばソース領域 20s）が構成されている。

30

【0070】

電源ライン PL の下層からデータライン DL に向かって延びた半導体層 120 は、データライン DL と再び交差する付近（選択 TFT 20 の第 1 導電領域 20d 付近）でデータライン DL の延在方向に曲がり、少なくとも一部が電源ライン PL の形成領域に重なりながら（この例ではデータライン DL と一部重なっている）、データライン DL と電源ライン PL との間の領域を容量ライン SC の形成領域まで垂直方向に延在している。

【0071】

また、半導体層 120 がデータライン DL に沿って配置された領域は、補正 TFT 22 の能動層を構成しており、この能動層のゲート絶縁膜 104 を挟んだ上方には、補正 TFT 22 のゲート電極 22g が配置され、このゲート電極 22g は、層間絶縁膜 106 に形成されたコンタクトホールを介して電源ライン PL に接続されている。このゲート電極 22g は、電源ライン PL とのコンタクト位置からデータライン DL に向かって延び、半導体層 120（補正 TFT 22 の能動層）と重なる位置で曲がり、データライン DL の延在方向に延び、半導体層 120 の上層を覆い、かつデータライン DL 及び電源ライン PL と一部重なるようにこれらの下層に形成されている。

40

【0072】

半導体層 120 のゲート電極 22g に覆われた領域は、補正 TFT 22 の不純物のドー

50

ブされていないチャネル領域 22c となり、チャネル領域 22c を挟んで選択 TFT 20 側には該選択 TFT 20 とは異なる導電型の不純物が注入された第 1 導電領域 (ここでは例えばソース領域 22s) が形成され、容量ライン SC 側には第 1 導電領域 22s と同一の不純物の注入された第 2 導電領域 (ここではドレイン領域 22d) が形成されている。なお、データライン DL 及び電源ライン PL とこの補正 TFT 22 の少なくともチャネル領域 22c をこれらのラインと一部重ねてそれらの下層に形成することで、補正 TFT 22 をデータライン DL と電源ライン PL の間の非常に狭い領域内に効率的に配置することが可能となっている。また、ゲート電極 22g がそのチャネル領域 22c とデータライン DL 及び電源ライン PL との層間に配置することでチャネル領域 22c がデータライン DL から電氣的にシールドされており、補正 TFT 22 の動作がデータライン DL に印加されるデータ信号の影響を受けることが防がれている。また、少なくとも補正 TFT 22 のゲート電極 22g は電源ライン PL に接続されているので、この補正 TFT 22 の能動層、特にチャネル領域 22c が電源ライン PL と重なるように配置されても、チャネル領域 22c に対して印加される電圧はゲート電極 22g に覆われるのと実質的に変わらない。よって、補正 TFT 22 の能動層の大半の領域を電源ライン PL の下層に形成することも可能であり、このような配置とすれば、1 画素内での開口率、つまり発光に寄与する有機 EL 素子 26 の形成面積を最大限大きくすることが可能となる。

10

【0073】

半導体層 120 は、補正 TFT 22 の第 2 導電性領域の形成領域から容量ライン SC に向かって延び、容量ライン SC と交差する位置で曲がり、容量ライン SC の延在方向である水平方向に、この容量ライン SC と、間にゲート絶縁膜 104 を挟んで重なるようにパターンニングされ、半導体層 120 の容量ライン SC と重なる領域が容量電極 (第 1 電極) 28e として機能し、容量ライン SC (第 2 電極) と、この容量電極 28e とが、間にゲート絶縁膜 104 を挟んで対向配置される領域が保持容量 28 となっている。

20

【0074】

補正 TFT 22 の第 2 導電領域 22d と保持容量 28 の容量電極 28e との間には、層間絶縁膜 106 及びゲート絶縁膜 104 に形成されたコンタクトホールを介して金属配線 24w が接続されている。この金属配線 24w は、容量ライン SC の延在方向に沿って形成され、層間絶縁膜 106 に形成されたコンタクトホールにおいて、駆動 TFT 24 のゲート電極 24g と接続されている。

30

【0075】

駆動 TFT 24 のゲート電極 24g は、金属配線 24w とのコンタクト領域から自行のゲートライン GL の形成方向 (図では上方向) に向かって延び、途中で電源ライン PL の下層を横切り、電源ライン PL の有機 EL 素子 26 側にこの電源ライン PL の延在方向に沿って形成されている。

【0076】

ここで、電源ライン PL は、補正 TFT 22 のゲート電極 22g とのコンタクト領域付近からデータライン DL に近づくように曲がり、上記金属配線 24w の近くでは、その形成領域を迂回するよう有機 EL 素子 26 側に曲がり、駆動 TFT 24 の能動層を構成する半導体層 124 とのコンタクト付近からは次行の画素に向かって垂直方向に延びている。そして、駆動 TFT 24 は、電源ライン PL がデータライン DL 側に近づくことで有機 EL 素子 26 との間に形成されたスペースに形成されている。

40

【0077】

駆動 TFT 24 の能動層を構成する半導体層 124 には、上方がゲート電極 24g に覆われた領域にチャネル領域 24c が形成され、電源ライン PL との接続側には第 1 導電領域 (ここではソース領域 24s) が形成され、さらに、有機 EL 素子 26 との接続側に第 2 導電領域 (ここではドレイン領域 24d) が形成されている。チャネル領域 24c は、不純物のドーピングされない真性領域で、その両側に形成される第 1 及び第 2 導電領域 (24s 及び 24d) には、上記補正 TFT 22 と同一の導電型の不純物がドーピングされている。なお、駆動 TFT 24 の第 1 導電領域 24s は、層間絶縁膜 106 及びゲート絶縁膜 10

50

4 に形成されたコンタクトホールにおいて、電源ライン P L と接続されている。また駆動 T F T 2 4 の第 2 導電領域 2 4 d は、層間絶縁膜 1 0 6 及びゲート絶縁膜 1 0 4 に形成されたコンタクトホールにおいて、例えば上記電源ライン P L などと同一材料からなる接続電極 2 4 e と接続されている。

【 0 0 7 8 】

また、図 6 (a) , (b) に示すように、データライン D L 、電源ライン P L 上記金属配線 2 4 w 、接続電極 2 4 e を覆う基板全面には、上面を平坦にするための有機樹脂などからなる平坦化絶縁層 1 0 8 が形成されている。そして、この平坦化絶縁層 1 0 8 には、上記駆動 T F T 2 4 に接続された接続電極 2 4 e の形成領域においてコンタクトホールが形成されており、このコンタクトホールを介して、平坦化絶縁層 1 0 8 の上に形成された有機 E L 素子 2 6 の第 1 電極 2 6 2 (ここでは陽極)と、接続電極 2 4 e とが接続されている。なお、接続電極 2 4 e を設けない場合には、駆動 T F T 2 4 の第 2 導電領域 2 4 d の形成領域において平坦化絶縁層 1 0 8 及び層間絶縁膜 1 0 6 及びゲート絶縁膜 1 0 4 を貫通するコンタクトホールを形成し、有機 E L 素子 2 6 の第 1 電極 2 6 2 と第 2 導電領域 2 4 d とを直接接続する。

10

【 0 0 7 9 】

図 6 (b) に示すように、有機 E L 素子 2 6 は、基板側に形成され、駆動 T F T 2 4 に接続される画素毎に個別パターンの第 1 電極 2 6 2 と、第 2 電極 2 6 4 との間に、発光素子層 2 7 0 を備える。第 1 電極 2 6 2 は例えば I T O (Indium Tin Oxide) 等の透明な導電性金属酸化物等を用いて形成することができ、ここでは陽極 (正孔注入電極)として機能する。第 2 電極 2 6 4 は、例えば A l や A g 等の仕事関数の小さい金属材料や、そのような金属材料と上記 I T O などの積層構造によって構成でき、ここでは陰極 (電子注入電極)として機能する。なお、画素毎に個別パターンに形成された第 1 電極 2 6 2 のエッジ部分を、平坦化絶縁層 1 0 8 のさらに上層に形成された第 2 平坦化絶縁層 1 1 0 によって覆い、非常に薄く形成される発光素子層 2 7 0 の上に形成される第 2 電極 2 6 4 とこの第 1 電極 2 6 2 とが短絡することを防止している。

20

【 0 0 8 0 】

発光素子層 2 7 0 は、この例では正孔輸送層 2 7 2 、発光層 2 7 4 、電子輸送層 2 7 6 の 3 層構造である。3 層構造には限らず、用いる有機材料などにより、発光機能を備えた単独層でも、2 層でも、また 4 層以上の積層構造であっても良い。発光素子層 2 7 0 として、多層構造を採用する場合に、全層を各画素共通で形成しても良いし、多層のうちの一部又は全層、例えば、図 6 (b) に示すように、発光層 2 7 4 のみを第 1 電極 2 6 2 と同様の画素毎に個別パターンとしても良い。

30

【 0 0 8 1 】

このような構成の有機 E L 素子 2 6 は、本実施形態においては、電源ライン P L から駆動 T F T 2 4 を介して第 1 電極 2 6 2 に供給される電流が、第 2 電極 2 6 4 との間に流れ、電流量に応じた輝度で発光素子層で発光が起きる。なお、発光は、第 1 電極 2 6 2 から注入される正孔と第 2 電極 2 6 4 から注入される電子が発光素子層中で再結合し、これによって励起された発光分子が基底状態に戻る際に発光することで得られ、ここでは、透明な第 1 電極 2 6 2 及び基板 1 0 0 を透過して基板から外部に射出され、視認される。

40

【 0 0 8 2 】

本実施形態においては、上述のように電源ライン P L を挟んで上記補正 T F T 2 2 と駆動 T F T 2 4 が、できるだけ近接して配置されるようにレイアウトされている。特に、補正 T F T 2 2 のチャネル領域 2 2 c と、駆動 T F T 2 4 のチャネル領域 2 4 c は、そのチャネル領域の少なくとも一部が垂直方向において互いに並ぶように形成されている。

【 0 0 8 3 】

本実施形態において画素内に形成される各 T F T の能動層は、プラズマ C V D などによって形成された非晶質シリコン層に対し、ライン状に整形されたパルスレーザ (図 5 参照)を、その長手方向が水平方向に一致するように設定し、その幅方向に所定ピッチずつずらしながら順次照することで多結晶化アニールして得た低温多結晶シリコン (L T P S)

50

層を用いる。レーザビームの走査方向は、そのレーザビームの幅方向であって、かつデータラインDL等の延在方向である垂直方向に一致させる。図5に示すように、補正TF T 2 2と駆動TF T 2 4の各チャンネル領域2 2 c、2 4 cは、そのチャンネル長方向がデータラインDL等の延在方向、つまりレーザビームの走査方向に一致するように配置されている。従って、レーザビームの走査ピッチを補正TF T 2 2及び駆動TF T 2 4のチャンネル長よりも小さくすることにより、いずれのチャンネル領域2 2 c、2 4 cに対してもそのチャンネル長方向において、チャンネルを横切るように（チャンネル幅方向に）必ず複数回レーザビームが照射されることとなる。これにより、各レーザビームのエネルギーにばらつきが生じた場合でも、いずれのチャンネル領域2 2 c、2 4 cについても複数のレーザビームが照射されるので、全チャンネル長方向において受けたエネルギーの総量のばらつきをどの画素においても小さくすることができる。

また、いわゆるレーザアニールによって形成された多結晶シリコン層をTF Tの能動層に用いる場合に、同一のパルスレーザビームを補正TF T 2 2及び駆動TF T 2 4のチャンネル領域2 2 c、2 4 cとなる領域に同時に照射するように、チャンネル領域2 2 c、2 4 cとを近接配置することで、TF T特性（特にしきい値）に大きな影響を与える多結晶化状態を両TF Tで等しくすることが容易となる。

【0084】

ここで、ライン状に整形されたパルスレーザの1つの照射エリアは、例えば、長手方向が10 cm～30 cmの長さで、そのパルス幅は300 μm程度である。そして、このような大きさのパルスレーザの走査ピッチは、例えば25 μm程度、つまり、25 μmずつパルスレーザの照射位置をずらしながら非晶質シリコンを多結晶化する。また、補正TF T 2 2のチャンネル領域2 2 cと駆動TF T 2 4のチャンネル領域2 4 cを、単に近接配置されるだけでなく、垂直方向に交差する方向に引いた同一直線上に少なくとも一部が並ぶように配置することで、同一のパルスレーザを各チャンネル領域2 2 c、2 4 cに照射することが可能となる。さらに、補正TF T 2 2及び駆動TF T 2 4のいずれも、そのチャンネル長が少なくとも30 μm以上、より好ましくは40 μm以上に設定することで、チャンネル形成領域に対し、上記のような大きさのパルスレーザを上記のようなピッチで画素の垂直方向に沿って走査することで、確実に少なくとも1つ以上の同一のパルスレーザを2つのTF Tのチャンネル領域2 2 c、2 4 cに照射することができる。

【0085】

さらに、同一導電型の不純物は、各ゲート電極2 2 g、2 4 gをマスクとして半導体層1 2 0及び1 2 4に同時に注入するが、形成位置が非常に近いので、不純物の注入条件（注入濃度、注入エネルギー等）を揃えることができ、この観点からも補正TF T 2 2と駆動TF T 2 4の特性を等しくすることを可能としている。

【0086】

画素領域内を以上説明したようなレイアウトとすることにより、画素領域の水平方向の片側領域（図5の画素では左側にデータラインDL及び電源ラインとTF T 2 0、2 2、2 4等の回路素子が配置され、残りの片側（図5の画素では右側）に有機EL素子2 6が配置されており、全体として効率的な配置が可能となっている。具体的には、このようなレイアウトにより各画素領域内で有機EL素子2 6をできる限り大きく形成することができ、表示装置としての開口率の向上に寄与できる。また、発光効率や要求輝度を考慮して発光色毎に画素面積を替えて各画素の寿命を揃える場合にも、TF T 2 0、2 2、2 4、保持容量2 8等の面積やレイアウトを変更することなく、有機EL素子2 6の面積のみの変更が容易であり、設計効率の向上が図れている。

【0087】

なお、図5に示すレイアウトでは、マトリクス配置された画素は、行毎に、同色画素の位置が所定ピッチだけ水平方向にずれたいわゆるデルタ配列が採用されており、一本のデータラインDLが、同色画素にデータ信号Vdataを供給する場合には、図5に示すようにデータラインDLは、マトリクスの列方向に蛇行しながら延び、ラインの左右に交互に配置される同色画素の選択TF T 2 0に接続されることとなる。このようなレイアウトが採

用されていることにより、図5に示す画素の次の行の画素では、上記有機EL素子26は、図5とは逆に画素の左側、TF T 20, 22, 24等は画素の右側に配置されている。もちろん、以上に説明したレイアウトは、デルタ配列には限らず、ストライプ配列にも適用可能であり、その場合、行毎に有機EL素子と、これを制御するためのTF T等の位置関係は左右反転しない。

【0088】

ここで、本実施形態の補正TF T 22は、図5に示すように半導体層で構成されるチャネル領域22cの幅(チャネル幅)がそのチャネル長方向で変化している。具体的には、図5においては、選択TF T 20に近い方(図の上側)で幅が広く、保持容量28及び駆動TF T 24との接続側(図の下側)で幅が狭くなっている。このように補正TF T 22のチャネル幅がそのチャネル長方向において少なくとも他と異なる部分を設けることで、補正TF T 22の配置の自由度を大きくできる。なお、補正TF T 22の特性としては、最も狭いチャネル幅を基準に考えることができる。このように補正TF T 22の配置自由度が高まることで、他の回路素子である駆動TF T 24のゲート電極24gのレイアウトなどを効果的に行える。また、配置の自由度を大きくするためには、チャネル領域を形成する半導体層の幅(チャネル幅方向)を変更することが好適であり、他の選択TF T 20、駆動TF T 24等のチャネル幅を変更してより配置の自由度を高めることも可能である。

10

【0089】

また、上述したように、実施形態に係る画素回路は、マトリクス状に配置され、表示装置が構成される。多くの場合、ガラス基板上に、有機EL素子を含む画素領域と、その周辺に各画素を駆動するための周辺ドライバ回路が形成されるが、手順としては、まず、基板上に画素領域における有機EL素子以外の回路素子と、周辺ドライバ回路とを形成し、その後、それらの回路素子の上方に有機EL素子を形成し、さらに素子側から封止基板をガラス基板100に被せて接着することで有機ELパネルが得られる。なお、実施形態の画素回路は、このような有機ELパネルには限定されず、その他の各種の表示装置に適用が可能である。特に各画素に電流駆動型の表示素子とこの素子を制御するための回路(TF T)が形成される場合に適用することで同様の効果を得ることができる。

20

【0090】

次に、本実施形態では、選択TF T 20、補正TF T 22は、マルチゲート化することがさらに好適である。これは、特に多結晶シリコン層を能動層に用いたTF Tに多いリーク電流を低減するために有効だからである。リーク電流は、本実施形態では、補正TF T 22、選択TF T 20がオフの時にこれらTF Tを介し、データラインDLに向けて流れる電流であり、これらTF Tをマルチゲート化することで、リーク電流を抑制することができる。図7に示すように補正TF T 22のみをマルチゲート化してもよいし、選択TF T 20のみをマルチゲート化してもよい。もちろん図9に示すように両方をマルチゲート化してもよい。

30

【0091】

図7は、補正TF T 22をマルチゲート化した場合の等価回路を示し、図8はこの等価回路を実現するレイアウトの一例を示す平面図である。図7の例では、補正TF T 22としては、いわゆるダブルゲート構造が採用されている。具体的には、ノードTg24と選択TF T 20との間に、ノードTg24にドレインが接続された第1補正TF T 22-1と、この第1補正TF T 22-1と選択TF T 20との間に設けられた第2補正TF T 22-2の2つが設けられている。第1及び第2補正TF T 22-1, 22-2のゲートは、共に電源ラインPLに接続され、第1及び第2補正TF T 22-1, 22-2のソースドレインは、選択TF T 20とノードTg24との間に電氣的に直列接続されている。このような接続関係とすることにより、駆動TF T 24と選択TF T 20との間のオフリーク耐性が高まり、保持容量28に保持される駆動TF T 24のゲート電圧 V_{g24} がデータラインDLにリークして適正な値から変動してしまうことを効果的に防止することができる。

40

【0092】

50

具体的に説明すると、補正TF T 2 2を分割することで、第1及び第2補正TF T 2 2 - 1と、2 2 - 2の接続点に、選択TF T 2 0のソース側の電圧 V_{s20} （補正TF T 2 2 - 2のソース電圧 V_{d22-2} ）と、ノードTg24の電圧 V_{g24} とが分圧されて、その間の値の電圧 V_m が第1補正TF T 2 2 - 1のソース電圧となる。TF Tのオフリーク電流は、TF Tのドレインソース間電圧 V_{ds} が1 V低くなると約1桁低減する。従って、補正TF T 2 2を分割することで、ノードTg24にドレインの接続される第1補正TF T 2 2 - 1のドレインソース間電圧 V_{ds} を小さくできオフリーク電流が低減される。

【0093】

なお、図7のように、補正TF T 2 2をマルチゲート化した場合において、駆動TF T 2 4のゲートにその導電領域（ここではドレイン）が接続される第1補正TF T 2 2 - 1のチャンネル領域のサイズは、他方の例えば第2補正TF T 2 2 - 2のチャンネル領域のサイズと同一とする必要はない。

10

【0094】

例えば、第1補正TF T 2 2 - 1のチャンネル領域のサイズを第2補正TF T 2 2 - 2のチャンネル領域のサイズよりも小さくすることにより、第1補正TF T 2 2 - 1のゲート容量 C_{g22-1} を小さくできる。補正TF T 2 2のオフ時に、そのゲート容量 C_{g22} から保持容量2 8に流れ込む電荷量が多いと、ノードTg24の電位が長時間にわたって高く維持され、容量ラインSCの立ち下げに追従した電圧低下速度が遅くなる。よって、第1補正TF T 2 2のチャンネルサイズを小さくすることで、オフ時において、保持容量2 8に流れ込む第1補正TF T 2 2 - 1のゲート容量 C_{g22-1} からの電荷量を少なくし、ノードTg24の電圧を速く低下させることができる。この場合、第1補正TF T 2 2 - 1のチャンネル領域のチャンネル長を L_1 、チャンネル幅を W_1 、第2補正TF T 2 2 - 2のチャンネル領域のチャンネル長を L_2 、チャンネル幅を W_2 とすると、 $W_1 \times L_1 < W_2 \times L_2$ を満たすことが好ましい。

20

【0095】

第1補正TF T 2 2 - 1のチャンネル長 L_1 は、オフリーク低減の要求を最低限満たす程度にできるだけ短くし、チャンネル幅 W_1 は、レイアウトの制約から許される範囲でできるだけ大きくする。第2補正TF T 2 2 - 2のチャンネル長 L_2 は、長い方が、この第2補正TF T 2 2 - 2のゲート容量 C_{g22-2} からノードTg24への電荷の流出を遅くすることができるが、そうするとTF Tのオン抵抗が大きくなってデータの書き込み時間が長くなる。よって、 L_2 / W_2 の値が小さくなるように、つまり、 L_2 を長くした分、幅 W_2 を大きくすることが好適である。従って、この観点からも上記 $W_1 \times L_1 < W_2 \times L_2$ を満たすことが好適である。

30

【0096】

図8は、上記のように補正TF T 2 2をマルチゲート化した場合のレイアウトの一例を示す平面構成である。図8の例においても、選択TF T 2 0の能動層と補正TF T 2 2の能動層は、同一半導体層によって一体的に形成されているが、説明のため、第1補正TF T 2 2 - 1、2 2 - 2の能動層を構成する半導体層には図中1 2 2の符号を付している。この半導体層1 2 2は、上述の図5のレイアウトと同様に、データラインDLに沿って隣接行方向に向かって（図では下方）延びている。

40

【0097】

補正TF T 2 2 - 1、2 2 - 2のゲート電極2 2 g（2 2 g 1、2 2 g 2）は、共通で、電源ラインPLの下層領域で該電源ラインPLと接続されている。そして、このゲート電極2 2 gは、電源ラインPLとのコンタクト位置からデータラインDLに向かって水平方向に延び、能動層1 2 2の上方を横切る領域が第2補正TF T 2 2 - 2のゲート電極2 2 g 2となり、ここから更にデータラインDLの形成領域まで延び、データラインDLを横切った直後に折り返してデータラインPLの下をくぐる。データラインDLをくぐった付近でゲート電極2 2 gは再び能動層1 2 2の上方を覆うようにデータラインDLの延在方向に沿って次行の画素方向に向かって延び、ここで能動層1 2 2と重なる領域が第1補正TF T 2 2 - 1のゲート電極2 2 g 1となる。なお、この第1補正TF T 2 2 - 1のゲ

50

ート電極 22g1 は電源ライン PL と、能動層 122 との層間に形成され、能動層 122 をその上方に形成されている電源ライン PL 及びデータライン DL から電氣的に遮蔽している。

【0098】

このようにゲート電極 22g を U 字型に折り返すパターンとすることでデータライン DL に沿って垂直方向に延びる半導体層 122 の上方を例えば 2 カ所で覆うことで、ゲート電極 22g にそれぞれ覆われた位置にそれぞれチャネル領域 22c2, 22c1 を形成することができる。半導体層 122 は、第 2 補正 TFT22-2 の選択 TFT20 のソース領域 20s との接続側から順にソース領域 22s2、チャネル領域 22c2 (ゲート電極 22g2 の下層領域)、第 2 補正 TFT22-2 のドレイン領域 22d2 及び第 1 補正 TFT22-1 のソース領域 22s1、チャネル領域 22c1 (ゲート電極 22g1 の下層)、第 1 補正 TFT22-1 のドレイン領域 22d1 が形成されている。そして、第 1 補正 TFT22-1 のドレイン領域 22d1 は、保持容量 28 の容量電極 28e と接続され (同一半導体層)、また金属配線 24e を介して駆動 TFT24 のゲート電極 24g と接続されている。

10

【0099】

図 8 に示すようなレイアウトを採用すれば、補正 TFT22 をマルチゲート化 (ここではダブルゲート化) しても、その設置面積の増大を極力抑えることができる。

【0100】

図 9 は、補正 TFT22 だけでなく上述の選択 TFT20 についてもマルチゲート化した場合の回路構成例を示す。また、図 10 は、図 9 のような回路構成を採用した場合の実際のレイアウトの一例を示す平面図である。図 9 の例では、選択 TFT をデータライン DL に対して直列接続された 2 つの選択 TFT20-1, 20-2 より構成している。なお、2 つの選択 TFT20-1, 20-2 のゲートは、共にゲートライン GL に接続されている。

20

【0101】

選択 TFT20 をマルチゲート化するためには、図 5 等 に示すような選択 TFT20 をシングルゲートで構成したレイアウトに簡単な変更を加えることで容易に対応することができる。例えば、図 10 にも示すように、選択 TFT20 の能動層を構成する半導体層 120 は、選択 TFT20 の形成領域付近において、データライン DL から電源ライン PL で折り返すような U 字型 (コ字型) の形状となっている。従って、ゲートライン GL から突出形成されるゲート電極 20g のパターンを、図 10 に点線で示すようにさらに延長し、電源ライン PL から折り返した半導体層 120 の上層に重なるようにすればよい。このようにゲート電極 20g を延ばし、U 字型に折り返す半導体層 120 のゲートライン GL との近接側と、折り返し側の 2 カ所にゲート電極 20g1, 20g2 を形成し、それぞれの下層にチャネル領域 20c1, 20c2 を形成することで、電氣的にはデータライン DL にその能動層が直列接続したダブルゲート型の選択 TFT20 を容易に形成することができる。また、図 10 にさらに示すように、ゲート電極 20g の途中から更に水平方向に突出部を設け、能動層の U 字底辺部分の上層をこの突出部が覆うようにすることでさらに 3 つの能動層がデータライン DL に直列接続されたトリプルゲート型の選択 TFT20 を得ることもできる。

30

40

【0102】

図 11 は、選択 TFT22 のマルチゲート (ダブルゲート) 化の別のレイアウト例を示す。図 11 のレイアウトでは、水平方向に延びるゲートライン GL から、データライン DL とのコンタクト領域からこのゲートライン GL に沿って水平方向に配置された半導体層 120 に向かって、2 つのゲート電極 20-1g, 20-2g が並んで突出形成されている。この例では、マルチゲートの選択 TFT20 のチャネル領域 20c1, 20c2 は、ゲートライン GL の延在方向である水平方向に並んで配置されている。

【0103】

以上図 9 及び図 10 又は図 11 に示すように、補正 TFT22 だけでなく、選択 TFT

50

20 もマルチゲート化することで、オフリーク電流をさらに効果的に抑制することができる。

【0104】

図12には、更に別の回路構成例が示されている。図12に示す1画素あたりの等価回路構成では、データラインDLに一端（第1導電領域：例えばドレイン）が接続された選択TF T20の他端（第2導電領域：例えばソース）と、前記補正TF T22の第1導電領域（例えばソース）との間に、ゲートが容量ラインSCに接続されたリーク電流抑止TF T30をさらに備えている。このリーク電流抑止TF T30は、nチャネル型であり、補正TF T22とは、逆極性となっている。

【0105】

このリーク電流抑止TF T30は、容量ラインSCがHレベルの時にオンし、Lレベルの時にオフする。従って、ゲートラインGLがHレベルの期間はオンしており、データラインDLのデータ電圧V_{data}を駆動TF T24のゲートに書き込むことについては、問題を生じない。一方、データの書き込み終了した後においては、容量ラインSCがLレベルに下がるためオフする。即ち、容量ラインSCが立ち下がり、駆動TF T24のゲート電位が低電圧となった場合において、このリーク電流抑止TF T30はオフ状態を維持し、このときのデータラインDLから駆動TF T24のゲートに向けて流れるリーク電流を効果的に抑止することができる。従って、表示装置内の複数の画素における各発光輝度の均一をさらに向上することが可能となる。なお、図12に示す構成において、さらに補正TF T22をマルチゲート化してさらなるオフリーク電流の低減を図っても良いが、回路素子の増加は開口率の低下を招く。よって開口率を最大限大きくとれ、かつ各画素での発光輝度の均一化が可能な範囲で、さらに補正TF Tをマルチゲート化するかどうかを決定することが好適である。

【図面の簡単な説明】

【0106】

【図1】本発明の実施形態に係る画素回路の構成を示す図である。

【図2】本発明の実施形態に係るゲートラインGL、容量ラインSCに印加される信号のタイミングを示す図である。

【図3】本発明の実施形態に係るゲート電圧V_{g24}の変化状態を示す図である。

【図4】本発明の実施形態に係る画素回路に存在する容量を説明するための図である。

【図5】本発明の実施形態に係る画素の平面構成の一例を示す図である。

【図6】図5のA-A線及びB-B線に沿った概略断面構成図である。

【図7】本発明の実施形態に係る補正TF Tをマルチゲート化した場合の1画素あたりの等価回路を示す図である。

【図8】図7に示す等価回路を実現するレイアウトの一例を示す概略平面図である。

【図9】本発明の実施形態に係る選択TF T及び補正TF Tの両方をマルチゲート化した場合の等価回路を示す図である。

【図10】図9に示す等価回路を実現するレイアウトの一例を示す図である。

【図11】図10に示すレイアウトの他の例を示す図である。

【図12】本発明の実施形態に係る更に別の回路構成例を示す図である。

【図13】従来の画素回路の構成を示す図である。

【符号の説明】

【0107】

20 選択TF T、20g (20g1, 20g2) ゲート電極、22 補正TF T、
22-1 第1補正TF T、22-2 第2補正TF T、22g (22g1, 22g2)
ゲート電極、24 駆動TF T、20c、22c、24c チャネル領域、20d、2
2d、24d ドレイン領域、20s、22s、24s ソース領域、24w 金属配線
、26 有機EL素子、28 保持容量、28e 容量電極（第1電極）、30 リーク
電流抑止TF T、100 透明基板、102 バッファ層、104 ゲート絶縁層、10
6 層間絶縁層、108 平坦化絶縁層、110 第2平坦化絶縁層、262 第1電極

10

20

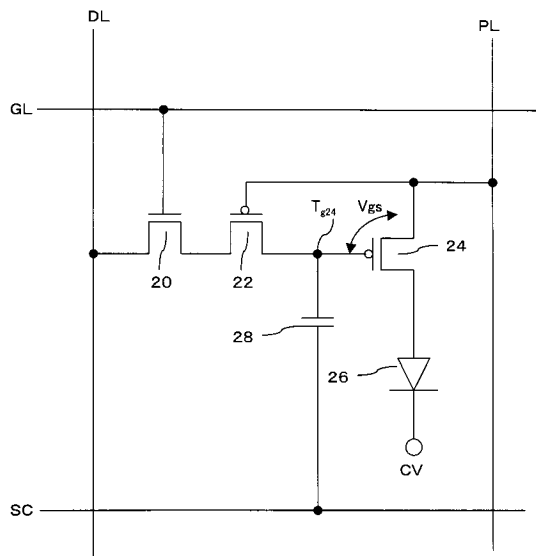
30

40

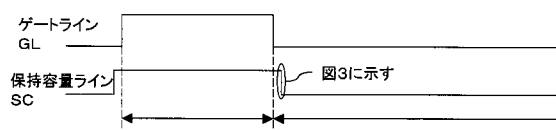
50

(陽極)、264 第2電極(陰極)、270 発光素子層。

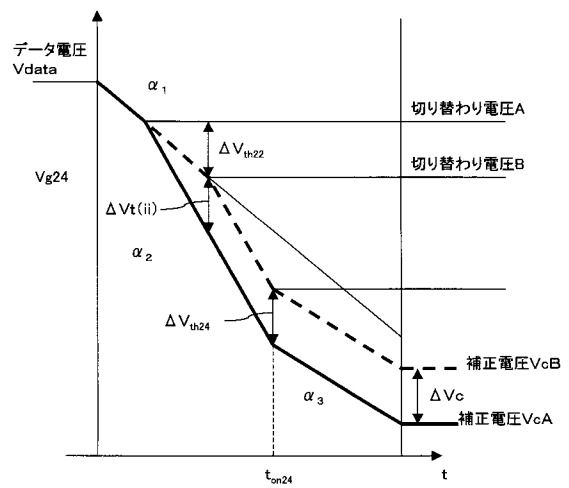
【図1】



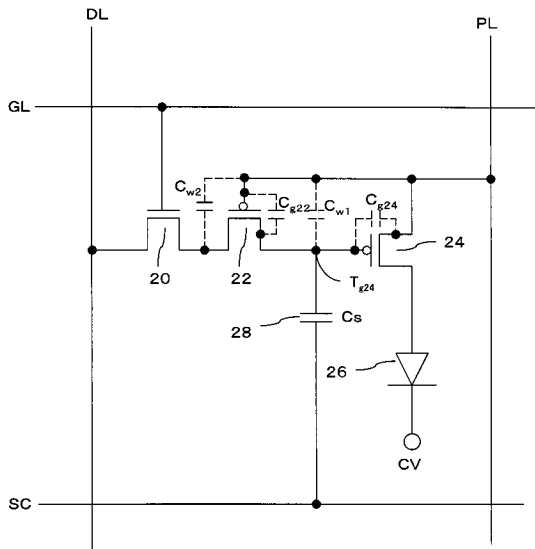
【図2】



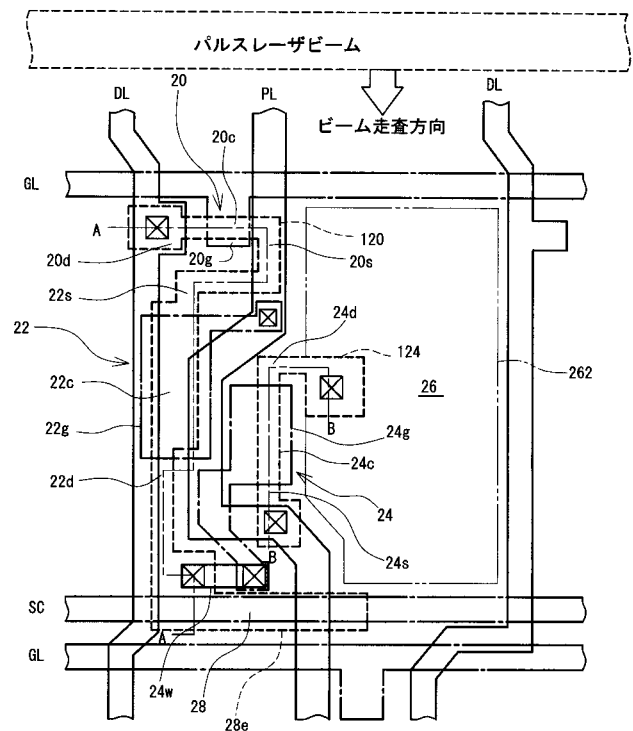
【図3】



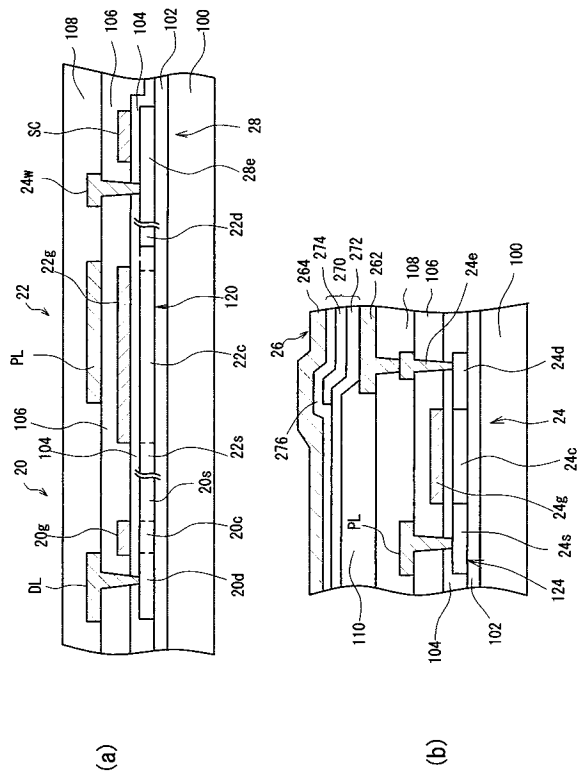
【図 4】



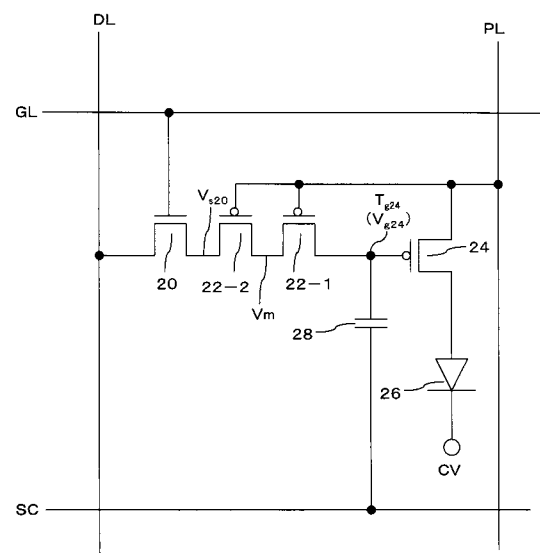
【図 5】



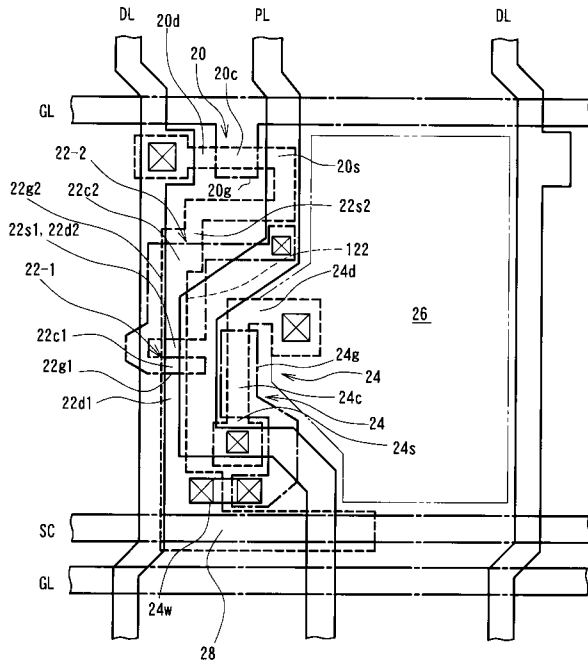
【図 6】



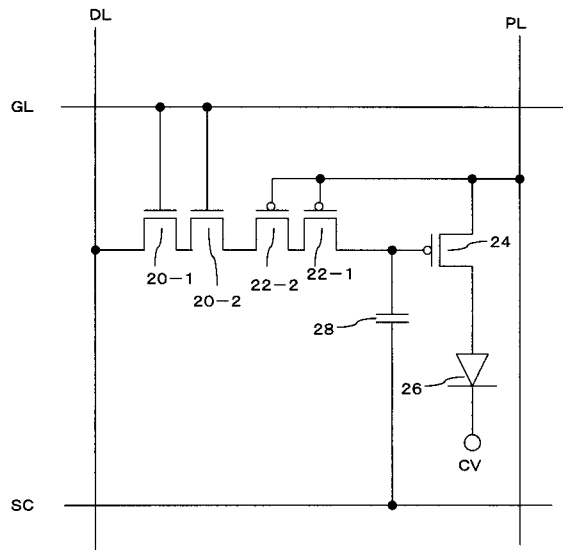
【図 7】



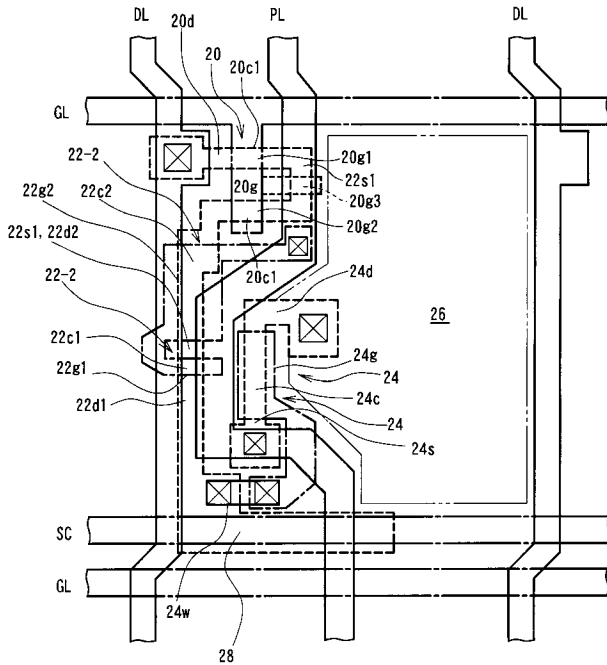
【図 8】



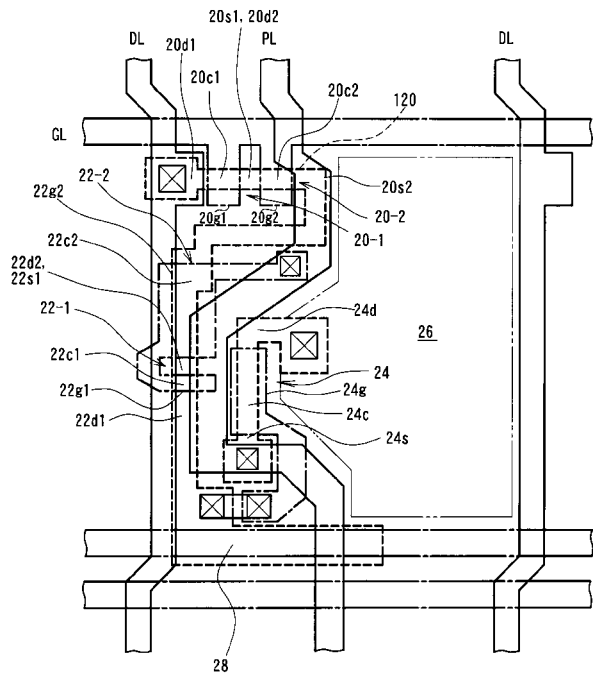
【図 9】



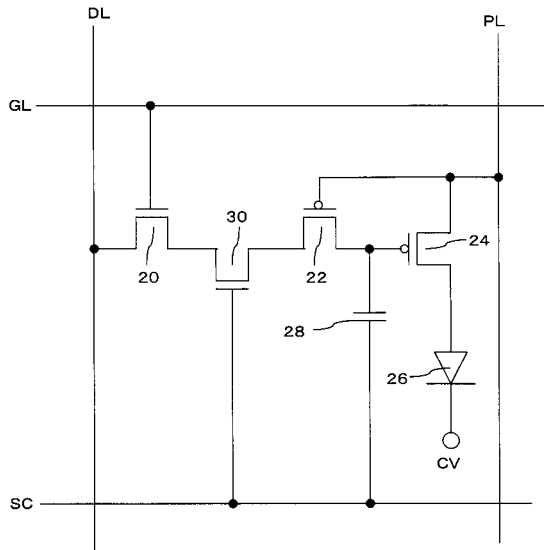
【図 10】



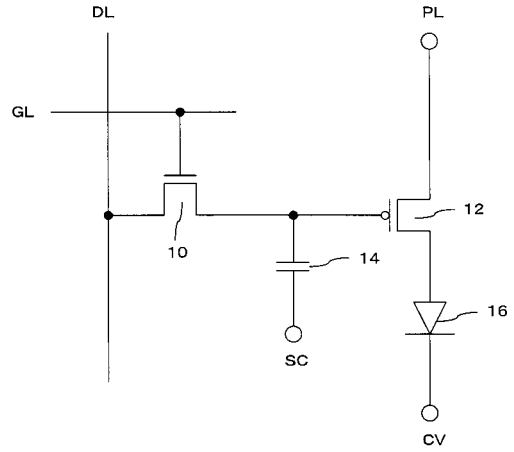
【図 11】



【図 12】



【図 13】



フロントページの続き(51) Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 F 9/30 3 6 5 Z

G 0 9 G 3/30 J

H 0 5 B 33/14 A

专利名称(译)	像素电路和显示设备		
公开(公告)号	JP2005157262A	公开(公告)日	2005-06-16
申请号	JP2004154080	申请日	2004-05-25
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	古河雅行		
发明人	古河 雅行		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 H01L27/32 H05B33/14		
FI分类号	G09G3/20.624.B G09G3/20.611.H G09G3/20.641.D G09G3/20.642.A G09F9/30.338 G09F9/30.365.Z G09G3/30.J H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/FF11 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C094/AA02 5C094/AA23 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA29 5C094/CA19 5C094/FB14 3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC36 3K107/EE04 3K107/EE59 3K107/HH02 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB23 5C380/AB24 5C380/BA10 5C380/BA38 5C380/BA39 5C380/BB21 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CC02 5C380/CC26 5C380/CC33 5C380/CC42 5C380/CC52 5C380/CC62 5C380/CC71 5C380/CC77 5C380/CC80 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD043 5C380/DA02 5C380/DA06 5C380/HA13 5C380/HA17 5C380/HA18		
代理人(译)	吉田健治 石田 纯		
优先权	2003378581 2003-11-07 JP		
其他公开文献	JP4610228B2		
外部链接	Espacenet		

摘要(译)

减少驱动TFT的阈值电压变化的不利影响。选择TFT和校正TFT导通，数据线的数据电压作为驱动TFT的栅极电压保持在保持电容器中。在选择TFT 20和21截止之后，存储电容器线SC的电压降低，驱动TFT 24导通，并且驱动电流被提供给有机EL元件26。校正TFT 22在存储电容器线SC下降之前导通，并且在下降过程中截止，同时校正TFT 22的电容值在栅极电压下降期间改变并且驱动TFT 24的栅极电压的下降梯度改变并且，对于每个像素，对应于驱动TFT 24的阈值设置保持电容线SC下降之后的栅极电压。由于选择TFT 20的多栅极（20-1,20-2），在驱动TFT 24的栅极电压变化期间防止了选择TFT 20的漏电流。9系统技术领域

