(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号

特開2002－40961
(P2002－40961A)

(43)公開日 平成14年2月8日(2002.2.8)

(51)Int.Cl[7]	識別記号	ＦＩ		テーマコード（参考）
Ｇ０９Ｆ 9/30	338	Ｇ０９Ｆ 9/30	338	５Ｃ０８０
	365		365 Ｚ	５Ｃ０９４
Ｇ０９Ｇ 3/20	621	Ｇ０９Ｇ 3/20	621 Ｍ	
	680		680 Ｇ	
3/30		3/30	Ｚ	

審査請求　未請求　請求項の数 8ＯＬ（全 9 数）

(21)出願番号　特願2000－228405(P2000－228405)

(22)出願日　平成12年7月28日(2000.7.28)

(71)出願人　000004237
日本電気株式会社
東京都港区芝五丁目7番1号

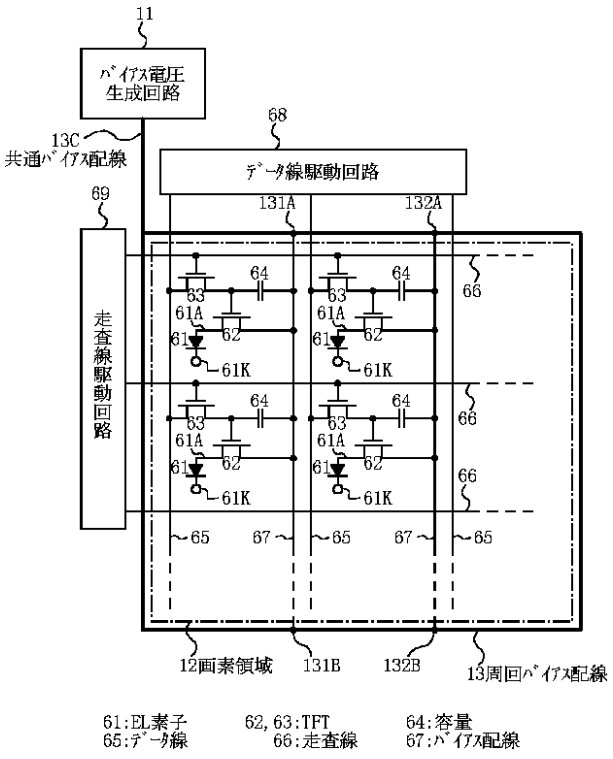
(72)発明者　橋本　義春
東京都港区芝五丁目7番1号　日本電気株式会社内

(74)代理人　100082935
弁理士　京本　直樹　（外２名）

Ｆターム（参考）　5C080 AA06 BB05 DD05 DD26 FF11
JJ02 JJ06 KK07 KK47
5C094 AA03 BA03 BA27 BA43 CA19
EA04 EA07 GA10

(54)【発明の名称】　表示装置

(57)【要約】
【課題】画素数が多くなってバイアス配線の配線長が長くなった場合においても、バイアス電圧生成回路から各画素に至るバイアス配線の配線抵抗を小さくすると共に均一化し、バイアス配線の配線抵抗に起因し発光素子に流れる電流の減少による輝度の低下や、バイアス電圧源から各画素に至るバイアス配線の配線抵抗の不均一による表示画面の輝度ムラを改善した表示装置を提供する。
【解決手段】ＥＬ素子６１とＴＦＴ６２，６３とデータ線６５と走査線６６とバイアス配線６７とがマトリクス状に配置され、画素領域１２の外側にリング状に配置した周回バイアス配線１３とバイアス配線６７とは、節点１３１Ａ・・および節点１３２Ａ・・により接続されている。この配線構造を用いることにより、配線抵抗が高いバイアス配線６７の配線抵抗を小さくすることが可能である。



1

【特許請求の範囲】

【請求項１】　アクティブマトリクス型表示装置であって、発光素子とスイッチとトランジスタを含む画素をマトリクス状に配置した画素領域と、第１の方向に配置した走査線と、前記第１の方向に対して平面的に垂直な方向である第２の方向に配置したデータ線と、前記第２の方向に配置したバイアス配線と、前記バイアス配線に出力端子からバイアス電圧を出力するバイアス電圧生成回路と、前記画素領域の外側にリング状に配置した周回バイアス配線と、この周回バイアス配線と前記バイアス電圧生成回路の出力端子とを接続する共通バイアス配線とを備え、

前記発光素子の一端が前記トランジスタのソースまたはドレインに接続され、前記トランジスタのソースまたはドレインの他方が、前記バイアス配線に接続され、前記トランジスタのゲートが前記スイッチを介して前記データ線に接続され、前記バイアス配線は、少なくとも前記周回バイアス配線と交差する箇所において接続され、

前記走査線を活性化することにより前記スイッチは導通し、前記データ線と前記スイッチを介して画像信号が前記トランジスタのゲートに印加され、前記バイアス電圧生成回路から前記共通バイアス配線と前記周回バイアス配線と前記バイアス配線とを介して前記発光素子に流れる電流が所定値となるように、前記共通バイアス配線と前記周回バイアス配線の各配線抵抗を定めることを特徴とする表示装置。

【請求項２】　前記トランジスタのゲートと、前記トランジスタのソースまたはドレインの他方との間に容量が接続されていることを特徴とする請求項１記載の表示装置。

【請求項３】　前記発光素子は、ＥＬ（エレクトロルミネセンス）素子であることを特徴とする請求項１記載の表示装置。

【請求項４】　前記周回バイアス配線は、複数の単位周回バイアス配線を接続して構成され、前記バイアス電圧生成回路からの距離が近い方の前記単位周回バイアス配線の単位長当たりの配線抵抗が、前記バイアス電圧生成回路からの距離が前記近い方の前記単位周回バイアス配線よりも相対的に遠い方の前記単位周回バイアス配線の単位長当たりの配線抵抗よりも小さいことを特徴とする請求項１記載の表示装置。

【請求項５】　前記周回バイアス配線は、所定の抵抗率よりも小さい抵抗率を有する配線材料からなる第１の配線層と、前記第１の配線層と配線層を異にする前記走査線の配線層または前記データ線の配線層とを縦方向に積層して構成され、かつ所定の箇所でビアホールを介して接続されることを特徴とする請求項１記載の表示装置。

【請求項６】　前記周回バイアス配線の面積を所定の面積よりも大きくすることにより、周回バイアス配線を雑音除去用の容量として用いることを特徴とする請求項１*

2

*記載の表示装置。

【請求項７】　前記周回バイアス配線の対抗する２辺の所定箇所を接続するように、前記第１の方向に沿って配線したバイアスバス配線を設けることを特徴とする請求項１記載の表示装置。

【請求項８】　アクティブマトリクス型表示装置であって、発光素子とスイッチとトランジスタを含む画素をマトリクス状に配置した画素領域と、行方向に配置した走査線と、列方向に配置したデータ線と、列方向に配置した第１列乃至第Ｎ（Ｎは２以上の整数）列のバイアス配線と、前記第１乃至第Ｎのバイアス配線に第１乃至第Ｎの出力端子からバイアス電圧を出力するバイアス電圧生成回路と、前記画素領域の外側にリング状に配置した第１乃至第Ｎの周回バイアス配線と、これらの周回バイアス配線と前記バイアス電圧生成回路の第１乃至第Ｎの出力端子とを接続する第１乃至第Ｎの共通バイアス配線とを備え、

前記発光素子の一端が前記トランジスタのソースまたはドレインに接続され、第１列乃至第Ｎ列に属する前記トランジスタのソースまたはドレインの他方が、それぞれ前記第１乃至第Ｎのバイアス線に接続され、前記トランジスタのゲートが前記スイッチを介して前記データ線に接続され、前記第１列乃至第Ｎ列のバイアス配線は、それぞれ少なくとも対応する第１乃至第Ｎの前記周回バイアス配線と交差する箇所において接続され、

前記走査線を活性化することにより前記スイッチは導通し、前記データ線と前記スイッチを介して画像信号が前記トランジスタのゲートに印加され、前記バイアス電圧生成回路から前記第１乃至第Ｎの共通バイアス配線と前記第１乃至第Ｎの周回バイアス配線と前記第１列乃至第Ｎ列のバイアス配線とを介して、前記発光素子に流れる電流が所定値となるように、前記第１乃至第Ｎの共通バイアス配線と前記第１乃至第Ｎの周回バイアス配線の各配線抵抗を定めることを特徴とする表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、能動素子を有するアクティブマトリクス方式の表示装置に関し、特に有機ＥＬなどの自発光型素子を有するアクティブマトリクス方式の表示装置に関する。

【０００２】

【従来の技術】最近ｉモードの携帯電話機に代表されるように、携帯用情報端末が急速に普及しており、この携帯用情報端末の表示装置として従来、液晶表示装置が広く用いられている。

【０００３】液晶表示装置にバックライトを組み込んだ場合は、画面全体の輝度を上げるために消費電力が大きくなるという問題があり、日経エレクトロニクス　２０００年　3月１３日号（ｎｏ７６５）の５５ページ～６２ページに、携帯用情報端末に適した表示装置として有

機ＥＬを組み込んだ表示装置（以下有機ＥＬ表示装置と記す）が紹介されている。

【０００４】上記文献に記載されている主要な内容について、以下に説明する。

【０００５】電流を流すことにより発光する自発光型素子を用いた表示装置として、ＰＤＰ（プラズマディスプレイ）やＥＬ（エレクトロルミネセンス）表示装置が知られている。ＥＬは無機ＥＬと有機ＥＬに分類され、さらに構造から単純マトリクス方式とアクティブマトリクス方式に分類される。

【０００６】図５に、単純マトリクス方式を用いた有機ＥＬ表示装置の概念的ブロック図を示す。

【０００７】単純マトリクス方式の有機ＥＬ表示装置は、図５に示すようにＥＬ素子５１と、ＥＬ素子５１のアノードとカソード間に接続された容量５２と、アノードに接続されたデータ線５３と、カソードに接続された走査線５４とを含む画素をマトリクス状に配置している。

【０００８】さらに、データ線駆動回路５５と走査線駆動回路５６とを有しており、データ線駆動回路５５と走査線駆動回路５６は、それぞれデータ線５３と走査線５４の中から１本ずつを活性化し、それぞれの線に接続しているＥＬ素子５１に対して、データ線５３から走査線５４に向かって電流を流し、ＥＬ素子５１を電流値に応じた輝度で発光させる。

【０００９】このように単純マトリクス方式の有機ＥＬ表示装置の構造は比較的単純で、製造コストを抑えやすいが、画素数を多くして高精細化するのが難しい。同方式では、走査線を１本ずつ選択し画素を発光させているため、各画素の発光時間は１フレーム期間の１／走査線数になる。この限られた時間で一定の輝度を保つためには、各画素に瞬間的に大電流を流す必要がある。

【００１０】また画素数を多くするとデータ線５３の配線長は増大するが、データ線５３の配線材料としては、透明なＩＴＯ（ｉｎｄｉｕｍ　ｔｉｎ　ｏｘｉｄｅ）などを使用するため配線抵抗率が高く、データ線５３の配線長の増大と共にデータ線５３の配線抵抗が大きくなる。

【００１１】このためデータ線５３の配線抵抗が増大することと、データ線５３に大電流が流れることにより、データ線５３に大きな電圧降下が生じることになる。

【００１２】従ってこの大きな電圧降下により、データ線駆動回路５５に近いデータ線５３上の電圧に比して、データ線駆動回路５５に遠いデータ線５３上の電圧は小さくなり、この結果データ線駆動回路５５に遠いデータ線５３に接続するＥＬ素子５１に流れる電流は低下する。

【００１３】すなわちデータ線５３の配線抵抗に起因して、データ線駆動回路５５に遠いデータ線５３に接続するＥＬ素子５１に流れる電流が低下するため、ＥＬ素子５１の発光量が減少し、表示画面に輝度ムラが生じる。具体的には、データ線駆動回路５５に遠い画素の輝度が低下する。

【００１４】次に図６に示すブロック図を参照して、従来のアクティブマトリクス方式の有機ＥＬ表示装置について説明する。

【００１５】従来のアクティブマトリクス方式の有機ＥＬ表示装置は、図６に示すようにＥＬ素子６１と、ＥＬ素子６１のアノードとバイアス配線６７間に接続されたＴＦＴ（薄膜トランジスタ）６２と、ＴＦＴ６２のゲートとデータ線６５間に接続されたＴＦＴ６３と、ＴＦＴ６２のゲートとバイアス配線６７間に接続された容量６４とをマトリクス状に配置している。

【００１６】さらに、データ線駆動回路６８と走査線駆動回路６９とバイアス電圧源６１０とを有しており、走査線駆動回路６９により走査線６６が活性化されると、活性化された走査線６６に接続しているＴＦＴ６３は導通状態となり、データ線駆動回路６８からデータ線６５とＴＦＴ６３を介して容量６４に電流が流れ容量６４が充電される。

【００１７】これにより、ＴＦＴ６２のゲート電圧がしきい値よりも高くなるとＴＦＴ６２が導通し、バイアス電圧源６１０からバイアス配線６７を介してＥＬ素子６１に電流が供給され、ＥＬ素子６１は電流値に応じた輝度で発光する。

【００１８】上記に説明したことからわかるように、アクティブマトリクス方式の有機ＥＬ表示装置は、単純マトリクス方式の有機ＥＬ表示装置の場合と異なり、走査線数を増やしてもフレーム期間と同じ発光時間を確保することができるという特徴がある。

【００１９】ここで液晶を用いたアクティブマトリクス方式の液晶表示装置とアクティブマトリクス方式の有機ＥＬ表示装置とを比較すると、アクティブマトリクス方式の液晶表示装置の透過率（すなわち、アクティブマトリクス方式の有機ＥＬ表示装置の輝度に相当）は液晶に加える電圧に比例するが、アクティブマトリクス方式の有機ＥＬ表示装置の輝度は電流に比例し、バイアス電圧源６１０からバイアス配線６７に出力される電圧は通常一定の電圧に固定されている。

【００２０】有機ＥＬ表示装置は電流駆動型の表示装置のため、アクティブマトリクス方式の液晶表示装置で使用しているような単純にオン／オフ動作するだけのＴＦＴは使用できず、十分な電流が流せるだけのオン抵抗が小さいＴＦＴが必要になる。

【００２１】このようなＴＦＴはもっとも一般的なアモルファスシリコンＴＦＴの製造技術では実現しにくく、一部の高精細表示装置で使用されている低温ポリシリコンＴＦＴの製造プロセスを使用する必要がある。

【００２２】低温ポリシリコンＴＦＴはガラス基板上にＴＦＴや駆動回路を形成することができ、一般に多階調

表示する場合、走査線側のほぼ全回路とデータ線側の一部の回路（選択スイッチ）をガラス基板上に形成し、階調を制御するための複雑な回路は、単結晶基板上に形成した半導体集積回路で実現している。

【００２３】フルカラー化する技術として、アクティブマトリクス方式の液晶表示装置では、赤、緑、青色のカラーフィルタを使用している。アクティブマトリクス方式の有機ＥＬ表示装置では、赤色、緑色、青色にそれぞれ発光する有機ＥＬを配置してフルカラー化する方法が知られている。しかし、赤色に発光する有機ＥＬの寿命が他の色の有機ＥＬに比べ短いことや発光色が純粋な赤ではなくオレンジ色に近いなど問題も多い。また、赤色、緑色、青色を混色させて白色を生成し、液晶表示装置のようにカラーフィルタで赤色、緑色、青色にそれぞれ対応する画素を作る方法もある。

【００２４】

【発明が解決しようとする課題】上述した従来の単純マトリクス方式の有機ＥＬ表示装置は、画素数が多くなった場合にデータ線の配線長が長くなり、データ線の配線抵抗が大きくなる。

【００２５】このためデータ線の配線抵抗が増大することと、データ線に大電流が流れることによりデータ線に大きな電圧降下が生じ、駆動回路に遠いデータ線に接続するＥＬ素子に流れる電流が低下するため、ＥＬ素子の発光量が減少し表示画面に輝度ムラが生じるという問題がある。

【００２６】一方、アクティブマトリクス方式の有機ＥＬ表示装置は、走査線数を増やしてもフレーム期間と同じ発光時間を確保することができるという特徴があるものの、上述した単純マトリクス方式の有機ＥＬ表示装置の問題点と同様に、画素数が多くなった場合に透明電極であるバイアス配線の配線抵抗率が大きいことと、バイアス配線の配線長が長くなることにより、バイアス配線の配線抵抗が増大し、バイアス電圧源から遠い画素の輝度が低下すると共に表示画面に輝度ムラが生じるという基本的な問題がある。

【００２７】また従来の単純マトリクス方式の有機ＥＬ表示装置と従来のアクティブマトリクス方式の有機ＥＬ表示装置共通の問題として、バイアス配線の配線抵抗による画素の輝度が低下するのを補うために、余分にバイアス電圧源から電力を供給しなければならず、低消費電力を要求される表示装置の場合には重大な問題となる。

【００２８】このため本発明の目的は、画素数が多くなってバイアス配線の配線長が長くなった場合においても、バイアス電圧生成回路から各画素に至るバイアス配線の配線抵抗を小さくすると共に均一化し、バイアス配線の配線抵抗に起因し発光素子に流れる電流の減少による輝度の低下や、バイアス電圧源から各画素に至るバイアス配線の配線抵抗の不均一による表示画面の輝度ムラを改善した表示装置を提供することにある。

【００２９】また、バイアス配線の配線抵抗を小さくして配線による消費電力を小さくし、消費電力を低減することが可能な表示装置を提供することにある。

【００３０】

【課題を解決するための手段】そのため、本発明による表示装置は、アクティブマトリクス型表示装置であって、発光素子とスイッチとトランジスタを含む画素をマトリクス状に配置した画素領域と、第１の方向に配置した走査線と、前記第１の方向に対して平面的に垂直な方向である第２の方向に配置したデータ線と、前記第２の方向に配置したバイアス配線と、前記バイアス配線に出力端子からバイアス電圧を出力するバイアス電圧生成回路と、前記画素領域の外側にリング状に配置した周回バイアス配線と、この周回バイアス配線と前記バイアス電圧生成回路の出力端子とを接続する共通バイアス配線とを備え、前記発光素子の一端が前記トランジスタのソースまたはドレインに接続され、前記トランジスタのソースまたはドレインの他方が、前記バイアス配線に接続され、前記トランジスタのゲートが前記スイッチを介して前記データ線に接続され、前記バイアス配線は、少なくとも前記周回バイアス配線と交差する箇所において接続され、前記走査線を活性化することにより前記スイッチは導通し、前記データ線と前記スイッチを介して画像信号が前記トランジスタのゲートに印加され、前記バイアス電圧生成回路から前記共通バイアス配線と前記周回バイアス配線と前記バイアス配線とを介して前記発光素子に流れる電流が所定値となるように、前記共通バイアス配線と前記周回バイアス配線の各配線抵抗を定めることを特徴としている。

【００３１】

【発明の実施の形態】次に、本発明の表示装置の第１の実施の形態について図面を参照して説明する。

【００３２】図１は、発明の表示装置の第１の実施の形態を示すブロック図を表すと共に、本発明の表示装置を構成する構成要素の概略的なレイアウトを示す概略レイアウト図を表す。また、図６と共通の構成要素には共通の参照文字／数字を付してある。

【００３３】図１に示す表示装置は、アノード６１Ａと一定電圧にバイアスされたカソード６１Ｋとを有するＥＬ素子６１と、ＥＬ素子６１のアノードとバイアス配線６７間に接続されたＴＦＴ６２と、ＴＦＴ６２のゲートとデータ線６５間に接続されスイッチとして動作するＴＦＴ６３と、ＴＦＴ６２のゲートとバイアス配線６７間に接続された容量６４とをマトリクス状に配置している。

【００３４】また発明の表示装置は、データ線６５を駆動するデータ線駆動回路６８と、走査線６６を駆動する走査線駆動回路６９と、バイアス配線６７を駆動するバイアス電圧生成回路１１とを備えている。

【００３５】さらに発明の表示装置は、ＥＬ素子６１と

ＴＦＴ６２，６３と容量６４とを含む画素をマトリクス状に配列した画素領域１２の外側に、リング状に配置した周回バイアス配線１３を備えている。

【００３６】周回バイアス配線１３とバイアス電圧生成回路１１の出力端子とは、共通バイアス配線１３Ｃにより接続され、画素領域１２内部のバイアス配線６７と周回バイアス配線１３とは、節点１３１Ａ，１３１Ｂおよび節点１３２Ａ，１３２Ｂ・・・により接続されている。

【００３７】すなわち、図６に示す従来のアクティブマトリクス方式の有機ＥＬ表示装置のバイアス配線６７は、画素領域の一辺に配置された共通配線上の一節点と接続し、この共通配線がバイアス電圧源６１０の出力端子に接続する配線構造であったが、図１に示す本発明の表示装置は、上下２箇所の節点（１３１Ａ，１３１Ｂ），（１３２Ａ，１３２Ｂ）・・・でバイアス配線６７と周回バイアス配線１３とが接続されている。

【００３８】走査線駆動回路６９により走査線６６が活性化されると、活性化された走査線６６に接続しているＴＦＴ６３は導通状態となり、データ線駆動回路６８からデータ線６５とＴＦＴ６３を介して容量６４に電流が流れ容量６４が充電される。

【００３９】一方走査線駆動回路６９により走査線６６が非活性化されると、非活性化された走査線６６に接続しているＴＦＴ６３は非導通状態となり、容量６４に充電された電荷は保持されＴＦＴ６２のゲートに接続する容量６４の端子電圧は一定となる。そして、この端子電圧がＴＦＴ６２のゲートにバイアスされ、ＴＦＴ６２のゲート電圧がしきい値よりも高くなるとＴＦＴ６２が導通し、バイアス電圧生成回路１１から共通バイアス配線１１Ｃと周回バイアス配線１３さらにバイアス配線６７を介して、ＥＬ素子６１に電流が供給され、ＥＬ素子６１は電流値に応じた輝度で発光する。

【００４０】ＥＬ素子６１に流れ込む電流Ｉｅｌは、ＴＦＴ４２のゲート電圧とソース・ドレイン間の電圧により定まるが、特許公報第２７８４６１５号または特開平１１－２３１８３５号公報に記載されている技術を用いて、ゲートに印加するパルス幅を変えて多階調を実現する場合、ＴＦＴ６２のソース・ドレイン間電圧は高々０．１～０．２Ｖ程度となり、ＥＬ素子６１のアノード６１Ａの電圧は、バイアス電圧生成回路１１から出力される出力電圧ＶｂからＴＦＴ６２のソース・ドレイン間電圧（０．１～０．２Ｖ）を引いた値となる。従って、パルス幅変調方式により階調を制御する場合、電流Ｉｅｌはバイアス電圧生成回路１１から出力される出力電圧Ｖｂにより制御される。

【００４１】言い換えるとパルス幅変調方式を用いた本発明の表示装置において、データ線６５を介して入力する画像信号に対応する階調は、ＴＦＴ６２のゲートに印加されるパルス幅により制御され、階調の基準となる輝度についてはバイアス電圧生成回路１１から出力される電圧Ｖｂにより制御される。

【００４２】図１において、周回バイアス配線１３は、配線抵抗を小さくするために低抵抗率の配線材料を主として用い、配線幅は画素領域１２内部の配線である走査線４６，バイアス配線４７よりも太くして配線される。

【００４３】従って、各画素からバイアス配線６７および周回バイアス配線１３を介してのバイアス電圧生成回路１１の出力端子までの配線抵抗は、周回バイアス配線１３の配線抵抗が小さいこと、１本のバイアス配線６７が上下２箇所の節点で周回バイアス配線で接続されていることから、従来の表示装置を構成する各画素からバイアス電圧源６１０までの配線抵抗よりも大幅に小さくなる。

【００４４】一例を挙げて具体的に説明すると、バイアス電圧生成回路１１の出力端子から低抵抗の共通バイアス配線１３Ｃと、周回バイアス配線１３を介して節点１３１Ａおよび節点１３３１Ｂを通ってバイアス配線６７に電流が流れ込み、さらにこのバイアス配線６７に接続し活性化されている画素を構成する発光素子に電流が供給される。

【００４５】従って、バイアス配線６７における電圧勾配が大幅に緩和され、発光素子に流れる電流の不均一に起因する輝度ムラが大幅に改善される。

【００４６】言い換えると、バイアス電圧生成回路１１から出力される出力電圧と、画素領域１２内部の画素の輝度、すなわちこの画素を構成する発光素子の輝度に対応する電流とが与えられた場合、これらの値を満足するように、周回バイアス配線１３と共通バイアス配線１３Ｃの配線抵抗が算出され、算出された配線抵抗値になるように周回バイアス配線１３と共通バイアス配線１３Ｃが配線される。

【００４７】なお周回バイアス配線１３は、低抵抗率を有する周回バイアス配線とバイアス配線６７または走査線６６とを縦積み構造とし、かつ縦積み配線した配線間をビアホールなどにより接続することにより並列接続とし、低抵抗化を計るようにしても良い。

【００４８】但し、走査線６６と周回バイアス配線１３とが交差する箇所については、周回バイアス配線の縦方向に並列して配置された走査線を除いて、周回バイアス配線１３と走査線６６とが短絡しないようにする。

【００４９】さらに、周回バイアス配線１３の配線面積が所定の面積よりも大きいことを利用して、周回バイアス配線１３により周回バイアス配線１３に混入するスパイク状の雑音などを除去する容量を形成することにより、バイアス配線から印加されるバイアス電圧が安定化し表示装置の画質を改善することが可能である。

【００５０】また従来の単純マトリクス方式の有機ＥＬ表示装置と従来のアクティブマトリクス方式の有機ＥＬ表示装置共通の問題として、バイアス配線の配線抵抗に

より画素の輝度が低下するのを補うために、余分にバイアス電圧源から電力を供給しなければならず、低消費電力を要求される表示装置の場合には重大な問題であったが、本発明の表示装置は、画素数が多くなってバイアス配線の配線長が長くなった場合においても、バイアス電圧生成回路１１から各画素に至るバイアス配線の配線抵抗が小さくなるので、配線部での消費電力が少なく、表示装置全体としての消費電力を低減することができる。

【００５１】次に、本発明の表示装置の第２の実施の形態について図面を参照して説明する。

【００５２】図２は、発明の表示装置の第２の実施の形態を示すブロック図を表すと共に、本実施の形態の表示装置を構成する構成要素の概略的なレイアウトを示す概略レイアウト図を表す。また、図１と共通の構成要素には共通の参照文字／数字を付してある。

【００５３】本実施の形態による表示装置は図２（ａ）に示すように、図２（ｂ）に示すＥＬ素子６１、ＴＦＴ６２，６３、容量６４を含む単位画素２１とデータ線接続部２１Ａと走査線接続部２１Ｂとバイアス配線接続部２１Ｃとからなる画素をマトリクス状に配列している。

【００５４】さらに走査線６６に平行して配線抵抗が小さいバイアスバス配線１４が配列されており、バイアスバス配線１４と周回バイアス配線１３とは、節点１４１Ａ，１４１Ｂ、節点１４２Ａ，１４２Ｂ・・・などで接続されている。

【００５５】またバイアス配線６７とバイアスバス配線１４は、互いに交差する箇所で接続されている。すなわち、画素のｍ（ｍは整数）行毎にバイアスバス配線を設けることにより、抵抗率が高い配線であるバイアス配線の配線抵抗に寄与する配線長が短くなるので、単位画素２１からバイアスバス配線１４，さらに周回バイアス配線１３および共通バイアス配線１３Ｃを介してバイアス電圧生成回路１１に至る配線経路の配線抵抗を、大幅に小さくすることができる。

【００５６】なお上記の説明において、ｍ行毎に１本のバイアスバス配線１４を設けるとして説明したが、ｍ１行，ｍ２行、・・・（ｍ１，ｍ２・・・は整数）毎にバイアスバス配線１４を設けるようにしても良い。このようなバイアスバス配線を設けることにより、単位画素２１からバイアス電圧生成回路１１に至る各配線では電流密度がそれぞれ異なることを考慮して、実質的な配線抵抗を均等になるように設定することが可能である。

【００５７】次に、本発明の表示装置の第３の実施の形態について図面を参照して説明する。

【００５８】図３は、発明の表示装置の第３の実施の形態を示すブロック図を表すと共に、本実施の形態の表示装置を構成する構成要素の概略的なレイアウトを示す概略レイアウト図を表す。また、図１と共通の構成要素には共通の参照文字／数字を付してある。

【００５９】本実施の形態による表示装置は図３に示すように、バイアス電圧生成回路１１に近い周回バイアス配線の配線幅が広く、バイアス電圧生成回路１１に遠い周回バイアス配線の配線幅が狭くなるように設定されている。

【００６０】図３では、上辺部の周回バイアス配線３１、左辺部の周回バイアス配線３２、右辺部の周回バイアス配線３３、下辺部の周回バイアス配線３４の配線幅は、それぞれ一定として図示しているが、上辺部の周回バイアス配線３１の左方を広く逆に右方を狭くなるように配線幅にテーパを設けても良い。

【００６１】このようにバイアス電圧生成回路１１に近い周回バイアス配線の配線幅が広く、バイアス電圧生成回路１１に遠い周回バイアス配線の配線幅が狭くなるようにすることにより、バイアス電圧生成回路１１から各画素に流れる各配線部における電流密度の相違を考慮して、バイアス電圧生成回路１１から各画素に至る配線抵抗がそれぞれ均等になるようにすることが可能である。

【００６２】次に、本発明の表示装置の第４の実施の形態について図面を参照して説明する。

【００６３】図４は、発明の表示装置の第４の実施の形態を示すブロック図を表すと共に、本実施の形態の表示装置を構成する構成要素の概略的なレイアウトを示す概略レイアウト図を表す。また、図１と共通の構成要素には共通の参照文字／数字を付してある。

【００６４】図１に示す表示装置を構成するバイアス配線６７の共通配線である共通バイアス配線１３Ｃは、バイアス電圧生成回路１１の出力端子に１本だけ接続しているのに対し、図４に示す表示装置を構成する複数の共通バイアス配線４４Ａ，４４Ｂ，４４Ｃ～４４Ｎ（図４ではＮ＝Ｃすなわち３本として記載しているが、一般的には任意の本数でよい）は、バイアス電圧生成回路４１の異なる出力端子にそれぞれ接続している点が異なっている。

【００６５】また共通バイアス配線４４Ａ～４４Ｃは、画素領域１２の外側に独立して配置されているリング状の周回バイアス配線４３Ａ～４３Ｃにそれぞれ接続し、さらに周回バイアス配線４３Ａ～４３Ｃにはそれぞれデータ線４２Ａ～４２Ｃが上下２つの交差箇所において接続されている。

【００６６】このような構成を用いることにより、同時に一列ずつ独立にＥＬ素子に流す電流を制御することができるため、同時に一列ずつのＥＬ素子の輝度を独立に制御することができる。

【００６７】一例としてＮ＝３とし、左端の列に赤（Ｒ）を発光させるＥＬ素子を、その右隣に緑（Ｇ）を発光させるＥＬ素子を、さらにその右隣に青（Ｂ）を発光させるＥＬ素子を配列し、Ｒ，Ｇ，Ｂの列を単位として配列を繰り返して表示装置を構成した場合、Ｒ，Ｇ，Ｂを発光するＥＬ素子の発光効率が累積発光時間の増大と共に低下し、ＥＬ素子が劣化した場合でもＲ，Ｇ，Ｂ

のＥＬ素子の輝度を独立に制御することが可能なので、色バランスを常時最適に補正することができる。

【００６８】本実施の形態による表示装置は、同時に一列ずつ独立にＥＬ素子に流す電流を制御することができるため、同時に一列ずつのＥＬ素子の輝度を独立に制御することができるのみならず、周回バイアス配線４３Ａ～４３Ｃを設けることにより、バイアス配線４２Ａ～４２Ｃにおける電圧勾配が大幅に緩和され、電圧勾配とこれに伴う発光素子に流れる電流の不均一に起因する輝度ムラが大幅に改善される。

【００６９】なお図４では記載されていないが、左端の列から右に４～６列目のバイアス配線は、それぞれ周回バイアス配線４３Ａ～４３Ｃに接続され、以下同様な接続方法が繰り返される。

【００７０】また本発明の表示装置は、画素数が多くなってバイアス配線の配線長が長くなった場合においても、バイアス電圧生成回路から各画素に至るバイアス配線の配線抵抗が小さくなるので、配線部での消費電力が少なく、表示装置全体としての消費電力を低減することができる。

【００７１】次に図示していないが第５の実施の形態として、図２に示すバイアスバス配線１４を図４に示す表示装置に設けることも可能である。この場合、バイアスバス配線は周回バイアス配線毎に独立して設けるようにする。

【００７２】これにより、抵抗率が高い配線であるバイアス配線の配線抵抗に寄与する配線長が短くなるので、各画素からバイアスバス配線，さらに周回バイアス配線４３Ａ～４３Ｃおよび共通バイアス配線４４Ａ～４４Ｃを介してバイアス電圧生成回路４１に至る配線経路の配線抵抗を、大幅に小さくすることができる。

【００７３】また発光素子としてＥＬ素子を用いて説明したが、ＥＬ素子に限らず他の発光素子を用いても本発明の表示装置は同様に適用できる。

【００７４】また図４において、同列に属するＴＦＴ６２のソースまたはドレインを共通のバイアス配線４２Ａ～４２Ｃに接続したが、バイアス配線４２Ａ～４２Ｃの接続方法を変更し、同行に属するＴＦＴ６２のソースまたはドレインを共通のバイアス配線４２Ａ～４２Ｃにそれぞれ接続するようにしても同様な効果が得られる。

【００７５】また図１～図４において、周回バイアス配線１３，３１～３４，４３Ａ～４３Ｃを閉じたリング状の配線として説明したが、必ずしも完全に閉じたループを構成している必要はなく、画素領域１２をループ状に囲っていれば本発明は同様に適用できる。

【００７６】

【発明の効果】以上説明したように、本発明による表示装置は、画素数が多くなってバイアス配線の配線長が長くなった場合においても、バイアス電圧生成回路から各画素に至るバイアス配線の配線抵抗を小さくすると共に*均一化し、バイアス配線の配線抵抗に起因し発光素子に流れる電流の減少による輝度の低下や、バイアス電圧源から各画素に至るバイアス配線の配線抵抗の不均一による表示画面の輝度ムラを改善供することができる。

【００７７】また、バイアス配線の配線抵抗を小さくして配線による消費電力を小さくし、消費電力を低減することが可能である。

【００７８】さらにバイアス配線の消費電力が小さいので、配線の配線寿命が長いという効果が得られる。

【００７９】また、周回バイアス配線の配線面積が大きいことを利用して、周回バイアス配線により周回バイアス配線に混入するスパイク状の雑音などを除去する容量を形成することにより、バイアス配線から印加されるバイアス電圧が安定化し表示装置の画質を改善することが可能である。

【００８０】また、画素を構成する発光素子のバイアス電圧を制御して発光素子に流れる電流を変え、発光素子の発光効率が累積発光時間の増大と共に低下し、発光素子が劣化した場合でも、色バランスを常に最適に補正することができる。

【図面の簡単な説明】

【図１】本発明の表示装置の第１の実施の形態を示すブロック図並びに、本実施の形態の表示装置を構成する構成要素の概略的なレイアウトを示す概略レイアウト図である。

【図２】本発明の表示装置の第２の実施の形態を示すブロック図並びに、本実施の形態の表示装置を構成する構成要素の概略的なレイアウトを示す概略レイアウト図である。

【図３】本発明の表示装置の第３の実施の形態を示すブロック図並びに、本実施の形態の表示装置を構成する構成要素の概略的なレイアウトを示す概略レイアウト図である。

【図４】本発明の表示装置の第４の実施の形態を示すブロック図並びに、本実施の形態の表示装置を構成する構成要素の概略的なレイアウトを示す概略レイアウト図である。

【図５】従来の単純マトリクス型有機ＥＬ表示装置を示すブロック図である。

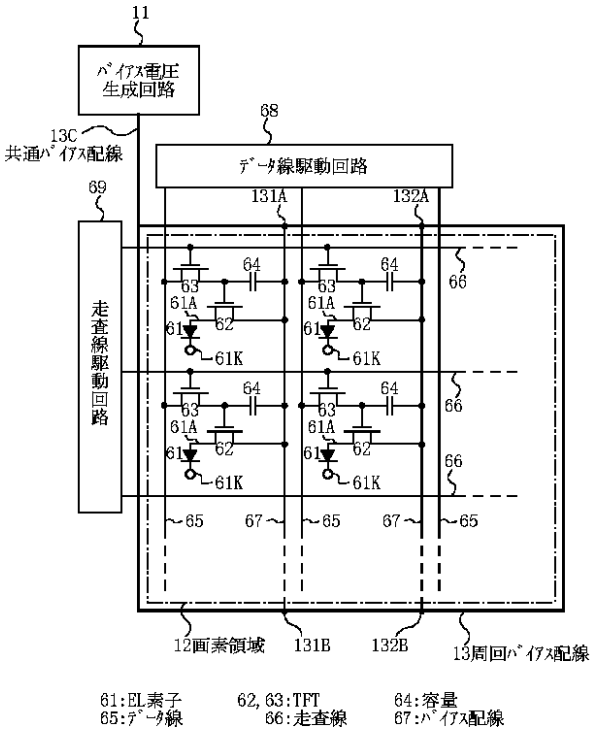
【図６】従来のアクティブマトリクス型有機ＥＬ表示装置を示すブロック図である。

【符号の説明】

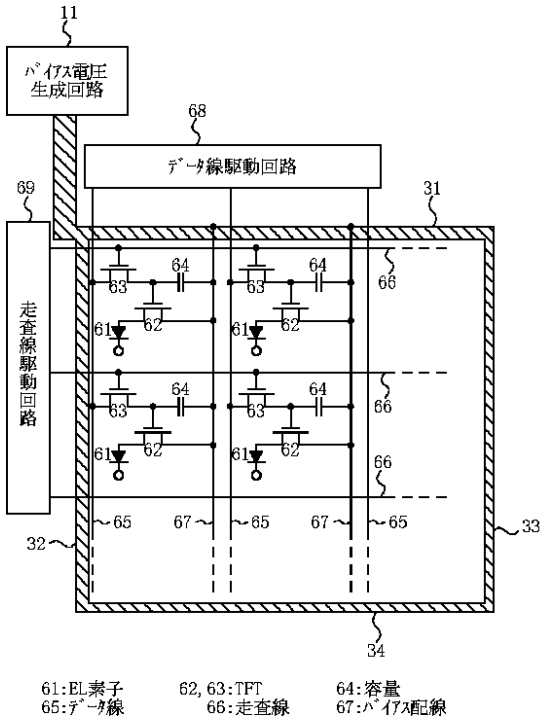
１１，４１　　バイアス電圧生成回路
１２　　画素領域
１３，３１～３４，４３Ａ～４３Ｃ　　周回バイアス配線
１３Ｃ，４４Ａ～４４Ｃ　　共通バイアス配線
１４　　バイアスバス配線
２１　　単位画素
２１Ａ　　データ線接続部

２１Ｂ　走査線接続部
２１Ｃ　バイアス配線接続部
４２Ａ～４２Ｃ，６７　バイアス配線
５１，６１　ＥＬ素子
６２，６３　ＴＦＴ
５２，６４　容量
*５３，６５　データ線
５４，６６　走査線
５５，６８　データ線駆動回路
５６，６９　走査線駆動回路
６１０　バイアス電圧源
*

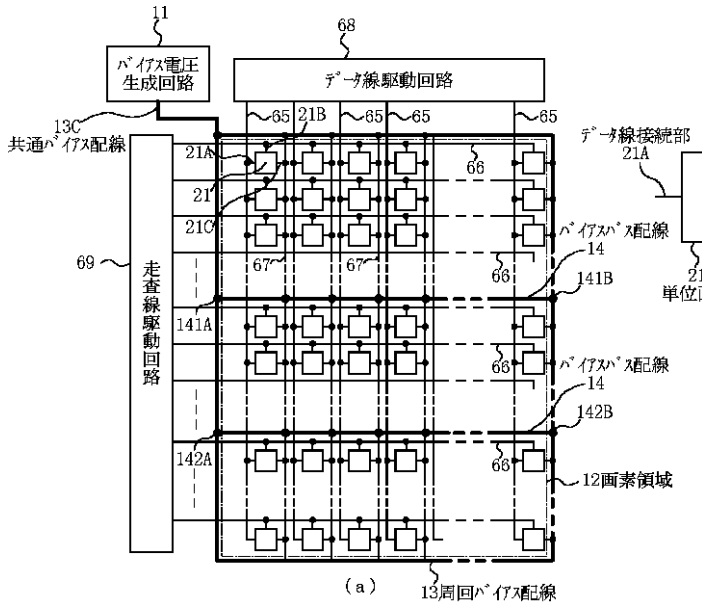
【図１】



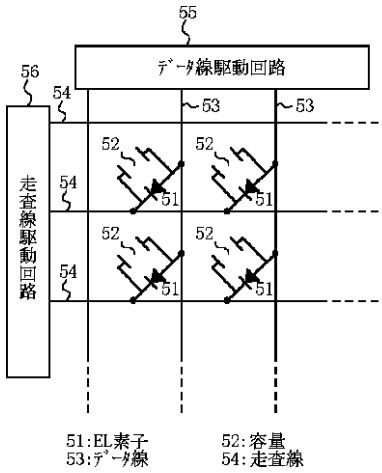
【図３】



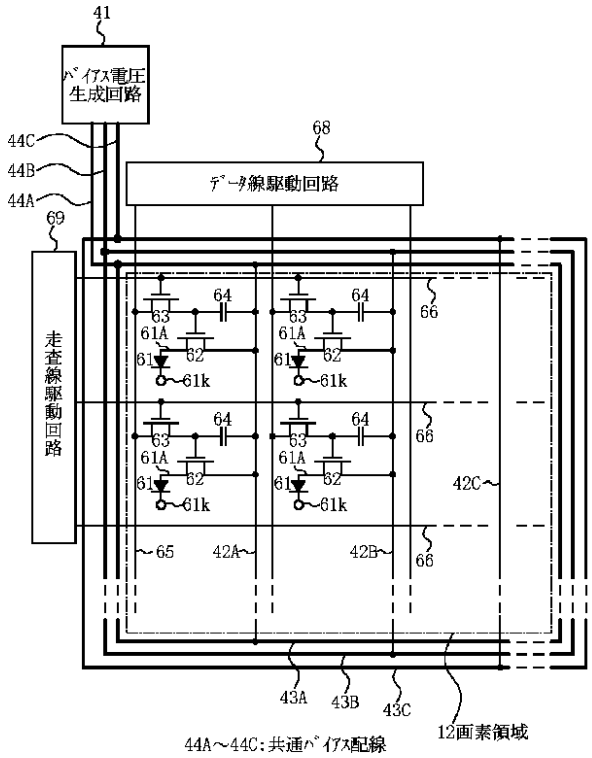
【図２】



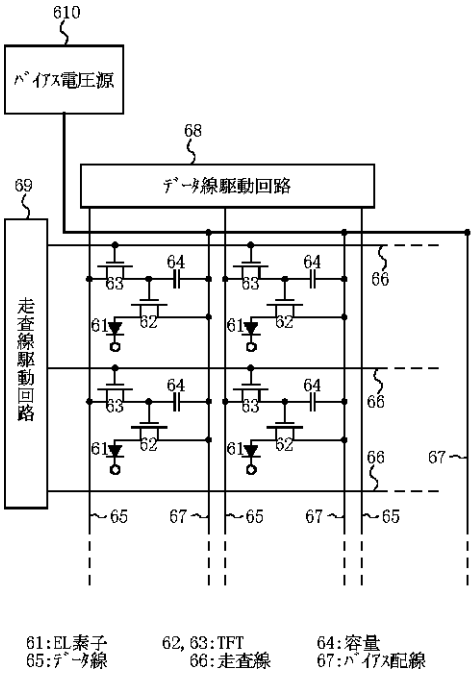
【図５】



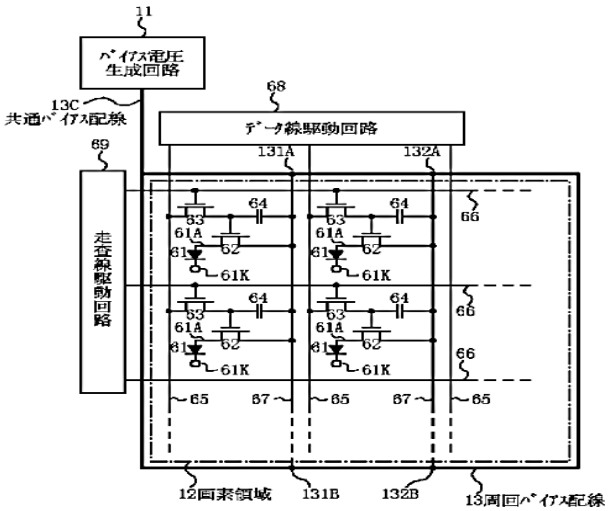
【図４】


41
ﾊﾞｲｱｽ電圧
生成回路
44C
44B
44A
69
68
ﾃﾞｰﾀ線駆動回路
走査線駆動回路
63
64
61A
61
62
61k
66
42C
65
42A
42B
43A
43B
43C
12画素領域
44A～44C:共通ﾊﾞｲｱｽ配線

【図６】


610
ﾊﾞｲｱｽ電圧源
68
ﾃﾞｰﾀ線駆動回路
69
走査線駆動回路
63
64
61
62
66
65
67
61:EL素子
62,63:TFT
64:容量
65:ﾃﾞｰﾀ線
66:走査線
67:ﾊﾞｲｱｽ配線

专利名称(译)	表示装置		
公开(公告)号	JP2002040961A	公开(公告)日	2002-02-08
申请号	JP2000228405	申请日	2000-07-28
申请(专利权)人(译)	NEC公司		
[标]发明人	橋本義春		
发明人	橋本 義春		
IPC分类号	G09G3/20 G09F9/30 G09G3/30 G09G3/32 H01L27/32		
CPC分类号	G09G3/3233 G09G2300/0417 G09G2300/0426 G09G2300/0842 G09G2320/0223 G09G2330/02		
FI分类号	G09F9/30.338 G09F9/30.365.Z G09G3/20.621.M G09G3/20.680.G G09G3/30.Z G09F9/30.365 G09G3/20.611.J G09G3/20.612.E G09G3/20.642.A G09G3/3216 G09G3/3233 G09G3/3266 G09G3/3275 H01L27/32 H05B33/06 H05B33/14.A H05B33/22.Z		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ06 5C080/KK07 5C080/KK47 5C094/AA03 5C094/BA03 5C094/BA27 5C094/BA43 5C094/CA19 5C094/EA04 5C094/EA07 5C094/GA10 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC08 3K107/CC14 3K107/CC16 3K107/CC33 3K107/CC35 3K107/DD39 3K107/EE03 3K107/FF04 3K107/FF15 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AA02 5C380/AB05 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB24 5C380/AB34 5C380/AC11 5C380/AC12 5C380/BA08 5C380/BA19 5C380/BA28 5C380/BA45 5C380/BB01 5C380/BB13 5C380/CA08 5C380/CA11 5C380/CB01 5C380/CC02 5C380/CC26 5C380/CC33 5C380/CC62 5C380/CD012 5C380/CE04 5C380/DA02 5C380/DA06 5C380/DA07		
其他公开文献	JP4593740B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示装置，该显示装置减少由于偏置布线的电阻引起的流过发光元件的电流的减少而导致的亮度降低，以及由偏置布线的电阻的不均匀性引起的显示图像的不均匀亮度通过使偏置布线的电阻从偏置电压产生电路减小并均匀化到每个像素，即使当偏移像素增加并且偏置布线长度必须更长时，也可以从偏置电压源到每个像素。解决方案：EL元件61，TFT 62,63，数据线65，扫描线66，偏置布线67以矩阵形式布置，并且周向偏置布线13和在像素区域12外部以环形布置的偏置布线连接在节点131A，.....和132A .....处，通过该布线结构，可以减小偏置布线67的高电阻。