

(19) 日本国特許庁 (JP)

再 公 表 特 許 (A1)

(11) 国際公開番号

W02013/073466

発行日 平成27年4月2日 (2015.4.2)

(43) 国際公開日 平成25年5月23日 (2013.5.23)

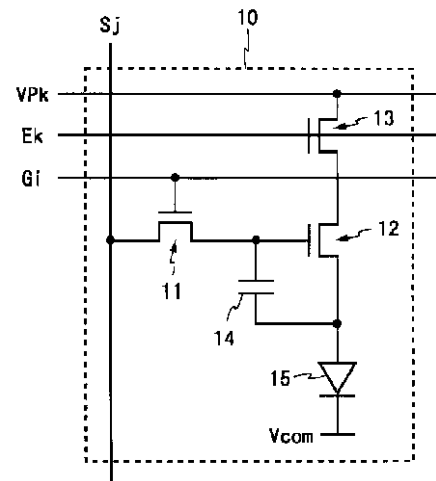
(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 622C	5C380
	G09G 3/20 622D	
	G09G 3/20 611H	
審査請求 有 予備審査請求 未請求 (全 55 頁) 最終頁に続く		

出願番号	特願2013-544243 (P2013-544243)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2012/079102		シャープ株式会社
(22) 国際出願日	平成24年11月9日 (2012.11.9)		大阪府大阪市阿倍野区長池町22番22号
(11) 特許番号	特許第5680218号 (P5680218)	(74) 代理人	100104695
(45) 特許公報発行日	平成27年3月4日 (2015.3.4)		弁理士 島田 明宏
(31) 優先権主張番号	特願2011-252113 (P2011-252113)	(74) 代理人	100121348
(32) 優先日	平成23年11月17日 (2011.11.17)		弁理士 川原 健児
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100114247
			弁理士 奥田 邦廣
		(74) 代理人	100148459
			弁理士 河本 悟
		(72) 発明者	岸 宣孝
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム (参考)	3K107 AA01 BB01 CC31 EE03 HH05
			最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

画素回路10には電源線VPkと共通電位Vcomを有する電極とを結ぶ電流経路上に、TFT12、13と有機EL素子15が設けられている。表示装置100は、複数行の画素回路10に対する初期化を同時に行い、複数行の画素回路10に対する閾値検出を同時に行い、画素回路10に対するデータ書き込みを行ごとに順に行い、複数行の画素回路10に含まれる有機EL素子15を同じ期間で発光させる。閾値検出完了から発光開始までの期間では、TFT11、13をオフ状態に制御し、電源線VPkに共通電位Vcomにほぼ等しい電位VP_Cを印加する。これにより、TFT12、13を流れるリーク電流を抑制し、待機期間における画素回路10内のノード電位の変動を防止する。



【特許請求の範囲】

【請求項 1】

電流駆動型の表示装置であって、
行方向と列方向に並べて配置された複数の画素回路と、
同じ行の画素回路に接続された複数の走査信号線と、
同じ列の画素回路に接続された複数のデータ信号線と、
複数行の画素回路に接続された 1 本以上の制御線と、
複数行の画素回路に接続された 1 本以上の電源線と、
前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、
前記電源線に複数の電位を切り替えて印加する電源回路とを備え、
前記画素回路は、

10

前記電源線と共通電位が印加される導電性部材とを結ぶ電流経路上に、一端を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他端に接続して設けられた駆動用トランジスタとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第 1 電位を印加することを特徴とする、表示装置。

20

【請求項 2】

前記発光素子の他端は、前記共通電位が固定的に印加された導電性部材に接続され、
前記画素回路は、

前記データ信号線と前記駆動用トランジスタの制御端子との間に設けられ、前記走査信号線に接続された制御端子を有する書き込み制御トランジスタと、

前記電流経路上に、前記電源線と前記駆動用トランジスタの他方の導通端子との間に設けられ、前記制御線に接続された制御端子を有する発光制御トランジスタと、

前記駆動用トランジスタの制御端子と前記発光素子側の導通端子との間に設けられたコンデンサとをさらに含むことを特徴とする、請求項 1 に記載の表示装置。

30

【請求項 3】

初期化期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオン状態であり、前記データ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期化用の第 2 電位が印加され、

閾値検出期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオン状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に閾値検出用の第 3 電位が印加され、

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオフ状態であり、

40

データ書き込み期間では、前記書き込み制御トランジスタはオン状態であり、前記発光制御トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタはオフ状態であり、前記発光制御トランジスタはオン状態であり、前記電源線に発光用の第 4 電位が印加されるように、前記画素回路が制御されることを特徴とする、請求項 2 に記載の表示装置。

【請求項 4】

前記閾値検出用電位は、前記共通電位に前記駆動用トランジスタの閾値電圧を加算した電位であることを特徴とする、請求項 3 に記載の表示装置。

【請求項 5】

50

前記発光素子の他端は、前記共通電位が固定的に印加された導電性部材に接続され、
前記駆動用トランジスタの他方の導通端子は、前記電源線に接続され、
前記画素回路は、

一端が前記駆動用トランジスタの制御端子に接続された第 1 のコンデンサと、
前記第 1 のコンデンサの他端と前記データ信号線との間に設けられ、前記走査信号線
に接続された制御端子を有する書き込み制御トランジスタと、
前記駆動用トランジスタの制御端子と前記発光素子側の導通端子との間に設けられ、
前記制御線に接続された制御端子を有する閾値検出用トランジスタと、
前記第 1 のコンデンサの他端と所定電位を有する他の電源線との間に設けられた第 2
のコンデンサとをさらに含むことを特徴とする、請求項 1 に記載の表示装置。

10

【請求項 6】

初期化期間の前半部では、前記書き込み制御トランジスタはオン状態であり、前記電源
線に前記第 1 電位が印加され

初期化期間の後半部では、前記書き込み制御トランジスタはオン状態であり、前記デー
タ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期
化用の第 2 電位が印加され、

閾値検出期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオ
ン状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に前記第 1 電
位が印加され、

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始ま
での期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状態
であり、

20

データ書き込み期間では、前記書き込み制御トランジスタはオン状態であり、前記閾値
検出用トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状
態であり、前記電源線に発光用の第 3 電位が印加されるように、前記画素回路が制御され
ることを特徴とする、請求項 5 に記載の表示装置。

【請求項 7】

前記駆動用トランジスタの他方の導通端子は、前記電源線に接続され、
前記画素回路は、

30

一端が前記駆動用トランジスタの制御端子に接続されたコンデンサと、

前記コンデンサの他端と前記データ信号線との間に設けられ、前記走査信号線に接続
された制御端子を有する書き込み制御トランジスタと、

前記駆動用トランジスタの制御端子と前記発光素子側の導通端子との間に設けられた
閾値検出用トランジスタと、

前記コンデンサの他端と前記電源線または所定電位を有する他の電源線との間に設け
られ、前記制御線に接続された制御端子を有する電源接続用トランジスタとをさらに含む
ことを特徴とする、請求項 1 に記載の表示装置。

【請求項 8】

複数行の画素回路に接続された 1 本以上の第 2 制御線をさらに備え、

40

前記閾値検出用トランジスタの制御端子は、前記第 2 制御線に接続され、

前記発光素子の他端は、前記共通電位が固定的に印加された導電性部材に接続され、

前記電源回路は、前記電源線に 3 種類の電位を切り替えて印加することを特徴とする、
請求項 7 に記載の表示装置。

【請求項 9】

初期化期間の前半部では、前記書き込み制御トランジスタはオン状態であり、前記電源
接続用トランジスタはオフ状態であり、前記電源線に前記第 1 電位が印加され、

初期化期間の後半部では、前記書き込み制御トランジスタはオン状態であり、前記電源
接続用トランジスタはオフ状態であり、前記データ信号線に前記駆動用トランジスタがオ
ン状態になる電位が印加され、前記電源線に初期化用の第 2 電位が印加され、

50

閾値検出期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に前記第 1 電位が印加され、

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記電源接続用トランジスタはオフ状態であり、

データ書き込み期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状態であり、前記電源接続用トランジスタはオン状態であり、前記電源線に発光用の第 3 電位が印加されるように、前記画素回路が制御されることを特徴とする、請求項 8 に記載の表示装置。

【請求項 10】

複数行の画素回路に接続された 1 本以上の第 2 制御線と、

複数行の画素回路に接続され、前記導電性部材として機能する 1 本以上の第 2 電源線とをさらに備え、

前記閾値検出用トランジスタの制御端子は、前記第 2 制御線に接続され、

前記発光素子の他端は、前記第 2 電源線に接続され、

前記電源回路は、前記電源線と前記第 2 電源線にそれぞれ 2 種類の電位を切り替えて印加することを特徴とする、請求項 7 に記載の表示装置。

【請求項 11】

前記閾値検出用トランジスタの制御端子は、前記走査信号線に接続され、

前記発光素子の他端は、前記共通電位が固定的に印加される導電性部材に接続され、

前記電源回路は、前記電源線に 3 種類の電位を切り替えて印加することを特徴とする、請求項 7 に記載の表示装置。

【請求項 12】

行方向と列方向に並べて配置された複数の画素回路と、同じ行の画素回路に接続された複数の走査信号線と、同じ列の画素回路に接続された複数のデータ信号線と、複数行の画素回路に接続された 1 本以上の制御線と、複数行の画素回路に接続された 1 本以上の電源線とを有する電流駆動型の表示装置の駆動方法であって、

前記画素回路は、

前記電源線と共通電位が印加される導電性部材とを結ぶ電流経路上に、一端を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他端に接続して設けられた駆動用トランジスタとを含み、

前記走査信号線、前記データ信号線および前記制御線を駆動する駆動ステップと、

前記電源線に複数の電位を切り替えて印加する電源制御ステップとを備え、

前記駆動ステップと前記電源制御ステップは、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源制御ステップは、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい電位を印加することを特徴とする、表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、より特定的には、有機 EL ディスプレイなどの電流駆動型の表示装置およびその駆動方法に関する。

10

20

30

40

50

【背景技術】

【0002】

薄型、高画質、低消費電力の表示装置として、有機EL (Electro Luminescence) ディスプレイが知られている。有機ELディスプレイは、有機EL素子、駆動用トランジスタ、および、制御用トランジスタを含む複数の画素回路を備えている。画素回路内のトランジスタには、薄膜トランジスタ (Thin Film Transistor: 以下、TFTという) が用いられる。

【0003】

有機ELディスプレイでは、画素回路内の駆動用トランジスタの閾値電圧や移動度にばらつきが生じる。このため、画素回路に同じデータ電位を書き込んでも、有機EL素子を流れる電流の量にばらつきが生じる。有機EL素子の輝度は有機EL素子を流れる電流の量に応じて変化するので、有機EL素子を流れる電流の量にばらつきが生じると、表示画面に輝度むらが発生する。したがって、有機ELディスプレイで高画質表示を行うためには、駆動用トランジスタの特性を補償する必要がある。駆動用トランジスタの特性を補償する有機ELディスプレイは、例えば、特許文献1に記載されている。

10

【0004】

これとは別に、すべての有機EL素子を同じ期間で発光させる有機ELディスプレイが知られている (例えば、特許文献2、3)。特許文献2、3に記載された有機ELディスプレイは、1フレーム期間の先頭ですべての画素回路に対する初期化を同時に行うと共に、すべての画素回路に対する閾値検出を同時に行い、次に画素回路に対するデータ書き込みを行ごとに順に行い、次にすべての画素回路に含まれる有機EL素子を同じ期間で発光させる。図23は、特許文献2に記載された画素回路の回路図である。図23に示す画素回路は、TFT91~93、コンデンサ94、および、有機EL素子95を含んでいる。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】日本国特開2007-148129号公報

【特許文献2】日本国特開2011-34038号公報

【特許文献3】日本国特開2011-34039号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0006】

有機ELディスプレイの画素回路は、初期化、閾値検出およびデータ書き込みのとき以外は画素回路内のノード電位を保持する必要がある。特に、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる有機EL素子を同じ期間で発光させる有機ELディスプレイでは、閾値検出完了から発光開始までの待機期間において、画素回路内のノード電位を保持する必要がある。しかしながら、この種の有機ELディスプレイでは、待機期間においてTFTに無視できない程度のリーク電流が流れ、画素回路内のノード電位が変動することが問題となる。例えば、図23に示す画素回路では、待機期間ではTFT91、93はオフ状態になり、有機EL素子T95のアノード端子はフローティング状態になる。待機期間においてTFT93にリーク電流が流れると、有機EL素子T95のアノード電位が変動する。有機ELディスプレイにおいて画素回路内のノード電位が変動すると、表示画面の輝度が変動する。

40

【0007】

それ故に、本発明は、待機期間における画素回路内のノード電位の変動を防止した表示装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の第1の局面は、電流駆動型の表示装置であって、

50

行方向と列方向に並べて配置された複数の画素回路と、
同じ行の画素回路に接続された複数の走査信号線と、
同じ列の画素回路に接続された複数のデータ信号線と、
複数行の画素回路に接続された１本以上の制御線と、
複数行の画素回路に接続された１本以上の電源線と、
前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、
前記電源線に複数の電位を切り替えて印加する電源回路とを備え、
前記画素回路は、

前記電源線と共通電位が印加される導電性部材とを結ぶ電流経路上に、一端を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他端に接続して設けられた駆動用トランジスタとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行うごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第１電位を印加することを特徴とする。

【０００９】

本発明の第２の局面は、本発明の第１の局面において、

前記発光素子の他端は、前記共通電位が固定的に印加された導電性部材に接続され、
前記画素回路は、

前記データ信号線と前記駆動用トランジスタの制御端子との間に設けられ、前記走査信号線に接続された制御端子を有する書き込み制御トランジスタと、

前記電流経路上に、前記電源線と前記駆動用トランジスタの他方の導通端子との間に設けられ、前記制御線に接続された制御端子を有する発光制御トランジスタと、

前記駆動用トランジスタの制御端子と前記発光素子側の導通端子との間に設けられたコンデンサとをさらに含むことを特徴とする。

【００１０】

本発明の第３の局面は、本発明の第２の局面において、

初期化期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオン状態であり、前記データ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期化用の第２電位が印加され、

閾値検出期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオン状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に閾値検出用の第３電位が印加され、

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオフ状態であり、

データ書き込み期間では、前記書き込み制御トランジスタはオン状態であり、前記発光制御トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタはオフ状態であり、前記発光制御トランジスタはオン状態であり、前記電源線に発光用の第４電位が印加されるように、前記画素回路が制御されることを特徴とする。

【００１１】

本発明の第４の局面は、本発明の第３の局面において、

前記閾値検出用電位は、前記共通電位に前記駆動用トランジスタの閾値電圧を加算した電位であることを特徴とする。

【００１２】

10

20

30

40

50

本発明の第 5 の局面は、本発明の第 1 の局面において、
前記発光素子の他端は、前記共通電位が固定的に印加された導電性部材に接続され、
前記駆動用トランジスタの他方の導通端子は、前記電源線に接続され、
前記画素回路は、

一端が前記駆動用トランジスタの制御端子に接続された第 1 のコンデンサと、

前記第 1 のコンデンサの他端と前記データ信号線との間に設けられ、前記走査信号線に接続された制御端子を有する書き込み制御トランジスタと、

前記駆動用トランジスタの制御端子と前記発光素子側の導通端子との間に設けられ、前記制御線に接続された制御端子を有する閾値検出用トランジスタと、

前記第 1 のコンデンサの他端と所定電位を有する他の電源線との間に設けられた第 2 のコンデンサとをさらに含むことを特徴とする。

10

【 0 0 1 3 】

本発明の第 6 の局面は、本発明の第 5 の局面において、

初期化期間の前半部では、前記書き込み制御トランジスタはオン状態であり、前記電源線に前記第 1 電位が印加され

初期化期間の後半部では、前記書き込み制御トランジスタはオン状態であり、前記データ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期化用の第 2 電位が印加され、

閾値検出期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオン状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に前記第 1 電位が印加され、

20

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状態であり、

データ書き込み期間では、前記書き込み制御トランジスタはオン状態であり、前記閾値検出用トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状態であり、前記電源線に発光用の第 3 電位が印加されるように、前記画素回路が制御されることを特徴とする。

【 0 0 1 4 】

30

本発明の第 7 の局面は、本発明の第 1 の局面において、

前記駆動用トランジスタの他方の導通端子は、前記電源線に接続され、

前記画素回路は、

一端が前記駆動用トランジスタの制御端子に接続されたコンデンサと、

前記コンデンサの他端と前記データ信号線との間に設けられ、前記走査信号線に接続された制御端子を有する書き込み制御トランジスタと、

前記駆動用トランジスタの制御端子と前記発光素子側の導通端子との間に設けられた閾値検出用トランジスタと、

前記コンデンサの他端と前記電源線または所定電位を有する他の電源線との間に設けられ、前記制御線に接続された制御端子を有する電源接続用トランジスタとをさらに含むことを特徴とする。

40

【 0 0 1 5 】

本発明の第 8 の局面は、本発明の第 7 の局面において、

複数行の画素回路に接続された 1 本以上の第 2 制御線をさらに備え、

前記閾値検出用トランジスタの制御端子は、前記第 2 制御線に接続され、

前記発光素子の他端は、前記共通電位が固定的に印加された導電性部材に接続され、

前記電源回路は、前記電源線に 3 種類の電位を切り替えて印加することを特徴とする。

【 0 0 1 6 】

本発明の第 9 の局面は、本発明の第 8 の局面において、

初期化期間の前半部では、前記書き込み制御トランジスタはオン状態であり、前記電源

50

接続用トランジスタはオフ状態であり、前記電源線に前記第 1 電位が印加され、

初期化期間の後半部では、前記書き込み制御トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期化用の第 2 電位が印加され、

閾値検出期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に前記第 1 電位が印加され、

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記電源接続用トランジスタはオフ状態であり、

データ書き込み期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状態であり、前記電源接続用トランジスタはオン状態であり、前記電源線に発光用の第 3 電位が印加されるように、前記画素回路が制御されることを特徴とする。

【0017】

本発明の第 10 の局面は、本発明の第 7 の局面において、

複数行の画素回路に接続された 1 本以上の第 2 制御線と、

複数行の画素回路に接続され、前記導電性部材として機能する 1 本以上の第 2 電源線とをさらに備え、

前記閾値検出用トランジスタの制御端子は、前記第 2 制御線に接続され、

前記発光素子の他端は、前記第 2 電源線に接続され、

前記電源回路は、前記電源線と前記第 2 電源線にそれぞれ 2 種類の電位を切り替えて印加することを特徴とする。

【0018】

本発明の第 11 の局面は、本発明の第 7 の局面において、

前記閾値検出用トランジスタの制御端子は、前記走査信号線に接続され、

前記発光素子の他端は、前記共通電位が固定的に印加される導電性部材に接続され、

前記電源回路は、前記電源線に 3 種類の電位を切り替えて印加することを特徴とする。

【0019】

本発明の第 12 の局面は、行方向と列方向に並べて配置された複数の画素回路と、同じ行の画素回路に接続された複数の走査信号線と、同じ列の画素回路に接続された複数のデータ信号線と、複数行の画素回路に接続された 1 本以上の制御線と、複数行の画素回路に接続された 1 本以上の電源線とを有する電流駆動型の表示装置の駆動方法であって、

前記画素回路は、

前記電源線と共通電位が印加される導電性部材とを結ぶ電流経路上に、一端を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他端に接続して設けられた駆動用トランジスタとを含み、

前記走査信号線、前記データ信号線および前記制御線を駆動する駆動ステップと、

前記電源線に複数の電位を切り替えて印加する電源制御ステップとを備え、

前記駆動ステップと前記電源制御ステップは、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源制御ステップは、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい電位を印加することを特徴とする。

【発明の効果】

【 0 0 2 0 】

本発明の第 1 または第 1 2 の局面によれば、電源線と共通電位が印加される導電性部材とを結ぶ電流経路上に発光素子と駆動用トランジスタを直列に接続して設けた画素回路について、閾値検出完了から発光開始までの期間では、電源線に共通電位にほぼ等しい電位を印加することにより、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

【 0 0 2 1 】

本発明の第 2 または第 3 の局面によれば、3 個のトランジスタと 1 個のコンデンサと発光素子を含む画素回路について、閾値検出完了から発光開始までの期間では、画素回路に接続される電源線に共通電位にほぼ等しい電位を印加することにより、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

10

【 0 0 2 2 】

本発明の第 4 の局面によれば、待機期間において発光素子を経由する電流を流れにくくし、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

【 0 0 2 3 】

本発明の第 5 または第 6 の局面によれば、3 個のトランジスタと 2 個のコンデンサと発光素子を含む画素回路について、閾値検出完了から発光開始までの期間では、画素回路に接続される電源線に共通電位にほぼ等しい電位を印加することにより、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

20

【 0 0 2 4 】

本発明の第 7 の局面によれば、4 個のトランジスタと 1 個のコンデンサと発光素子を含む画素回路について、閾値検出完了から発光開始までの期間では、画素回路に接続される電源線に共通電位にほぼ等しい電位を印加することにより、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

【 0 0 2 5 】

本発明の第 8 または第 9 の局面によれば、複数行の画素回路に接続された 2 種類の制御線と複数行の画素回路に接続された 1 種類の電源線を用いて、複数行の画素回路内の発光素子を同じ期間で発光させる表示装置を構成することができる。1 種類の電源線を用いることにより、電源線のレイアウト面積を減らすことができる。

30

【 0 0 2 6 】

本発明の第 1 0 の局面によれば、複数行の画素回路に接続された 2 種類の制御線と複数行の画素回路に接続された 2 種類の電源線を用いて、複数行の画素回路内の発光素子を同じ期間で発光させる表示装置を構成することができる。2 種類の電位を切り替えて印加する電源回路を用いることにより、電源回路の構成を簡単にすることができる。

【 0 0 2 7 】

本発明の第 1 1 の局面によれば、複数行の画素回路に接続された 1 種類の制御線と複数行の画素回路に接続された 1 種類の電源線を用いて、複数行の画素回路内の発光素子を同じ期間で発光させる表示装置を構成することができる。1 種類の制御線と 1 種類の電源線を用いることにより、制御線と電源線のレイアウト面積を減らし、駆動回路の構成を簡単にすることができる。

40

【 図面の簡単な説明 】

【 0 0 2 8 】

【 図 1 】 本発明の第 1 の実施形態に係る表示装置の構成を示すブロック図である。

【 図 2 】 図 1 に示す表示装置に含まれる画素回路の回路図である。

【 図 3 】 図 1 に示す表示装置の制御線と電源線の接続形態を示す図である。

【 図 4 】 図 1 に示す表示装置の各行の画素回路の動作を示す図である。

【 図 5 】 図 1 に示す表示装置のタイミングチャートである。

50

- 【図 6】第 1 変形例に係る表示装置の制御線と電源線の接続形態を示す図である。
- 【図 7】第 1 変形例に係る表示装置の各行の画素回路の動作を示す図である。
- 【図 8】第 2 変形例に係る表示装置の制御線と電源線の接続形態を示す図である。
- 【図 9】第 2 変形例に係る表示装置の各行の画素回路の動作を示す図である。
- 【図 10】第 3 変形例に係る表示装置の制御線と電源線の接続形態を示す図である。
- 【図 11】第 3 変形例に係る表示装置の各行の画素回路の動作を示す図である。
- 【図 12】本発明の第 2 の実施形態に係る表示装置の構成を示すブロック図である。
- 【図 13】図 12 に示す表示装置に含まれる画素回路の回路図である。
- 【図 14】図 12 に示す表示装置のタイミングチャートである。
- 【図 15】本発明の第 3 の実施形態に係る表示装置の構成を示すブロック図である。
- 【図 16】図 15 に示す表示装置に含まれる画素回路の回路図である。
- 【図 17】図 15 に示す表示装置の制御線と電源線の接続形態を示す図である。
- 【図 18】図 15 に示す表示装置のタイミングチャートである。
- 【図 19】第 1 変形例に係る表示装置に含まれる画素回路の回路図である。
- 【図 20】第 2 変形例に係る表示装置に含まれる画素回路の回路図である。
- 【図 21】第 3 変形例に係る表示装置に含まれる画素回路の回路図である。
- 【図 22】第 4 変形例に係る表示装置に含まれる画素回路の回路図である。
- 【図 23】従来 of 表示装置に含まれる画素回路の回路図である。

【発明を実施するための形態】

【0029】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係る表示装置の構成を示すブロック図である。図 1 に示す表示装置 100 は、表示制御回路 1、走査信号線駆動回路 2、制御回路 3、電源回路 4、データ信号線駆動回路 5、および、 $(m \times n)$ 個の画素回路 10 を備えた有機 EL ディスプレイである。有機 EL ディスプレイは、電流駆動型の表示装置の一種である。以下、 m および n は 2 以上の整数、 i および q は 1 以上 n 以下の整数、 j は 1 以上 m 以下の整数、 k は 1 以上 q 以下の整数であるとする。

【0030】

表示装置 100 には、 n 本の走査信号線 $G_1 \sim G_n$ と m 本のデータ信号線 $S_1 \sim S_m$ が設けられる。走査信号線 $G_1 \sim G_n$ は互いに平行に配置され、データ信号線 $S_1 \sim S_m$ は走査信号線 $G_1 \sim G_n$ と直交するように互いに平行に配置される。走査信号線 $G_1 \sim G_n$ とデータ信号線 $S_1 \sim S_m$ の各交差点の近傍には、画素回路 10 が配置される。このように $(m \times n)$ 個の画素回路 10 は、2 次元状に配置される。走査信号線 G_i は i 行目に配置された m 個の画素回路 10 に接続され、データ信号線 S_j は j 列目に配置された n 個の画素回路 10 に接続される。また、表示装置 100 には、 q 本の制御線 $E_1 \sim E_q$ と q 本の電源線 $VP_1 \sim VP_q$ が設けられる。各行の画素回路 10 は、制御線 $E_1 \sim E_q$ のいずれかと、電源線 $VP_1 \sim VP_q$ のいずれかに接続される。画素回路 10 には、図示しない導電性部材 (電極) を用いて共通電位 V_{com} が供給される。

【0031】

表示制御回路 1 は、走査信号線駆動回路 2、制御回路 3、電源回路 4 およびデータ信号線駆動回路 5 に対して制御信号を出力する。より詳細には、表示制御回路 1 は、走査信号線駆動回路 2 に対してタイミング信号 OE 、スタートパルス YI およびクロック YCK を出力し、制御回路 3 に対して制御信号 CS_1 を出力し、電源回路 4 に対して制御信号 CS_2 を出力し、データ信号線駆動回路 5 に対してスタートパルス SP 、クロック CLK 、データ信号 DA 、ラッチパルス LP および基準信号 DA_ref を出力する。データ信号 DA と基準信号 DA_ref は、アナログ信号である。基準信号 DA_ref は、所定の基準電位を有する。

【0032】

走査信号線駆動回路 2 は、走査信号線 $G_1 \sim G_n$ を駆動する。より詳細には、走査信号線駆動回路 2 は、シフトレジスタ回路、論理演算回路、および、バッファ (いずれも図示

10

20

30

40

50

せず)を含んでいる。シフトレジスタ回路は、クロックYCKに同期してスタートパルスYIを順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスとタイミング信号OEとの間で論理演算を行う。論理演算回路の出力は、バッファを経由して対応する走査信号線Giに与えられる。これにより、走査信号線Giに接続されたm個の画素回路10が一括して選択される。

【0033】

制御回路3は、制御信号CS1に基づき、制御線E1～Eqにハイレベル電位とローレベル電位を切り替えて印加する。電源回路4は、制御信号CS2に基づき、電源線VP1～VPqに少なくとも3種類の電位を切り替えて印加する。より詳細には、電源回路4は、電源線VP1～VPqに対して、共通電位Vcomよりも高い電位VP__H1とVP__H2、Vcomにほぼ等しい電位VP__C、および、Vcomよりも低い電位VP__Lを切り替えて印加する。なお、電位VP__H1、VP__H2は同じ電位でもよい。

10

【0034】

データ信号線駆動回路5は、データ信号線S1～Smを駆動する。より詳細には、データ信号線駆動回路5は、mビットのシフトレジスタ6、レジスタ7、ラッチ回路8、および、m個の出力バッファ9を含んでいる。シフトレジスタ6は、m個のレジスタを多段接続した構成を有し、初段のレジスタに供給されたスタートパルスSPをクロックCLKに同期して転送し、各段のレジスタからタイミングパルスDLPを出力する。タイミングパルスDLPの出力タイミングに合わせて、レジスタ7にはデータ信号DAが供給される。レジスタ7は、タイミングパルスDLPに従い、データ信号DAを記憶する。レジスタ7に1行分のデータ信号DAが記憶されると、表示制御回路1はラッチ回路8に対してラッチパルスLPを出力する。ラッチ回路8は、ラッチパルスLPを受け取ると、レジスタ7に記憶されたデータ信号DAを保持する。m個の出力バッファ9は、データ信号線S1～Smのそれぞれに対応して設けられる。出力バッファ9は、典型的には、ボルテージホロワなどのインピーダンス変換回路である。出力バッファ9は、ラッチ回路8に保持されたデータ信号DA、および、表示制御回路1から出力された基準信号DA__refのいずれかをデータ信号線Sjに出力する。

20

【0035】

図2は、画素回路10の回路図である。図2に示すように、画素回路10は、TF T 1 1～13、コンデンサ14、および、有機EL素子15を含んでいる。TF T 1 1～13は、いずれも、Nチャネル型トランジスタである。画素回路10は、走査信号線Gi、データ信号線Sj、制御線Ek、電源線VPk、および、共通電位Vcomを有する電極に接続される。

30

【0036】

TF T 1 1の一方の導通端子はデータ信号線Sjに接続され、他方の導通端子はTF T 1 2のゲート端子に接続される。TF T 1 3のドレイン端子は電源線VPkに接続され、ソース端子はTF T 1 2のドレイン端子に接続される。TF T 1 2のソース端子は、有機EL素子15のアノード端子に接続される。有機EL素子15のカソード端子は、共通電位Vcomを有する電極に接続される。コンデンサ14は、TF T 1 2のゲート端子とソース端子(有機EL素子15側の導通端子)の間に設けられる。TF T 1 1のゲート端子は走査信号線Giに接続され、TF T 1 3のゲート端子は制御線Ekに接続される。TF T 1 1～13は、それぞれ、書き込み制御トランジスタ、駆動用トランジスタ、および、発光制御トランジスタとして機能し、有機EL素子15は発光素子として機能する。

40

【0037】

以下、q = 1の場合について説明する。図3は、q = 1の場合の制御線と電源線の接続形態を示す図である。この場合、すべての画素回路10は、制御線E1と電源線VP1に接続される。図4は、q = 1の場合の各行の画素回路10の動作を示す図である。図4に示すように、1フレーム期間内には、初期化期間、閾値検出期間、データ書き込み期間、発光期間、および、消灯期間が設定される。初期化期間は、有機EL素子15のアノード端子を初期化する期間である。閾値検出期間は、データ信号線Sjに基準電位を印加し、

50

T F T 1 2 の閾値電圧を検出する期間である。データ書き込み期間は、データ信号線 S_j にデータ電位（データ信号 D A に応じた電位）を印加し、画素回路 1 0 にデータ電位を書き込む期間である。以下、閾値検出完了からデータ書き込み開始までの期間をデータ待機期間、データ書き込み完了から発光開始までの期間を発光待機期間、両者を合わせて待機期間という。

【 0 0 3 8 】

図 4 に示すように、1 フレーム期間の先頭で、すべての画素回路 1 0 に対する初期化と閾値検出が行われる。次に、画素回路 1 0 に対するデータ書き込みが、行ごとに順に行われる。すべての画素回路 1 0 に対するデータ書き込みが完了した後に、すべての画素回路 1 0 内の有機 E L 素子 1 5 が同じ時間 T だけ発光する。画素回路 1 0 は、次のフレーム期間で初期化を開始するより前に発光を完了する必要がある。この条件を満たしながら、すべての画素回路 1 0 の発光期間を揃えるために、発光期間は、最長でも、1 フレーム期間から初期化期間、閾値検出期間および n 個のデータ書き込み期間を除いた期間となる。

10

【 0 0 3 9 】

図 5 は、画素回路 1 0 の動作を示すタイミングチャートである。図 5 において、W_i は i 行目の画素回路 1 0 のデータ書き込み期間を表す。V G_i は i 行目の画素回路 1 0 内の T F T 1 2 のゲート電位を表し、V S_i は i 行目の画素回路 1 0 内の T F T 1 2 のソース電位（すなわち、有機 E L 素子 1 5 のアノード電位）を表す。

【 0 0 4 0 】

以下、図 5 を参照して、走査信号線 G_i、データ信号線 S_j、制御線 E 1、および、電源線 V P 1 に接続された画素回路 1 0 の動作を説明する。時刻 t₁ より前では、走査信号線 G_i と制御線 E 1 の電位はローレベルであり、電源線 V P 1 の電位は共通電位 V c o m よりも高い V P _ H 2 である。

20

【 0 0 4 1 】

（ a ）アノード初期化

時刻 t₁ において、走査信号線 G_i と制御線 E 1 の電位はハイレベルに変化する。これに伴い、T F T 1 1、1 3 はオン状態に変化する。時刻 t₁ から時刻 t₂ までの間、電源線 V P 1 の電位は共通電位 V c o m よりも低い V P _ L になり、データ信号線 S_j の電位は V r e f 1 になる。このため、T F T 1 2 のゲート電位は V r e f 1 になる。電位 V r e f 1 は、T F T 1 2 が十分にオン状態になるように決定される。したがって、有機 E L 素子 1 5 のアノード電位は、V P _ L にほぼ等しくなる。

30

【 0 0 4 2 】

（ b ）閾値検出

時刻 t₂ において、電源線 V P 1 の電位は共通電位 V c o m よりも高い V P _ H 1 に変化し、データ信号線 S_j の電位は V r e f 2 に変化する。このため、T F T 1 2 のゲート電位は V r e f 2 に変化する。電位 V r e f 2 は、T F T 1 2 がオン状態になり、かつ、有機 E L 素子 1 5 に印加される電圧が発光閾値電圧よりも低くなるように決定される。このため、時刻 t₂ 以降、電源線 V P 1 から T F T 1 3 と T F T 1 2 を経由して有機 E L 素子 1 5 のアノード端子に電流が流れ込み、有機 E L 素子 1 5 のアノード電位は上昇する。ただし、有機 E L 素子 1 5 に電流は流れないので、T F T 1 2 の閾値電圧を V t h としたとき、有機 E L 素子 1 5 のアノード電位は (V r e f 2 - V t h) まで上昇する。

40

【 0 0 4 3 】

本実施形態に係る表示装置 1 0 0 では、閾値検出後の有機 E L 素子 1 5 のアノード電位 (V r e f 2 - V t h) が共通電位 V c o m にほぼ等しくなるように、画素回路 1 0 に与える電位が決定される。具体的には、表示装置 1 0 0 内の T F T 1 2 の閾値電圧の平均値を V t h _ a v e としたとき、電位 V r e f 2 は次式 (1) を満たすように決定される。

$$V c o m = V r e f 2 - V t h _ a v e \quad \dots (1)$$

なお、閾値電圧の平均値 V t h _ a v e には、閾値電圧の目標値や、閾値電圧の目標値を実測値に基づき修正した値を用いてもよい。

【 0 0 4 4 】

50

式(1)を満たす電位 V_{ref2} を用いた場合、待機期間において有機EL素子15を経由する電流が流れにくくなる。閾値電圧 V_{th} が平均値から離れている場合、有機EL素子15のアノード端子からリーク電流が流れる。しかし、一般に、閾値電圧 V_{th} と平均値との差は数mV～数百mV程度であるので、リーク電流の量はそれほど多くない。式(1)を満たす電位 V_{ref2} を用いることにより、リーク電流の量を十分に小さくすることができる。

【0045】

(c) データ待機

時刻 t_3 において、走査信号線 G_i と制御線 E_1 の電位はローレベルに変化する。これに伴い、 $TFT11$ 、 13 はオフ状態に変化する。データ待機期間では、電流が有機EL素子15のアノード端子から有機EL素子15側にも電源線 $VP1$ 側にも流れず、有機EL素子15のアノード電位は $(V_{ref2} - V_{th})$ を保つことが理想的である。しかしながら、特段の工夫を行わなければ、データ待機期間において $TFT12$ 、 13 に無視できない程度のリーク電流が流れて、有機EL素子15のアノード電位は変動する。

10

【0046】

そこで、本実施形態に係る表示装置100は、閾値検出完了から発光開始までの間、 $TFT13$ をオフ状態に制御するだけでなく、電源線 $VP1$ の電位を共通電位 V_{com} にほぼ等しい VP_C にする。これにより、待機期間において、有機EL素子15のアノード端子から電源線 $VP1$ にリーク電流が流れることを防止し、有機EL素子15のアノード電位を一定に保つことができる。

20

【0047】

(d) データ書き込み

時刻 t_3 から時刻 t_4 までの間に、 i 行目の画素回路10のデータ書き込み期間 W_i が設定される。データ書き込み期間 W_i では、走査信号線 G_i の電位はハイレベルになり、データ信号線 S_j の電位はデータ電位 V_{data} になる。このとき $TFT11$ はオン状態になるので、 $TFT12$ のゲート電位は V_{data} に変化する。一方、有機EL素子15はコンデンサ14よりも十分に大きい容量値を有するので、 $TFT12$ のゲート電位が変化しても、有機EL素子15のアノード電位はその影響をほとんど受けない。

【0048】

具体的には、データ書き込み後の $TFT12$ のゲート-ソース間電圧 V_{gs} は、次式(2)で与えられる。

30

$$V_{gs} = \{ C_{OLED} / (C_{OLED} + C_{st}) \} \times (V_{data} - V_{ref2}) + V_{th} \quad \dots (2)$$

ただし、式(2)において、 C_{OLED} は有機EL素子15の容量値、 C_{st} は $TFT12$ のゲート-ソース間の容量値(コンデンサ14の容量と $TFT12$ の寄生容量を含む)である。 $C_{OLED} \gg C_{st}$ のときには、式(2)から次式(3)が導かれる。

$$V_{gs} = V_{data} - V_{ref2} + V_{th} \quad \dots (3)$$

【0049】

(e) 発光待機

発光待機期間では、データ待機期間と同様に、走査信号線 G_i と制御線 E_1 の電位はローレベルになり、電源線 $VP1$ の電位は共通電位 V_{com} にほぼ等しい VP_C になる。発光待機期間と発光期間では、 $TFT12$ のゲート-ソース間電圧 V_{gs} は、コンデンサ14の作用によって $(V_{data} - V_{ref2} + V_{th})$ に保たれる。

40

【0050】

(f) 発光

時刻 t_4 において、制御線 E_1 の電位はハイレベルに変化する。これに伴い、 $TFT13$ はオン状態に変化する。時刻 t_4 において、電源線 $VP1$ の電位は共通電位 V_{com} よりも高い VP_H2 に変化する。このため、時刻 t_4 以降、電源線 $VP1$ から $TFT13$ と $TFT12$ を経由して、有機EL素子15のアノード端子に電流が流れ込み、有機EL素子15のアノード電位は上昇する。このとき $TFT12$ のゲート端子はフローティング

50

状態であるので、T F T 1 2 のゲート電位は有機 E L 素子 1 5 のアノード電位と同じ量だけ上昇する。この際、T F T 1 2 のゲート - ソース間電圧 V_{gs} はほぼ一定に保たれる。

【 0 0 5 1 】

電位 V_{P_H2} は、発光期間において T F T 1 2 が飽和領域で動作するように決定される。このため、発光期間において有機 E L 素子 1 5 を流れる電流 I は、チャネル長変調効果を無視すれば、次式 (4) で与えられる。

$$I = 1 / 2 \cdot W / L \cdot \mu \cdot C_{ox} (V_{gs} - V_{th})^2 \dots (4)$$

ただし、式 (4) において、 W はゲート幅、 L はゲート長、 μ はキャリア移動度、 C_{ox} はゲート酸化膜容量である。式 (3) と式 (4) から、次式 (5) が導かれる。

$$I = 1 / 2 \cdot W / L \cdot \mu \cdot C_{ox} (V_{data} - V_{ref2})^2 \dots (5)$$

10

【 0 0 5 2 】

式 (5) に示す電流 I は、データ電位 V_{data} に応じて変化するが、T F T 1 2 の閾値電圧 V_{th} には依存しない。したがって、閾値電圧 V_{th} にばらつきが生じる場合や、閾値電圧 V_{th} が経時的に変化する場合でも、閾値電圧 V_{th} に依存しない電流を有機 E L 素子 1 5 に流して、有機 E L 素子 1 5 を所望の輝度で発光させることができる。

【 0 0 5 3 】

(g) 消灯

時刻 t_5 において、制御線 E_1 の電位はローレベルに変化する。これに伴い、T F T 1 3 はオフ状態に変化する。このため、時刻 t_5 以降、有機 E L 素子 1 5 のアノード電位と T F T 1 2 のゲート電位は低下する。時刻 t_5 からしばらくすると、有機 E L 素子 1 5 のアノード電位は十分に低くなり、有機 E L 素子 1 5 は消灯する。

20

【 0 0 5 4 】

本実施形態に係る表示装置 1 0 0 では、閾値検出完了から発光開始までの期間では、電源線 V_{Pk} に共通電位 V_{com} にほぼ等しい電位 V_{P_C} が印加される。これにより、待機期間において、有機 E L 素子 1 5 のアノード端子から電源線 V_{P1} にリーク電流が流れることを防止し、有機 E L 素子 1 5 のアノード電位を一定に保つことができる。

【 0 0 5 5 】

図 4 に示すように、データ待機期間と発光待機期間の長さは、画素回路 1 0 の行ごとに異なる。例えば、1 行目の画素回路 1 0 のデータ待機期間の長さはほぼゼロであり、 n 行目の画素回路 1 0 のデータ待機期間は最長になる。本実施形態に係る表示装置 1 0 0 によれば、このようにデータ待機期間と発光待機期間の長さが異なる場合でも、待機期間において有機 E L 素子 1 5 のアノード電位を一定に保つことにより、表示画面の輝度の差を抑制することができる。

30

【 0 0 5 6 】

以上に示すように本実施形態に係る表示装置 1 0 0 は、行方向と列方向に並べて配置された複数の画素回路 1 0 と、同じ行の画素回路 1 0 に接続された複数の走査信号線 $G_1 \sim G_n$ と、同じ列の画素回路 1 0 に接続された複数のデータ信号線 $S_1 \sim S_m$ と、複数行の画素回路 1 0 に接続された 1 本以上の制御線 $E_1 \sim E_q$ と、複数行の画素回路 1 0 に接続された 1 本以上の電源線 $V_{P1} \sim V_{Pq}$ と、走査信号線、データ信号線および制御線を駆動する駆動回路 (走査信号線駆動回路 2、制御回路 3 およびデータ信号線駆動回路 5 からなる回路) と、電源線 $V_{P1} \sim V_{Pq}$ に複数の電位を切り替えて印加する電源回路 4 とを備えている。

40

【 0 0 5 7 】

画素回路 1 0 は、電源線 V_{Pk} と共通電位 V_{com} が印加される導電性部材 (電極) とを結ぶ電流経路上に、一端を導電性部材に接続して設けられた発光素子 (有機 E L 素子 1 5) と、電流経路上に、一方の導通端子を発光素子の他端に接続して設けられた駆動用トランジスタ (T F T 1 2) と、データ信号線 S_j と駆動用トランジスタの制御端子との間に設けられ、走査信号線 G_i に接続された制御端子を有する書き込み制御トランジスタ (T F T 1 1) と、電流経路上に、電源線 V_{Pk} と駆動用トランジスタの他方の導通端子との間に設けられ、制御線 E_k に接続された制御端子を有する発光制御トランジスタ (T F

50

T 1 3) と、駆動用トランジスタの制御端子と発光素子側の導通端子 (T F T 1 2 のソース端子) との間に設けられたコンデンサ 1 4 を含む。発光素子の他端 (有機 E L 素子 1 5 のカソード端子) は、共通電位 V c o m が固定的に印加された導電性部材に接続される。

【 0 0 5 8 】

駆動回路と電源回路 4 は、複数行の画素回路 1 0 に対する初期化を同時に行い、複数行の画素回路 1 0 に対する閾値検出を同時に行い、画素回路 1 0 に対するデータ書き込みを行ごとに順に行い、複数行の画素回路 1 0 に含まれる発光素子を同じ期間で発光させる制御を行う。電源回路 4 は、画素回路 1 0 の閾値検出完了から発光開始までの期間では、画素回路 1 0 に接続される電源線 V P k に共通電位 V c o m にほぼ等しい電位 V P _ C を印加する。

10

【 0 0 5 9 】

本実施形態に係る表示装置 1 0 0 によれば、3 個のトランジスタと 1 個のコンデンサと発光素子を含む画素回路 1 0 について、閾値検出完了から発光開始までの期間では、電源線 V P k に共通電位 V c o m にほぼ等しい電位 V P _ C を印加することにより、待機期間における画素回路 1 0 内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

【 0 0 6 0 】

以下、本実施形態に係る表示装置 1 0 0 の変形例として、 $q > 1$ の場合について説明する。ここでは、例として、 $q = 2$ の場合 (第 1 および第 2 変形例) と $q = 3$ の場合 (第 3 変形例) について説明する。以下に示すように、2 本以上の制御線と 2 本以上の電源線を用いることにより、1 本の制御線と 1 本の電源線を用いる場合よりも、データ書き込み期間や発光期間を長くすることができる。

20

【 0 0 6 1 】

図 6 は、第 1 変形例に係る表示装置における制御線と電源線の接続形態を示す図である。この場合、 $1 \sim (n / 2)$ 行目の画素回路は制御線 E 1 と電源線 V P 1 に接続され、 $(n / 2 + 1) \sim n$ 行目の画素回路は制御線 E 2 と電源線 V P 2 に接続される。走査信号線駆動回路 2、制御回路 3 a、電源回路 4 a およびデータ信号線駆動回路 5 は、各行の画素回路 1 0 が以下の動作を行うように制御する。

【 0 0 6 2 】

図 7 は、第 1 変形例に係る表示装置における各行の画素回路 1 0 の動作を示す図である。図 7 に示すように、1 フレーム期間は第 1 期間 (前半部) と第 2 期間 (後半部) に分割される。第 1 期間の先頭では $1 \sim (n / 2)$ 行目の画素回路に対する初期化と閾値検出が行われ、第 2 期間の先頭では $(n / 2 + 1) \sim n$ 行目の画素回路に対する初期化と閾値検出が行われる。1 回目の閾値検出の後に $1 \sim (n / 2)$ 行目の画素回路に対するデータ書き込みが行ごとに順に行われ、2 回目の閾値検出の後に $(n / 2 + 1) \sim n$ 行目の画素回路に対するデータ書き込みが行ごとに順に行われる。 $1 \sim (n / 2)$ 行目の画素回路は第 2 期間において時間 T 1 だけ発光し、 $(n / 2 + 1) \sim n$ 行目の画素回路は第 1 期間において同じ長さの時間だけ発光する。

30

【 0 0 6 3 】

第 1 変形例に係る表示装置では、 $1 / 2$ フレーム期間から初期化期間と閾値検出期間を除いた期間において、全体の半分の画素回路に対するデータ書き込みが行われる。したがって、第 1 変形例に係る表示装置によれば、各行の画素回路に対するデータ書き込み期間を長くして、データ書き込みを容易に行うことができる。

40

【 0 0 6 4 】

図 8 は、第 2 変形例に係る表示装置における制御線と電源線の接続形態を示す図である。この場合、奇数行目の画素回路は制御線 E 1 と電源線 V P 1 に接続され、偶数行目の画素回路は制御線 E 2 と電源線 V P 2 に接続される。走査信号線駆動回路 2、制御回路 3 b、電源回路 4 b およびデータ信号線駆動回路 5 は、各行の画素回路 1 0 が以下の動作を行うように制御する。

【 0 0 6 5 】

50

図 9 は、第 2 変形例に係る表示装置における各行の画素回路 10 の動作を示す図である。図 9 に示すように、1 フレーム期間は第 1 期間と第 2 期間に分割される。第 1 期間の先頭では奇数行目の画素回路に対する初期化と閾値検出が行われ、第 2 期間の先頭では偶数行目の画素回路に対する初期化と閾値検出が行われる。1 回目の閾値検出の後に奇数行目の画素回路に対するデータ書き込みが行ごとに順に行われ、2 回目の閾値検出の後に偶数行目の画素回路に対するデータ書き込みが行ごとに順に行われる。奇数行目の画素回路は第 2 期間において時間 T_2 だけ発光し、偶数行目の画素回路は第 1 期間において同じ長さの時間だけ発光する。

【0066】

第 2 変形例に係る表示装置によれば、第 1 変形例に係る表示装置と同様に、各行の画素回路に対するデータ書き込み期間を長くして、データ書き込みを容易に行うことができる。また、画面の上半分と下半分で輝度が大きく異なる場合でも、電源線 VP_1 、 VP_2 を流れる電流の量はほぼ同じになる。したがって、第 2 変形例に係る表示装置によれば、画面の中央に発生する輝度差を防止することができる。

【0067】

図 10 は、第 3 変形例に係る表示装置における制御線と電源線の接続形態を示す図である。この場合、 $1 \sim (n/3)$ 行目の画素回路は制御線 E_1 と電源線 VP_1 に接続され、 $(n/3 + 1) \sim (2n/3)$ 行目の画素回路は制御線 E_2 と電源線 VP_2 に接続され、 $(2n/3 + 1) \sim n$ 行目の画素回路は制御線 E_3 と電源線 VP_3 に接続される。走査信号線駆動回路 2、制御回路 3c、電源回路 4c およびデータ信号線駆動回路 5 は、各行の画素回路 10 が以下の動作を行うように制御する。

【0068】

図 11 は、第 3 変形例に係る表示装置における各行の画素回路 10 の動作を示す図である。図 11 に示すように、1 フレーム期間は第 1 ～ 第 3 期間に分割される。第 1 期間の先頭では $1 \sim (n/3)$ 行目の画素回路に対する初期化と閾値検出が行われ、第 2 期間の先頭では $(n/3 + 1) \sim (2n/3)$ 行目の画素回路に対する初期化と閾値検出が行われ、第 3 期間の先頭では $(2n/3 + 1) \sim n$ 行目の画素回路に対する初期化と閾値検出が行われる。1 回目の閾値検出の後に $1 \sim (n/3)$ 行目の画素回路に対するデータ書き込みが行ごとに順に行われ、2 回目の閾値検出の後に $(n/3 + 1) \sim (2n/3)$ 行目の画素回路に対するデータ書き込みが行ごとに順に行われ、3 回目の閾値検出の後に $(2n/3 + 1) \sim n$ 行目の画素回路に対するデータ書き込みが行ごとに順に行われる。 $1 \sim (n/3)$ 行目の画素回路は第 2 期間と第 3 期間において時間 T_3 だけ発光し、 $(n/3 + 1) \sim (2n/3)$ 行目の画素回路は第 3 期間と第 1 期間において同じ長さの時間だけ発光し、 $(2n/3 + 1) \sim n$ 行目の画素回路は第 1 期間と第 2 期間において同じ長さの時間だけ発光する。

【0069】

第 3 変形例に係る表示装置では、画素回路 10 は 3 個のグループに分割される。あるグループの画素回路について初期化と閾値検出を行う間に、残り 2 個のグループの画素回路は発光する。したがって、第 3 変形例に係る表示装置によれば、発光期間を最長で $2/3$ フレーム期間にまで長くすることができる。

【0070】

なお、 q の値は 4 以上でもよい。 $q = 4$ の場合、制御線 $E_1 \sim E_q$ および電源線 $VP_1 \sim VP_q$ の接続形態や、各行の画素回路 10 の動作は、上記と同様である。また、 $q = 3$ の場合には、列方向に隣接する (n/q) 個の行の画素回路を同じ制御線と同じ電源線に接続してもよい。あるいは、列方向に $(q - 1)$ 行飛ばしの (n/q) 個の行の画素回路を同じ制御線と同じ電源線に接続してもよい。例えば、 $q = 3$ の場合に、1 行目、4 行目などの画素回路を制御線 E_1 と電源線 VP_1 に接続し、2 行目、5 行目などの画素回路を制御線 E_2 と電源線 VP_2 に接続し、3 行目、6 行目などの画素回路を制御線 E_3 と電源線 VP_3 に接続してもよい。

【0071】

q = 1 の場合、すべての画素回路 10 について初期化期間、閾値検出期間および発光期間は共通になる。このようにすべての画素回路 10 の初期化、閾値検出および発光を同じタイミングで行うことにより、制御回路 3 や電源回路 4 の構成を簡単にすることができる。一方、q = 2 の場合、画素回路 10 のグループごとに初期化期間、閾値検出期間および発光期間は異なる。このように画素回路 10 のグループごとに初期化、閾値検出および発光を異なるタイミングで行うことにより、q = 1 の場合よりもデータ書き込み期間や発光期間を長くすることができる。なお、上述した各種の変形例は、第 1 の実施形態だけでなく、以下に示す第 2 および第 3 の実施形態にも同様に適用できる。

【0072】

(第 2 の実施形態)

図 12 は、本発明の第 2 の実施形態に係る表示装置の構成を示すブロック図である。図 12 に示す表示装置 200 は、表示制御回路 1、走査信号線駆動回路 2、制御回路 203、電源回路 204、データ信号線駆動回路 5、および、(m × n) 個の画素回路 20 を備えた有機 EL ディスプレイである。なお、以下に示す各実施形態では、先に述べた実施形態と同一の構成要素については、同一の参照符号を付して説明を省略する。以下、第 1 の実施形態に係る表示装置 100 との相違点を説明する。

【0073】

表示装置 200 には、制御線として、q 本の制御線 AZ1 ~ AZq が設けられる。各行の画素回路 20 は、制御線 AZ1 ~ AZq のいずれかと、電源線 VP1 ~ VPq のいずれかに接続される。画素回路 20 には、図示しない導電性部材 (電極) を用いて共通電位 Vcom が供給され、図示しない電源線を用いて所定の電位 V0 が供給される。

【0074】

制御回路 203 は、制御信号 CS1 に基づき、制御線 AZ1 ~ AZq にハイレベル電位とローレベル電位を切り替えて印加する。電源回路 204 は、制御信号 CS2 に基づき、電源線 VP1 ~ VPq に 3 種類の電位を切り替えて印加する。より詳細には、電源回路 204 は、電源線 VP1 ~ VPq に対して、共通電位 Vcom よりも高い電位 VP__H、Vcom にほぼ等しい電位 VP__C、および、Vcom よりも低い電位 VP__L を切り替えて印加する。

【0075】

図 13 は、画素回路 20 の回路図である。図 13 に示すように、画素回路 20 は、TF T21 ~ 23、コンデンサ 24、25、および、有機 EL 素子 26 を含んでいる。TF T21 ~ 23 は、いずれも、Pチャネル型トランジスタである。画素回路 20 は、走査信号線 Gi、データ信号線 Sj、制御線 AZk、電源線 VPk、電位 V0 を有する電源線、および、共通電位 Vcom を有する電極に接続される。

【0076】

TF T21 の一方の導通端子はデータ信号線 Sj に接続され、他方の導通端子はコンデンサ 24 の一方の端子 (以下、ノード A という) に接続される。コンデンサ 24 の他方の端子は、TF T22 のゲート端子に接続される。TF T22 のソース端子は電源線 VPk に接続され、ドレイン端子は有機 EL 素子 26 のアノード端子に接続される。有機 EL 素子 26 のカソード端子は、共通電位 Vcom を有する電極に接続される。TF T23 は、TF T22 のゲート端子とドレイン端子 (有機 EL 素子 26 側の導通端子) の間に設けられる。コンデンサ 25 の一方の電極は電位 V0 を有する配線に接続され、他方の電極はノード A に接続される。TF T21 のゲート端子は走査信号線 Gi に接続され、TF T23 のゲート端子は制御線 AZk に接続される。TF T21 ~ 23 は、それぞれ、書き込み制御トランジスタ、駆動用トランジスタ、および、閾値検出用トランジスタとして機能し、有機 EL 素子 26 は発光素子として機能する。

【0077】

以下、q = 1 の場合について説明する。q = 1 の場合の制御線と電源線の接続形態は、図 3 と同様である。図 3 において制御回路 3、電源回路 4 および制御線 E1 を、それぞれ、制御回路 203、電源回路 204 および制御線 AZ1 と読み替えれば、本実施形態の接

10

20

30

40

50

続形態が得られる。表示装置 200 における 1 フレーム期間内の各行の画素回路 20 の動作は、第 1 の実施形態と同じである（図 4 を参照）。ただし、表示装置 200 では、初期化期間においてノード初期化とアノード初期化が行われる。

【0078】

図 14 は、画素回路 20 の動作を示すタイミングチャートである。図 14 に示す W_i と V_{Gi} の意味は、第 1 の実施形態と同様である。 V_{Di} は、 i 行目の画素回路 20 内の TFT_{22} のドレイン電位（すなわち、有機 EL 素子 26 のアノード電位）を表す。

【0079】

以下、図 14 を参照して、走査信号線 G_i 、データ信号線 S_j 、制御線 AZ_1 、および電源線 VP_1 に接続された画素回路 20 の動作を説明する。時刻 t_1 より前では、走査信号線 G_i と制御線 AZ_1 の電位はハイレベルであり、電源線 VP_1 の電位は共通電位 V_{com} にほぼ等しい VP_C である。

10

【0080】

（a）ノード初期化

時刻 t_1 において、走査信号線 G_i と制御線 AZ_1 の電位はローレベルに変化する。これに伴い、 TFT_{21} 、 23 はオン状態に変化する。時刻 t_1 から時刻 t_2 までの間、電源線 VP_1 の電位は引き続き共通電位 V_{com} にほぼ等しい VP_C であり、データ信号線 S_j の電位は V_{ref1} になる。このため、ノード A の電位は V_{ref1} になる。電位 V_{ref1} は、 TFT_{21} がオン状態になるように決定される。このとき有機 EL 素子 26 は発光しないので、有機 EL 素子 26 のアノード電位と TFT_{22} のゲート電位は共通電位 V_{com} にほぼ等しくなる。

20

【0081】

（b）アノード初期化

時刻 t_2 において、制御線 AZ_1 の電位はハイレベルに変化する。これに伴い、 TFT_{23} はオフ状態に変化する。時刻 t_2 から時刻 t_3 までの間、電源線 VP_1 の電位は共通電位 V_{com} よりも低い VP_L になり、データ信号線 S_j の電位は V_{ref1} よりも低い V_{ref2} になる。このとき TFT_{21} はオン状態で、 TFT_{23} はオフ状態であるので、データ信号線 S_j の電位が $(V_{ref1} - V_{ref2})$ だけ低下すると、 TFT_{22} のゲート電位は同じ量だけ低下する。これにより、 TFT_{22} はオン状態になり、有機 EL 素子 26 のアノード端子に保持されていた電荷は電源線 VP_1 に向けて放電される。この結果、有機 EL 素子 26 のアノード電位は VP_L になる。

30

【0082】

（c）閾値検出

時刻 t_3 において、制御線 AZ_1 の電位はローレベルに変化する。これに伴い、 TFT_{23} はオン状態に変化する。時刻 t_3 において、電源線 VP_1 の電位は共通電位 V_{com} にほぼ等しい VP_C に変化する。このとき、電源線 VP_1 から TFT_{22} と TFT_{23} を経由して TFT_{22} のゲート端子に電流が流れ込み、 TFT_{22} のゲート電位は上昇する。 TFT_{22} の閾値電圧を V_{th} としたとき、 TFT_{22} のゲート電位は $(VP_C + V_{th})$ まで上昇する。時刻 t_3 において、データ信号線 S_j の電位は V_{ref3} に変化する。このとき TFT_{21} は引き続きオン状態であるので、ノード A の電位は V_{ref3} に変化する。一方、このとき TFT_{23} はオン状態であり、有機 EL 素子 26 はコンデンサ 24 よりも十分に大きい容量値を有するので、ノード A の電位が変化しても、 TFT_{22} のゲート電位はその影響をほとんど受けない。

40

【0083】

（d）データ待機

時刻 t_4 において、制御線 AZ_1 の電位はハイレベルに変化する。これに伴い、 TFT_{23} はオフ状態に変化する。その後、走査信号線 G_i の電位はハイレベルに変化する。これに伴い、 TFT_{21} はオフ状態に変化する。これ以降、 TFT_{22} のゲート電位は、コンデンサ 24、25 の作用によって、 $(VP_C + V_{th})$ に保たれる。

【0084】

50

データ待機期間では、電流が有機ＥＬ素子２６のアノード端子から有機ＥＬ素子２６側にも電源線ＶＰ１側にも流れず、有機ＥＬ素子２６のアノード電位は（ $V_{P_C} + V_{th}$ ）を保つことが理想的である。しかしながら、特段の工夫を行わなければ、データ待機期間においてＴＦＴ２２、２３に無視できない程度のリーク電流が流れて、有機ＥＬ素子２６のアノード電位は変動する。

【００８５】

そこで、本実施形態に係る表示装置２００は、閾値検出完了から発光開始までの間、ＴＦＴ２３をオフ状態に制御するだけでなく、電源線ＶＰ１の電位を共通電位 V_{com} にほぼ等しい V_{P_C} にする。これにより、待機期間において、有機ＥＬ素子２６のアノード端子から電源線ＶＰ１にリーク電流が流れることを防止し、有機ＥＬ素子２６のアノード電位を一定に保つことができる。

10

【００８６】

（ｅ）データ書き込み

時刻 t_4 から時刻 t_5 までの間に、 i 行目の画素回路２０のデータ書き込み期間 W_i が設定される。データ書き込み期間 W_i では、走査信号線 G_i の電位はローレベルになり、データ信号線 S_j の電位はデータ電位 V_{data} になる。このときＴＦＴ２１はオン状態になるので、ノードＡの電位は V_{data} に変化する。また、このときＴＦＴ２３はオフ状態であるので、ＴＦＴ２２のゲート電位はノードＡの電位と同じ量だけ変化して（ $V_{P_C} + V_{th} + V_{data} - V_{ref3}$ ）になる。

20

【００８７】

（ｆ）発光待機

発光待機期間では、データ待機期間と同様に、走査信号線 G_i と制御線 $AZ1$ の電位はハイレベルになり、電源線ＶＰ１の電位は共通電位 V_{com} にほぼ等しい V_{P_C} になる。発光待機期間では、ＴＦＴ２２のゲート電位は、コンデンサ２４、２５の作用によって（ $V_{P_C} + V_{th} + V_{data} - V_{ref3}$ ）に保たれる。

【００８８】

（ｇ）発光

時刻 t_5 において、電源線ＶＰ１の電位は共通電位 V_{com} よりも高い V_{P_H} に変化する。このため、有機ＥＬ素子２６には発光閾値電圧よりも高い電圧が印加され、有機ＥＬ素子２６は発光する。電位 V_{P_H} は、発光期間においてＴＦＴ２２が飽和領域で動作するように決定される。このため、発光期間において有機ＥＬ素子２６を流れる電流 I は、チャンネル長変調効果は無視すれば、上式（４）で与えられる。

30

【００８９】

発光期間でも、ＴＦＴ２２のゲート電位は、引き続き（ $V_{P_C} + V_{th} + V_{data} - V_{ref3}$ ）に保たれる。したがって、発光期間におけるＴＦＴ２２のゲート－ソース間電圧 V_{gs} は、次式（６）で与えられる。

$$V_{gs} = V_{P_C} + V_{th} + V_{data} - V_{ref3} - V_{P_H} \quad \dots (6)$$

式（４）と式（６）から、次式（７）が導かれる。

$$I = 1/2 \cdot W/L \cdot \mu \cdot C_{ox} \times (V_{P_C} + V_{data} - V_{ref3} - V_{P_H})^2 \quad \dots (7)$$

40

【００９０】

式（７）に示す電流 I は、データ電位 V_{data} に応じて変化するが、ＴＦＴ２２の閾値電圧 V_{th} には依存しない。したがって、閾値電圧 V_{th} にばらつきが生じる場合や、閾値電圧 V_{th} が経時的に変化する場合でも、閾値電圧 V_{th} に依存しない電流を有機ＥＬ素子２６に流して、有機ＥＬ素子２６を所望の輝度で発光させることができる。

【００９１】

（ｈ）消灯

時刻 t_6 において、電源線ＶＰ１の電位が共通電位 V_{com} にほぼ等しい V_{P_C} に変化する。このため、時刻 t_6 以降、有機ＥＬ素子２６のアノード電位は低下する。時刻 t

50

6 からしばらくすると、有機 E L 素子 2 6 のアノード電位は十分に低くなり、有機 E L 素子 2 6 は消灯する。

【 0 0 9 2 】

以上に示すように、本実施形態に係る表示装置 2 0 0 では、画素回路 2 0 は、電源線 V P k と共通電位 V c o m が印加される導電性部材（電極）とを結ぶ電流経路上に、一端を導電性部材に接続して設けられた発光素子（有機 E L 素子 2 6 ）と、電流経路上に、一方の導通端子を発光素子の他端に接続して設けられた駆動用トランジスタ（T F T 2 2 ）と、一端が駆動用トランジスタの制御端子に接続された第 1 のコンデンサ 2 4 と、第 1 のコンデンサの他端とデータ信号線 S j との間に設けられ、走査信号線 G i に接続された制御端子を有する書き込み制御トランジスタ（T F T 2 1 ）と、駆動用トランジスタの制御端子と発光素子側の導通端子（T F T 2 2 のドレイン端子）との間に設けられ、制御線 A Z k に接続された制御端子を有する閾値検出用トランジスタ（T F T 2 3 ）と、第 1 のコンデンサの他端と所定電位 V 0 を有する電源線との間に設けられた第 2 のコンデンサ 2 5 とを含む。発光素子の他端（有機 E L 素子 2 6 のカソード端子）は、共通電位 V c o m が固定的に印加された導電性部材に接続され、駆動用トランジスタの他方の導通端子は、電源線 V P k に接続される。

10

【 0 0 9 3 】

駆動回路（走査信号線駆動回路 2、制御回路 2 0 3 およびデータ信号線駆動回路 5 からなる回路）と電源回路 2 0 4 は、複数行の画素回路 2 0 に対する初期化を同時に行い、複数行の画素回路 2 0 に対する閾値検出を同時に行い、画素回路 2 0 に対するデータ書き込みを行ごとに順に行い、複数行の画素回路 2 0 に含まれる発光素子を同じ期間で発光させる制御を行う。電源回路 2 0 4 は、画素回路 2 0 の閾値検出完了から発光開始までの期間では、画素回路 2 0 に接続される電源線 V P k に共通電位 V c o m にほぼ等しい電位 V P _ C を印加する。

20

【 0 0 9 4 】

本実施形態に係る表示装置 2 0 0 によれば、3 個のトランジスタと 2 個のコンデンサと発光素子を含む画素回路 2 0 について、閾値検出完了から発光開始までの期間では、電源線 V P k に共通電位 V c o m にほぼ等しい電位 V P _ C を印加することにより、待機期間における画素回路 2 0 内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

30

【 0 0 9 5 】

（第 3 の実施形態）

図 1 5 は、本発明の第 3 の実施形態に係る表示装置の構成を示すブロック図である。図 1 5 に示す表示装置 3 0 0 は、表示制御回路 1、走査信号線駆動回路 2、制御回路 3 0 3、電源回路 3 0 4、データ信号線駆動回路 5、および、(m × n) 個の画素回路 3 0 を備えた有機 E L ディスプレイである。以下、第 1 の実施形態に係る表示装置 1 0 0 との相違点を説明する。

【 0 0 9 6 】

表示装置 3 0 0 には、制御線として、q 本の制御線 E 1 ~ E q と q 本の制御線 A Z 1 ~ A Z q が設けられる。各行の画素回路 3 0 は、制御線 E 1 ~ E q のいずれか、制御線 A Z 1 ~ A Z q のいずれか、および、電源線 V P 1 ~ V P q のいずれかに接続される。画素回路 3 0 には、図示しない導電性部材（電極）を用いて共通電位 V c o m が供給される。

40

【 0 0 9 7 】

制御回路 3 0 3 は、制御信号 C S 1 に基づき、制御線 E 1 ~ E q、A Z 1 ~ A Z q にハイレベル電位とローレベル電位を切り替えて印加する。電源回路 3 0 4 は、制御信号 C S 2 に基づき、電源線 V P 1 ~ V P q に 3 種類の電位を切り替えて印加する。より詳細には、電源回路 3 0 4 は、電源線 V P 1 ~ V P q に対して、共通電位 V c o m よりも高い電位 V P _ H、V c o m にほぼ等しい電位 V P _ C、および、V c o m よりも低い電位 V P _ L を切り替えて印加する。

【 0 0 9 8 】

50

図 16 は、画素回路 30 の回路図である。図 16 に示すように、画素回路 30 は、TFT 31 ~ 34、コンデンサ 35、および、有機 EL 素子 36 を含んでいる。TFT 31 ~ 34 は、いずれも、Pチャネル型トランジスタである。画素回路 30 は、走査信号線 Gi、データ信号線 Sj、制御線 Ek、AZk、電源線 VPk、および、共通電位 Vcom を有する電極に接続される。

【0099】

TFT 31 の一方の導通端子はデータ信号線 Sj に接続され、他方の導通端子はコンデンサ 35 の一方の端子（以下、ノード A という）に接続される。コンデンサ 35 の他方の端子は、TFT 32 のゲート端子に接続される。TFT 32 のソース端子は電源線 VPk に接続され、ドレイン端子は有機 EL 素子 36 のアノード端子に接続される。有機 EL 素子 36 のカソード端子は、共通電位 Vcom を有する電極に接続される。TFT 33 は、TFT 32 のゲート端子とドレイン端子（有機 EL 素子 36 側の導通端子）の間に設けられる。TFT 34 のソース端子は電源線 VPk に接続され、ドレイン端子はノード A に接続される。TFT 31 のゲート端子は走査信号線 Gi に接続され、TFT 33 のゲート端子は制御線 AZk に接続され、TFT 34 のゲート端子は制御線 Ek に接続される。TFT 31 ~ 34 は、それぞれ、書き込み制御トランジスタ、駆動用トランジスタ、閾値検出用トランジスタ、および、電源接続用トランジスタとして機能し、有機 EL 素子 36 は発光素子として機能する。

【0100】

以下、 $q = 1$ の場合について説明する。図 17 は、制御線と電源線の接続形態を示す図である。この場合、すべての画素回路 30 は、制御線 E1、AZ1 と電源線 VP1 に接続される。表示装置 300 における 1 フレーム期間内の各行の画素回路 30 の動作は、第 1 の実施形態と同様である（図 4 を参照）。ただし、表示装置 300 では、初期化期間においてノード初期化とアノード初期化が行われる。

【0101】

図 18 は、画素回路 30 の動作を示すタイミングチャートである。図 18 に示す Wi と VGi の意味は第 1 の実施形態と同様であり、図 18 に示す VDi の意味は第 2 の実施形態と同様である。

【0102】

以下、図 18 を参照して、走査信号線 Gi、データ信号線 Sj、制御線 E1、AZ1 および、電源線 VP1 に接続された画素回路 30 の動作を説明する。時刻 t_1 より前では、走査信号線 Gi と制御線 E1、AZ1 の電位はハイレベルであり、電源線 VP1 の電位は共通電位 Vcom にほぼ等しい VP_C である。

【0103】

（a）ノード初期化

時刻 t_1 において、走査信号線 Gi と制御線 AZ1 の電位はローレベルに変化する。これに伴い、TFT 31、33 はオン状態に変化する。時刻 t_1 から時刻 t_2 までの間、電源線 VP1 の電位は引き続き共通電位 Vcom にほぼ等しい VP_C であり、データ信号線 Sj の電位は $Vref1$ になる。このため、ノード A の電位は $Vref1$ になる。電位 $Vref1$ は、TFT 31 がオン状態になるように決定される。このとき有機 EL 素子 36 は発光しないので、有機 EL 素子 36 のアノード電位と TFT 32 のゲート電位は共通電位 Vcom にほぼ等しくなる。

【0104】

（b）アノード初期化

時刻 t_2 において、制御線 AZ1 の電位はハイレベルに変化する。これに伴い、TFT 33 はオフ状態に変化する。時刻 t_2 から時刻 t_3 までの間、電源線 VP1 の電位は共通電位 Vcom よりも低い VP_L になり、データ信号線 Sj の電位は $Vref1$ よりも低い $Vref2$ になる。このとき TFT 31 はオン状態で、TFT 33、34 はオフ状態であるので、データ信号線 Sj の電位が $(Vref1 - Vref2)$ だけ低下すると、TFT 32 のゲート電位は同じ量だけ低下する。これにより、TFT 32 はオン状態になり、

有機EL素子36のアノード端子に保持されていた電荷は電源線VP1に向けて放電される。この結果、有機EL素子36のアノード電位はVP $_\$ Lになる。

【0105】

(c) 閾値検出

時刻t3において、制御線AZ1の電位はローレベルに変化する。これに伴い、TF T33はオン状態に変化する。時刻t3において、電源線VP1の電位は共通電位Vcomにほぼ等しいVP $_\$ Cに変化する。このとき、電源線VP1からTF T32とTF T33を経由してTF T32のゲート端子に電流が流れ込み、TF T32のゲート電位は上昇する。TF T32の閾値電圧をVthとしたとき、TF T32のゲート電位は(VP $_\$ C + Vth)まで上昇する。時刻t3において、データ信号線Sjの電位はVref1に変化する。このときTF T31は引き続きオン状態であるので、ノードAの電位はVref1に変化する。一方、このときTF T33はオン状態であり、有機EL素子36はコンデンサ35よりも十分に大きい容量値を有するので、ノードAの電位が変化しても、TF T32のゲート電位はその影響をほとんど受けない。

10

【0106】

(d) データ待機

時刻t4において、走査信号線Giの電位はハイレベルに変化する。これに伴い、TF T31はオフ状態に変化する。この時点で、有機EL素子36のアノード電位とTF T32のゲート電位は(VP $_\$ C + Vth)である。

20

【0107】

データ待機期間では、電流が有機EL素子36のアノード端子から有機EL素子36側にも電源線VP1側にも流れず、有機EL素子36のアノード電位は(VP $_\$ C + Vth)を保つことが理想的である。しかしながら、特段の工夫を行わなければ、データ待機期間において、TF T32に無視できない程度のリーク電流が流れて、有機EL素子36のアノード電位は変動する。

【0108】

そこで、本実施形態に係る表示装置300は、閾値検出完了から発光開始までの間、電源線VP1の電位を共通電位Vcomにほぼ等しいVP $_\$ Cにする。これにより、待機期間において、有機EL素子36のアノード端子から電源線VP1にリーク電流が流れることを防止し、有機EL素子36のアノード電位を一定に保つことができる。

30

【0109】

(e) データ書き込み

時刻t4から時刻t5までの間に、i行目の画素回路30のデータ書き込み期間Wiが設定される。データ書き込み期間Wiでは、走査信号線Giの電位はローレベルになり、データ信号線Sjの電位はデータ電位Vdataになる。このときTF T31はオン状態になるので、ノードAの電位はVdataに変化する。また、このときTF T33はオン状態であり、有機EL素子36はコンデンサ35よりも十分に大きい容量値を有するので、ノードAの電位が変化しても、TF T32のゲート電位はその影響をほとんど受けない。

40

【0110】

(f) 発光待機

発光待機期間では、データ待機期間と同様に、走査信号線Giはハイレベルになり、電源線VP1の電位は共通電位Vcomにほぼ等しいVP $_\$ Cになる。このとき、ノードAの電位はVdataで、TF T32のゲート電位は(VP $_\$ C + Vth)である。

【0111】

(g) 発光

時刻t5より前に、制御線AZ1の電位はハイレベルに変化する。これに伴い、TF T33はオフ状態に変化する。時刻t5において、制御線E1の電位はローレベルに変化する。これに伴い、TF T34はオン状態に変化する。時刻t5において、電源線VP1の電位は共通電位Vcomよりも高いVP $_\$ Hに変化する。このため、ノードAの電位はV

50

d a t a から V P _ H に変化する。また、有機 E L 素子 3 6 には発光閾値電圧よりも高い電圧が印加され、有機 E L 素子 3 6 は発光する。電位 V P _ H は、発光期間において T F T 3 2 が飽和領域で動作するように決定される。このため、発光期間において有機 E L 素子 3 6 を流れる電流 I は、チャネル長変調効果を見做すれば、上式 (4) で与えられる。

【 0 1 1 2 】

発光期間では T F T 3 3 はオフ状態であるので、ノード A の電位が V d a t a から V P _ H に変化するすると、T F T 3 2 のゲート電位は同じ量だけ変化して (V P _ C + V t h + V P _ H - V d a t a) になる。したがって、発光期間における T F T 3 2 のゲート - ソース間電圧 V g s は、次式 (8) で与えられる。

$$V g s = V P _ C + V t h - V d a t a \quad \dots (8)$$

10

式 (4) と式 (8) から、次式 (9) が導かれる。

$$I = 1 / 2 \cdot W / L \cdot \mu \cdot C o x (V P _ C - V d a t a) ^ 2 \quad \dots (9)$$

【 0 1 1 3 】

式 (9) に示す電流 I は、データ電位 V d a t a に応じて変化するが、T F T 3 2 の閾値電圧 V t h には依存しない。したがって、閾値電圧 V t h にばらつきが生じる場合や、閾値電圧 V t h が経時的に変化する場合でも、閾値電圧 V t h に依存しない電流を有機 E L 素子 3 6 に流して、有機 E L 素子 3 6 を所望の輝度で発光させることができる。

【 0 1 1 4 】

(h) 消灯

時刻 t 6 において、制御線 E 1 の電位はハイレベルに変化する。これに伴い、T F T 3 4 はオフ状態に変化する。時刻 t 6 において、電源線 V P 1 の電位は V P _ C に変化する。このため、時刻 t 6 以降、有機 E L 素子 3 6 のアノード電位は低下する。時刻 t 6 からしばらくすると、有機 E L 素子 3 6 に印加される電圧は十分に低くなり、有機 E L 素子 3 6 は消灯する。

20

【 0 1 1 5 】

以上に示すように、本実施形態に係る表示装置 3 0 0 では、画素回路 3 0 は、電源線 V P k と共通電位 V c o m が印加される導電性部材 (電極) とを結ぶ電流経路上に、一端を導電性部材に接続して設けられた発光素子 (有機 E L 素子 3 6) と、電流経路上に、一方の導通端子を発光素子の他端に接続して設けられた駆動用トランジスタ (T F T 3 2) と、一端が駆動用トランジスタの制御端子に接続されたコンデンサ 3 5 と、コンデンサの他端とデータ信号線 S j との間に設けられ、走査信号線 G i に接続された制御端子を有する書き込み制御トランジスタ (T F T 3 1) と、駆動用トランジスタの制御端子と発光素子側の導通端子 (T F T 3 2 のドレイン端子) との間に設けられ、制御線 A Z k に接続された制御端子を有する閾値検出用トランジスタ (T F T 3 3) と、コンデンサの他端と電源線 V P k との間に設けられた電源接続用トランジスタ (T F T 3 4) とを含む。発光素子の他端 (有機 E L 素子 3 6 のカソード端子) は、共通電位 V c o m が固定的に印加された導電性部材に接続され、駆動用トランジスタの他方の導通端子は、電源線 V P k に接続される。

30

【 0 1 1 6 】

駆動回路 (走査信号線駆動回路 2 、制御回路 3 0 3 およびデータ信号線駆動回路 5 からなる回路) と電源回路 3 0 4 は、複数行の画素回路 3 0 に対する初期化を同時に行い、複数行の画素回路 3 0 に対する閾値検出を同時に行い、画素回路 3 0 に対するデータ書き込みを行ごとに順に行い、複数行の画素回路 3 0 に含まれる発光素子を同じ期間で発光させる制御を行う。電源回路 3 0 4 は、電源線 V P k に 3 種類の電位を切り替えて印加する。電源回路 3 0 4 は、画素回路 3 0 の閾値検出完了から発光開始までの期間では、画素回路 3 0 に接続される電源線 V P k に共通電位 V c o m にほぼ等しい電位 V P _ C を印加する。

40

【 0 1 1 7 】

本実施形態に係る表示装置 3 0 0 によれば、4 個のトランジスタと 1 個のコンデンサと発光素子を含む画素回路 3 0 について、閾値検出完了から発光開始までの期間では、電源

50

線 V P k に共通電位 V c o m にほぼ等しい電位 V P _ C を印加することにより、待機期間における画素回路 3 0 内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

【 0 1 1 8 】

本実施形態に係る表示装置 3 0 0 の変形例として、図 1 9 ~ 図 2 2 に示す画素回路を構えた表示装置を構成することができる。図 1 9 に示す画素回路 4 1 では、T F T 3 4 のソース端子は、調整可能な電位 V 0 を有する電源線に接続される。図 2 0 に示す画素回路 4 2 では、有機 E L 素子 3 6 のカソード端子は電源線 V C k (複数の画素回路に接続される電源線 V C 1 ~ V C q のいずれか) に接続される。この場合、電源回路は、電源線 V P k 、 V C k にそれぞれ 2 種類の電位を切り替えて印加する。図 2 1 に示す画素回路 4 3 では、T F T 3 3 のゲート端子は走査信号線 G i に接続される。図 2 2 に示す画素回路 5 0 は、N チャネル型トランジスタを用いて、第 3 の実施形態に係る画素回路 3 0 に対応する回路を構成したものである。画素回路 5 0 は、T F T 5 1 ~ 5 4 、コンデンサ 5 5 、および、有機 E L 素子 5 6 を含んでいる。画素回路 4 1 、 4 3 、 5 0 を構えた表示装置では、閾値検出完了から発光開始までの期間において、電源線 V P k に共通電位 V c o m にほぼ等しい電位 V P _ C を印加することにより、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。画素回路 4 2 を備えた表示装置では、閾値検出完了から発光開始までの期間において、電源線 V P k 、 V C k に同じ電位を印加することにより、同様の効果を得ることができる。

10

20

【 0 1 1 9 】

画素回路 3 0 、 4 1 、 5 0 を備えた表示装置によれば、1 種類の電源線を用いることにより、電源線のレイアウト面積を減らすことができる。画素回路 4 2 を備えた表示装置によれば、2 種類の電位を切り替えて印加する電源回路を用いることにより、電源回路の構成を簡単にすることができる。画素回路 4 3 を備えた表示装置によれば、1 種類の制御線と 1 種類の電源線を用いることにより、制御線と電源線のレイアウト面積を減らし、駆動回路の構成を簡単にすることができる。

【 0 1 2 0 】

以上に示すように、本発明によれば、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる表示装置において、画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に共通電位にほぼ等しい電位を印加することにより、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

30

【 産業上の利用可能性 】

【 0 1 2 1 】

本発明の表示装置は、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止できるという特徴を有するので、有機 E L ディスプレイなどの電流駆動型の表示装置に利用することができる。

【 符号の説明 】

【 0 1 2 2 】

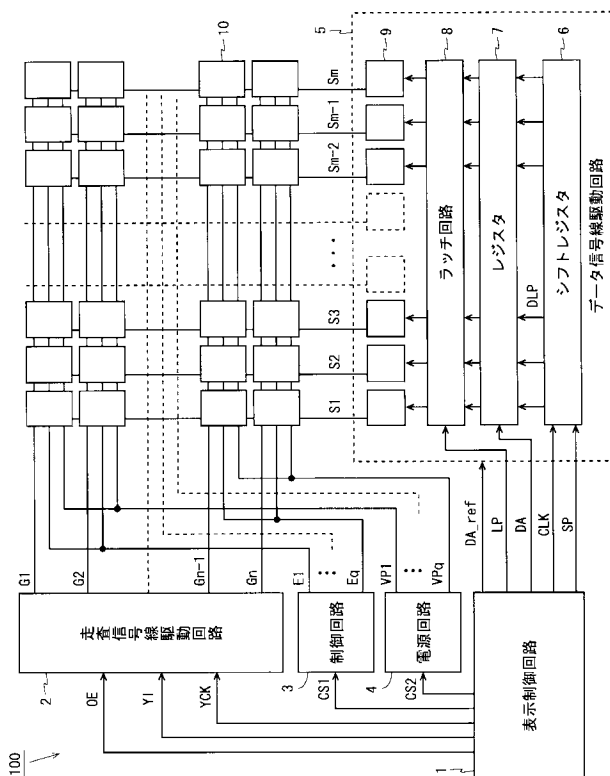
40

- 1 ... 表示制御回路
- 2 ... 走査信号線駆動回路
- 3、2 0 3、3 0 3 ... 制御回路
- 4、2 0 4、3 0 4 ... 電源回路
- 5 ... データ信号線駆動回路
- 6 ... シフトレジスタ
- 7 ... レジスタ
- 8 ... ラッチ回路
- 9 ... 出力バッファ
- 1 0、2 0、3 0、4 1 ~ 4 3、5 0 ... 画素回路

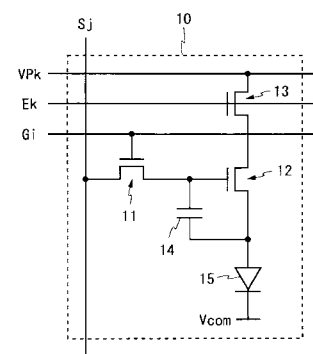
50

- 1 1、2 1、3 1、5 1 ... T F T (書き込み制御トランジスタ)
 1 2、2 2、3 2、5 2 ... T F T (駆動用トランジスタ)
 1 3 ... T F T (発光制御トランジスタ)
 1 4、2 4、2 5、3 5、5 5 ... コンデンサ
 1 5、2 6、3 6、5 6 ... 有機 E L 素子 (発光素子)
 2 3、3 3、5 3 ... T F T (閾値検出用トランジスタ)
 3 4、5 4 ... T F T (電源接続用トランジスタ)
 1 0 0、2 0 0、3 0 0 ... 表示装置

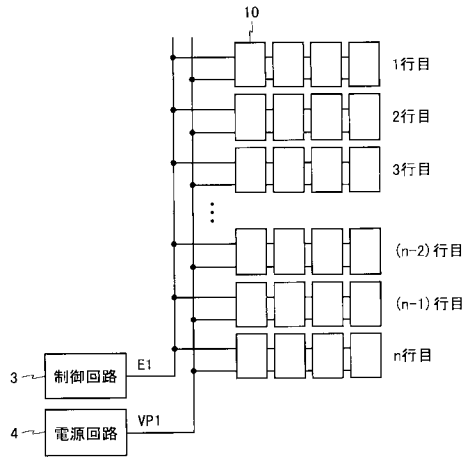
【図 1】



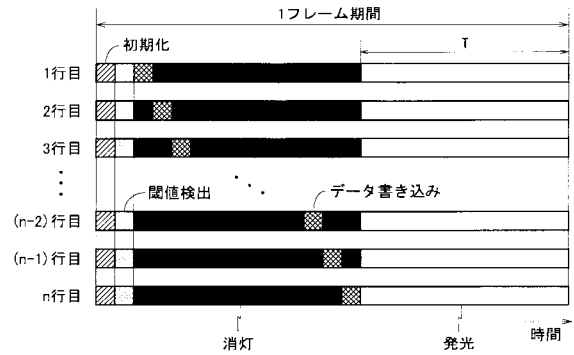
【図 2】



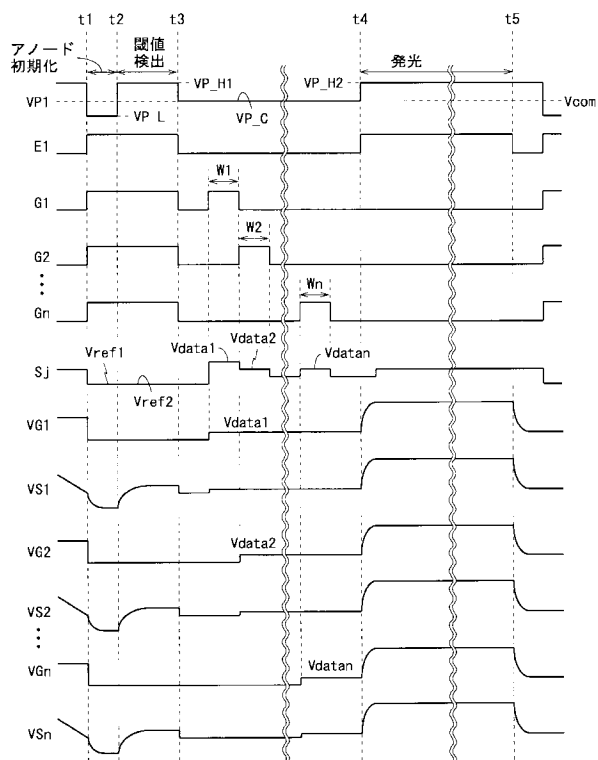
【図 3】



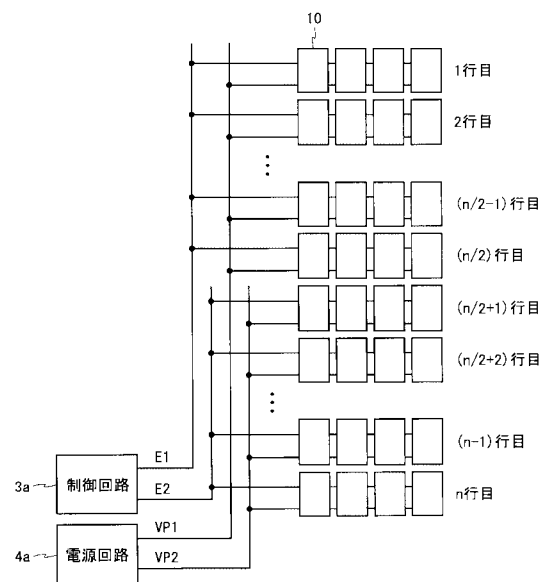
【図 4】



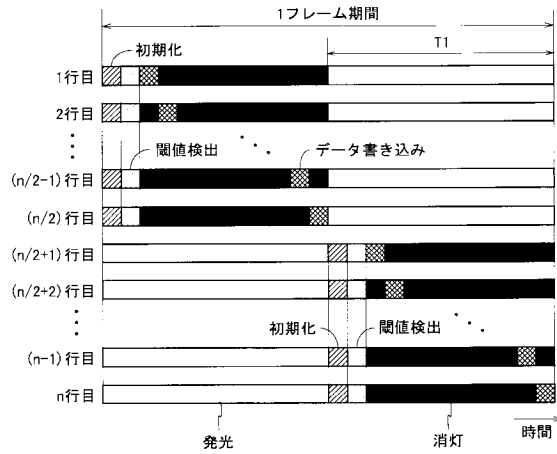
【図 5】



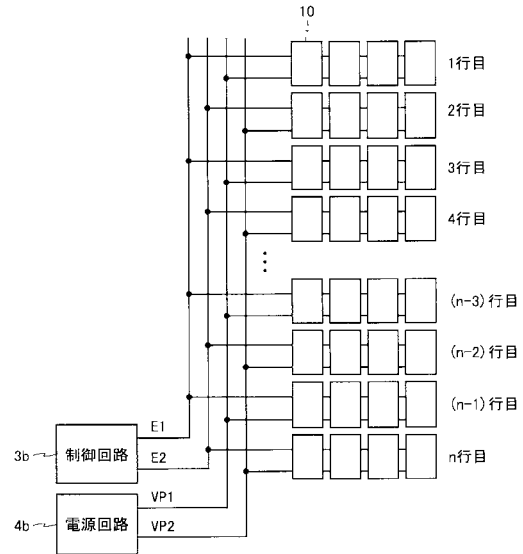
【図 6】



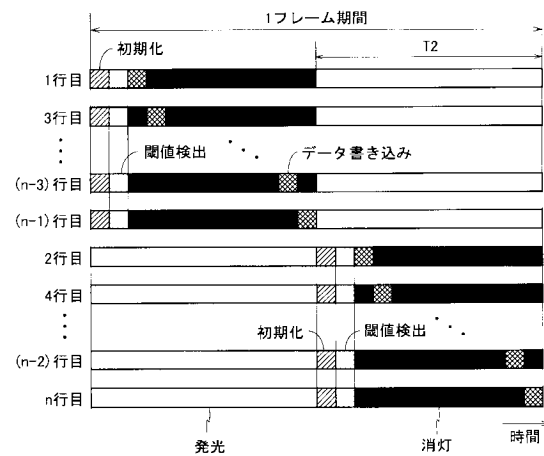
【図 7】



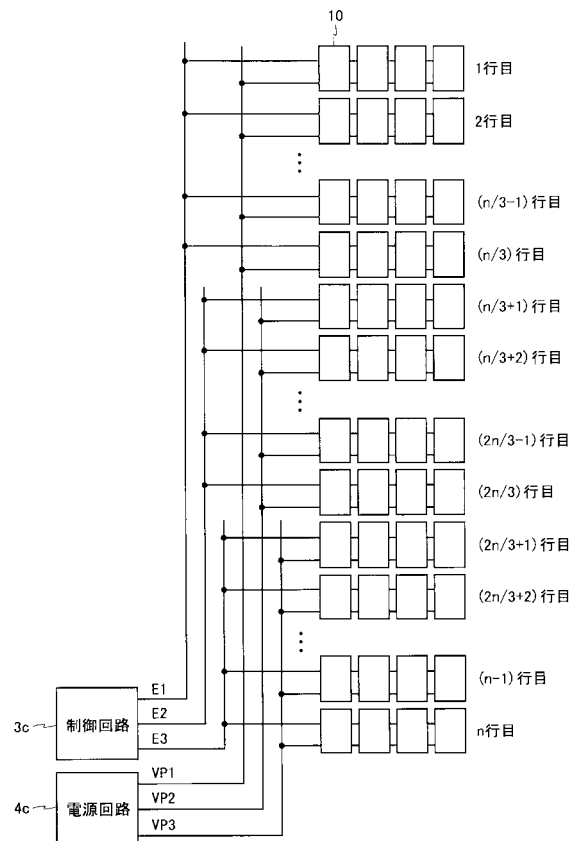
【図 8】



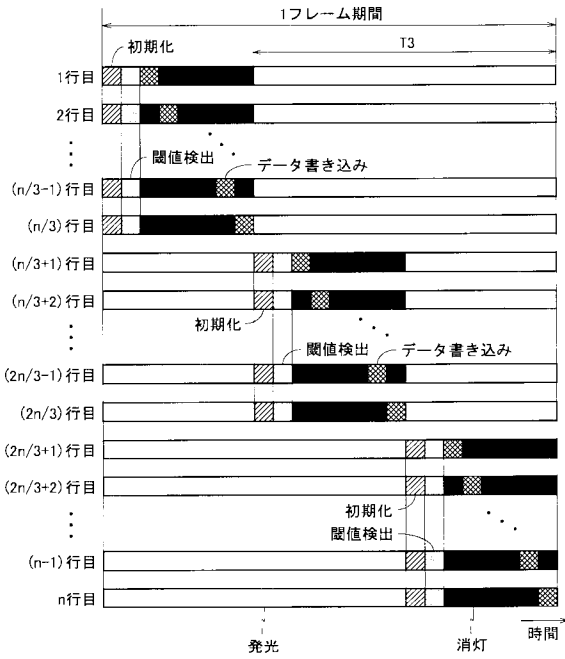
【図 9】



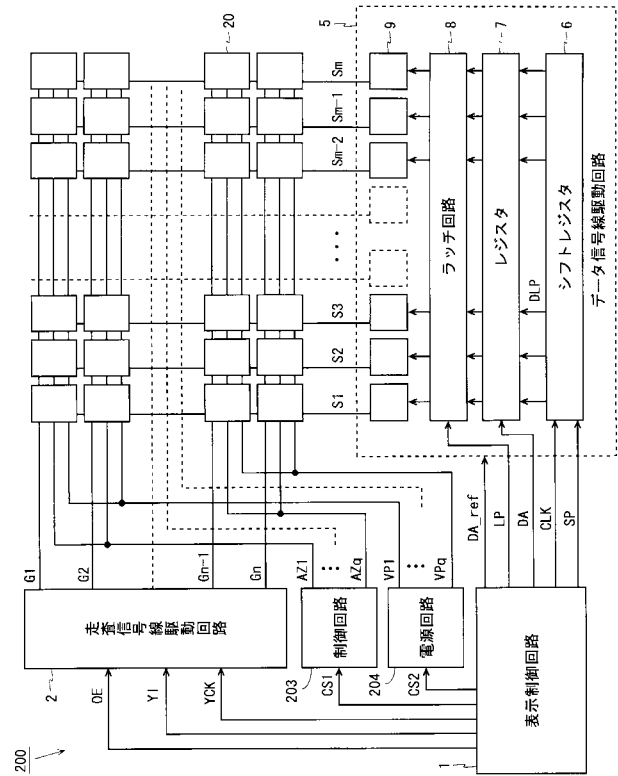
【図 10】



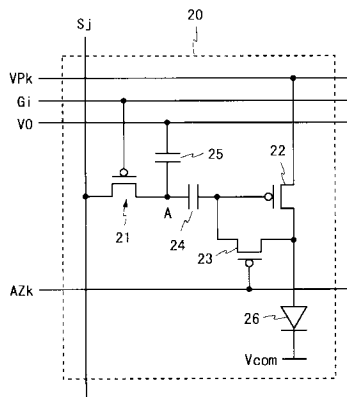
【図 1 1】



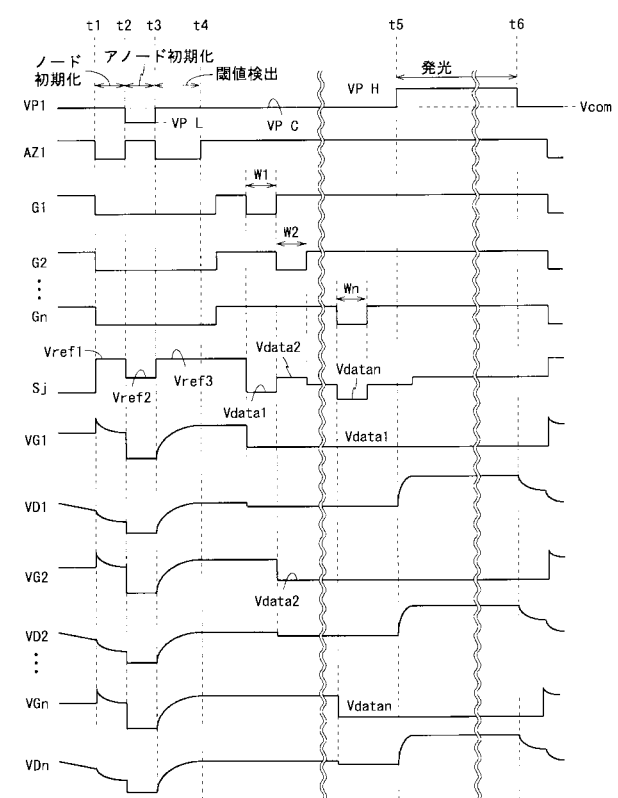
【図 1 2】



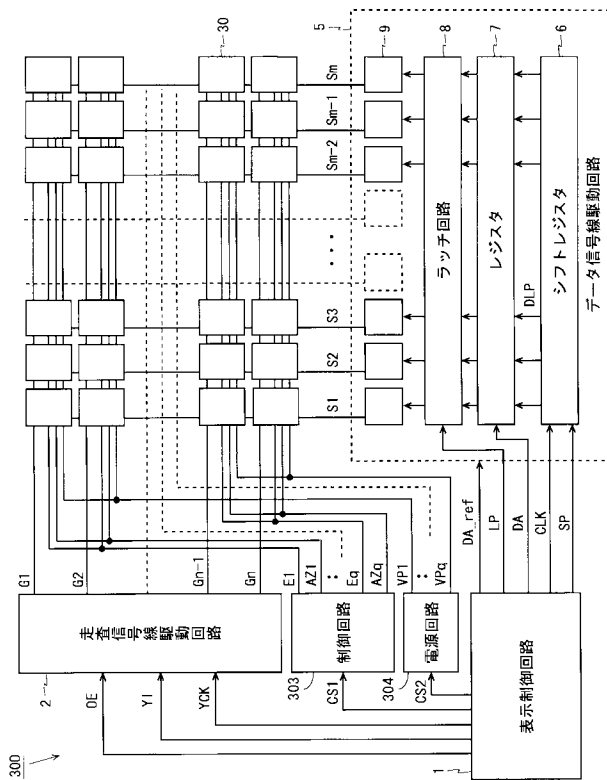
【図 1 3】



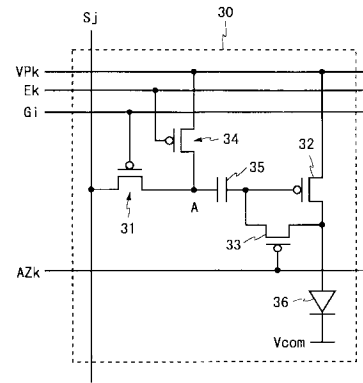
【図 1 4】



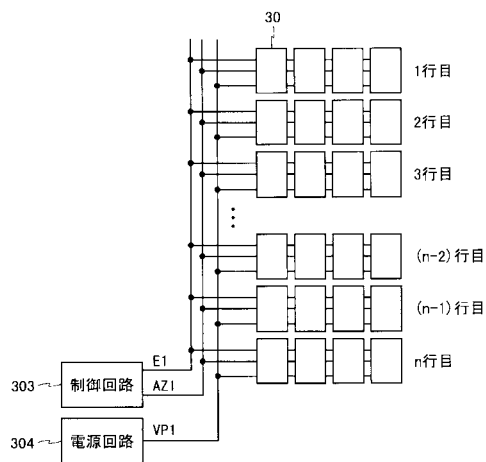
【図 15】



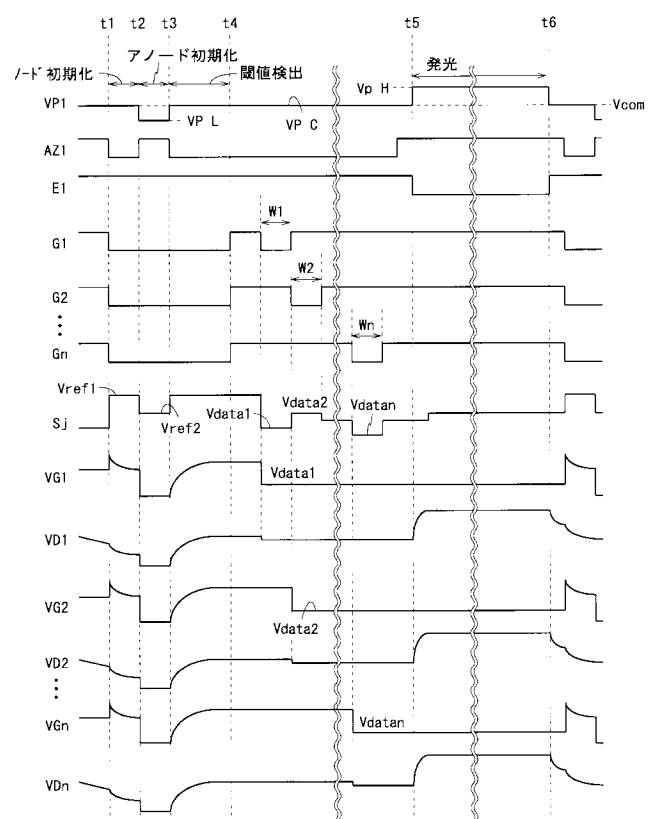
【図 16】



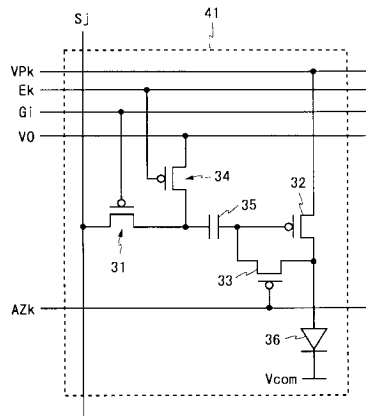
【図 17】



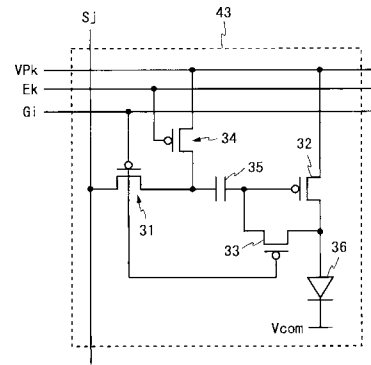
【図 18】



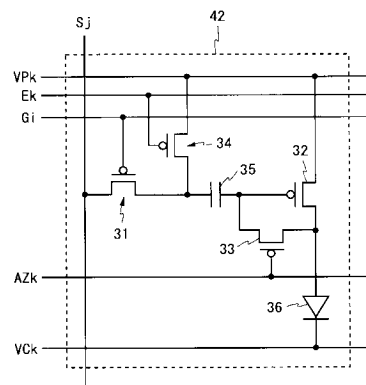
【図 19】



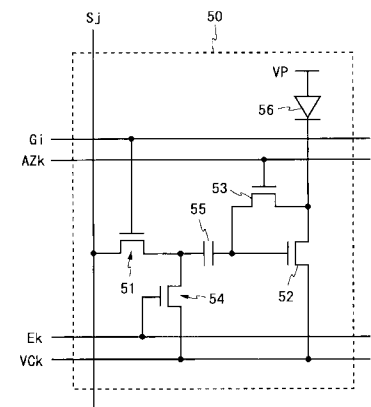
【図 21】



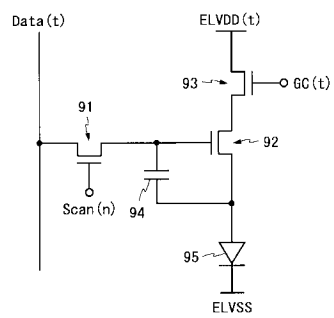
【図 20】



【図 22】



【図 23】



【手続補正書】

【提出日】平成26年4月22日(2014.4.22)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

有機ELディスプレイの画素回路は、初期化、閾値検出およびデータ書き込みのとき以外は画素回路内のノード電位を保持する必要がある。特に、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる有機EL素子を同じ期間で発光させる有機ELディスプレイでは、閾値検出完了から発光開始までの待機期間において、画素回路内のノード電位を保持する必要がある。しかしながら、この種の有機ELディスプレイでは、待機期間においてTF Tに無視できない程度のリーク電流が流れ、画素回路内のノード電位が変動することが問題となる。例えば、図23に示す画素回路では、待機期間ではTF T 9 1、9 3はオフ状態になり、有機EL素子9 5のアノード端子はフローティング状態になる。待機期間においてTF T 9 3にリーク電流が流れると、有機EL素子9 5のアノード電位が変動する。有機ELディスプレイにおいて画素回路内のノード電位が変動すると、表示画面の輝度が変動する。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】削除

【補正の内容】

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】削除

【補正の内容】

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

本発明の第1の局面は、電流駆動型の表示装置であって、
行方向と列方向に並べて配置された複数の画素回路と、
同じ行の画素回路に接続された複数の走査信号線と、
同じ列の画素回路に接続された複数のデータ信号線と、
複数行の画素回路に接続された1本以上の制御線と、
複数行の画素回路に接続された1本以上の電源線と、
前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、
前記電源線に複数の電位を切り替えて印加する電源回路とを備え、
前記画素回路は、

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一端を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他端に接続して設けられた駆動用トランジスタと、

前記データ信号線と前記駆動用トランジスタの制御端子との間に設けられ、前記走査

信号線に接続された制御端子を有する書き込み制御トランジスタと、

前記電流経路上に、前記電源線と前記駆動用トランジスタの他方の導通端子との間に設けられ、前記制御線に接続された制御端子を有する発光制御トランジスタと、

前記駆動用トランジスタの制御端子と前記発光素子側の導通端子との間に設けられたコンデンサとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行うごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第 1 電位を印加し、

初期化期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオン状態であり、前記データ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期化用の第 2 電位が印加され、

閾値検出期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオン状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に閾値検出用の第 3 電位が印加され、

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオフ状態であり、

データ書き込み期間では、前記書き込み制御トランジスタはオン状態であり、前記発光制御トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタはオフ状態であり、前記発光制御トランジスタはオン状態であり、前記電源線に発光用の第 4 電位が印加されるように、前記画素回路が制御されることを特徴とする。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 1

【補正方法】変更

【補正の内容】

【0 0 1 1】

本発明の第 2 の局面は、本発明の第 1 の局面において、

前記閾値検出用電位は、前記共通電位に前記駆動用トランジスタの閾値電圧を加算した電位であることを特徴とする。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 2

【補正方法】変更

【補正の内容】

【0 0 1 2】

本発明の第 3 の局面は、電流駆動型の表示装置であって、

行方向と列方向に並べて配置された複数の画素回路と、

同じ行の画素回路に接続された複数の走査信号線と、

同じ列の画素回路に接続された複数のデータ信号線と、

複数行の画素回路に接続された 1 本以上の制御線と、

複数行の画素回路に接続された 1 本以上の電源線と、

前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、

前記電源線に複数の電位を切り替えて印加する電源回路とを備え、

前記画素回路は、

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一端

を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他端に接続し、他方の導通端子を前記電源線に接続して設けられた駆動用トランジスタと、

一端が前記駆動用トランジスタの制御端子に接続された第1のコンデンサと、

前記第1のコンデンサの他端と前記データ信号線との間に設けられ、前記走査信号線に接続された制御端子を有する書き込み制御トランジスタと、

前記駆動用トランジスタの制御端子と前記発光素子側の導通端子との間に設けられ、前記制御線に接続された制御端子を有する閾値検出用トランジスタと、

前記第1のコンデンサの他端と所定電位を有する他の電源線との間に設けられた第2のコンデンサとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行うごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第1電位を印加することを特徴とする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

本発明の第4の局面は、本発明の第3の局面において、

初期化期間の前半部では、前記書き込み制御トランジスタはオン状態であり、前記電源線に前記第1電位が印加され

初期化期間の後半部では、前記書き込み制御トランジスタはオン状態であり、前記データ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期化用の第2電位が印加され、

閾値検出期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオン状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に前記第1電位が印加され、

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状態であり、

データ書き込み期間では、前記書き込み制御トランジスタはオン状態であり、前記閾値検出用トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状態であり、前記電源線に発光用の第3電位が印加されるように、前記画素回路が制御されることを特徴とする。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】削除

【補正の内容】

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】削除

【補正の内容】

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

本発明の第5の局面は、電流駆動型の表示装置であって、
行方向と列方向に並べて配置された複数の画素回路と、
同じ行の画素回路に接続された複数の走査信号線と、
同じ列の画素回路に接続された複数のデータ信号線と、
複数行の画素回路に接続された1本以上の制御線と、
複数行の画素回路に接続された1本以上の第2制御線と、
複数行の画素回路に接続された1本以上の電源線と、
前記走査信号線、前記データ信号線、前記制御線および前記第2制御線を駆動する駆動
回路と、
前記電源線に3種類の電位を切り替えて印加する電源回路とを備え、
前記画素回路は、
前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一端
を前記導電性部材に接続して設けられた発光素子と、
前記電流経路上に、一方の導通端子を前記発光素子の他端に接続し、他方の導通端子
を前記電源線に接続して設けられた駆動用トランジスタと、
一端が前記駆動用トランジスタの制御端子に接続されたコンデンサと、
前記コンデンサの他端と前記データ信号線との間に設けられ、前記走査信号線に接続
された制御端子を有する書き込み制御トランジスタと、
前記駆動用トランジスタの制御端子と前記発光素子側の導通端子との間に設けられ、
前記第2制御線に接続された制御端子を有する閾値検出用トランジスタと、
前記コンデンサの他端と前記電源線または所定電位を有する他の電源線との間に設け
られ、前記制御線に接続された制御端子を有する電源接続用トランジスタとを含み、
前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数
行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行
ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行
い、
前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素
回路に接続される電源線に前記共通電位にほぼ等しい第1電位を印加し、
初期化期間の前半部では、前記書き込み制御トランジスタはオン状態であり、前記電源
接続用トランジスタはオフ状態であり、前記電源線に前記第1電位が印加され、
初期化期間の後半部では、前記書き込み制御トランジスタはオン状態であり、前記電源
接続用トランジスタはオフ状態であり、前記データ信号線に前記駆動用トランジスタがオ
ン状態になる電位が印加され、前記電源線に初期化用の第2電位が印加され、
閾値検出期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオ
ン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線に閾値
検出用電位が印加され、前記電源線に前記第1電位が印加され、
閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始ま
での期間では、前記書き込み制御トランジスタと前記電源接続用トランジスタはオフ状態
であり、
データ書き込み期間では、前記書き込み制御トランジスタと前記閾値検出用トランジス
タはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線
にデータ電位が印加され、
発光期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状
態であり、前記電源接続用トランジスタはオン状態であり、前記電源線に発光用の第3電

位が印加されるように、前記画素回路が制御されることを特徴とする。

【手続補正 1 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 7

【補正方法】削除

【補正の内容】

【手続補正 1 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 8

【補正方法】変更

【補正の内容】

【0 0 1 8】

本発明の第 6 の局面は、電流駆動型の表示装置であって、
行方向と列方向に並べて配置された複数の画素回路と、
同じ行の画素回路に接続された複数の走査信号線と、
同じ列の画素回路に接続された複数のデータ信号線と、
複数行の画素回路に接続された 1 本以上の制御線と、
複数行の画素回路に接続された 1 本以上の電源線と、
前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、
前記電源線に 3 種類の電位を切り替えて印加する電源回路とを備え、
前記画素回路は、

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一端を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他端に接続し、他方の導通端子を前記電源線に接続して設けられた駆動用トランジスタと、

一端が前記駆動用トランジスタの制御端子に接続されたコンデンサと、

前記コンデンサの他端と前記データ信号線との間に設けられ、前記走査信号線に接続された制御端子を有する書き込み制御トランジスタと、

前記駆動用トランジスタの制御端子と前記発光素子側の導通端子との間に設けられ、前記走査信号線に接続された制御端子を有する閾値検出用トランジスタと、

前記コンデンサの他端と前記電源線との間に設けられ、前記制御線に接続された制御端子を有する電源接続用トランジスタとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第 1 電位を印加することを特徴とする。

【手続補正 1 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 9

【補正方法】削除

【補正の内容】

【手続補正 1 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 0

【補正方法】変更

【補正の内容】

【0 0 2 0】

本発明の第1～第6の局面によれば、電源線と共通電位が印加される導電性部材とを結ぶ電流経路上に発光素子と駆動用トランジスタを直列に接続して設けた画素回路について、閾値検出完了から発光開始までの期間では、電源線に共通電位にほぼ等しい電位を印加することにより、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

【手続補正 15】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

本発明の第1の局面によれば、3個のトランジスタと1個のコンデンサと発光素子を含む画素回路について、閾値検出完了から発光開始までの期間では、画素回路に接続される電源線に共通電位にほぼ等しい電位を印加することにより、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

【手続補正 16】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

本発明の第2の局面によれば、待機期間において発光素子を経由する電流を流れにくくし、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

【手続補正 17】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

本発明の第3または第4の局面によれば、3個のトランジスタと2個のコンデンサと発光素子を含む画素回路について、閾値検出完了から発光開始までの期間では、画素回路に接続される電源線に共通電位にほぼ等しい電位を印加することにより、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

【手続補正 18】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

本発明の第5または第6の局面によれば、4個のトランジスタと1個のコンデンサと発光素子を含む画素回路について、閾値検出完了から発光開始までの期間では、画素回路に接続される電源線に共通電位にほぼ等しい電位を印加することにより、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

【手続補正 19】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

本発明の第5の局面によれば、複数行の画素回路に接続された2種類の制御線と複数行の画素回路に接続された1種類の電源線を用いて、複数行の画素回路内の発光素子を同じ期間で発光させる表示装置を構成することができる。1種類の電源線を用いることにより、電源線のレイアウト面積を減らすことができる。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】削除

【補正の内容】

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

本発明の第6の局面によれば、複数行の画素回路に接続された1種類の制御線と複数行の画素回路に接続された1種類の電源線を用いて、複数行の画素回路内の発光素子を同じ期間で発光させる表示装置を構成することができる。1種類の制御線と1種類の電源線を用いることにより、制御線と電源線のレイアウト面積を減らし、駆動回路の構成を簡単にすることができる。

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正の内容】

【0057】

画素回路10は、電源線VPkと共通電位Vcomが印加される導電性部材（電極）とを結ぶ電流経路上に、一端を導電性部材に接続して設けられた発光素子（有機EL素子15）と、電流経路上に、一方の導通端子を発光素子の他端に接続して設けられた駆動用トランジスタ（TF T12）と、データ信号線Sjと駆動用トランジスタの制御端子との間に設けられ、走査信号線Giに接続された制御端子を有する書き込み制御トランジスタ（TF T11）と、電流経路上に、電源線VPkと駆動用トランジスタの他方の導通端子との間に設けられ、制御線Ekに接続された制御端子を有する発光制御トランジスタ（TF T13）と、駆動用トランジスタの制御端子と発光素子側の導通端子（TF T12のソース端子）との間に設けられたコンデンサ14を含む。発光素子の一端（有機EL素子15のカソード端子）は、共通電位Vcomが固定的に印加された導電性部材に接続される。

【手続補正23】

【補正対象書類名】明細書

【補正対象項目名】0092

【補正方法】変更

【補正の内容】

【0092】

以上に示すように、本実施形態に係る表示装置200では、画素回路20は、電源線VPkと共通電位Vcomが印加される導電性部材（電極）とを結ぶ電流経路上に、一端を導電性部材に接続して設けられた発光素子（有機EL素子26）と、電流経路上に、一方の導通端子を発光素子の他端に接続して設けられた駆動用トランジスタ（TF T22）と、一端が駆動用トランジスタの制御端子に接続された第1のコンデンサ24と、第1のコンデンサの他端とデータ信号線Sjとの間に設けられ、走査信号線Giに接続された制御

端子を有する書き込み制御トランジスタ（ＴＦＴ２１）と、駆動用トランジスタの制御端子と発光素子側の導通端子（ＴＦＴ２２のドレイン端子）との間に設けられ、制御線ＡＺｋに接続された制御端子を有する閾値検出用トランジスタ（ＴＦＴ２３）と、第１のコンデンサの他端と所定電位Ｖ０を有する電源線との間に設けられた第２のコンデンサ２５とを含む。発光素子の一端（有機ＥＬ素子２６のカソード端子）は、共通電位Ｖｃｏｍが固定的に印加された導電性部材に接続され、駆動用トランジスタの他方の導通端子は、電源線ＶＰｋに接続される。

【手続補正２４】

【補正対象書類名】明細書

【補正対象項目名】０１１５

【補正方法】変更

【補正の内容】

【０１１５】

以上に示すように、本実施形態に係る表示装置３００では、画素回路３０は、電源線ＶＰｋと共通電位Ｖｃｏｍが印加される導電性部材（電極）とを結ぶ電流経路上に、一端を導電性部材に接続して設けられた発光素子（有機ＥＬ素子３６）と、電流経路上に、一方の導通端子を発光素子の他端に接続して設けられた駆動用トランジスタ（ＴＦＴ３２）と、一端が駆動用トランジスタの制御端子に接続されたコンデンサ３５と、コンデンサの他端とデータ信号線Ｓｊとの間に設けられ、走査信号線Ｇｉに接続された制御端子を有する書き込み制御トランジスタ（ＴＦＴ３１）と、駆動用トランジスタの制御端子と発光素子側の導通端子（ＴＦＴ３２のドレイン端子）との間に設けられ、制御線ＡＺｋに接続された制御端子を有する閾値検出用トランジスタ（ＴＦＴ３３）と、コンデンサの他端と電源線ＶＰｋとの間に設けられた電源接続用トランジスタ（ＴＦＴ３４）とを含む。発光素子の一端（有機ＥＬ素子３６のカソード端子）は、共通電位Ｖｃｏｍが固定的に印加された導電性部材に接続され、駆動用トランジスタの他方の導通端子は、電源線ＶＰｋに接続される。

【手続補正２５】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項１】

電流駆動型の表示装置であって、

行方向と列方向に並べて配置された複数の画素回路と、

同じ行の画素回路に接続された複数の走査信号線と、

同じ列の画素回路に接続された複数のデータ信号線と、

複数行の画素回路に接続された１本以上の制御線と、

複数行の画素回路に接続された１本以上の電源線と、

前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、

前記電源線に複数の電位を切り替えて印加する電源回路とを備え、

前記画素回路は、

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一端を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他端に接続して設けられた駆動用トランジスタと、

前記データ信号線と前記駆動用トランジスタの制御端子との間に設けられ、前記走査信号線に接続された制御端子を有する書き込み制御トランジスタと、

前記電流経路上に、前記電源線と前記駆動用トランジスタの他方の導通端子との間に設けられ、前記制御線に接続された制御端子を有する発光制御トランジスタと、

前記駆動用トランジスタの制御端子と前記発光素子側の導通端子との間に設けられたコンデンサとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第 1 電位を印加し、

初期化期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオン状態であり、前記データ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期化用の第 2 電位が印加され、

閾値検出期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオン状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に閾値検出用の第 3 電位が印加され、

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオフ状態であり、

データ書き込み期間では、前記書き込み制御トランジスタはオン状態であり、前記発光制御トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタはオフ状態であり、前記発光制御トランジスタはオン状態であり、前記電源線に発光用の第 4 電位が印加されるように、前記画素回路が制御されることを特徴とする、表示装置。

【請求項 2】

前記閾値検出用電位は、前記共通電位に前記駆動用トランジスタの閾値電圧を加算した電位であることを特徴とする、請求項 1 に記載の表示装置。

【請求項 3】

電流駆動型の表示装置であって、

行方向と列方向に並べて配置された複数の画素回路と、

同じ行の画素回路に接続された複数の走査信号線と、

同じ列の画素回路に接続された複数のデータ信号線と、

複数行の画素回路に接続された 1 本以上の制御線と、

複数行の画素回路に接続された 1 本以上の電源線と、

前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、

前記電源線に複数の電位を切り替えて印加する電源回路とを備え、

前記画素回路は、

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一端を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他端に接続し、他方の導通端子を前記電源線に接続して設けられた駆動用トランジスタと、

一端が前記駆動用トランジスタの制御端子に接続された第 1 のコンデンサと、

前記第 1 のコンデンサの他端と前記データ信号線との間に設けられ、前記走査信号線に接続された制御端子を有する書き込み制御トランジスタと、

前記駆動用トランジスタの制御端子と前記発光素子側の導通端子との間に設けられ、前記制御線に接続された制御端子を有する閾値検出用トランジスタと、

前記第 1 のコンデンサの他端と所定電位を有する他の電源線との間に設けられた第 2 のコンデンサとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第 1 電位を印加することを特徴とする、表示装置。

【請求項 4】

初期化期間の前半部では、前記書き込み制御トランジスタはオン状態であり、前記電源線に前記第 1 電位が印加され

初期化期間の後半部では、前記書き込み制御トランジスタはオン状態であり、前記データ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期化用の第 2 電位が印加され、

閾値検出期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオン状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に前記第 1 電位が印加され、

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状態であり、

データ書き込み期間では、前記書き込み制御トランジスタはオン状態であり、前記閾値検出用トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状態であり、前記電源線に発光用の第 3 電位が印加されるように、前記画素回路が制御されることを特徴とする、請求項 3 に記載の表示装置。

【請求項 5】

電流駆動型の表示装置であって、

行方向と列方向に並べて配置された複数の画素回路と、

同じ行の画素回路に接続された複数の走査信号線と、

同じ列の画素回路に接続された複数のデータ信号線と、

複数行の画素回路に接続された 1 本以上の制御線と、

複数行の画素回路に接続された 1 本以上の第 2 制御線と、

複数行の画素回路に接続された 1 本以上の電源線と、

前記走査信号線、前記データ信号線、前記制御線および前記第 2 制御線を駆動する駆動回路と、

前記電源線に 3 種類の電位を切り替えて印加する電源回路とを備え、

前記画素回路は、

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一端を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他端に接続し、他方の導通端子を前記電源線に接続して設けられた駆動用トランジスタと、

一端が前記駆動用トランジスタの制御端子に接続されたコンデンサと、

前記コンデンサの他端と前記データ信号線との間に設けられ、前記走査信号線に接続された制御端子を有する書き込み制御トランジスタと、

前記駆動用トランジスタの制御端子と前記発光素子側の導通端子との間に設けられ、前記第 2 制御線に接続された制御端子を有する閾値検出用トランジスタと、

前記コンデンサの他端と前記電源線または所定電位を有する他の電源線との間に設けられ、前記制御線に接続された制御端子を有する電源接続用トランジスタとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第 1 電位を印加し、

初期化期間の前半部では、前記書き込み制御トランジスタはオン状態であり、前記電源

接続用トランジスタはオフ状態であり、前記電源線に前記第 1 電位が印加され、

初期化期間の後半部では、前記書き込み制御トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期化用の第 2 電位が印加され、

閾値検出期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に前記第 1 電位が印加され、

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記電源接続用トランジスタはオフ状態であり、

データ書き込み期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状態であり、前記電源接続用トランジスタはオン状態であり、前記電源線に発光用の第 3 電位が印加されるように、前記画素回路が制御されることを特徴とする、表示装置。

【請求項 6】

電流駆動型の表示装置であって、

行方向と列方向に並べて配置された複数の画素回路と、

同じ行の画素回路に接続された複数の走査信号線と、

同じ列の画素回路に接続された複数のデータ信号線と、

複数行の画素回路に接続された 1 本以上の制御線と、

複数行の画素回路に接続された 1 本以上の電源線と、

前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、

前記電源線に 3 種類の電位を切り替えて印加する電源回路とを備え、

前記画素回路は、

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一端を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他端に接続し、他方の導通端子を前記電源線に接続して設けられた駆動用トランジスタと、

一端が前記駆動用トランジスタの制御端子に接続されたコンデンサと、

前記コンデンサの他端と前記データ信号線との間に設けられ、前記走査信号線に接続された制御端子を有する書き込み制御トランジスタと、

前記駆動用トランジスタの制御端子と前記発光素子側の導通端子との間に設けられ、前記走査信号線に接続された制御端子を有する閾値検出用トランジスタと、

前記コンデンサの他端と前記電源線との間に設けられ、前記制御線に接続された制御端子を有する電源接続用トランジスタとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第 1 電位を印加することを特徴とする、表示装置。

【手続補正書】

【提出日】平成26年10月23日(2014.10.23)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 0

【補正方法】変更

【補正の内容】

【0010】

本発明の第1の局面は、電流駆動型の表示装置であって、
行方向と列方向に並べて配置された複数の画素回路と、
同じ行の画素回路に接続された複数の走査信号線と、
同じ列の画素回路に接続された複数のデータ信号線と、
複数行の画素回路に接続された1本以上の制御線と、
複数行の画素回路に接続された1本以上の電源線と、
前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、
前記電源線に複数の電位を切り替えて印加する電源回路とを備え、
前記画素回路は、

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一方の端子を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他方の端子に接続して設けられた駆動用トランジスタと、

前記走査信号線に接続された制御端子を有し、一方の導通端子が前記データ信号線に接続され、他方の導通端子が前記駆動用トランジスタの制御端子に接続された書き込み制御トランジスタと、

前記制御線に接続された制御端子を有し、一方の導通端子が前記電源線に接続され、他方の導通端子が前記駆動用トランジスタの他方の導通端子に接続された発光制御トランジスタと、

前記駆動用トランジスタの制御端子と前記発光素子側の導通端子との間に接続されたコンデンサとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第1電位を印加し、

初期化期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオン状態であり、前記データ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期化用の第2電位が印加され、

閾値検出期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオン状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に閾値検出用の第3電位が印加され、

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオフ状態であり、

データ書き込み期間では、前記書き込み制御トランジスタはオン状態であり、前記発光制御トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタはオフ状態であり、前記発光制御トランジスタはオン状態であり、前記電源線に発光用の第4電位が印加されるように、前記画素回路が制御されることを特徴とする。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

本発明の第3の局面は、電流駆動型の表示装置であって、
行方向と列方向に並べて配置された複数の画素回路と、
同じ行の画素回路に接続された複数の走査信号線と、
同じ列の画素回路に接続された複数のデータ信号線と、
複数行の画素回路に接続された1本以上の制御線と、
複数行の画素回路に接続された1本以上の電源線と、
前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、
前記電源線に複数の電位を切り替えて印加する電源回路とを備え、
前記画素回路は、

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一方の端子を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他方の端子に接続し、他方の導通端子を前記電源線に接続して設けられた駆動用トランジスタと、

一方の端子が前記駆動用トランジスタの制御端子に接続された第1のコンデンサと、
前記走査信号線に接続された制御端子を有し、一方の導通端子が前記第1のコンデンサの他方の端子に接続され、他方の導通端子が前記データ信号線に接続された書き込み制御トランジスタと、

前記制御線に接続された制御端子を有し、一方の導通端子が前記駆動用トランジスタの制御端子に接続され、他方の導通端子が前記駆動用トランジスタの前記発光素子側の導通端子に接続された閾値検出用トランジスタと、

前記第1のコンデンサの他方の端子と所定電位を有する他の電源線との間に接続された第2のコンデンサとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第1電位を印加することを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

本発明の第5の局面は、電流駆動型の表示装置であって、
行方向と列方向に並べて配置された複数の画素回路と、
同じ行の画素回路に接続された複数の走査信号線と、
同じ列の画素回路に接続された複数のデータ信号線と、
複数行の画素回路に接続された1本以上の制御線と、
複数行の画素回路に接続された1本以上の第2制御線と、
複数行の画素回路に接続された1本以上の電源線と、
前記走査信号線、前記データ信号線、前記制御線および前記第2制御線を駆動する駆動回路と、

前記電源線に3種類の電位を切り替えて印加する電源回路とを備え、

前記画素回路は、

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一方の端子を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他方の端子に接続し、他方の導通端子を前記電源線に接続して設けられた駆動用トランジスタと、

一方の端子が前記駆動用トランジスタの制御端子に接続されたコンデンサと、
前記走査信号線に接続された制御端子を有し、一方の導通端子が前記コンデンサの他方の端子に接続され、他方の導通端子が前記データ信号線に接続された書き込み制御トランジスタと、

前記第2制御線に接続された制御端子を有し、一方の導通端子が前記駆動用トランジスタの制御端子に接続され、他方の導通端子が前記駆動用トランジスタの前記発光素子側の導通端子に接続された閾値検出用トランジスタと、

前記制御線に接続された制御端子を有し、一方の導通端子が前記コンデンサの他方の端子に接続され、他方の導通端子が前記電源線または所定電位を有する他の電源線に接続された電源接続用トランジスタとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行うごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第1電位を印加し、

初期化期間の前半部では、前記書き込み制御トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記電源線に前記第1電位が印加され、

初期化期間の後半部では、前記書き込み制御トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期化用の第2電位が印加され、

閾値検出期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に前記第1電位が印加され、

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記電源接続用トランジスタはオフ状態であり、

データ書き込み期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状態であり、前記電源接続用トランジスタはオン状態であり、前記電源線に発光用の第3電位が印加されるように、前記画素回路が制御されることを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

本発明の第6の局面は、電流駆動型の表示装置であって、

行方向と列方向に並べて配置された複数の画素回路と、

同じ行の画素回路に接続された複数の走査信号線と、

同じ列の画素回路に接続された複数のデータ信号線と、

複数行の画素回路に接続された1本以上の制御線と、

複数行の画素回路に接続された1本以上の電源線と、

前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、

前記電源線に3種類の電位を切り替えて印加する電源回路とを備え、

前記画素回路は、

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一方の端子を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他方の端子に接続し、他方の導通端子を前記電源線に接続して設けられた駆動用トランジスタと、

一方の端子が前記駆動用トランジスタの制御端子に接続されたコンデンサと、

前記走査信号線に接続された制御端子を有し、一方の導通端子が前記コンデンサの他方の端子に接続され、他方の導通端子が前記データ信号線に接続された書き込み制御トランジスタと、

前記走査信号線に接続された制御端子を有し、一方の導通端子が前記駆動用トランジスタの制御端子に接続され、他方の導通端子が前記駆動用トランジスタの前記発光素子側の導通端子に接続された閾値検出用トランジスタと、

前記制御線に接続された制御端子を有し、一方の導通端子が前記コンデンサの他方の端子に接続され、他方の導通端子が前記電源線に接続された電源接続用トランジスタとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第1電位を印加することを特徴とする。

【手続補正5】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項1

【補正方法】変更

【補正の内容】

【請求項1】

電流駆動型の表示装置であって、

行方向と列方向に並べて配置された複数の画素回路と、

同じ行の画素回路に接続された複数の走査信号線と、

同じ列の画素回路に接続された複数のデータ信号線と、

複数行の画素回路に接続された1本以上の制御線と、

複数行の画素回路に接続された1本以上の電源線と、

前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、

前記電源線に複数の電位を切り替えて印加する電源回路とを備え、

前記画素回路は、

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一方の端子を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他方の端子に接続して設けられた駆動用トランジスタと、

前記走査信号線に接続された制御端子を有し、一方の導通端子が前記データ信号線に接続され、他方の導通端子が前記駆動用トランジスタの制御端子に接続された書き込み制御トランジスタと、

前記制御線に接続された制御端子を有し、一方の導通端子が前記電源線に接続され、他方の導通端子が前記駆動用トランジスタの他方の導通端子に接続された発光制御トランジスタと、

前記駆動用トランジスタの制御端子と前記発光素子側の導通端子との間に接続されたコンデンサとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第 1 電位を印加し、

初期化期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオン状態であり、前記データ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期化用の第 2 電位が印加され、

閾値検出期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオン状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に閾値検出用の第 3 電位が印加され、

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオフ状態であり、

データ書き込み期間では、前記書き込み制御トランジスタはオン状態であり、前記発光制御トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタはオフ状態であり、前記発光制御トランジスタはオン状態であり、前記電源線に発光用の第 4 電位が印加されるように、前記画素回路が制御されることを特徴とする、表示装置。

【手続補正 6】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 3

【補正方法】変更

【補正の内容】

【請求項 3】

電流駆動型の表示装置であって、

行方向と列方向に並べて配置された複数の画素回路と、

同じ行の画素回路に接続された複数の走査信号線と、

同じ列の画素回路に接続された複数のデータ信号線と、

複数行の画素回路に接続された 1 本以上の制御線と、

複数行の画素回路に接続された 1 本以上の電源線と、

前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、

前記電源線に複数の電位を切り替えて印加する電源回路とを備え、

前記画素回路は、

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一方の端子を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他方の端子に接続し、他方の導通端子を前記電源線に接続して設けられた駆動用トランジスタと、

一方の端子が前記駆動用トランジスタの制御端子に接続された第 1 のコンデンサと、
前記走査信号線に接続された制御端子を有し、一方の導通端子が前記第 1 のコンデンサの他方の端子に接続され、他方の導通端子が前記データ信号線に接続された書き込み制御トランジスタと、

前記制御線に接続された制御端子を有し、一方の導通端子が前記駆動用トランジスタの制御端子に接続され、他方の導通端子が前記駆動用トランジスタの前記発光素子側の導通端子に接続された閾値検出用トランジスタと、

前記第 1 のコンデンサの他方の端子と所定電位を有する他の電源線との間に接続された第 2 のコンデンサとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第 1 電位を印加することを特徴とす

る、表示装置。

【手続補正 7】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 5

【補正方法】変更

【補正の内容】

【請求項 5】

電流駆動型の表示装置であって、
行方向と列方向に並べて配置された複数の画素回路と、
同じ行の画素回路に接続された複数の走査信号線と、
同じ列の画素回路に接続された複数のデータ信号線と、
複数行の画素回路に接続された 1 本以上の制御線と、
複数行の画素回路に接続された 1 本以上の第 2 制御線と、
複数行の画素回路に接続された 1 本以上の電源線と、
前記走査信号線、前記データ信号線、前記制御線および前記第 2 制御線を駆動する駆動回路と、

前記電源線に 3 種類の電位を切り替えて印加する電源回路とを備え、

前記画素回路は、

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一方の端子を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他方の端子に接続し、他方の導通端子を前記電源線に接続して設けられた駆動用トランジスタと、

一方の端子が前記駆動用トランジスタの制御端子に接続されたコンデンサと、

前記走査信号線に接続された制御端子を有し、一方の導通端子が前記コンデンサの他方の端子に接続され、他方の導通端子が前記データ信号線に接続された書き込み制御トランジスタと、

前記第 2 制御線に接続された制御端子を有し、一方の導通端子が前記駆動用トランジスタの制御端子に接続され、他方の導通端子が前記駆動用トランジスタの前記発光素子側の導通端子に接続された閾値検出用トランジスタと、

前記制御線に接続された制御端子を有し、一方の導通端子が前記コンデンサの他方の端子に接続され、他方の導通端子が前記電源線または所定電位を有する他の電源線に接続された電源接続用トランジスタとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行うごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第 1 電位を印加し、

初期化期間の前半部では、前記書き込み制御トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記電源線に前記第 1 電位が印加され、

初期化期間の後半部では、前記書き込み制御トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期化用の第 2 電位が印加され、

閾値検出期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に前記第 1 電位が印加され、

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記電源接続用トランジスタはオフ状態であり、

データ書き込み期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタ

タはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状態であり、前記電源接続用トランジスタはオン状態であり、前記電源線に発光用の第3電位が印加されるように、前記画素回路が制御されることを特徴とする、表示装置。

【手続補正8】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項6

【補正方法】変更

【補正の内容】

【請求項6】

電流駆動型の表示装置であって、
行方向と列方向に並べて配置された複数の画素回路と、
同じ行の画素回路に接続された複数の走査信号線と、
同じ列の画素回路に接続された複数のデータ信号線と、
複数行の画素回路に接続された1本以上の制御線と、
複数行の画素回路に接続された1本以上の電源線と、
前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、
前記電源線に3種類の電位を切り替えて印加する電源回路とを備え、
前記画素回路は、

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一方の端子を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他方の端子に接続し、他方の導通端子を前記電源線に接続して設けられた駆動用トランジスタと、

一方の端子が前記駆動用トランジスタの制御端子に接続されたコンデンサと、

前記走査信号線に接続された制御端子を有し、一方の導通端子が前記コンデンサの他方の端子に接続され、他方の導通端子が前記データ信号線に接続された書き込み制御トランジスタと、

前記走査信号線に接続された制御端子を有し、一方の導通端子が前記駆動用トランジスタの制御端子に接続され、他方の導通端子が前記駆動用トランジスタの前記発光素子側の導通端子に接続された閾値検出用トランジスタと、

前記制御線に接続された制御端子を有し、一方の導通端子が前記コンデンサの他方の端子に接続され、他方の導通端子が前記電源線に接続された電源接続用トランジスタとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第1電位を印加することを特徴とする、表示装置。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/079102

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-280059 A (Kibi Denshi Kofun Yugen Koshi), 07 October 2004 (07.10.2004), paragraphs [0072] to [0103]; fig. 12 to 19 & US 2004/0174354 A1 & TW 239500 B & CN 1558390 A	1-2, 7-8, 12
P, X	JP 2012-208459 A (Samsung Mobile Display Co., Ltd.), 25 October 2012 (25.10.2012), paragraphs [0053] to [0080]; fig. 1A to 3B & EP 2506240 A2 & EP 2506241 A2 & EP 2506589 A2 & CN 102737571 A	1, 12

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29 January, 2013 (29.01.13)Date of mailing of the international search report
05 February, 2013 (05.02.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/079102

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-3744 A (Kibi Denshi Kofun Yugen Koshi), 05 January 2006 (05.01.2006), entire text; all drawings & US 2005/0280616 A1 & CN 1710637 A & TWB 00I300916	1-12
A	WO 2010/137268 A1 (Panasonic Corp.), 02 December 2010 (02.12.2010), entire text; all drawings & CN 102428508 A & KR 10-2012-0022808 A	1-12
A	JP 2009-122352 A (Sony Corp.), 04 June 2009 (04.06.2009), entire text; all drawings & US 2009/0122053 A1 & EP 2061023 A2 & CN 101436384 A & SG 153005 A & KR 10-2009-0049990 A & TW 200926111 A	1-12
A	JP 2003-288049 A (Semiconductor Energy Laboratory Co., Ltd.), 10 October 2003 (10.10.2003), entire text; all drawings & US 2003/0137503 A1 & US 2011/0115758 A1 & EP 1331627 A2 & EP 2348502 A2 & CN 1437178 A & CN 102176300 A	1-12
A	JP 2011-170361 A (Panasonic Corp.), 01 September 2011 (01.09.2011), entire text; all drawings & EP 2405418 A1 & WO 2010/100938 A1 & CN 102047312 A & KR 10-2011-0123197 A	1-12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/079102

Box No. II Observations where certain claims were found unsearchable (Continuation of Item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention of claim 1 cannot be considered to be novel in the light of the invention disclosed in the document 1 (JP 2004-280059 A (Kibi Denshi Kofun Yugen Koshi), 07 October 2004 (07.10.2004)), and does not have a special technical feature.

Therefore, two or more inventions, which respectively have technical features different from one another, are involved in claims.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

国際調査報告		国際出願番号 PCT/J P 2 0 1 2 / 0 7 9 1 0 2									
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/30, G09G3/20, H01L51/50											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2013年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2013年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2013年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2013年	日本国実用新案登録公報	1996-2013年	日本国登録実用新案公報	1994-2013年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2013年										
日本国実用新案登録公報	1996-2013年										
日本国登録実用新案公報	1994-2013年										
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
X	JP 2004-280059 A (奇美電子股▲ふん▼有限公司) 2004.10.07, 【O 0 7 2】 - 【O 1 0 3】, 図1 2 - 1 9 & US 2004/0174354 A1 & TW 239500 B & CN 1558390 A	1-2, 7-8, 12									
P, X	JP 2012-208459 A (三星モバイルディスプレイ株式会社) 2012.10.25, 【O 0 5 3】 - 【O 0 8 0】, 図1 A - 図3 B & EP 2506240 A2 & EP 2506241 A2 & EP 2506589 A2 & CN 102737571 A	1, 12									
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。											
<table border="0"> <tr> <td> * 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 </td> <td> の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献 </td> </tr> </table>				* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献						
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献										
国際調査を完了した日 29.01.2013		国際調査報告の発送日 05.02.2013									
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 橋本 直明 電話番号 03-3581-1101 内線 3226	2G 9707								

国際調査報告		国際出願番号 PCT/J P 2 0 1 2 / 0 7 9 1 0 2
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-3744 A (奇美電子股▲ふん▼有限公司) 2006.01.05, 全文・全図 & US 2005/0280616 A1 & CN 1710637 A & TWB 00I300916	1-12
A	WO 2010/137268 A1 (パナソニック株式会社) 2010.12.02, 全文・全図 & CN 102428508 A & KR 10-2012-0022808 A	1-12
A	JP 2009-122352 A (ソニー株式会社) 2009.06.04, 全文・全図 & US 2009/0122053 A1 & EP 2061023 A2 & CN 101436384 A & SG 153005 A & KR 10-2009-0049990 A & TW 200926111 A	1-12
A	JP 2003-288049 A (株式会社半導体エネルギー研究所) 2003.10.10, 全文・全図 & US 2003/0137503 A1 & US 2011/0115758 A1 & EP 1331627 A2 & EP 2348502 A2 & CN 1437178 A & CN 102176300 A	1-12
A	JP 2011-170361 A (パナソニック株式会社) 2011.09.01, 全文・全図 & EP 2405418 A1 & WO 2010/100938 A1 & CN 102047312 A & KR 10-2011-0123197 A	1-12

国際調査報告

国際出願番号 PCT/J P 2 0 1 2 / 0 7 9 1 0 2

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査することを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求項1に係る発明は、文献1（JP 2004-280059 A（奇美電子股▲ふん▼有限公司）2004.10.07）に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。
したがって、請求の範囲には、それぞれ異なる技術的特徴を有する二以上の発明が含まれている。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 4 2 C
	H 0 5 B 33/14	A

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

F ターム(参考) 5C080 AA06 BB05 DD03 FF11 FF12 HH09 JJ02 JJ03 JJ04
 5C380 AA01 AB06 BA10 BA11 BA39 BB02 BB21 CA08 CA12 CA53
 CA54 CB01 CB12 CB16 CB31 CC04 CC07 CC26 CC27 CC33
 CC39 CC41 CC52 CC63 CC64 CD013 CD014 CD023 CF07 CF09
 CF22 DA32 DA34 DA35 DA47

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JPWO2013073466A1	公开(公告)日	2015-04-02
申请号	JP2013544243	申请日	2012-11-09
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	岸宣孝		
发明人	岸 宣孝		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3241 G09G3/3233 G09G2300/0852 G09G2300/0861		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.622.C G09G3/20.622.D G09G3/20.611.H G09G3/20.642.A G09G3/20.642.C H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD03 5C080/FF11 5C080/FF12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/BA10 5C380/BA11 5C380/BA39 5C380/BB02 5C380/BB21 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB12 5C380/CB16 5C380/CB31 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC63 5C380/CC64 5C380/CD013 5C380/CD014 5C380/CD023 5C380/CF07 5C380/CF09 5C380/CF22 5C380/DA32 5C380/DA34 5C380/DA35 5C380/DA47		
代理人(译)	岛田彰 川原贤治 川本悟		
优先权	2011252113 2011-11-17 JP		
其他公开文献	JP5680218B2		
外部链接	Espacenet		

摘要(译)

在像素电路10中，在连接电源线VPk和具有公共电位Vcom的电极的电流路径上设置TFT 12和13以及有机EL元件15。显示装置100同时对多行的像素电路10进行初始化，同时对多行的像素电路10进行阈值检测，逐行依次向像素电路10和多行像素电路10中写入数据。包含的有机EL元件15以相同的周期发光。在从阈值检测完成到发光开始的时间段内，将TFT 11和13控制为处于截止状态，并且将近似等于公共电位Vcom的电位VP_C施加至电源线VPk。这抑制了流过TFT 12和13的泄漏电流，并且防止了像素电路10中的节点电势在待机期间改变。

