

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5680218号
(P5680218)

(45) 発行日 平成27年3月4日 (2015.3.4)

(24) 登録日 平成27年1月16日 (2015.1.16)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006.01)

G 0 9 G 3 / 2 0 (2006.01)

H 0 1 L 5 1 / 5 0 (2006.01)

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 2 0 6 2 4 B

G 0 9 G 3 / 2 0 6 2 2 C

G 0 9 G 3 / 2 0 6 2 2 D

G 0 9 G 3 / 2 0 6 1 1 H

請求項の数 6 (全 31 頁) 最終頁に続く

(21) 出願番号 特願2013-544243 (P2013-544243)
 (86) (22) 出願日 平成24年11月9日 (2012.11.9)
 (86) 国際出願番号 PCT/JP2012/079102
 (87) 国際公開番号 W02013/073466
 (87) 国際公開日 平成25年5月23日 (2013.5.23)
 審査請求日 平成26年4月22日 (2014.4.22)
 (31) 優先権主張番号 特願2011-252113 (P2011-252113)
 (32) 優先日 平成23年11月17日 (2011.11.17)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (74) 代理人 100121348
 弁理士 川原 健児
 (74) 代理人 100114247
 弁理士 奥田 邦廣
 (74) 代理人 100148459
 弁理士 河本 悟
 (72) 発明者 岸 宣孝
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項1】

電流駆動型の表示装置であって、
 行方向と列方向に並べて配置された複数の画素回路と、
 同じ行の画素回路に接続された複数の走査信号線と、
 同じ列の画素回路に接続された複数のデータ信号線と、
 複数行の画素回路に接続された1本以上の制御線と、
 複数行の画素回路に接続された1本以上の電源線と、
 前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、
 前記電源線に複数の電位を切り替えて印加する電源回路とを備え、
 前記画素回路は、

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一方の端子を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他方の端子に接続して設けられた駆動用トランジスタと、

前記走査信号線に接続された制御端子を有し、一方の導通端子が前記データ信号線に接続され、他方の導通端子が前記駆動用トランジスタの制御端子に接続された書き込み制御トランジスタと、

前記制御線に接続された制御端子を有し、一方の導通端子が前記電源線に接続され、他方の導通端子が前記駆動用トランジスタの他方の導通端子に接続された発光制御トラン

ジスタと、

前記駆動用トランジスタの制御端子と前記発光素子側の導通端子との間に接続されたコンデンサとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第 1 電位を印加し、

初期化期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオン状態であり、前記データ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期化用の第 2 電位が印加され、

閾値検出期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオン状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に閾値検出用の第 3 電位が印加され、

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオフ状態であり、

データ書き込み期間では、前記書き込み制御トランジスタはオン状態であり、前記発光制御トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタはオフ状態であり、前記発光制御トランジスタはオン状態であり、前記電源線に発光用の第 4 電位が印加されるように、前記画素回路が制御されることを特徴とする、表示装置。

【請求項 2】

前記閾値検出用電位は、前記共通電位に前記駆動用トランジスタの閾値電圧を加算した電位であることを特徴とする、請求項 1 に記載の表示装置。

【請求項 3】

電流駆動型の表示装置であって、

行方向と列方向に並べて配置された複数の画素回路と、

同じ行の画素回路に接続された複数の走査信号線と、

同じ列の画素回路に接続された複数のデータ信号線と、

複数行の画素回路に接続された 1 本以上の制御線と、

複数行の画素回路に接続された 1 本以上の電源線と、

前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、

前記電源線に複数の電位を切り替えて印加する電源回路とを備え、

前記画素回路は、

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一方の端子を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他方の端子に接続し、他方の導通端子を前記電源線に接続して設けられた駆動用トランジスタと、

一方の端子が前記駆動用トランジスタの制御端子に接続された第 1 のコンデンサと、前記走査信号線に接続された制御端子を有し、一方の導通端子が前記第 1 のコンデンサの他方の端子に接続され、他方の導通端子が前記データ信号線に接続された書き込み制御トランジスタと、

前記制御線に接続された制御端子を有し、一方の導通端子が前記駆動用トランジスタの制御端子に接続され、他方の導通端子が前記駆動用トランジスタの前記発光素子側の導通端子に接続された閾値検出用トランジスタと、

前記第 1 のコンデンサの他方の端子と所定電位を有する他の電源線との間に接続された第 2 のコンデンサとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数

10

20

30

40

50

行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行うごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第1電位を印加することを特徴とする、表示装置。

【請求項4】

初期化期間の前半部では、前記書き込み制御トランジスタはオン状態であり、前記電源線に前記第1電位が印加され

初期化期間の後半部では、前記書き込み制御トランジスタはオン状態であり、前記データ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期化用の第2電位が印加され、

閾値検出期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオン状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に前記第1電位が印加され、

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状態であり、

データ書き込み期間では、前記書き込み制御トランジスタはオン状態であり、前記閾値検出用トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状態であり、前記電源線に発光用の第3電位が印加されるように、前記画素回路が制御されることを特徴とする、請求項3に記載の表示装置。

【請求項5】

電流駆動型の表示装置であって、

行方向と列方向に並べて配置された複数の画素回路と、

同じ行の画素回路に接続された複数の走査信号線と、

同じ列の画素回路に接続された複数のデータ信号線と、

複数行の画素回路に接続された1本以上の制御線と、

複数行の画素回路に接続された1本以上の第2制御線と、

複数行の画素回路に接続された1本以上の電源線と、

前記走査信号線、前記データ信号線、前記制御線および前記第2制御線を駆動する駆動回路と、

前記電源線に3種類の電位を切り替えて印加する電源回路とを備え、

前記画素回路は、

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一方の端子を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他方の端子に接続し、他方の導通端子を前記電源線に接続して設けられた駆動用トランジスタと、

一方の端子が前記駆動用トランジスタの制御端子に接続されたコンデンサと、

前記走査信号線に接続された制御端子を有し、一方の導通端子が前記コンデンサの他方の端子に接続され、他方の導通端子が前記データ信号線に接続された書き込み制御トランジスタと、

前記第2制御線に接続された制御端子を有し、一方の導通端子が前記駆動用トランジスタの制御端子に接続され、他方の導通端子が前記駆動用トランジスタの前記発光素子側の導通端子に接続された閾値検出用トランジスタと、

前記制御線に接続された制御端子を有し、一方の導通端子が前記コンデンサの他方の端子に接続され、他方の導通端子が前記電源線または所定電位を有する他の電源線に接続された電源接続用トランジスタとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数

10

20

30

40

50

行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第1電位を印加し、

初期化期間の前半部では、前記書き込み制御トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記電源線に前記第1電位が印加され、

初期化期間の後半部では、前記書き込み制御トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期化用の第2電位が印加され、

10

閾値検出期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に前記第1電位が印加され、

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記電源接続用トランジスタはオフ状態であり、

データ書き込み期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状態であり、前記電源接続用トランジスタはオン状態であり、前記電源線に発光用の第3電位が印加されるように、前記画素回路が制御されることを特徴とする、表示装置。

20

【請求項6】

電流駆動型の表示装置であって、

行方向と列方向に並べて配置された複数の画素回路と、

同じ行の画素回路に接続された複数の走査信号線と、

同じ列の画素回路に接続された複数のデータ信号線と、

複数行の画素回路に接続された1本以上の制御線と、

複数行の画素回路に接続された1本以上の電源線と、

前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、

30

前記電源線に3種類の電位を切り替えて印加する電源回路とを備え、

前記画素回路は、

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一方の端子を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他方の端子に接続し、他方の導通端子を前記電源線に接続して設けられた駆動用トランジスタと、

一方の端子が前記駆動用トランジスタの制御端子に接続されたコンデンサと、

前記走査信号線に接続された制御端子を有し、一方の導通端子が前記コンデンサの他方の端子に接続され、他方の導通端子が前記データ信号線に接続された書き込み制御トランジスタと、

40

前記走査信号線に接続された制御端子を有し、一方の導通端子が前記駆動用トランジスタの制御端子に接続され、他方の導通端子が前記駆動用トランジスタの前記発光素子側の導通端子に接続された閾値検出用トランジスタと、

前記制御線に接続された制御端子を有し、一方の導通端子が前記コンデンサの他方の端子に接続され、他方の導通端子が前記電源線に接続された電源接続用トランジスタとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

50

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第1電位を印加することを特徴とする、表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、より特定のには、有機ELディスプレイなどの電流駆動型の表示装置およびその駆動方法に関する。

【背景技術】

10

【0002】

薄型、高画質、低消費電力の表示装置として、有機EL (Electro Luminescence) ディスプレイが知られている。有機ELディスプレイは、有機EL素子、駆動用トランジスタ、および、制御用トランジスタを含む複数の画素回路を備えている。画素回路内のトランジスタには、薄膜トランジスタ (Thin Film Transistor: 以下、TFTという) が用いられる。

【0003】

有機ELディスプレイでは、画素回路内の駆動用トランジスタの閾値電圧や移動度にばらつきが生じる。このため、画素回路に同じデータ電位を書き込んでも、有機EL素子を流れる電流の量にばらつきが生じる。有機EL素子の輝度は有機EL素子を流れる電流の量に応じて変化するので、有機EL素子を流れる電流の量にばらつきが生じると、表示画面に輝度むらが発生する。したがって、有機ELディスプレイで高画質表示を行うためには、駆動用トランジスタの特性を補償する必要がある。駆動用トランジスタの特性を補償する有機ELディスプレイは、例えば、特許文献1に記載されている。

20

【0004】

これとは別に、すべての有機EL素子を同じ期間で発光させる有機ELディスプレイが知られている (例えば、特許文献2、3)。特許文献2、3に記載された有機ELディスプレイは、1フレーム期間の先頭ですべての画素回路に対する初期化を同時に行うと共に、すべての画素回路に対する閾値検出を同時に行い、次に画素回路に対するデータ書き込みを行ごとに順に行い、次にすべての画素回路に含まれる有機EL素子を同じ期間で発光させる。図23は、特許文献2に記載された画素回路の回路図である。図23に示す画素回路は、TFT91~93、コンデンサ94、および、有機EL素子95を含んでいる。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】日本国特開2007-148129号公報

【特許文献2】日本国特開2011-34038号公報

【特許文献3】日本国特開2011-34039号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0006】

有機ELディスプレイの画素回路は、初期化、閾値検出およびデータ書き込みのとき以外は画素回路内のノード電位を保持する必要がある。特に、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる有機EL素子を同じ期間で発光させる有機ELディスプレイでは、閾値検出完了から発光開始までの待機期間において、画素回路内のノード電位を保持する必要がある。しかしながら、この種の有機ELディスプレイでは、待機期間においてTFTに無視できない程度のリーク電流が流れ、画素回路内のノード電位が変動することが問題となる。例えば、図23に示す画素回路では、待機期間ではTFT91、93はオフ状態になり、有機EL素子95のアノード端子

50

はフローティング状態になる。待機期間においてTFT93にリーク電流が流れると、有機EL素子95のアノード電位が変動する。有機ELディスプレイにおいて画素回路内のノード電位が変動すると、表示画面の輝度が変動する。

【0007】

それ故に、本発明は、待機期間における画素回路内のノード電位の変動を防止した表示装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明の第1の局面は、電流駆動型の表示装置であって、
行方向と列方向に並べて配置された複数の画素回路と、
同じ行の画素回路に接続された複数の走査信号線と、
同じ列の画素回路に接続された複数のデータ信号線と、
複数行の画素回路に接続された1本以上の制御線と、
複数行の画素回路に接続された1本以上の電源線と、
前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、
前記電源線に複数の電位を切り替えて印加する電源回路とを備え、
前記画素回路は、

10

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一方の端子を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他方の端子に接続して設けられた駆動用トランジスタと、

20

前記走査信号線に接続された制御端子を有し、一方の導通端子が前記データ信号線に接続され、他方の導通端子が前記駆動用トランジスタの制御端子に接続された書き込み制御トランジスタと、

前記制御線に接続された制御端子を有し、一方の導通端子が前記電源線に接続され、他方の導通端子が前記駆動用トランジスタの他方の導通端子に接続された発光制御トランジスタと、

前記駆動用トランジスタの制御端子と前記発光素子側の導通端子との間に接続されたコンデンサとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行うごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

30

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第1電位を印加し、

初期化期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオン状態であり、前記データ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期化用の第2電位が印加され、

閾値検出期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオン状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に閾値検出用の第3電位が印加され、

40

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記発光制御トランジスタはオフ状態であり、

データ書き込み期間では、前記書き込み制御トランジスタはオン状態であり、前記発光制御トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタはオフ状態であり、前記発光制御トランジスタはオン状態であり、前記電源線に発光用の第4電位が印加されるように、前記画素回路が制御されることを特徴とする。

【0011】

50

本発明の第2の局面は、本発明の第1の局面において、
前記閾値検出用電位は、前記共通電位に前記駆動用トランジスタの閾値電圧を加算した電位であることを特徴とする。

【0012】

本発明の第3の局面は、電流駆動型の表示装置であって、
行方向と列方向に並べて配置された複数の画素回路と、
同じ行の画素回路に接続された複数の走査信号線と、
同じ列の画素回路に接続された複数のデータ信号線と、
複数行の画素回路に接続された1本以上の制御線と、
複数行の画素回路に接続された1本以上の電源線と、
前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、
前記電源線に複数の電位を切り替えて印加する電源回路とを備え、
前記画素回路は、

10

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一方の端子を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他方の端子に接続し、他方の導通端子を前記電源線に接続して設けられた駆動用トランジスタと、

一方の端子が前記駆動用トランジスタの制御端子に接続された第1のコンデンサと、
前記走査信号線に接続された制御端子を有し、一方の導通端子が前記第1のコンデンサの他方の端子に接続され、他方の導通端子が前記データ信号線に接続された書き込み制御トランジスタと、

20

前記制御線に接続された制御端子を有し、一方の導通端子が前記駆動用トランジスタの制御端子に接続され、他方の導通端子が前記駆動用トランジスタの前記発光素子側の導通端子に接続された閾値検出用トランジスタと、

前記第1のコンデンサの他方の端子と所定電位を有する他の電源線との間に接続された第2のコンデンサとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

30

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第1電位を印加することを特徴とする。

【0013】

本発明の第4の局面は、本発明の第3の局面において、

初期化期間の前半部では、前記書き込み制御トランジスタはオン状態であり、前記電源線に前記第1電位が印加され

初期化期間の後半部では、前記書き込み制御トランジスタはオン状態であり、前記データ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期化用の第2電位が印加され、

40

閾値検出期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオン状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に前記第1電位が印加され、

閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状態であり、

データ書き込み期間では、前記書き込み制御トランジスタはオン状態であり、前記閾値検出用トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、

発光期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状態であり、前記電源線に発光用の第3電位が印加されるように、前記画素回路が制御され

50

ることを特徴とする。

【0016】

本発明の第5の局面は、電流駆動型の表示装置であって、
行方向と列方向に並べて配置された複数の画素回路と、
同じ行の画素回路に接続された複数の走査信号線と、
同じ列の画素回路に接続された複数のデータ信号線と、
複数行の画素回路に接続された1本以上の制御線と、
複数行の画素回路に接続された1本以上の第2制御線と、
複数行の画素回路に接続された1本以上の電源線と、
前記走査信号線、前記データ信号線、前記制御線および前記第2制御線を駆動する駆動回路と、
前記電源線に3種類の電位を切り替えて印加する電源回路とを備え、
前記画素回路は、
前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一方の端子を前記導電性部材に接続して設けられた発光素子と、
前記電流経路上に、一方の導通端子を前記発光素子の他方の端子に接続し、他方の導通端子を前記電源線に接続して設けられた駆動用トランジスタと、
一方の端子が前記駆動用トランジスタの制御端子に接続されたコンデンサと、
前記走査信号線に接続された制御端子を有し、一方の導通端子が前記コンデンサの他方の端子に接続され、他方の導通端子が前記データ信号線に接続された書き込み制御トランジスタと、
前記第2制御線に接続された制御端子を有し、一方の導通端子が前記駆動用トランジスタの制御端子に接続され、他方の導通端子が前記駆動用トランジスタの前記発光素子側の導通端子に接続された閾値検出用トランジスタと、
前記制御線に接続された制御端子を有し、一方の導通端子が前記コンデンサの他方の端子に接続され、他方の導通端子が前記電源線または所定電位を有する他の電源線に接続された電源接続用トランジスタとを含み、
前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行うごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、
前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第1電位を印加し、
初期化期間の前半部では、前記書き込み制御トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記電源線に前記第1電位が印加され、
初期化期間の後半部では、前記書き込み制御トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線に前記駆動用トランジスタがオン状態になる電位が印加され、前記電源線に初期化用の第2電位が印加され、
閾値検出期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線に閾値検出用電位が印加され、前記電源線に前記第1電位が印加され、
閾値検出完了からデータ書き込み開始までの期間とデータ書き込み完了から発光開始までの期間では、前記書き込み制御トランジスタと前記電源接続用トランジスタはオフ状態であり、
データ書き込み期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオン状態であり、前記電源接続用トランジスタはオフ状態であり、前記データ信号線にデータ電位が印加され、
発光期間では、前記書き込み制御トランジスタと前記閾値検出用トランジスタはオフ状態であり、前記電源接続用トランジスタはオン状態であり、前記電源線に発光用の第3電位が印加されるように、前記画素回路が制御されることを特徴とする。

【 0 0 1 8 】

本発明の第 6 の局面は、電流駆動型の表示装置であって、
行方向と列方向に並べて配置された複数の画素回路と、
同じ行の画素回路に接続された複数の走査信号線と、
同じ列の画素回路に接続された複数のデータ信号線と、
複数行の画素回路に接続された 1 本以上の制御線と、
複数行の画素回路に接続された 1 本以上の電源線と、
前記走査信号線、前記データ信号線および前記制御線を駆動する駆動回路と、
前記電源線に 3 種類の電位を切り替えて印加する電源回路とを備え、
前記画素回路は、

10

前記電源線と共通電位が固定的に印加された導電性部材とを結ぶ電流経路上に、一方の端子を前記導電性部材に接続して設けられた発光素子と、

前記電流経路上に、一方の導通端子を前記発光素子の他方の端子に接続し、他方の導通端子を前記電源線に接続して設けられた駆動用トランジスタと、

一方の端子が前記駆動用トランジスタの制御端子に接続されたコンデンサと、

前記走査信号線に接続された制御端子を有し、一方の導通端子が前記コンデンサの他方の端子に接続され、他方の導通端子が前記データ信号線に接続された書き込み制御トランジスタと、

前記走査信号線に接続された制御端子を有し、一方の導通端子が前記駆動用トランジスタの制御端子に接続され、他方の導通端子が前記駆動用トランジスタの前記発光素子側の導通端子に接続された閾値検出用トランジスタと、

20

前記制御線に接続された制御端子を有し、一方の導通端子が前記コンデンサの他方の端子に接続され、他方の導通端子が前記電源線に接続された電源接続用トランジスタとを含み、

前記駆動回路と前記電源回路は、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、前記画素回路に対するデータ書き込みを行うごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる制御を行い、

前記電源回路は、前記画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に前記共通電位にほぼ等しい第 1 電位を印加することを特徴とする。

30

【 発明の効果 】

【 0 0 2 0 】

本発明の第 1 ~ 第 6 の局面によれば、電源線と共通電位が印加される導電性部材とを結ぶ電流経路上に発光素子と駆動用トランジスタを直列に接続して設けた画素回路について、閾値検出完了から発光開始までの期間では、電源線に共通電位にほぼ等しい電位を印加することにより、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

【 0 0 2 1 】

本発明の第 1 の局面によれば、3 個のトランジスタと 1 個のコンデンサと発光素子を含む画素回路について、閾値検出完了から発光開始までの期間では、画素回路に接続される電源線に共通電位にほぼ等しい電位を印加することにより、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

40

【 0 0 2 2 】

本発明の第 2 の局面によれば、待機期間において発光素子を經由する電流を流れにくくし、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

【 0 0 2 3 】

本発明の第 3 または第 4 の局面によれば、3 個のトランジスタと 2 個のコンデンサと発光素子を含む画素回路について、閾値検出完了から発光開始までの期間では、画素回路に

50

接続される電源線に共通電位にほぼ等しい電位を印加することにより、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

【0024】

本発明の第5または第6の局面によれば、4個のトランジスタと1個のコンデンサと発光素子を含む画素回路について、閾値検出完了から発光開始までの期間では、画素回路に接続される電源線に共通電位にほぼ等しい電位を印加することにより、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

【0025】

本発明の第5の局面によれば、複数行の画素回路に接続された2種類の制御線と複数行の画素回路に接続された1種類の電源線を用いて、複数行の画素回路内の発光素子を同じ期間で発光させる表示装置を構成することができる。1種類の電源線を用いることにより、電源線のレイアウト面積を減らすことができる。

【0027】

本発明の第6の局面によれば、複数行の画素回路に接続された1種類の制御線と複数行の画素回路に接続された1種類の電源線を用いて、複数行の画素回路内の発光素子を同じ期間で発光させる表示装置を構成することができる。1種類の制御線と1種類の電源線を用いることにより、制御線と電源線のレイアウト面積を減らし、駆動回路の構成を簡単にすることができる。

【図面の簡単な説明】

【0028】

【図1】本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。

【図2】図1に示す表示装置に含まれる画素回路の回路図である。

【図3】図1に示す表示装置の制御線と電源線の接続形態を示す図である。

【図4】図1に示す表示装置の各行の画素回路の動作を示す図である。

【図5】図1に示す表示装置のタイミングチャートである。

【図6】第1変形例に係る表示装置の制御線と電源線の接続形態を示す図である。

【図7】第1変形例に係る表示装置の各行の画素回路の動作を示す図である。

【図8】第2変形例に係る表示装置の制御線と電源線の接続形態を示す図である。

【図9】第2変形例に係る表示装置の各行の画素回路の動作を示す図である。

【図10】第3変形例に係る表示装置の制御線と電源線の接続形態を示す図である。

【図11】第3変形例に係る表示装置の各行の画素回路の動作を示す図である。

【図12】本発明の第2の実施形態に係る表示装置の構成を示すブロック図である。

【図13】図12に示す表示装置に含まれる画素回路の回路図である。

【図14】図12に示す表示装置のタイミングチャートである。

【図15】本発明の第3の実施形態に係る表示装置の構成を示すブロック図である。

【図16】図15に示す表示装置に含まれる画素回路の回路図である。

【図17】図15に示す表示装置の制御線と電源線の接続形態を示す図である。

【図18】図15に示す表示装置のタイミングチャートである。

【図19】第1変形例に係る表示装置に含まれる画素回路の回路図である。

【図20】第2変形例に係る表示装置に含まれる画素回路の回路図である。

【図21】第3変形例に係る表示装置に含まれる画素回路の回路図である。

【図22】第4変形例に係る表示装置に含まれる画素回路の回路図である。

【図23】従来の表示装置に含まれる画素回路の回路図である。

【発明を実施するための形態】

【0029】

(第1の実施形態)

図1は、本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。図1に示す表示装置100は、表示制御回路1、走査信号線駆動回路2、制御回路3、電源回

10

20

30

40

50

路 4、データ信号線駆動回路 5、および、 $(m \times n)$ 個の画素回路 10 を備えた有機 EL ディスプレイである。有機 EL ディスプレイは、電流駆動型の表示装置の一種である。以下、 m および n は 2 以上の整数、 i および q は 1 以上 n 以下の整数、 j は 1 以上 m 以下の整数、 k は 1 以上 q 以下の整数であるとする。

【0030】

表示装置 100 には、 n 本の走査信号線 $G_1 \sim G_n$ と m 本のデータ信号線 $S_1 \sim S_m$ が設けられる。走査信号線 $G_1 \sim G_n$ は互いに平行に配置され、データ信号線 $S_1 \sim S_m$ は走査信号線 $G_1 \sim G_n$ と直交するように互いに平行に配置される。走査信号線 $G_1 \sim G_n$ とデータ信号線 $S_1 \sim S_m$ の各交差点の近傍には、画素回路 10 が配置される。このように $(m \times n)$ 個の画素回路 10 は、2 次元状に配置される。走査信号線 G_i は i 行目に配置された m 個の画素回路 10 に接続され、データ信号線 S_j は j 列目に配置された n 個の画素回路 10 に接続される。また、表示装置 100 には、 q 本の制御線 $E_1 \sim E_q$ と q 本の電源線 $V_{P1} \sim V_{Pq}$ が設けられる。各行の画素回路 10 は、制御線 $E_1 \sim E_q$ のいずれかと、電源線 $V_{P1} \sim V_{Pq}$ のいずれかに接続される。画素回路 10 には、図示しない導電性部材（電極）を用いて共通電位 V_{com} が供給される。

10

【0031】

表示制御回路 1 は、走査信号線駆動回路 2、制御回路 3、電源回路 4 およびデータ信号線駆動回路 5 に対して制御信号を出力する。より詳細には、表示制御回路 1 は、走査信号線駆動回路 2 に対してタイミング信号 OE 、スタートパルス YI およびクロック YCK を出力し、制御回路 3 に対して制御信号 CS_1 を出力し、電源回路 4 に対して制御信号 CS_2 を出力し、データ信号線駆動回路 5 に対してスタートパルス SP 、クロック CLK 、データ信号 DA 、ラッチパルス LP および基準信号 DA_ref を出力する。データ信号 DA と基準信号 DA_ref は、アナログ信号である。基準信号 DA_ref は、所定の基準電位を有する。

20

【0032】

走査信号線駆動回路 2 は、走査信号線 $G_1 \sim G_n$ を駆動する。より詳細には、走査信号線駆動回路 2 は、シフトレジスタ回路、論理演算回路、および、バッファ（いずれも図示せず）を含んでいる。シフトレジスタ回路は、クロック YCK に同期してスタートパルス YI を順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスとタイミング信号 OE との間で論理演算を行う。論理演算回路の出力は、バッファを經由して対応する走査信号線 G_i に与えられる。これにより、走査信号線 G_i に接続された m 個の画素回路 10 が一括して選択される。

30

【0033】

制御回路 3 は、制御信号 CS_1 に基づき、制御線 $E_1 \sim E_q$ にハイレベル電位とローレベル電位を切り替えて印加する。電源回路 4 は、制御信号 CS_2 に基づき、電源線 $V_{P1} \sim V_{Pq}$ に少なくとも 3 種類の電位を切り替えて印加する。より詳細には、電源回路 4 は、電源線 $V_{P1} \sim V_{Pq}$ に対して、共通電位 V_{com} よりも高い電位 V_{PH1} と V_{PH2} 、 V_{com} にほぼ等しい電位 V_{PC} 、および、 V_{com} よりも低い電位 V_{PL} を切り替えて印加する。なお、電位 V_{PH1} 、 V_{PH2} は同じ電位でもよい。

【0034】

データ信号線駆動回路 5 は、データ信号線 $S_1 \sim S_m$ を駆動する。より詳細には、データ信号線駆動回路 5 は、 m ビットのシフトレジスタ 6、レジスタ 7、ラッチ回路 8、および、 m 個の出力バッファ 9 を含んでいる。シフトレジスタ 6 は、 m 個のレジスタを多段接続した構成を有し、初段のレジスタに供給されたスタートパルス SP をクロック CLK に同期して転送し、各段のレジスタからタイミングパルス DLP を出力する。タイミングパルス DLP の出力タイミングに合わせて、レジスタ 7 にはデータ信号 DA が供給される。レジスタ 7 は、タイミングパルス DLP に従い、データ信号 DA を記憶する。レジスタ 7 に 1 行分のデータ信号 DA が記憶されると、表示制御回路 1 はラッチ回路 8 に対してラッチパルス LP を出力する。ラッチ回路 8 は、ラッチパルス LP を受け取ると、レジスタ 7 に記憶されたデータ信号 DA を保持する。 m 個の出力バッファ 9 は、データ信号線 $S_1 \sim$

40

50

S mのそれぞれに対応して設けられる。出力バッファ 9 は、典型的には、ボルテージホロワなどのインピーダンス変換回路である。出力バッファ 9 は、ラッチ回路 8 に保持されたデータ信号 D A、および、表示制御回路 1 から出力された基準信号 D A__r e fのいずれかをデータ信号線 S j に出力する。

【 0 0 3 5 】

図 2 は、画素回路 1 0 の回路図である。図 2 に示すように、画素回路 1 0 は、T F T 1 1 ~ 1 3、コンデンサ 1 4、および、有機 E L 素子 1 5 を含んでいる。T F T 1 1 ~ 1 3 は、いずれも、Nチャネル型トランジスタである。画素回路 1 0 は、走査信号線 G i、データ信号線 S j、制御線 E k、電源線 V P k、および、共通電位 V c o mを有する電極に接続される。

10

【 0 0 3 6 】

T F T 1 1 の一方の導通端子はデータ信号線 S j に接続され、他方の導通端子は T F T 1 2 のゲート端子に接続される。T F T 1 3 のドレイン端子は電源線 V P k に接続され、ソース端子は T F T 1 2 のドレイン端子に接続される。T F T 1 2 のソース端子は、有機 E L 素子 1 5 のアノード端子に接続される。有機 E L 素子 1 5 のカソード端子は、共通電位 V c o mを有する電極に接続される。コンデンサ 1 4 は、T F T 1 2 のゲート端子とソース端子（有機 E L 素子 1 5 側の導通端子）の間に設けられる。T F T 1 1 のゲート端子は走査信号線 G i に接続され、T F T 1 3 のゲート端子は制御線 E k に接続される。T F T 1 1 ~ 1 3 は、それぞれ、書き込み制御トランジスタ、駆動用トランジスタ、および、発光制御トランジスタとして機能し、有機 E L 素子 1 5 は発光素子として機能する。

20

【 0 0 3 7 】

以下、 $q = 1$ の場合について説明する。図 3 は、 $q = 1$ の場合の制御線と電源線の接続形態を示す図である。この場合、すべての画素回路 1 0 は、制御線 E 1 と電源線 V P 1 に接続される。図 4 は、 $q = 1$ の場合の各行の画素回路 1 0 の動作を示す図である。図 4 に示すように、1 フレーム期間内には、初期化期間、閾値検出期間、データ書き込み期間、発光期間、および、消灯期間が設定される。初期化期間は、有機 E L 素子 1 5 のアノード端子を初期化する期間である。閾値検出期間は、データ信号線 S j に基準電位を印加し、T F T 1 2 の閾値電圧を検出する期間である。データ書き込み期間は、データ信号線 S j にデータ電位（データ信号 D A に応じた電位）を印加し、画素回路 1 0 にデータ電位を書き込む期間である。以下、閾値検出完了からデータ書き込み開始までの期間をデータ待機期間、データ書き込み完了から発光開始までの期間を発光待機期間、両者を合わせて待機期間という。

30

【 0 0 3 8 】

図 4 に示すように、1 フレーム期間の先頭で、すべての画素回路 1 0 に対する初期化と閾値検出が行われる。次に、画素回路 1 0 に対するデータ書き込みが、行ごとに順に行われる。すべての画素回路 1 0 に対するデータ書き込みが完了した後に、すべての画素回路 1 0 内の有機 E L 素子 1 5 が同じ時間 T だけ発光する。画素回路 1 0 は、次のフレーム期間で初期化を開始するより前に発光を完了する必要がある。この条件を満たしながら、すべての画素回路 1 0 の発光期間を揃えるために、発光期間は、最長でも、1 フレーム期間から初期化期間、閾値検出期間および n 個のデータ書き込み期間を除いた期間となる。

40

【 0 0 3 9 】

図 5 は、画素回路 1 0 の動作を示すタイミングチャートである。図 5 において、W i は i 行目の画素回路 1 0 のデータ書き込み期間を表す。V G i は i 行目の画素回路 1 0 内の T F T 1 2 のゲート電位を表し、V S i は i 行目の画素回路 1 0 内の T F T 1 2 のソース電位（すなわち、有機 E L 素子 1 5 のアノード電位）を表す。

【 0 0 4 0 】

以下、図 5 を参照して、走査信号線 G i、データ信号線 S j、制御線 E 1、および、電源線 V P 1 に接続された画素回路 1 0 の動作を説明する。時刻 t 1 より前では、走査信号線 G i と制御線 E 1 の電位はローレベルであり、電源線 V P 1 の電位は共通電位 V c o m よりも高い V P __H 2 である。

50

【 0 0 4 1 】

(a) アノード初期化

時刻 t_1 において、走査信号線 G_i と制御線 E_1 の電位はハイレベルに変化する。これに伴い、 TFT_{11} 、 13 はオン状態に変化する。時刻 t_1 から時刻 t_2 までの間、電源線 VP_1 の電位は共通電位 V_{com} よりも低い VP_L になり、データ信号線 S_j の電位は V_{ref1} になる。このため、 TFT_{12} のゲート電位は V_{ref1} になる。電位 V_{ref1} は、 TFT_{12} が十分にオン状態になるように決定される。したがって、有機 EL 素子 15 のアノード電位は、 VP_L にほぼ等しくなる。

【 0 0 4 2 】

(b) 閾値検出

時刻 t_2 において、電源線 VP_1 の電位は共通電位 V_{com} よりも高い VP_H_1 に変化し、データ信号線 S_j の電位は V_{ref2} に変化する。このため、 TFT_{12} のゲート電位は V_{ref2} に変化する。電位 V_{ref2} は、 TFT_{12} がオン状態になり、かつ、有機 EL 素子 15 に印加される電圧が発光閾値電圧よりも低くなるように決定される。このため、時刻 t_2 以降、電源線 VP_1 から TFT_{13} と TFT_{12} を経由して有機 EL 素子 15 のアノード端子に電流が流れ込み、有機 EL 素子 15 のアノード電位は上昇する。ただし、有機 EL 素子 15 に電流は流れないので、 TFT_{12} の閾値電圧を V_{th} としたとき、有機 EL 素子 15 のアノード電位は $(V_{ref2} - V_{th})$ まで上昇する。

【 0 0 4 3 】

本実施形態に係る表示装置 100 では、閾値検出後の有機 EL 素子 15 のアノード電位 $(V_{ref2} - V_{th})$ が共通電位 V_{com} にほぼ等しくなるように、画素回路 10 に与える電位が決定される。具体的には、表示装置 100 内の TFT_{12} の閾値電圧の平均値を V_{th_ave} としたとき、電位 V_{ref2} は次式 (1) を満たすように決定される。

$$V_{com} = V_{ref2} - V_{th_ave} \quad \dots (1)$$

なお、閾値電圧の平均値 V_{th_ave} には、閾値電圧の目標値や、閾値電圧の目標値を実測値に基づき修正した値を用いてもよい。

【 0 0 4 4 】

式 (1) を満たす電位 V_{ref2} を用いた場合、待機期間において有機 EL 素子 15 を経由する電流が流れにくくなる。閾値電圧 V_{th} が平均値から離れている場合、有機 EL 素子 15 のアノード端子からリーク電流が流れる。しかし、一般に、閾値電圧 V_{th} と平均値との差は数 mV ~ 数百 mV 程度であるので、リーク電流の量はそれほど多くない。式 (1) を満たす電位 V_{ref2} を用いることにより、リーク電流の量を十分に小さくすることができる。

【 0 0 4 5 】

(c) データ待機

時刻 t_3 において、走査信号線 G_i と制御線 E_1 の電位はローレベルに変化する。これに伴い、 TFT_{11} 、 13 はオフ状態に変化する。データ待機期間では、電流が有機 EL 素子 15 のアノード端子から有機 EL 素子 15 側にも電源線 VP_1 側にも流れず、有機 EL 素子 15 のアノード電位は $(V_{ref2} - V_{th})$ を保つことが理想的である。しかしながら、特段の工夫を行わなければ、データ待機期間において TFT_{12} 、 13 に無視できない程度のリーク電流が流れて、有機 EL 素子 15 のアノード電位は変動する。

【 0 0 4 6 】

そこで、本実施形態に係る表示装置 100 は、閾値検出完了から発光開始までの間、 TFT_{13} をオフ状態に制御するだけでなく、電源線 VP_1 の電位を共通電位 V_{com} にほぼ等しい VP_C にする。これにより、待機期間において、有機 EL 素子 15 のアノード端子から電源線 VP_1 にリーク電流が流れることを防止し、有機 EL 素子 15 のアノード電位を一定に保つことができる。

【 0 0 4 7 】

(d) データ書き込み

時刻 t_3 から時刻 t_4 までの間に、 i 行目の画素回路 10 のデータ書き込み期間 W_i が

10

20

30

40

50

設定される。データ書き込み期間 W_i では、走査信号線 G_i の電位はハイレベルになり、データ信号線 S_j の電位はデータ電位 V_{data} になる。このとき $TFT11$ はオン状態になるので、 $TFT12$ のゲート電位は V_{data} に変化する。一方、有機 EL 素子 15 はコンデンサ 14 よりも十分に大きい容量値を有するので、 $TFT12$ のゲート電位が変化しても、有機 EL 素子 15 のアノード電位はその影響をほとんど受けない。

【0048】

具体的には、データ書き込み後の $TFT12$ のゲート - ソース間電圧 V_{gs} は、次式 (2) で与えられる。

$$V_{gs} = \{ C_{OLED} / (C_{OLED} + C_{st}) \} \times (V_{data} - V_{ref2}) + V_{th} \quad \dots (2) \quad 10$$

ただし、式 (2) において、 C_{OLED} は有機 EL 素子 15 の容量値、 C_{st} は $TFT12$ のゲート - ソース間の容量値 (コンデンサ 14 の容量と $TFT12$ の寄生容量を含む) である。 $C_{OLED} \ll C_{st}$ のときには、式 (2) から次式 (3) が導かれる。

$$V_{gs} = V_{data} - V_{ref2} + V_{th} \quad \dots (3)$$

【0049】

(e) 発光待機

発光待機期間では、データ待機期間と同様に、走査信号線 G_i と制御線 E_1 の電位はローレベルになり、電源線 $VP1$ の電位は共通電位 V_{com} にほぼ等しい VP_C になる。発光待機期間と発光期間では、 $TFT12$ のゲート - ソース間電圧 V_{gs} は、コンデンサ 14 の作用によって $(V_{data} - V_{ref2} + V_{th})$ に保たれる。 20

【0050】

(f) 発光

時刻 t_4 において、制御線 E_1 の電位はハイレベルに変化する。これに伴い、 $TFT13$ はオン状態に変化する。時刻 t_4 において、電源線 $VP1$ の電位は共通電位 V_{com} よりも高い VP_H2 に変化する。このため、時刻 t_4 以降、電源線 $VP1$ から $TFT13$ と $TFT12$ を経由して、有機 EL 素子 15 のアノード端子に電流が流れ込み、有機 EL 素子 15 のアノード電位は上昇する。このとき $TFT12$ のゲート端子はフローティング状態であるので、 $TFT12$ のゲート電位は有機 EL 素子 15 のアノード電位と同じ量だけ上昇する。この際、 $TFT12$ のゲート - ソース間電圧 V_{gs} はほぼ一定に保たれる。

【0051】

電位 VP_H2 は、発光期間において $TFT12$ が飽和領域で動作するように決定される。このため、発光期間において有機 EL 素子 15 を流れる電流 I は、チャネル長変調効果を無視すれば、次式 (4) で与えられる。

$$I = 1/2 \cdot W/L \cdot \mu \cdot C_{ox} (V_{gs} - V_{th})^2 \quad \dots (4) \quad 30$$

ただし、式 (4) において、 W はゲート幅、 L はゲート長、 μ はキャリア移動度、 C_{ox} はゲート酸化膜容量である。式 (3) と式 (4) から、次式 (5) が導かれる。

$$I = 1/2 \cdot W/L \cdot \mu \cdot C_{ox} (V_{data} - V_{ref2})^2 \quad \dots (5)$$

【0052】

式 (5) に示す電流 I は、データ電位 V_{data} に応じて変化するが、 $TFT12$ の閾値電圧 V_{th} には依存しない。したがって、閾値電圧 V_{th} にばらつきが生じる場合や、閾値電圧 V_{th} が経時的に変化する場合でも、閾値電圧 V_{th} に依存しない電流を有機 EL 素子 15 に流して、有機 EL 素子 15 を所望の輝度で発光させることができる。 40

【0053】

(g) 消灯

時刻 t_5 において、制御線 E_1 の電位はローレベルに変化する。これに伴い、 $TFT13$ はオフ状態に変化する。このため、時刻 t_5 以降、有機 EL 素子 15 のアノード電位と $TFT12$ のゲート電位は低下する。時刻 t_5 からしばらくすると、有機 EL 素子 15 のアノード電位は十分に低くなり、有機 EL 素子 15 は消灯する。

【0054】

本実施形態に係る表示装置 100 では、閾値検出完了から発光開始までの期間では、電 50

源線 V_{Pk} に共通電位 V_{com} にほぼ等しい電位 V_{P_C} が印加される。これにより、待機期間において、有機 EL 素子 15 のアノード端子から電源線 V_{P1} にリーク電流が流れることを防止し、有機 EL 素子 15 のアノード電位を一定に保つことができる。

【0055】

図 4 に示すように、データ待機期間と発光待機期間の長さは、画素回路 10 の行ごとに異なる。例えば、1 行目の画素回路 10 のデータ待機期間の長さはほぼゼロであり、 n 行目の画素回路 10 のデータ待機期間は最長になる。本実施形態に係る表示装置 100 によれば、このようにデータ待機期間と発光待機期間の長さが異なる場合でも、待機期間において有機 EL 素子 15 のアノード電位を一定に保つことにより、表示画面の輝度の差を抑制することができる。

10

【0056】

以上に示すように本実施形態に係る表示装置 100 は、行方向と列方向に並べて配置された複数の画素回路 10 と、同じ行の画素回路 10 に接続された複数の走査信号線 $G_1 \sim G_n$ と、同じ列の画素回路 10 に接続された複数のデータ信号線 $S_1 \sim S_m$ と、複数行の画素回路 10 に接続された 1 本以上の制御線 $E_1 \sim E_q$ と、複数行の画素回路 10 に接続された 1 本以上の電源線 $V_{P1} \sim V_{Pq}$ と、走査信号線、データ信号線および制御線を駆動する駆動回路（走査信号線駆動回路 2、制御回路 3 およびデータ信号線駆動回路 5 となる回路）と、電源線 $V_{P1} \sim V_{Pq}$ に複数の電位を切り替えて印加する電源回路 4 とを備えている。

【0057】

20

画素回路 10 は、電源線 V_{Pk} と共通電位 V_{com} が印加される導電性部材（電極）とを結ぶ電流経路上に、一端を導電性部材に接続して設けられた発光素子（有機 EL 素子 15）と、電流経路上に、一方の導通端子を発光素子の他端に接続して設けられた駆動用トランジスタ（TFT12）と、データ信号線 S_j と駆動用トランジスタの制御端子との間に設けられ、走査信号線 G_i に接続された制御端子を有する書き込み制御トランジスタ（TFT11）と、電流経路上に、電源線 V_{Pk} と駆動用トランジスタの他方の導通端子との間に設けられ、制御線 E_k に接続された制御端子を有する発光制御トランジスタ（TFT13）と、駆動用トランジスタの制御端子と発光素子側の導通端子（TFT12 のソース端子）との間に設けられたコンデンサ 14 を含む。発光素子の一端（有機 EL 素子 15 のカソード端子）は、共通電位 V_{com} が固定的に印加された導電性部材に接続される。

30

【0058】

駆動回路と電源回路 4 は、複数行の画素回路 10 に対する初期化を同時に行い、複数行の画素回路 10 に対する閾値検出を同時に行い、画素回路 10 に対するデータ書き込みを行ごとに順に行い、複数行の画素回路 10 に含まれる発光素子を同じ期間で発光させる制御を行う。電源回路 4 は、画素回路 10 の閾値検出完了から発光開始までの期間では、画素回路 10 に接続される電源線 V_{Pk} に共通電位 V_{com} にほぼ等しい電位 V_{P_C} を印加する。

【0059】

本実施形態に係る表示装置 100 によれば、3 個のトランジスタと 1 個のコンデンサと発光素子を含む画素回路 10 について、閾値検出完了から発光開始までの期間では、電源線 V_{Pk} に共通電位 V_{com} にほぼ等しい電位 V_{P_C} を印加することにより、待機期間における画素回路 10 内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

40

【0060】

以下、本実施形態に係る表示装置 100 の変形例として、 $q > 1$ の場合について説明する。ここでは、例として、 $q = 2$ の場合（第 1 および第 2 変形例）と $q = 3$ の場合（第 3 変形例）について説明する。以下に示すように、2 本以上の制御線と 2 本以上の電源線を用いることにより、1 本の制御線と 1 本の電源線を用いる場合よりも、データ書き込み期間や発光期間を長くすることができる。

【0061】

50

図 6 は、第 1 変形例に係る表示装置における制御線と電源線の接続形態を示す図である。この場合、 $1 \sim (n/2)$ 行目の画素回路は制御線 E 1 と電源線 V P 1 に接続され、 $(n/2 + 1) \sim n$ 行目の画素回路は制御線 E 2 と電源線 V P 2 に接続される。走査信号線駆動回路 2、制御回路 3 a、電源回路 4 a およびデータ信号線駆動回路 5 は、各行の画素回路 10 が以下の動作を行うように制御する。

【 0 0 6 2 】

図 7 は、第 1 変形例に係る表示装置における各行の画素回路 10 の動作を示す図である。図 7 に示すように、1 フレーム期間は第 1 期間（前半部）と第 2 期間（後半部）に分割される。第 1 期間の先頭では $1 \sim (n/2)$ 行目の画素回路に対する初期化と閾値検出が行われ、第 2 期間の先頭では $(n/2 + 1) \sim n$ 行目の画素回路に対する初期化と閾値検出が行われる。1 回目の閾値検出の後に $1 \sim (n/2)$ 行目の画素回路に対するデータ書き込みが行ごとに順に行われ、2 回目の閾値検出の後に $(n/2 + 1) \sim n$ 行目の画素回路に対するデータ書き込みが行ごとに順に行われる。 $1 \sim (n/2)$ 行目の画素回路は第 2 期間において時間 T 1 だけ発光し、 $(n/2 + 1) \sim n$ 行目の画素回路は第 1 期間において同じ長さの時間だけ発光する。

【 0 0 6 3 】

第 1 変形例に係る表示装置では、 $1/2$ フレーム期間から初期化期間と閾値検出期間を除いた期間において、全体の半分の画素回路に対するデータ書き込みが行われる。したがって、第 1 変形例に係る表示装置によれば、各行の画素回路に対するデータ書き込み期間を長くして、データ書き込みを容易に行うことができる。

【 0 0 6 4 】

図 8 は、第 2 変形例に係る表示装置における制御線と電源線の接続形態を示す図である。この場合、奇数行目の画素回路は制御線 E 1 と電源線 V P 1 に接続され、偶数行目の画素回路は制御線 E 2 と電源線 V P 2 に接続される。走査信号線駆動回路 2、制御回路 3 b、電源回路 4 b およびデータ信号線駆動回路 5 は、各行の画素回路 10 が以下の動作を行うように制御する。

【 0 0 6 5 】

図 9 は、第 2 変形例に係る表示装置における各行の画素回路 10 の動作を示す図である。図 9 に示すように、1 フレーム期間は第 1 期間と第 2 期間に分割される。第 1 期間の先頭では奇数行目の画素回路に対する初期化と閾値検出が行われ、第 2 期間の先頭では偶数行目の画素回路に対する初期化と閾値検出が行われる。1 回目の閾値検出の後に奇数行目の画素回路に対するデータ書き込みが行ごとに順に行われ、2 回目の閾値検出の後に偶数行目の画素回路に対するデータ書き込みが行ごとに順に行われる。奇数行目の画素回路は第 2 期間において時間 T 2 だけ発光し、偶数行目の画素回路は第 1 期間において同じ長さの時間だけ発光する。

【 0 0 6 6 】

第 2 変形例に係る表示装置によれば、第 1 変形例に係る表示装置と同様に、各行の画素回路に対するデータ書き込み期間を長くして、データ書き込みを容易に行うことができる。また、画面の上半分と下半分で輝度が大きく異なる場合でも、電源線 V P 1、V P 2 を流れる電流の量はほぼ同じになる。したがって、第 2 変形例に係る表示装置によれば、画面の中央に発生する輝度差を防止することができる。

【 0 0 6 7 】

図 10 は、第 3 変形例に係る表示装置における制御線と電源線の接続形態を示す図である。この場合、 $1 \sim (n/3)$ 行目の画素回路は制御線 E 1 と電源線 V P 1 に接続され、 $(n/3 + 1) \sim (2n/3)$ 行目の画素回路は制御線 E 2 と電源線 V P 2 に接続され、 $(2n/3 + 1) \sim n$ 行目の画素回路は制御線 E 3 と電源線 V P 3 に接続される。走査信号線駆動回路 2、制御回路 3 c、電源回路 4 c およびデータ信号線駆動回路 5 は、各行の画素回路 10 が以下の動作を行うように制御する。

【 0 0 6 8 】

図 11 は、第 3 変形例に係る表示装置における各行の画素回路 10 の動作を示す図であ

10

20

30

40

50

る。図 11 に示すように、1 フレーム期間は第 1 ～ 第 3 期間に分割される。第 1 期間の先頭では $1 \sim (n/3)$ 行目の画素回路に対する初期化と閾値検出が行われ、第 2 期間の先頭では $(n/3 + 1) \sim (2n/3)$ 行目の画素回路に対する初期化と閾値検出が行われ、第 3 期間の先頭では $(2n/3 + 1) \sim n$ 行目の画素回路に対する初期化と閾値検出が行われる。1 回目の閾値検出の後に $1 \sim (n/3)$ 行目の画素回路に対するデータ書き込みが行ごとに順に行われ、2 回目の閾値検出の後に $(n/3 + 1) \sim (2n/3)$ 行目の画素回路に対するデータ書き込みが行ごとに順に行われ、3 回目の閾値検出の後に $(2n/3 + 1) \sim n$ 行目の画素回路に対するデータ書き込みが行ごとに順に行われる。 $1 \sim (n/3)$ 行目の画素回路は第 2 期間と第 3 期間において時間 T_3 だけ発光し、 $(n/3 + 1) \sim (2n/3)$ 行目の画素回路は第 3 期間と第 1 期間において同じ長さの時間だけ発光し、 $(2n/3 + 1) \sim n$ 行目の画素回路は第 1 期間と第 2 期間において同じ長さの時間だけ発光する。

【0069】

第 3 変形例に係る表示装置では、画素回路 10 は 3 個のグループに分割される。あるグループの画素回路について初期化と閾値検出を行う間に、残り 2 個のグループの画素回路は発光する。したがって、第 3 変形例に係る表示装置によれば、発光期間を最長で $2/3$ フレーム期間にまで長くすることができる。

【0070】

なお、 q の値は 4 以上でもよい。 $q = 4$ の場合、制御線 $E_1 \sim E_q$ および電源線 $VP_1 \sim VP_q$ の接続形態や、各行の画素回路 10 の動作は、上記と同様である。また、 $q = 3$ の場合には、列方向に隣接する (n/q) 個の行の画素回路を同じ制御線と同じ電源線に接続してもよい。あるいは、列方向に $(q - 1)$ 行飛ばしの (n/q) 個の行の画素回路を同じ制御線と同じ電源線に接続してもよい。例えば、 $q = 3$ の場合に、1 行目、4 行目などの画素回路を制御線 E_1 と電源線 VP_1 に接続し、2 行目、5 行目などの画素回路を制御線 E_2 と電源線 VP_2 に接続し、3 行目、6 行目などの画素回路を制御線 E_3 と電源線 VP_3 に接続してもよい。

【0071】

$q = 1$ の場合、すべての画素回路 10 について初期化期間、閾値検出期間および発光期間は共通になる。このようにすべての画素回路 10 の初期化、閾値検出および発光を同じタイミングで行うことにより、制御回路 3 や電源回路 4 の構成を簡単にすることができる。一方、 $q = 2$ の場合、画素回路 10 のグループごとに初期化期間、閾値検出期間および発光期間は異なる。このように画素回路 10 のグループごとに初期化、閾値検出および発光を異なるタイミングで行うことにより、 $q = 1$ の場合よりもデータ書き込み期間や発光期間を長くすることができる。なお、上述した各種の変形例は、第 1 の実施形態だけでなく、以下に示す第 2 および第 3 の実施形態にも同様に適用できる。

【0072】

(第 2 の実施形態)

図 12 は、本発明の第 2 の実施形態に係る表示装置の構成を示すブロック図である。図 12 に示す表示装置 200 は、表示制御回路 1、走査信号線駆動回路 2、制御回路 203、電源回路 204、データ信号線駆動回路 5、および、 $(m \times n)$ 個の画素回路 20 を備えた有機 EL ディスプレイである。なお、以下に示す各実施形態では、先に述べた実施形態と同一の構成要素については、同一の参照符号を付して説明を省略する。以下、第 1 の実施形態に係る表示装置 100 との相違点を説明する。

【0073】

表示装置 200 には、制御線として、 q 本の制御線 $AZ_1 \sim AZ_q$ が設けられる。各行の画素回路 20 は、制御線 $AZ_1 \sim AZ_q$ のいずれかと、電源線 $VP_1 \sim VP_q$ のいずれかに接続される。画素回路 20 には、図示しない導電性部材 (電極) を用いて共通電位 V_{com} が供給され、図示しない電源線を用いて所定の電位 V_0 が供給される。

【0074】

制御回路 203 は、制御信号 CS_1 に基づき、制御線 $AZ_1 \sim AZ_q$ にハイレベル電位

10

20

30

40

50

とローレベル電位を切り替えて印加する。電源回路 204 は、制御信号 CS2 に基づき、電源線 VP1 ~ VPq に 3 種類の電位を切り替えて印加する。より詳細には、電源回路 204 は、電源線 VP1 ~ VPq に対して、共通電位 Vcom よりも高い電位 VP_H、Vcom にほぼ等しい電位 VP_C、および、Vcom よりも低い電位 VP_L を切り替えて印加する。

【0075】

図 13 は、画素回路 20 の回路図である。図 13 に示すように、画素回路 20 は、TFT21 ~ 23、コンデンサ 24、25、および、有機 EL 素子 26 を含んでいる。TFT21 ~ 23 は、いずれも、Pチャネル型トランジスタである。画素回路 20 は、走査信号線 Gi、データ信号線 Sj、制御線 AZk、電源線 VPk、電位 V0 を有する電源線、および、共通電位 Vcom を有する電極に接続される。

10

【0076】

TFT21 の一方の導通端子はデータ信号線 Sj に接続され、他方の導通端子はコンデンサ 24 の一方の端子（以下、ノード A という）に接続される。コンデンサ 24 の他方の端子は、TFT22 のゲート端子に接続される。TFT22 のソース端子は電源線 VPk に接続され、ドレイン端子は有機 EL 素子 26 のアノード端子に接続される。有機 EL 素子 26 のカソード端子は、共通電位 Vcom を有する電極に接続される。TFT23 は、TFT22 のゲート端子とドレイン端子（有機 EL 素子 26 側の導通端子）の間に設けられる。コンデンサ 25 の一方の電極は電位 V0 を有する配線に接続され、他方の電極はノード A に接続される。TFT21 のゲート端子は走査信号線 Gi に接続され、TFT23 のゲート端子は制御線 AZk に接続される。TFT21 ~ 23 は、それぞれ、書き込み制御トランジスタ、駆動用トランジスタ、および、閾値検出用トランジスタとして機能し、有機 EL 素子 26 は発光素子として機能する。

20

【0077】

以下、q = 1 の場合について説明する。q = 1 の場合の制御線と電源線の接続形態は、図 3 と同様である。図 3 において制御回路 3、電源回路 4 および制御線 E1 を、それぞれ、制御回路 203、電源回路 204 および制御線 AZ1 と読み替えれば、本実施形態の接続形態が得られる。表示装置 200 における 1 フレーム期間内の各行の画素回路 20 の動作は、第 1 の実施形態と同じである（図 4 を参照）。ただし、表示装置 200 では、初期化期間においてノード初期化とアノード初期化が行われる。

30

【0078】

図 14 は、画素回路 20 の動作を示すタイミングチャートである。図 14 に示す Wi と VGi の意味は、第 1 の実施形態と同様である。VDi は、i 行目の画素回路 20 内の TFT22 のドレイン電位（すなわち、有機 EL 素子 26 のアノード電位）を表す。

【0079】

以下、図 14 を参照して、走査信号線 Gi、データ信号線 Sj、制御線 AZ1、および、電源線 VP1 に接続された画素回路 20 の動作を説明する。時刻 t1 より前では、走査信号線 Gi と制御線 AZ1 の電位はハイレベルであり、電源線 VP1 の電位は共通電位 Vcom にほぼ等しい VP_C である。

【0080】

（a）ノード初期化

時刻 t1 において、走査信号線 Gi と制御線 AZ1 の電位はローレベルに変化する。これに伴い、TFT21、23 はオン状態に変化する。時刻 t1 から時刻 t2 までの間、電源線 VP1 の電位は引き続き共通電位 Vcom にほぼ等しい VP_C であり、データ信号線 Sj の電位は Vref1 になる。このため、ノード A の電位は Vref1 になる。電位 Vref1 は、TFT21 がオン状態になるように決定される。このとき有機 EL 素子 26 は発光しないので、有機 EL 素子 26 のアノード電位と TFT22 のゲート電位は共通電位 Vcom にほぼ等しくなる。

40

【0081】

（b）アノード初期化

50

時刻 t_2 において、制御線 AZ_1 の電位はハイレベルに変化する。これに伴い、 TFT_{23} はオフ状態に変化する。時刻 t_2 から時刻 t_3 までの間、電源線 VP_1 の電位は共通電位 V_{com} よりも低い VP_L になり、データ信号線 S_j の電位は V_{ref1} よりも低い V_{ref2} になる。このとき TFT_{21} はオン状態で、 TFT_{23} はオフ状態であるので、データ信号線 S_j の電位が $(V_{ref1} - V_{ref2})$ だけ低下すると、 TFT_{22} のゲート電位は同じ量だけ低下する。これにより、 TFT_{22} はオン状態になり、有機 EL 素子 26 のアノード端子に保持されていた電荷は電源線 VP_1 に向けて放電される。この結果、有機 EL 素子 26 のアノード電位は VP_L になる。

【0082】

(c) 閾値検出

10

時刻 t_3 において、制御線 AZ_1 の電位はローレベルに変化する。これに伴い、 TFT_{23} はオン状態に変化する。時刻 t_3 において、電源線 VP_1 の電位は共通電位 V_{com} にほぼ等しい VP_C に変化する。このとき、電源線 VP_1 から TFT_{22} と TFT_{23} を経由して TFT_{22} のゲート端子に電流が流れ込み、 TFT_{22} のゲート電位は上昇する。 TFT_{22} の閾値電圧を V_{th} としたとき、 TFT_{22} のゲート電位は $(VP_C + V_{th})$ まで上昇する。時刻 t_3 において、データ信号線 S_j の電位は V_{ref3} に変化する。このとき TFT_{21} は引き続きオン状態であるので、ノード A の電位は V_{ref3} に変化する。一方、このとき TFT_{23} はオン状態であり、有機 EL 素子 26 はコンデンサ 24 よりも十分に大きい容量値を有するので、ノード A の電位が変化しても、 TFT_{22} のゲート電位はその影響をほとんど受けない。

20

【0083】

(d) データ待機

時刻 t_4 において、制御線 AZ_1 の電位はハイレベルに変化する。これに伴い、 TFT_{23} はオフ状態に変化する。その後、走査信号線 Gi の電位はハイレベルに変化する。これに伴い、 TFT_{21} はオフ状態に変化する。これ以降、 TFT_{22} のゲート電位は、コンデンサ 24、25 の作用によって、 $(VP_C + V_{th})$ に保たれる。

【0084】

データ待機期間では、電流が有機 EL 素子 26 のアノード端子から有機 EL 素子 26 側にも電源線 VP_1 側にも流れず、有機 EL 素子 26 のアノード電位は $(VP_C + V_{th})$ を保つことが理想的である。しかしながら、特段の工夫を行わなければ、データ待機期間において TFT_{22} 、23 に無視できない程度のリーク電流が流れて、有機 EL 素子 26 のアノード電位は変動する。

30

【0085】

そこで、本実施形態に係る表示装置 200 は、閾値検出完了から発光開始までの間、 TFT_{23} をオフ状態に制御するだけでなく、電源線 VP_1 の電位を共通電位 V_{com} にほぼ等しい VP_C にする。これにより、待機期間において、有機 EL 素子 26 のアノード端子から電源線 VP_1 にリーク電流が流れることを防止し、有機 EL 素子 26 のアノード電位を一定に保つことができる。

【0086】

(e) データ書き込み

40

時刻 t_4 から時刻 t_5 までの間に、 i 行目の画素回路 20 のデータ書き込み期間 W_i が設定される。データ書き込み期間 W_i では、走査信号線 Gi の電位はローレベルになり、データ信号線 S_j の電位はデータ電位 V_{data} になる。このとき TFT_{21} はオン状態になるので、ノード A の電位は V_{data} に変化する。また、このとき TFT_{23} はオフ状態であるので、 TFT_{22} のゲート電位はノード A の電位と同じ量だけ変化して $(VP_C + V_{th} + V_{data} - V_{ref3})$ になる。

【0087】

(f) 発光待機

発光待機期間では、データ待機期間と同様に、走査信号線 Gi と制御線 AZ_1 の電位はハイレベルになり、電源線 VP_1 の電位は共通電位 V_{com} にほぼ等しい VP_C になる

50

。発光待機期間では、T F T 2 2 のゲート電位は、コンデンサ 2 4、2 5 の作用によって (V P _ C + V t h + V d a t a - V r e f 3) に保たれる。

【 0 0 8 8 】

(g) 発光

時刻 t 5 において、電源線 V P 1 の電位は共通電位 V c o m よりも高い V P _ H に変化する。このため、有機 E L 素子 2 6 には発光閾値電圧よりも高い電圧が印加され、有機 E L 素子 2 6 は発光する。電位 V P _ H は、発光期間において T F T 2 2 が飽和領域で動作するように決定される。このため、発光期間において有機 E L 素子 2 6 を流れる電流 I は、チャネル長変調効果を無視すれば、上式 (4) で与えられる。

【 0 0 8 9 】

発光期間でも、T F T 2 2 のゲート電位は、引き続き (V P _ C + V t h + V d a t a - V r e f 3) に保たれる。したがって、発光期間における T F T 2 2 のゲート - ソース間電圧 V g s は、次式 (6) で与えられる。

$$V g s = V P _ C + V t h + V d a t a - V r e f 3 - V P _ H \quad \dots (6)$$

式 (4) と式 (6) から、次式 (7) が導かれる。

$$I = 1 / 2 \cdot W / L \cdot \mu \cdot C o x \times (V P _ C + V d a t a - V r e f 3 - V P _ H) ^ 2 \quad \dots (7)$$

【 0 0 9 0 】

式 (7) に示す電流 I は、データ電位 V d a t a に応じて変化するが、T F T 2 2 の閾値電圧 V t h には依存しない。したがって、閾値電圧 V t h にばらつきが生じる場合や、閾値電圧 V t h が経時的に変化する場合でも、閾値電圧 V t h に依存しない電流を有機 E L 素子 2 6 に流して、有機 E L 素子 2 6 を所望の輝度で発光させることができる。

【 0 0 9 1 】

(h) 消灯

時刻 t 6 において、電源線 V P 1 の電位が共通電位 V c o m にほぼ等しい V P _ C に変化する。このため、時刻 t 6 以降、有機 E L 素子 2 6 のアノード電位は低下する。時刻 t 6 からしばらくすると、有機 E L 素子 2 6 のアノード電位は十分に低くなり、有機 E L 素子 2 6 は消灯する。

【 0 0 9 2 】

以上に示すように、本実施形態に係る表示装置 2 0 0 では、画素回路 2 0 は、電源線 V P k と共通電位 V c o m が印加される導電性部材 (電極) とを結ぶ電流経路上に、一端を導電性部材に接続して設けられた発光素子 (有機 E L 素子 2 6) と、電流経路上に、一方の導通端子を発光素子の他端に接続して設けられた駆動用トランジスタ (T F T 2 2) と、一端が駆動用トランジスタの制御端子に接続された第 1 のコンデンサ 2 4 と、第 1 のコンデンサの他端とデータ信号線 S j との間に設けられ、走査信号線 G i に接続された制御端子を有する書き込み制御トランジスタ (T F T 2 1) と、駆動用トランジスタの制御端子と発光素子側の導通端子 (T F T 2 2 のドレイン端子) との間に設けられ、制御線 A Z k に接続された制御端子を有する閾値検出用トランジスタ (T F T 2 3) と、第 1 のコンデンサの他端と所定電位 V 0 を有する電源線との間に設けられた第 2 のコンデンサ 2 5 とを含む。発光素子の一端 (有機 E L 素子 2 6 のカソード端子) は、共通電位 V c o m が固定的に印加された導電性部材に接続され、駆動用トランジスタの他方の導通端子は、電源線 V P k に接続される。

【 0 0 9 3 】

駆動回路 (走査信号線駆動回路 2、制御回路 2 0 3 およびデータ信号線駆動回路 5 からなる回路) と電源回路 2 0 4 は、複数行の画素回路 2 0 に対する初期化を同時に行い、複数行の画素回路 2 0 に対する閾値検出を同時に行い、画素回路 2 0 に対するデータ書き込みを行ごとに順に行い、複数行の画素回路 2 0 に含まれる発光素子を同じ期間で発光させる制御を行う。電源回路 2 0 4 は、画素回路 2 0 の閾値検出完了から発光開始までの期間では、画素回路 2 0 に接続される電源線 V P k に共通電位 V c o m にほぼ等しい電位 V P

10

20

30

40

50

—Cを印加する。

【0094】

本実施形態に係る表示装置200によれば、3個のトランジスタと2個のコンデンサと発光素子を含む画素回路20について、閾値検出完了から発光開始までの期間では、電源線VP_kに共通電位V_{com}にほぼ等しい電位VP—Cを印加することにより、待機期間における画素回路20内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

【0095】

(第3の実施形態)

図15は、本発明の第3の実施形態に係る表示装置の構成を示すブロック図である。図15に示す表示装置300は、表示制御回路1、走査信号線駆動回路2、制御回路303、電源回路304、データ信号線駆動回路5、および、(m×n)個の画素回路30を備えた有機ELディスプレイである。以下、第1の実施形態に係る表示装置100との相違点を説明する。

【0096】

表示装置300には、制御線として、q本の制御線E₁～E_qとq本の制御線AZ₁～AZ_qが設けられる。各行の画素回路30は、制御線E₁～E_qのいずれか、制御線AZ₁～AZ_qのいずれか、および、電源線VP₁～VP_qのいずれかに接続される。画素回路30には、図示しない導電性部材(電極)を用いて共通電位V_{com}が供給される。

【0097】

制御回路303は、制御信号CS₁に基づき、制御線E₁～E_q、AZ₁～AZ_qにハイレベル電位とローレベル電位を切り替えて印加する。電源回路304は、制御信号CS₂に基づき、電源線VP₁～VP_qに3種類の電位を切り替えて印加する。より詳細には、電源回路304は、電源線VP₁～VP_qに対して、共通電位V_{com}よりも高い電位VP—H、V_{com}にほぼ等しい電位VP—C、および、V_{com}よりも低い電位VP—Lを切り替えて印加する。

【0098】

図16は、画素回路30の回路図である。図16に示すように、画素回路30は、TF₃₁～TF₃₄、コンデンサ35、および、有機EL素子36を含んでいる。TF₃₁～TF₃₄は、いずれも、Pチャネル型トランジスタである。画素回路30は、走査信号線Gi、データ信号線S_j、制御線Ek、AZ_k、電源線VP_k、および、共通電位V_{com}を有する電極に接続される。

【0099】

TF₃₁の一方の導通端子はデータ信号線S_jに接続され、他方の導通端子はコンデンサ35の一方の端子(以下、ノードAという)に接続される。コンデンサ35の他方の端子は、TF₃₂のゲート端子に接続される。TF₃₂のソース端子は電源線VP_kに接続され、ドレイン端子は有機EL素子36のアノード端子に接続される。有機EL素子36のカソード端子は、共通電位V_{com}を有する電極に接続される。TF₃₃は、TF₃₂のゲート端子とドレイン端子(有機EL素子36側の導通端子)の間に設けられる。TF₃₄のソース端子は電源線VP_kに接続され、ドレイン端子はノードAに接続される。TF₃₁のゲート端子は走査信号線Giに接続され、TF₃₃のゲート端子は制御線AZ_kに接続され、TF₃₄のゲート端子は制御線Ekに接続される。TF₃₁～TF₃₄は、それぞれ、書き込み制御トランジスタ、駆動用トランジスタ、閾値検出用トランジスタ、および、電源接続用トランジスタとして機能し、有機EL素子36は発光素子として機能する。

【0100】

以下、q=1の場合について説明する。図17は、制御線と電源線の接続形態を示す図である。この場合、すべての画素回路30は、制御線E₁、AZ₁と電源線VP₁に接続される。表示装置300における1フレーム期間内の各行の画素回路30の動作は、第1の実施形態と同様である(図4を参照)。ただし、表示装置300では、初期化期間にお

10

20

30

40

50

いてノード初期化とアノード初期化が行われる。

【0101】

図18は、画素回路30の動作を示すタイミングチャートである。図18に示す W_i と V_{Gi} の意味は第1の実施形態と同様であり、図18に示す V_{Di} の意味は第2の実施形態と同様である。

【0102】

以下、図18を参照して、走査信号線 G_i 、データ信号線 S_j 、制御線 E_1 、 AZ_1 および、電源線 VP_1 に接続された画素回路30の動作を説明する。時刻 t_1 より前では、走査信号線 G_i と制御線 E_1 、 AZ_1 の電位はハイレベルであり、電源線 VP_1 の電位は共通電位 V_{com} にほぼ等しい VP_C である。

10

【0103】

(a) ノード初期化

時刻 t_1 において、走査信号線 G_i と制御線 AZ_1 の電位はローレベルに変化する。これに伴い、 $TFT3_1$ 、 3_3 はオン状態に変化する。時刻 t_1 から時刻 t_2 までの間、電源線 VP_1 の電位は引き続き共通電位 V_{com} にほぼ等しい VP_C であり、データ信号線 S_j の電位は V_{ref1} になる。このため、ノードAの電位は V_{ref1} になる。電位 V_{ref1} は、 $TFT3_1$ がオン状態になるように決定される。このとき有機EL素子36は発光しないので、有機EL素子36のアノード電位と $TFT3_2$ のゲート電位は共通電位 V_{com} にほぼ等しくなる。

【0104】

(b) アノード初期化

時刻 t_2 において、制御線 AZ_1 の電位はハイレベルに変化する。これに伴い、 $TFT3_3$ はオフ状態に変化する。時刻 t_2 から時刻 t_3 までの間、電源線 VP_1 の電位は共通電位 V_{com} よりも低い VP_L になり、データ信号線 S_j の電位は V_{ref1} よりも低い V_{ref2} になる。このとき $TFT3_1$ はオン状態で、 $TFT3_3$ 、 3_4 はオフ状態であるので、データ信号線 S_j の電位が $(V_{ref1} - V_{ref2})$ だけ低下すると、 $TFT3_2$ のゲート電位は同じ量だけ低下する。これにより、 $TFT3_2$ はオン状態になり、有機EL素子36のアノード端子に保持されていた電荷は電源線 VP_1 に向けて放電される。この結果、有機EL素子36のアノード電位は VP_L になる。

20

【0105】

(c) 閾値検出

時刻 t_3 において、制御線 AZ_1 の電位はローレベルに変化する。これに伴い、 $TFT3_3$ はオン状態に変化する。時刻 t_3 において、電源線 VP_1 の電位は共通電位 V_{com} にほぼ等しい VP_C に変化する。このとき、電源線 VP_1 から $TFT3_2$ と $TFT3_3$ を経由して $TFT3_2$ のゲート端子に電流が流れ込み、 $TFT3_2$ のゲート電位は上昇する。 $TFT3_2$ の閾値電圧を V_{th} としたとき、 $TFT3_2$ のゲート電位は $(VP_C + V_{th})$ まで上昇する。時刻 t_3 において、データ信号線 S_j の電位は V_{ref1} に変化する。このとき $TFT3_1$ は引き続きオン状態であるので、ノードAの電位は V_{ref1} に変化する。一方、このとき $TFT3_3$ はオン状態であり、有機EL素子36はコンデンサ35よりも十分に大きい容量値を有するので、ノードAの電位が変化しても、 $TFT3_2$ のゲート電位はその影響をほとんど受けない。

30

40

【0106】

(d) データ待機

時刻 t_4 において、走査信号線 G_i の電位はハイレベルに変化する。これに伴い、 $TFT3_1$ はオフ状態に変化する。この時点で、有機EL素子36のアノード電位と $TFT3_2$ のゲート電位は $(VP_C + V_{th})$ である。

【0107】

データ待機期間では、電流が有機EL素子36のアノード端子から有機EL素子36側にも電源線 VP_1 側にも流れず、有機EL素子36のアノード電位は $(VP_C + V_{th})$ を保つことが理想的である。しかしながら、特段の工夫を行わなければ、データ待機期

50

間において、T F T 3 2 に無視できない程度のリーク電流が流れて、有機 E L 素子 3 6 のアノード電位は変動する。

【 0 1 0 8 】

そこで、本実施形態に係る表示装置 3 0 0 は、閾値検出完了から発光開始までの間、電源線 V P 1 の電位を共通電位 V c o m にほぼ等しい V P _ C にする。これにより、待機期間において、有機 E L 素子 3 6 のアノード端子から電源線 V P 1 にリーク電流が流れることを防止し、有機 E L 素子 3 6 のアノード電位を一定に保つことができる。

【 0 1 0 9 】

(e) データ書き込み

時刻 t 4 から時刻 t 5 までの間に、i 行目の画素回路 3 0 のデータ書き込み期間 W i が設定される。データ書き込み期間 W i では、走査信号線 G i の電位はローレベルになり、データ信号線 S j の電位はデータ電位 V d a t a になる。このとき T F T 3 1 はオン状態になるので、ノード A の電位は V d a t a に変化する。また、このとき T F T 3 3 はオン状態であり、有機 E L 素子 3 6 はコンデンサ 3 5 よりも十分に大きい容量値を有するので、ノード A の電位が変化しても、T F T 3 2 のゲート電位はその影響をほとんど受けない。

10

【 0 1 1 0 】

(f) 発光待機

発光待機期間では、データ待機期間と同様に、走査信号線 G i はハイレベルになり、電源線 V P 1 の電位は共通電位 V c o m にほぼ等しい V P _ C になる。このとき、ノード A の電位は V d a t a で、T F T 3 2 のゲート電位は (V P _ C + V t h) である。

20

【 0 1 1 1 】

(g) 発光

時刻 t 5 より前に、制御線 A Z 1 の電位はハイレベルに変化する。これに伴い、T F T 3 3 はオフ状態に変化する。時刻 t 5 において、制御線 E 1 の電位はローレベルに変化する。これに伴い、T F T 3 4 はオン状態に変化する。時刻 t 5 において、電源線 V P 1 の電位は共通電位 V c o m よりも高い V P _ H に変化する。このため、ノード A の電位は V d a t a から V P _ H に変化する。また、有機 E L 素子 3 6 には発光閾値電圧よりも高い電圧が印加され、有機 E L 素子 3 6 は発光する。電位 V P _ H は、発光期間において T F T 3 2 が飽和領域で動作するように決定される。このため、発光期間において有機 E L 素子 3 6 を流れる電流 I は、チャネル長変調効果が無視すれば、上式 (4) で与えられる。

30

【 0 1 1 2 】

発光期間では T F T 3 3 はオフ状態であるので、ノード A の電位が V d a t a から V P _ H に変化すると、T F T 3 2 のゲート電位は同じ量だけ変化して (V P _ C + V t h + V P _ H - V d a t a) になる。したがって、発光期間における T F T 3 2 のゲート - ソース間電圧 V g s は、次式 (8) で与えられる。

$$V_{gs} = V_{P_C} + V_{th} - V_{data} \dots (8)$$

式 (4) と式 (8) から、次式 (9) が導かれる。

$$I = 1 / 2 \cdot W / L \cdot \mu \cdot C_{ox} (V_{P_C} - V_{data})^2 \dots (9)$$

【 0 1 1 3 】

式 (9) に示す電流 I は、データ電位 V d a t a に応じて変化するが、T F T 3 2 の閾値電圧 V t h には依存しない。したがって、閾値電圧 V t h にばらつきが生じる場合や、閾値電圧 V t h が経時的に変化する場合でも、閾値電圧 V t h に依存しない電流を有機 E L 素子 3 6 に流して、有機 E L 素子 3 6 を所望の輝度で発光させることができる。

40

【 0 1 1 4 】

(h) 消灯

時刻 t 6 において、制御線 E 1 の電位はハイレベルに変化する。これに伴い、T F T 3 4 はオフ状態に変化する。時刻 t 6 において、電源線 V P 1 の電位は V P _ C に変化する。このため、時刻 t 6 以降、有機 E L 素子 3 6 のアノード電位は低下する。時刻 t 6 からしばらくすると、有機 E L 素子 3 6 に印加される電圧は十分に低くなり、有機 E L 素子 3

50

6 は消灯する。

【 0 1 1 5 】

以上に示すように、本実施形態に係る表示装置 3 0 0 では、画素回路 3 0 は、電源線 V P k と共通電位 V c o m が印加される導電性部材（電極）とを結ぶ電流経路上に、一端を導電性部材に接続して設けられた発光素子（有機 E L 素子 3 6）と、電流経路上に、一方の導通端子を発光素子の他端に接続して設けられた駆動用トランジスタ（T F T 3 2）と、一端が駆動用トランジスタの制御端子に接続されたコンデンサ 3 5 と、コンデンサの他端とデータ信号線 S j との間に設けられ、走査信号線 G i に接続された制御端子を有する書き込み制御トランジスタ（T F T 3 1）と、駆動用トランジスタの制御端子と発光素子側の導通端子（T F T 3 2 のドレイン端子）との間に設けられ、制御線 A Z k に接続された制御端子を有する閾値検出用トランジスタ（T F T 3 3）と、コンデンサの他端と電源線 V P k との間に設けられた電源接続用トランジスタ（T F T 3 4）とを含む。発光素子の一端（有機 E L 素子 3 6 のカソード端子）は、共通電位 V c o m が固定的に印加された導電性部材に接続され、駆動用トランジスタの他方の導通端子は、電源線 V P k に接続される。

10

【 0 1 1 6 】

駆動回路（走査信号線駆動回路 2、制御回路 3 0 3 およびデータ信号線駆動回路 5 からなる回路）と電源回路 3 0 4 は、複数行の画素回路 3 0 に対する初期化を同時に行い、複数行の画素回路 3 0 に対する閾値検出を同時に行い、画素回路 3 0 に対するデータ書き込みを行ごとに順に行い、複数行の画素回路 3 0 に含まれる発光素子を同じ期間で発光させる制御を行う。電源回路 3 0 4 は、電源線 V P k に 3 種類の電位を切り替えて印加する。電源回路 3 0 4 は、画素回路 3 0 の閾値検出完了から発光開始までの期間では、画素回路 3 0 に接続される電源線 V P k に共通電位 V c o m にほぼ等しい電位 V P _ C を印加する。

20

【 0 1 1 7 】

本実施形態に係る表示装置 3 0 0 によれば、4 個のトランジスタと 1 個のコンデンサと発光素子を含む画素回路 3 0 について、閾値検出完了から発光開始までの期間では、電源線 V P k に共通電位 V c o m にほぼ等しい電位 V P _ C を印加することにより、待機期間における画素回路 3 0 内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

30

【 0 1 1 8 】

本実施形態に係る表示装置 3 0 0 の変形例として、図 1 9 ~ 図 2 2 に示す画素回路を構えた表示装置を構成することができる。図 1 9 に示す画素回路 4 1 では、T F T 3 4 のソース端子は、調整可能な電位 V 0 を有する電源線に接続される。図 2 0 に示す画素回路 4 2 では、有機 E L 素子 3 6 のカソード端子は電源線 V C k（複数の画素回路に接続される電源線 V C 1 ~ V C q のいずれか）に接続される。この場合、電源回路は、電源線 V P k、V C k にそれぞれ 2 種類の電位を切り替えて印加する。図 2 1 に示す画素回路 4 3 では、T F T 3 3 のゲート端子は走査信号線 G i に接続される。図 2 2 に示す画素回路 5 0 は、N チャネル型トランジスタを用いて、第 3 の実施形態に係る画素回路 3 0 に対応する回路を構成したものである。画素回路 5 0 は、T F T 5 1 ~ 5 4、コンデンサ 5 5、および、有機 E L 素子 5 6 を含んでいる。画素回路 4 1、4 3、5 0 を構えた表示装置では、閾値検出完了から発光開始までの期間において、電源線 V P k に共通電位 V c o m にほぼ等しい電位 V P _ C を印加することにより、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。画素回路 4 2 を備えた表示装置では、閾値検出完了から発光開始までの期間において、電源線 V P k、V C k に同じ電位を印加することにより、同様の効果を得ることができる。

40

【 0 1 1 9 】

画素回路 3 0、4 1、5 0 を備えた表示装置によれば、1 種類の電源線を用いることにより、電源線のレイアウト面積を減らすことができる。画素回路 4 2 を備えた表示装置によれば、2 種類の電位を切り替えて印加する電源回路を用いることにより、電源回路の構

50

成を簡単にすることができる。画素回路 4 3 を備えた表示装置によれば、1 種類の制御線と 1 種類の電源線を用いることにより、制御線と電源線のレイアウト面積を減らし、駆動回路の構成を簡単にすることができる。

【 0 1 2 0 】

以上に示すように、本発明によれば、複数行の画素回路に対する初期化を同時に行い、複数行の画素回路に対する閾値検出を同時に行い、画素回路に対するデータ書き込みを行ごとに順に行い、複数行の画素回路に含まれる発光素子を同じ期間で発光させる表示装置において、画素回路の閾値検出完了から発光開始までの期間では、当該画素回路に接続される電源線に共通電位にほぼ等しい電位を印加することにより、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止することができる。

10

【 産業上の利用可能性 】

【 0 1 2 1 】

本発明の表示装置は、待機期間における画素回路内のノード電位の変動を防止し、表示画面の輝度の変動を防止できるという特徴を有するので、有機 E L ディスプレイなどの電流駆動型の表示装置に利用することができる。

【 符号の説明 】

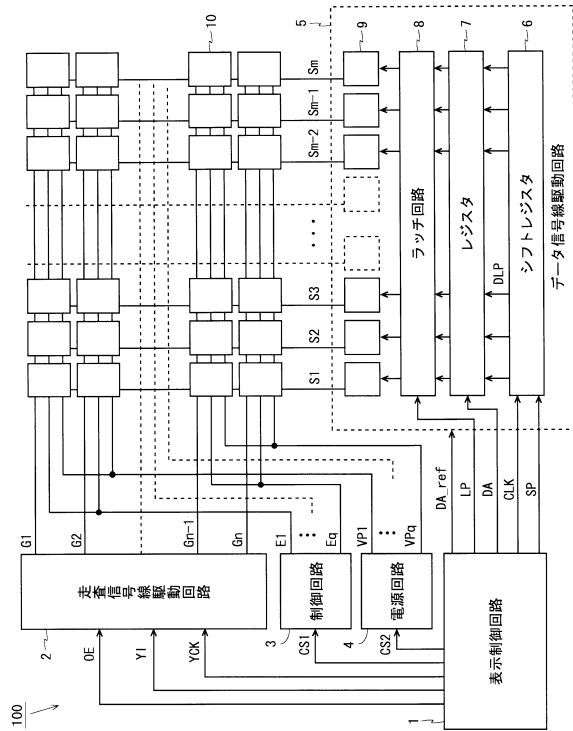
【 0 1 2 2 】

- 1 ... 表示制御回路
- 2 ... 走査信号線駆動回路
- 3、2 0 3、3 0 3 ... 制御回路
- 4、2 0 4、3 0 4 ... 電源回路
- 5 ... データ信号線駆動回路
- 6 ... シフトレジスタ
- 7 ... レジスタ
- 8 ... ラッチ回路
- 9 ... 出力バッファ
- 1 0、2 0、3 0、4 1 ~ 4 3、5 0 ... 画素回路
- 1 1、2 1、3 1、5 1 ... T F T (書き込み制御トランジスタ)
- 1 2、2 2、3 2、5 2 ... T F T (駆動用トランジスタ)
- 1 3 ... T F T (発光制御トランジスタ)
- 1 4、2 4、2 5、3 5、5 5 ... コンデンサ
- 1 5、2 6、3 6、5 6 ... 有機 E L 素子 (発光素子)
- 2 3、3 3、5 3 ... T F T (閾値検出用トランジスタ)
- 3 4、5 4 ... T F T (電源接続用トランジスタ)
- 1 0 0、2 0 0、3 0 0 ... 表示装置

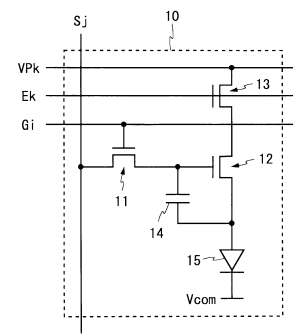
20

30

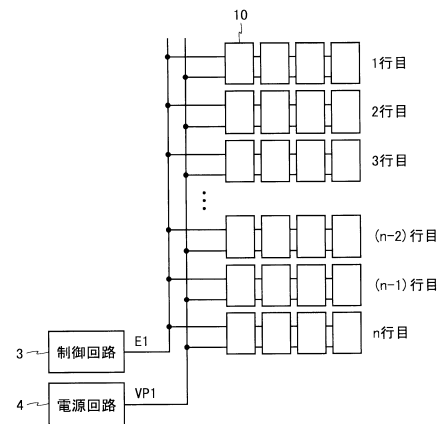
【図 1】



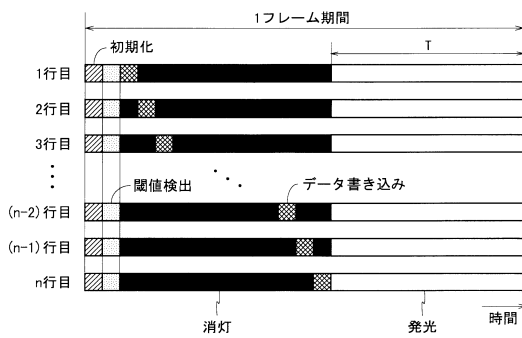
【図 2】



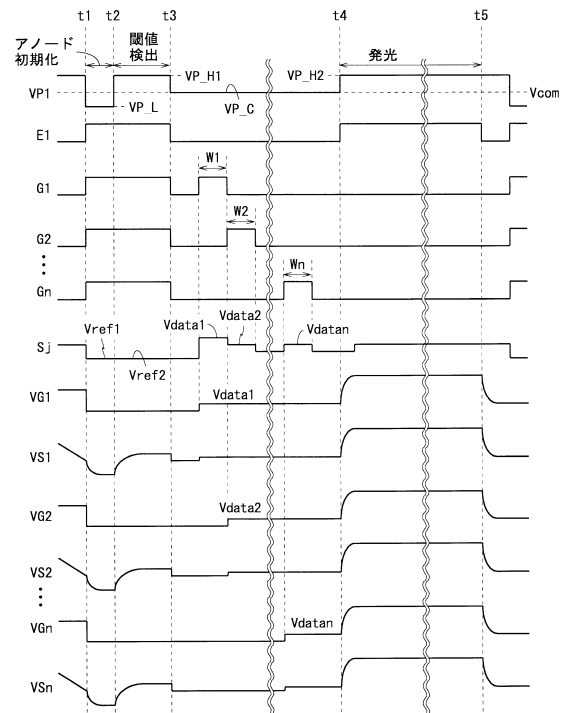
【図 3】



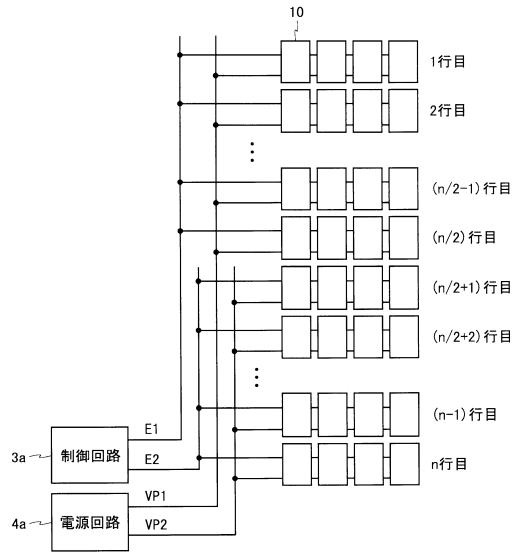
【図 4】



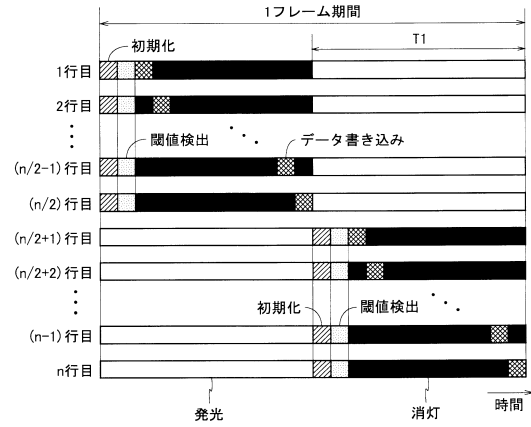
【図 5】



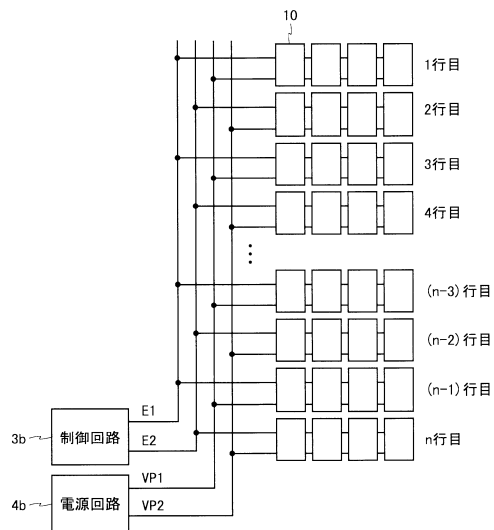
【図 6】



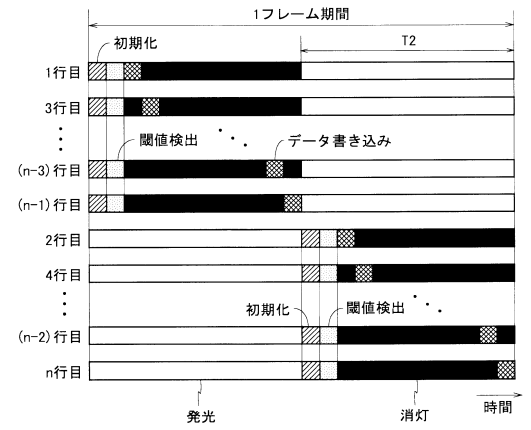
【図 7】



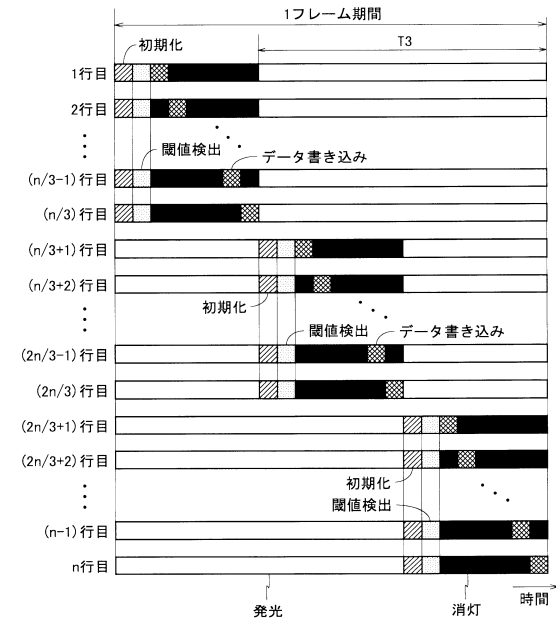
【図 8】



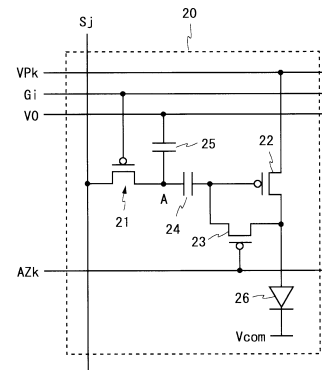
【図 9】



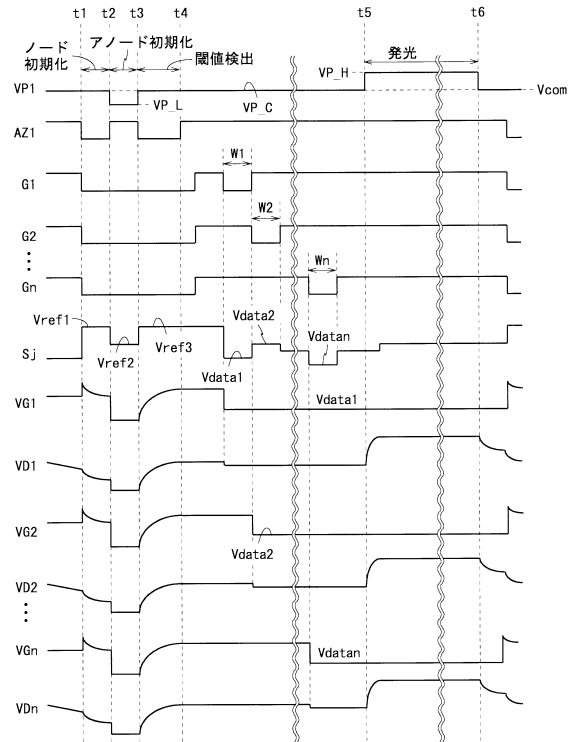
【 図 1 1 】



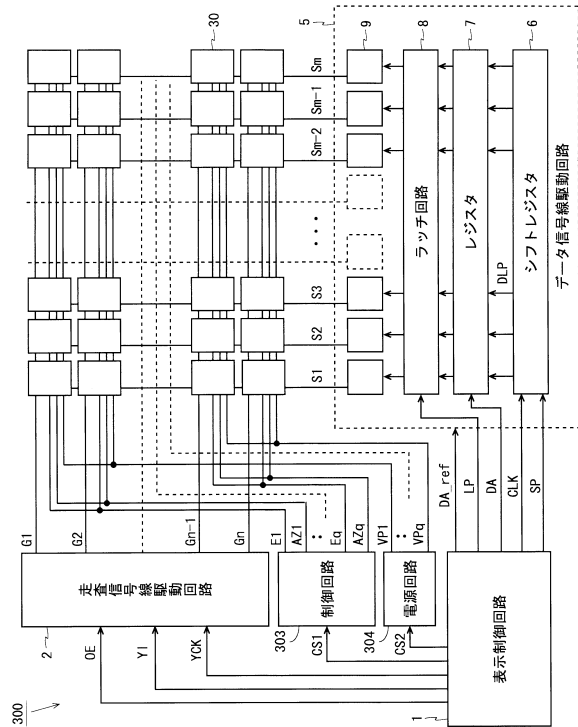
【 図 1 3 】



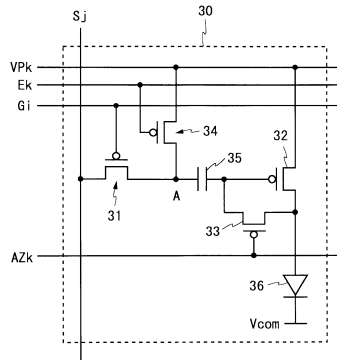
【図 14】



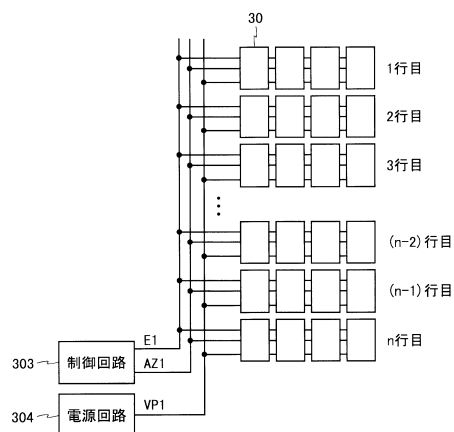
【図 15】



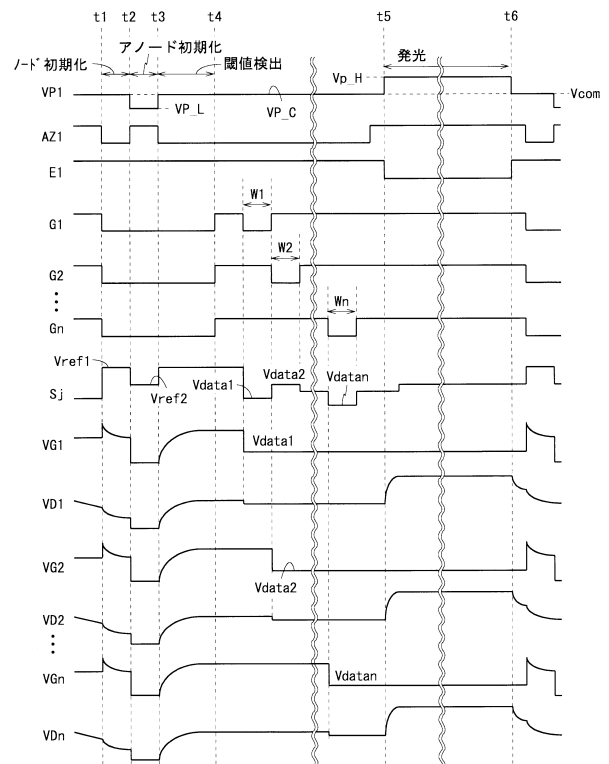
【図 16】



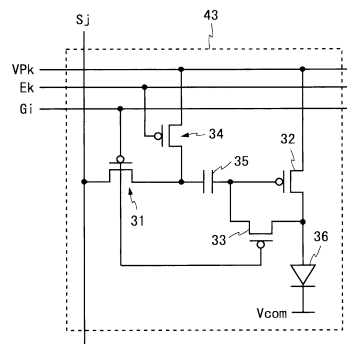
【図 17】



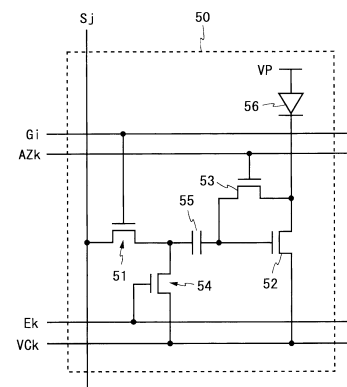
【図 18】



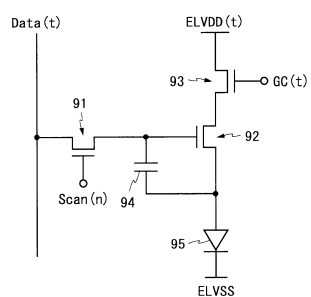
【 図 2 1 】



【圖 20】



【 図 2 3 】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 4 2 A
	G 0 9 G	3/20	6 4 2 C
	H 0 5 B	33/14	A

審査官 橋本 直明

(56)参考文献 特開 2 0 0 4 - 2 8 0 0 5 9 (J P , A)
特開 2 0 1 2 - 2 0 8 4 5 9 (J P , A)
特開 2 0 0 6 - 0 0 3 7 4 4 (J P , A)
国際公開第 2 0 1 0 / 1 3 7 2 6 8 (W O , A 1)
特開 2 0 0 9 - 1 2 2 3 5 2 (J P , A)
特開 2 0 0 3 - 2 8 8 0 4 9 (J P , A)
特開 2 0 1 1 - 1 7 0 3 6 1 (J P , A)
特開 2 0 0 1 - 0 5 6 6 6 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0
H 0 1 L 5 1 / 5 0

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP5680218B2	公开(公告)日	2015-03-04
申请号	JP2013544243	申请日	2012-11-09
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	岸宣孝		
发明人	岸 宣孝		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3241 G09G3/3233 G09G2300/0852 G09G2300/0861		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.622.C G09G3/20.622.D G09G3/20.611.H G09G3/20.642.A G09G3/20.642.C H05B33/14.A		
代理人(译)	岛田彰 川原贤治 川本悟		
审查员(译)	Naoaki 桥本		
优先权	2011252113 2011-11-17 JP		
其他公开文献	JPWO2013073466A1		
外部链接	Espacenet		

摘要(译)

上与公共电位Vcom的电极连接到电源线VPK的像素电路10的电流路径，TFT12,13的有机EL元件15。显示装置100同时执行多行像素电路10的初始化并同时检测多行像素电路10的阈值，并且对每行依次执行对像素电路10的数据写入，并且像素电路10并且使包括在发光元件15中的有机EL元件15在相同的时间段内发光。在从阈值检测完成到发光开始的时段中，TFT 11和13被控制为处于OFF状态，并且基本上等于公共电位Vcom的电势VP_C被施加到电源线VPk。结果，抑制了流过TFT 12和13的漏电流，并且防止了在待机时段期间像素电路10中的节点电位的波动。

【 図 4 】

