

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5459960号
(P5459960)

(45) 発行日 平成26年4月2日(2014.4.2)

(24) 登録日 平成26年1月24日(2014.1.24)

(51) Int.Cl.

F I

G09G 3/32 (2006.01)

G09G 3/32 A

G09G 3/30 (2006.01)

G09G 3/30 K

G09G 3/20 (2006.01)

G09G 3/30 J

H01L 51/50 (2006.01)

G09G 3/20 624B

G09G 3/20 611H

請求項の数 8 (全 29 頁) 最終頁に続く

(21) 出願番号 特願2007-544707 (P2007-544707)
 (86) (22) 出願日 平成17年12月6日 (2005.12.6)
 (65) 公表番号 特表2008-523425 (P2008-523425A)
 (43) 公表日 平成20年7月3日 (2008.7.3)
 (86) 国際出願番号 PCT/CA2005/001844
 (87) 国際公開番号 W02006/060902
 (87) 国際公開日 平成18年6月15日 (2006.6.15)
 審査請求日 平成20年12月1日 (2008.12.1)
 (31) 優先権主張番号 2,490,858
 (32) 優先日 平成16年12月7日 (2004.12.7)
 (33) 優先権主張国 カナダ (CA)

(73) 特許権者 507257080
 イグニス・イノベーション・インコーポレ
 ーテッド
 IGNIS INNOVATION IN
 CORPORATED
 カナダ オンタリオ ウォータールー パ
 サースト ドライブ 50 ユニット 1
 2
 (74) 代理人 100097490
 弁理士 細田 益穂
 (74) 代理人 100113354
 弁理士 石井 総
 (74) 代理人 100097504
 弁理士 青木 純雄

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型発光デバイスのピクセルをプログラミング及び駆動する方法並びにシステム

(57) 【特許請求の範囲】

【請求項 1】

表示システムをプログラミング及び駆動する方法であって、前記表示システムが、
 行及び列に配列された複数のピクセル回路を有する表示アレイであって、前記複数のピ
 クセル回路の各々が、

電圧供給電極に接続された第1端子と、第2端子とを有する発光デバイスと、
 第1端子と、第2端子とを有する記憶キャパシタと、
 選択ラインに接続されたゲート端子と、電圧データを伝送するための信号ラインに
 接続された第1端子と、前記記憶キャパシタの第1端子に接続された第2端子とを有する
 スイッチトランジスタと、

第1ノード(A)において前記スイッチトランジスタの第2端子及び前記記憶キャ
 パシタの第1端子に接続されたゲート端子と、第2ノード(B)において前記発光デバイ
 スの第2端子及び前記記憶キャパシタの第2端子に接続された第1端子と、制御可能な電
 圧供給ラインに接続された第2端子とを有する駆動トランジスタと、
 を有する表示アレイと、

前記表示アレイを動作させるために前記選択ライン、前記制御可能な電圧供給ライン及
 び前記信号ラインを駆動するドライバと、
 を含む表示システムをプログラミング及び駆動する方法において、

当該表示システムをプログラミング及び駆動する方法が、
 プログラミングサイクルの間の第1動作サイクルにおいて、前記制御可能な電圧供給ラ

10

20

イン上の電圧を前記発光デバイスがオフするのに十分な電圧に調整すると共に前記選択ラインを選択して前記スイッチトランジスタをオンし、前記信号ラインを高い正の補償電圧に変更するステップと、

前記プログラミングサイクルの間の前記第 1 動作サイクルの後の第 2 動作サイクルにおいて、前記信号ラインに基準電圧 (V_{REF}) を供給し、該スイッチトランジスタを介して前記第 1 ノード (A) に前記基準電圧 (V_{REF}) が供給されるようにするステップであって、前記第 2 ノード (B) が ($V_{REF} - V_T$) 又は ($-V_{REF} + V_T$) により規定される第 1 電圧に充電され、ここで、 V_{REF} は前記基準電圧を表す一方、 V_T は前記駆動トランジスタの前記閾電圧を表し、前記制御可能な電圧供給ライン上の電圧を正の電圧に変更するステップと、

10

前記プログラミングサイクルの間の前記第 2 動作サイクルの後の第 3 動作サイクルにおいて、前記第 1 ノード (A) が ($V_{REF} + V_P$) 又は ($-V_{REF} + V_P$) により規定される第 2 電圧に充電されて、前記第 1 電圧と前記第 2 電圧との間の差が前記記憶キャパシタに記憶されるようにし、ここで、 V_P は前記第 3 動作サイクルの間の前記信号ライン上のプログラミング電圧を表し、前記制御可能な電圧供給ライン上の電圧を動作電圧に変更するステップと、

前記プログラミングサイクルの後の駆動サイクルの間において、前記制御可能な電圧供給ライン上の電圧が動作電圧である間に、前記選択ラインの選択を外すと共に前記記憶キャパシタに記憶された電圧を前記駆動トランジスタのゲート端子に供給するステップと、を有する方法。

20

【請求項 2】

請求項 1 に記載の方法において、前記発光デバイスが有機発光ダイオードである方法。

【請求項 3】

請求項 1 に記載の方法において、前記駆動トランジスタ及び前記スイッチトランジスタの少なくとも 1 つが薄膜トランジスタである方法。

【請求項 4】

請求項 1 に記載の方法において、前記プログラミングサイクル及び前記駆動サイクルが各行に対して連続して実施される方法。

【請求項 5】

行及び列に配列された複数のピクセル回路を有する表示アレイであって、前記複数のピクセル回路の各々が、

30

電圧供給電極に接続された第 1 端子と、第 2 端子とを有する発光デバイスと、

第 1 端子と、第 2 端子とを有する記憶キャパシタと、

選択ラインに接続されたゲート端子と、電圧データを伝送するための信号ラインに接続された第 1 端子と、前記記憶キャパシタの第 1 端子に接続された第 2 端子とを有するスイッチトランジスタと、

第 1 ノード (A) において前記スイッチトランジスタの第 2 端子及び前記記憶キャパシタの第 1 端子に接続されたゲート端子と、第 2 ノード (B) において前記発光デバイスの第 2 端子及び前記記憶キャパシタの第 2 端子に接続された第 1 端子と、制御可能な電圧供給ラインに接続された第 2 端子とを有する駆動トランジスタと、を有する表示アレイと、

40

前記表示アレイを動作させるために前記選択ライン、前記制御可能な電圧供給ライン及び前記信号ラインを駆動するドライバと、

前記ドライバを用いて、前記表示アレイの各行に対し駆動サイクルより前のプログラミングサイクルを実行するコントローラと、を有する表示システムであって、

前記コントローラは、前記ドライバを、

前記プログラミングサイクルの間の第 1 動作サイクルにおいて、前記制御可能な電圧供給ラインが前記発光デバイスをオフするのに十分な電圧に調整されると共に前記選択ラインが選択されて前記スイッチトランジスタがオンされ、前記信号ラインが高い正の補

50

償電圧に変更され、

前記プログラミングサイクルの間の前記第 1 動作サイクルの後の第 2 動作サイクルの間に、前記信号ラインに基準電圧 (V_{REF}) が供給されて、前記スイッチトランジスタを介して前記第 1 ノード (A) に前記基準電圧 (V_{REF}) が供給されるようにして、前記第 2 ノード (B) が ($V_{REF} - V_T$) 又は ($-V_{REF} + V_T$) により規定される第 1 電圧に充電され、ここで、 V_{REF} は前記基準電圧を表す一方、 V_T は前記駆動トランジスタの前記閾電圧を表し、前記制御可能な電圧供給ライン上の電圧が正の電圧に変更され、

前記プログラミングサイクルの間の前記第 2 動作サイクルの後の第 3 動作サイクルの間に、前記第 1 ノード (A) が ($V_{REF} + V_P$) 又は ($-V_{REF} + V_P$) により規定される第 2 電圧に充電されて、前記第 1 電圧と前記第 2 電圧との間の差が前記記憶キャパシタに記憶されるようにし、ここで、 V_P は前記第 3 動作サイクルの間の前記信号ライン上のプログラミング電圧を表し、前記制御可能な電圧供給ライン上の電圧が動作電圧に変更され、

10

前記駆動サイクルの間に、前記制御可能な電圧供給ラインが動作電圧である間に、前記選択ラインの選択が外されると共に前記記憶キャパシタに記憶された電圧が前記駆動トランジスタのゲート端子に供給される、
表示システム。

【請求項 6】

請求項 5 に記載の表示システムにおいて、前記発光デバイスが有機発光ダイオードである表示システム。

20

【請求項 7】

請求項 5 に記載の表示システムにおいて、前記スイッチトランジスタ及び前記駆動トランジスタの少なくとも 1 つが薄膜トランジスタである表示システム。

【請求項 8】

請求項 5 に記載の表示システムにおいて、或る行に対する前記プログラミングサイクル及び前記駆動サイクルが、隣接する行に対する前記プログラミングサイクル及び前記駆動サイクルと重なり合う表示システム。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、発光デバイス表示器に、更に詳細には斯かる発光デバイス表示器のための駆動技術に関する。

【背景技術】

【0002】

近年、アモルファスシリコン (a-Si)、ポリシリコン、有機又は他の駆動バックプレーンを備えるアクティブマトリクス型有機発光ダイオード (AMOLED) 表示器が、アクティブマトリクス型液晶表示器を超える利点のため一層魅力的となってきた。例えば、a-Si バックプレーンを使用した AMOLED 表示器は、異なる基板の使用を広げると共に可撓性の表示器を可能にさせるような低温製造法、及び広視野角を持つ高解像度の表示器を生成する低価格製造法を含むような利点を有している。

40

【0003】

AMOLED 表示器は、行及び列のピクセルのアレイ (各ピクセルが有機発光ダイオード (OLED) を有する) と、該行及び列のアレイ内に配置されたバックプレーン電子回路とを含んでいる。OLED は電流駆動デバイスであるので、AMOLED のピクセル回路は正確且つ一定の駆動電流を供給することができなければならない。

【0004】

図 1 は、特許文献 1 に開示されたピクセル回路を示している。図 1 のピクセル回路は、OLED 10 と、駆動薄膜トランジスタ (TFT) 11 と、スイッチ TFT 13 と、記憶キャパシタ 14 とを含んでいる。駆動 TFT 11 のドレイン端子が OLED 10 に接続さ

50

れている。駆動TFT11のゲート端子はスイッチTFT13を介して列ライン12に接続されている。駆動TFT11のゲート端子と接地点との間に接続された記憶キャパシタ14は、当該ピクセル回路が列ライン12から切断された場合に駆動TFT11のゲート端子の電圧を維持するために使用される。OLED10を経る電流は、駆動TFT11の特性パラメータに強く依存する。駆動TFT11の特性パラメータ、特にバイアスストレス下の閾電圧、は時間により変化し、このような変化はピクセル毎に相違し得、それにより生じる画像歪は許容できないほど高くなり得る。

【0005】

特許文献2は、OLEDに対して駆動TFTの閾電圧から独立した電流を供給するような電圧プログラム型ピクセル回路を開示している。このピクセルにおいて、駆動TFTのゲート/ソース電圧はプログラミング電圧及び駆動TFTの閾電圧からなっている。該特許文献2の欠点は、ピクセル回路が余分なトランジスタを必要とすると共に複雑であり、この結果、歩留まりが低下し、ピクセル開口が減少し、表示器の寿命が短くなることにある。

10

【0006】

ピクセル回路を駆動トランジスタの閾電圧のずれに対して一層不感にさせる他の方法は、特許文献3に開示されたピクセル回路のような電流プログラム型ピクセル回路を使用することである。従来の電流プログラム型ピクセル回路においては、駆動TFTのゲート/ソース電圧が、次のフレームにおいて自身を介して流れる電流に基づいて自己調整されるので、OLED電流は該駆動TFTの電流/電圧特性に余り依存しなくなる。斯かる電流プログラム型ピクセル回路の欠点は、大きなライン容量による列ライン充電時間から、低プログラミング電流レベルに関連するオーバーヘッドが生じる点にある。

20

【0007】

【特許文献1】米国特許第5,748,169号公報

【特許文献2】米国特許第6,229,508号公報

【特許文献3】米国特許第6,734,636号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明の目的は、既存のシステムの上記欠点の少なくとも1つを除去又は軽減するような方法及びシステムを提供することにある。

30

【課題を解決するための手段】

【0009】

本発明の一態様によれば、表示システムをプログラミング及び駆動する方法であり、前記表示システムが、

行及び列に配列された複数のピクセル回路を有する表示アレイであって、各ピクセル回路が、電圧供給電極に接続された第1端子と第2端子とを有する発光デバイスと、第1端子と第2端子とを有するキャパシタと、選択ラインに接続されたゲート端子と電圧データを伝送するための信号ラインに接続された第1端子と前記キャパシタの第1端子に接続された第2端子とを有するスイッチトランジスタと、第1ノード(A)において前記スイッチトランジスタの第2端子及び前記キャパシタの第1端子に接続されたゲート端子と第2ノード(B)において前記発光デバイスの第2端子及び前記キャパシタの第2端子に接続された第1端子と制御可能な電圧供給ラインに接続された第2端子とを有する駆動トランジスタとを有するような表示アレイと、

40

前記表示アレイを動作させるために前記選択ライン、前記制御可能な電圧供給ライン及び前記信号ラインを駆動するドライバと、
を有するような方法であって、

プログラミングサイクルにおいては、第1動作サイクルにおいて、前記第2ノードを(VREF-VT)又は(-VREF+VT)により規定される第1電圧で充電し、ここで、VREFは基準電圧を表す一方、VTは前記駆動トランジスタの閾電圧を表し、第2動

50

作サイクルにおいて、前記第 1 ノードを ($V_{REF} + V_P$) 又は ($-V_{REF} + V_P$) により規定される第 2 電圧で充電して、前記第 1 電圧と前記第 2 電圧との間の差が前記記憶キャパシタに記憶されるようにし、ここで、 V_P はプログラミング電圧を表し、

駆動サイクルにおいては、前記記憶キャパシタに記憶された電圧を前記駆動トランジスタのゲート端子に供給する、

ような各ステップを有する方法が提供される。

【0010】

また、本発明の他の態様によれば、表示システムをプログラミング及び駆動する方法であり、前記表示システムが、

行及び列に配列された複数のピクセル回路を有する表示アレイであって、各ピクセル回路が、電圧供給電極に接続された第 1 端子と第 2 端子とを有する発光デバイスと、各々が第 1 端子及び第 2 端子を有する第 1 キャパシタ及び第 2 キャパシタと、第 1 選択ラインに接続されたゲート端子と前記発光デバイスの第 2 端子に接続された第 1 端子と前記第 1 キャパシタの第 1 端子に接続された第 2 端子とを有する第 1 スイッチトランジスタと、第 2 選択ラインに接続されたゲート端子と電圧データを伝送するための信号ラインに接続された第 1 端子と第 2 端子とを有する第 2 スイッチトランジスタと、第 1 ノード (A) において前記発光デバイスの第 2 端子に接続された第 1 端子と第 2 ノード (B) において前記第 1 スイッチトランジスタの第 2 端子及び前記第 1 キャパシタの第 1 端子に接続されたゲート端子と制御可能な電圧供給ラインに接続された第 2 端子とを有する駆動トランジスタとを有し、第 3 ノード (C) において前記第 2 スイッチトランジスタの第 2 端子が前記第 1 キャパシタの第 2 端子及び前記第 2 キャパシタの第 1 端子に接続されるような表示アレイと、

前記表示アレイを動作させるために前記第 1 及び第 2 選択ライン、前記制御可能な電圧供給ライン並びに前記信号ラインを駆動するドライバと、

を有するような方法であって、

プログラミングサイクルにおいては、第 1 動作サイクルにおいて、($V_T + V_P$) 又は ($-V_T + V_P$) を前記第 1 記憶キャパシタに記憶するように前記第 1 ノード及び前記第 2 ノードの各々の電圧を制御し、ここで、 V_T は前記駆動トランジスタの閾電圧を表す一方、 V_P はプログラミング電圧を表し、第 2 動作サイクルにおいて、前記第 3 ノードを放電し、

駆動サイクルにおいては、前記記憶キャパシタに記憶された電圧を前記駆動トランジスタのゲート端子に供給する、

ような各ステップを有する方法が提供される。

【0011】

また、本発明の他の態様によれば、

行及び列に配列された複数のピクセル回路を有する表示アレイであって、各ピクセル回路が、電圧供給電極に接続された第 1 端子と第 2 端子とを有する発光デバイスと、第 1 端子と第 2 端子とを有するキャパシタと、選択ラインに接続されたゲート端子と電圧データを伝送するための信号ラインに接続された第 1 端子と前記キャパシタの第 1 端子に接続された第 2 端子とを有するスイッチトランジスタと、第 1 ノード (A) において前記スイッチトランジスタの第 2 端子及び前記キャパシタの第 1 端子に接続されたゲート端子と第 2 ノード (B) において前記発光デバイスの第 2 端子及び前記キャパシタの第 2 端子に接続された第 1 端子と制御可能な電圧供給ラインに接続された第 2 端子とを有する駆動トランジスタとを有するような表示アレイと、

前記表示アレイを動作させるために前記選択ライン、前記制御可能な電圧供給ライン及び前記信号ラインを駆動するドライバと、

前記ドライバを用いて、前記表示アレイの各行に対しプログラミングサイクル及び駆動サイクルを実行するコントローラと、

を有する表示システムであって、

前記プログラミングサイクルが第 1 動作サイクル及び第 2 動作サイクルを含み、

前記第 1 動作サイクルにおいて、前記第 2 ノードは $(V_{REF} - V_T)$ 又は $(-V_{REF} + V_T)$ により規定される第 1 電圧で充電され、ここで、 V_{REF} は基準電圧を表す一方、 V_T は前記駆動トランジスタの閾電圧を表し、第 2 動作サイクルにおいては、前記第 1 ノードが $(V_{REF} + V_P)$ 又は $(-V_{REF} + V_P)$ により規定される第 2 電圧で充電されて、前記第 1 ノード電圧と前記第 2 ノード電圧との間の差が前記記憶キャパシタに記憶され、ここで、 V_P はプログラミング電圧を表し、

前記駆動サイクルにおいては、前記記憶キャパシタに記憶された電圧が前記駆動トランジスタのゲート端子に供給される、
ような表示システムが提供される。

【0012】

また、本発明の他の態様によれば、

行及び列に配列された複数のピクセル回路を有する表示アレイであって、各ピクセル回路が、電圧供給電極に接続された第 1 端子と第 2 端子とを有する発光デバイスと、各々が第 1 端子及び第 2 端子を有する第 1 キャパシタ及び第 2 キャパシタと、第 1 選択ラインに接続されたゲート端子と前記発光デバイスの第 2 端子に接続された第 1 端子と前記第 1 キャパシタの第 1 端子に接続された第 2 端子とを有する第 1 スイッチトランジスタと、第 2 選択ラインに接続されたゲート端子と電圧データを伝送するための信号ラインに接続された第 1 端子と第 2 端子とを有する第 2 スイッチトランジスタと、第 1 ノード (A) において前記発光デバイスの第 2 端子に接続された第 1 端子と第 2 ノード (B) において前記第 1 スイッチトランジスタの第 2 端子及び前記第 1 キャパシタの第 1 端子に接続されたゲート端子と制御可能な電圧供給ラインに接続された第 2 端子とを有する駆動トランジスタとを有し、第 3 ノード (C) において前記第 2 スイッチトランジスタの第 2 端子が前記第 1 キャパシタの第 2 端子及び前記第 2 キャパシタの第 1 端子に接続されるような表示アレイと、

前記表示アレイを動作させるために前記第 1 及び第 2 選択ライン、前記制御可能な電圧供給ライン並びに前記信号ラインを駆動するドライバと、

前記ドライバを用いて、前記表示アレイの各行に対しプログラミングサイクル及び駆動サイクルを実行するコントローラと、

を有する表示システムであって、

前記プログラミングサイクルは第 1 動作サイクル及び第 2 動作サイクルを含み、
前記第 1 動作サイクルにおいて、前記第 1 ノード及び前記第 2 ノードの各々の電圧は前記第 1 記憶キャパシタに $(V_T + V_P)$ 又は $-(V_T + V_P)$ を記憶するように制御され、ここで、 V_T は前記駆動トランジスタの閾電圧を表す一方、 V_P はプログラミング電圧を表し、前記第 2 動作サイクルにおいては、前記第 3 ノードが放電され、

前記駆動サイクルにおいては、前記記憶キャパシタに記憶された電圧が前記駆動トランジスタのゲート端子に供給される、
ような表示システムが提供される。

【0013】

本発明の上記開示は、必ずしも本発明の全てのフィーチャを記載するものではない。

【0014】

本発明の他の態様及びフィーチャは、当業者によれば、添付図面に関連する好ましい実施例の下記詳細な説明の精読から容易に明らかとなるであろう。

【0015】

本発明のこれら及び他のフィーチャは、添付図面を参照した下記の説明から一層明らかとなる。

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施例を、有機発光ダイオード (OLED) 及び駆動薄膜トランジスタ (TFT) を有するピクセルを用いて説明する。しかしながら、該ピクセルは OLED 以外の如何なる発光デバイスを含むこともでき、該ピクセルは TFT 以外の如何なる駆動ト

10

20

30

40

50

レンジスタを含むこともできる。また、本説明において、“ピクセル回路”及び“ピクセル”は相互に入れ替え可能に使用することができることに注意されたい。

【0017】

図2は、本発明の一実施例によるプログラミング及び駆動サイクルを示す図である。図2において、 $ROW(j)$ 、 $ROW(j+1)$ 及び $ROW(j+2)$ の各々は、複数のピクセル回路が行及び列に配列された表示アレイの行を表している。

【0018】

或るフレームのためのプログラミング及び駆動サイクルは、隣のフレームのためのプログラミング及び駆動サイクルの後に生じる。当該フレームのための ROW におけるプログラミング及び駆動サイクルは、同一のフレームのための隣の ROW におけるプログラミング及び駆動サイクルと重なり合う。後に説明するように、プログラミングサイクルの間において、安定したピクセル電流を発生させるために、当該ピクセル回路の時間依存性パラメータ（又は複数のパラメータ）が抽出される。

【0019】

図3は、本発明の一実施例によるプログラミング及び駆動技術が適用されたピクセル回路200を示している。該ピクセル回路200は、 $OLED20$ と、記憶キャパシタ21と、駆動トランジスタ24と、スイッチトランジスタ26とを含んでいる。ピクセル回路200は電圧プログラム型ピクセル回路である。トランジスタ24及び26の各々は、ゲート端子、第1端子及び第2端子を有している。本説明において、上記第1端子（第2端子）は、限定されるものではないが、ドレイン端子又はソース端子（ソース端子又はドレイン端子）とすることができる。

【0020】

トランジスタ24及び26は n 型TFTである。しかしながら、トランジスタ24及び26は、 p 型トランジスタとすることもできる。以下に説明するように、該ピクセル回路200に適用された駆動技術は、図14に示すような p 型トランジスタを有する相補的ピクセル回路にも適用可能である。トランジスタ24及び26は、アモルファスシリコン、ナノ/マイクロ結晶シリコン、ポリシリコン、有機半導体技術（例えば有機TFT）、NMOS/PMOS技術又はCMOS技術（例えばMOSFET）を用いて製造することができる。

【0021】

駆動トランジスタ24の第1端子は制御可能な電圧供給ラインVDDに接続されている。該駆動トランジスタ24の第2端子は $OLED20$ のアノード電極に接続されている。該駆動トランジスタ24のゲート端子はスイッチトランジスタ26を介して信号ラインVDATAに接続されている。記憶キャパシタ21が、該駆動トランジスタ24のソース端子とゲート端子との間に接続されている。

【0022】

トランジスタ26のゲート端子は選択ラインSELに接続されている。該スイッチトランジスタ26の第1端子は信号ラインVDATAに接続されている。該スイッチトランジスタ26の第2端子は駆動トランジスタ24のゲート端子に接続されている。 $OLED20$ のカソード電極は接地電圧供給電極に接続されている。

【0023】

トランジスタ24及び26並びに記憶キャパシタ21は、ノードA1で接続されている。トランジスタ24、 $OLED20$ 及び記憶キャパシタ21は、ノードB1で接続されている。

【0024】

図4は、図3のピクセル回路をプログラミング及び駆動するための波形の一例を示すタイミング図を図示している。図3及び4を参照すると、ピクセル回路200の動作は3つの動作サイクルX11、X12及びX13を有するプログラミングサイクルと、1つの動作サイクルX14を有する駆動サイクルとを含んでいる。

【0025】

プログラミングサイクルにおいて、ノード B 1 は駆動トランジスタ 2 4 の負の閾電圧に充電され、ノード A 1 はプログラミング電圧 V_P に充電される。

【 0 0 2 6 】

結果として、駆動トランジスタ 2 4 のゲート / ソース電圧は、
 $V_{GS} = V_P - (-V_T) = V_P + V_T$ (1)

となり、ここで、 V_{GS} は駆動トランジスタ 2 4 のゲート / ソース電圧を表し、 V_T は駆動トランジスタ 2 4 の閾電圧を表す。

【 0 0 2 7 】

駆動トランジスタ 2 4 は飽和動作体制 (saturation regime of operation) にあるので、該トランジスタの電流は主に自身のゲート / ソース電圧により規定される。結果として、該駆動トランジスタ 2 4 の電流は、該トランジスタのゲート / ソース電圧が記憶キャパシタ 2 1 に記憶されているので、O L E D の電圧が変化したとしても一定に留まる。

【 0 0 2 8 】

第 1 動作サイクル X 1 1 において： V_{DD} は補償電圧 $V_{COMP B}$ となり、 V_{DATA} は高い正の補償電圧 $V_{COMP A}$ となり、S E L はハイとなる。結果として、ノード A 1 は $V_{COMP A}$ に充電され、ノード B 1 は $V_{COMP B}$ に充電される。

【 0 0 2 9 】

第 2 動作サイクル X 1 2 において： V_{DATA} が基準電圧 V_{REF} となる間、ノード B 1 は駆動トランジスタ 2 4 がオフになるまで該駆動トランジスタ 2 4 を介して放電される。結果として、ノード B 1 の電圧は $(V_{REF} - V_T)$ に到達する。 V_{DD} は、このサイクル X 1 2 の速度を増加させるために正の電圧 V_H を有する。最適な整定 (settling) 時間のために、 V_H は、駆動サイクルの間における V_{DD} 上の電圧であるような動作電圧に等しくなるように設定することもできる。

【 0 0 3 0 】

第 3 動作サイクル X 1 3 において： V_{DD} は動作電圧になる。S E L がハイである間に、ノード A 1 は $(V_P + V_{REF})$ に充電される。O L E D 2 0 の容量 2 2 は大きいので、ノード B 1 における電圧は前のサイクル X 1 2 で発生された電圧に留まる。このように、ノード B 1 の電圧は $(V_{REF} - V_T)$ となる。従って、駆動トランジスタ 2 4 のゲート / ソース電圧は $(V_P + V_T)$ となり、このゲート / ソース電圧が記憶キャパシタ 2 1 に記憶される。

【 0 0 3 1 】

第 4 動作サイクル X 1 4 において：S E L 及び V_{DATA} は零となる。 V_{DD} は第 3 動作サイクル X 1 3 のものと同一である。しかしながら、 V_{DD} は第 3 動作サイクル X 1 3 のものより高くすることもできる。記憶キャパシタ 2 1 に記憶された電圧は、駆動トランジスタ 2 4 のゲート端子に供給される。該駆動トランジスタ 2 4 のゲート / ソース電圧は自身の閾電圧を含むと共に O L E D 電圧とは独立でもあるので、該 O L E D 2 0 の劣化及び駆動トランジスタ 2 4 の非安定性は、該駆動トランジスタ 2 4 及び O L E D 2 0 を介して流れる電流の量に影響を与えることはない。

【 0 0 3 2 】

上記ピクセル回路 2 0 0 が異なる値の $V_{COMP B}$ 、 $V_{COMP A}$ 、 V_P 、 V_{REF} 及び V_H でも動作し得ることに注意されたい。 $V_{COMP B}$ 、 $V_{COMP A}$ 、 V_P 、 V_{REF} 及び V_H はピクセル回路 2 0 0 の寿命を規定する。このように、これら電圧はピクセルの仕様に従って規定することができる。

【 0 0 3 3 】

図 5 は、図 3 及び 4 に示したピクセル回路及び波形に対する寿命試験結果を示している。該試験において、製造されたピクセル回路は長期間にわたる動作の下に置かれ、その間において、当該駆動方式の安定性を調べるために駆動トランジスタ (図 3 の 2 4) の電流が監視された。その結果は、O L E D 電流が 1 2 0 時間の動作の後にも安定していることを示している。駆動トランジスタの V_T ずれは 0.7 V である。

【 0 0 3 4 】

10

20

30

40

50

図6は、図3のピクセル回路200を有する表示システムを図示している。図6のVDD1及びVDD2は図3のVDDに対応する。図6のSEL1及びSEL2は、図3のSELに対応する。図6のVDATA1及びVDATA2は、図3のVDATAに対応する。図6のアレイは、複数の図3のピクセル回路200を有するアクティブマトリクス型発光ダイオード(AMOLED)表示器である。ピクセル回路は、行及び列、並びに相互接続部41、42及び43(VDATA1、SEL1、VDD1)で配列されている。当該アレイ構造において、VDATA1(又はVDATA2)は共通の列ピクセルの間で共有される一方、SEL1(又はSEL2)及びVDD1(又はVDD2)は共通の行ピクセルの間で共有されている。

【0035】

ドライバ300はVDATA1及びVDATA2を駆動するために設けられている。ドライバ302はVDD1、VDD2、SEL1及びSEL2を駆動するために設けられているが、VDD及びSELライン用の該ドライバは別個に構成することもできる。コントローラ304は、ドライバ300及び302を、ピクセル回路を上述したようにプログラミング及び駆動するように制御する。図6の表示アレイをプログラミング及び駆動するためのタイミング図は、図2に示したようなものである。各プログラミング及び駆動サイクルは図4のものと同一とすることができる。

【0036】

図7(a)は、上部発光(top emission)ピクセルが配置されたアレイ構造の一例を示している。図7(b)は、底部発光(bottom emission)ピクセルが配置されたアレイ構造の一例を図示している。図6のアレイは図7(a)又は7(b)に示すアレイ構造を有することができる。図7(a)において、400は基板を表し、402はピクセル接点を表し、403は(上部発光)ピクセル回路を表し、404はOLED上の透明上部電極を表している。図7(b)において、410は透明基板を表し、411は(底部発光)ピクセル回路を表し、412は上部電極を表している。TFT、記憶キャパシタ、SEL、VDATA及びVDDラインを含む上記全てのピクセル回路は、一緒に作製される。その後、全ピクセル回路に対してOLEDが作製される。斯かるOLEDは、図7(a)及び7(b)に示されるように、対応する駆動トランジスタにビア(例えば、図3のB1)を用いて接続される。当該パネルは、上記OLED上への上部電極の被着により完成され、該上部電極は連続的な層とすることが可能であって、当該設計の複雑さを低減すると共に、全体の表示器をオン/オフし、又は輝度を制御するために使用することができる。

【0037】

図8は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路202を図示している。該ピクセル回路202は、OLED50と、2つの記憶キャパシタ52及び53と、駆動トランジスタ54と、スイッチトランジスタ56及び58とを含んでいる。該ピクセル回路202は、上部発光(top emission)の、電圧プログラム型ピクセル回路である。この実施例は、図3のものと略同様に動作する。しかしながら、該ピクセル回路202においては、OLED50は駆動トランジスタ54のドレイン端子に接続されている。結果として、該回路はOLED50のカソードに接続することができる。このように、OLEDの堆積はカソードから開始することができる。

【0038】

トランジスタ54、56及び58はn型トランジスタである。しかしながら、トランジスタ54、56及び58はp型トランジスタとすることもできる。該ピクセル回路202に適用された駆動技術は、図17に示すようなp型トランジスタを有する相補的ピクセル回路に適用することもできる。トランジスタ54、56及び58は、アモルファスシリコン、ナノ/マイクロ結晶シリコン、ポリシリコン、有機半導体技術(例えば有機TFT)、NMOS/PMOS技術又はCMOS技術(例えばMOSFET)を用いて製造することができる。

【0039】

駆動トランジスタ 54 の第 1 端子は O L E D 50 のカソード電極に接続されている。該駆動トランジスタ 54 の第 2 端子は制御可能な電圧供給ライン V S S に接続されている。該駆動トランジスタ 54 のゲート端子はスイッチトランジスタ 56 を介して自身の第 1 ライン (端子) に接続されている。記憶キャパシタ 52 及び 53 は、直列であり、駆動トランジスタ 54 のゲート端子と共通接地点との間に接続されている。上記電圧供給ライン V S S 上の電圧は制御可能である。上記共通接地点は V S S に接続することができる。

【 0 0 4 0 】

スイッチトランジスタ 56 のゲート端子は第 1 選択ライン S E L 1 に接続されている。該スイッチトランジスタ 56 の第 1 端子は駆動トランジスタ 54 のドレイン端子に接続されている。該スイッチトランジスタ 56 の第 2 端子は駆動トランジスタ 54 のゲート端子に接続されている。

10

【 0 0 4 1 】

スイッチトランジスタ 58 のゲート端子は第 2 選択ライン S E L 2 に接続されている。該スイッチトランジスタ 58 の第 1 端子は信号ライン V D A T A に接続されている。該スイッチトランジスタ 58 の第 2 端子は記憶キャパシタ 52 及び 53 の共有端子 (即ち、ノード C 2) に接続されている。O L E D 50 のアノード電極は電圧供給電極 V D D に接続されている。

【 0 0 4 2 】

O L E D 50 並びにトランジスタ 54 及び 56 は、ノード A 2 で接続されている。記憶キャパシタ 52 並びにトランジスタ 54 及び 56 は、ノード B 2 で接続されている。

20

【 0 0 4 3 】

図 9 は、図 8 のピクセル回路 202 をプログラミング及び駆動するための波形の一例を示すタイミング図を図示している。図 8 及び 9 を参照すると、該ピクセル回路 202 の動作は、4 つの動作サイクル X 21、X 22、X 23 及び X 24 を有するプログラミングサイクルと、1 つの動作サイクル X 25 を有する駆動サイクルとを含んでいる。

【 0 0 4 4 】

プログラミングサイクルの間において、プログラミング電圧に駆動トランジスタ 54 の閾電圧を加えたものが記憶キャパシタ 52 に記憶される。駆動トランジスタ 54 のソース端子は零となり、第 2 記憶キャパシタ 53 は零に充電される。

【 0 0 4 5 】

結果として、駆動トランジスタ 54 のゲート / ソース電圧は：

$$V_{GS} = V_P + V_T \quad (2)$$

となり、ここで、 V_{GS} は駆動トランジスタ 54 のゲート / ソース電圧を表し、 V_P はプログラミング電圧を表し、 V_T は駆動トランジスタ 54 の閾電圧を表す。

30

【 0 0 4 6 】

第 1 動作サイクル X 21 において： V_{SS} は高い正の電圧となり、 V_{DATA} は零である。 $S E L 1$ 及び $S E L 2$ はハイである。従って、ノード A 2 及び B 2 は正の電圧に充電される。

【 0 0 4 7 】

第 2 動作サイクル X 22 において： $S E L 1$ がローであり、スイッチトランジスタ 56 がオフである間に、 V_{DATA} は高い正の電圧になる。結果として、ノード B 2 の電圧は増加し (ブーストラッピング)、ノード A 2 は V_{SS} の電圧に充電される。この電圧において、O L E D 50 はオフである。

40

【 0 0 4 8 】

第 3 動作サイクル X 23 において： V_{SS} は基準電圧 V_{REF} となる。 V_{DATA} は $(V_{REF} - V_P)$ となる。このサイクルの開始時に、ノード B 2 の電圧はノード A 2 の電圧と略等しくなる。何故なら、O L E D 50 の容量 51 は記憶キャパシタ 52 のものより大きいからである。その後、ノード B 2 の電圧及びノード A 2 の電圧は、駆動トランジスタ 54 がオフになるまで、該駆動トランジスタ 54 を介して放電される。結果として、駆動トランジスタ 54 のゲート / ソース電圧は $(V_{REF} + V_T)$ となり、記憶キャパシタ

50

5 2 に記憶された電圧は ($V_P + V_T$) となる。

【0049】

第4動作サイクルX24において:SEL1はローとなる。SEL2はハイであり、VDATAは零であるので、ノードC2における電圧は零となる。

【0050】

第5動作サイクルX25において:VSSは駆動サイクルの間の自身の動作電圧となる。図5において、VSSの動作電圧は零である。しかしながら、該電圧は零以外の如何なる電圧とすることもできる。SEL2はローである。記憶キャパシタ52に記憶された電圧は駆動トランジスタ54のゲート端子に供給される。従って、駆動トランジスタ54の閾電圧 V_T 及びOLED50の電圧からは独立な電流が、駆動トランジスタ54及びOLED50を介して流れる。このように、OLED50の劣化及び駆動トランジスタ54の非安定性が、駆動トランジスタ54及びOLED50を介して流れる電流の量に影響を与えることはない。

10

【0051】

図10は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路204を図示している。該ピクセル回路204は、OLED60と、2つの記憶キャパシタ62及び63と、駆動トランジスタ64と、スイッチトランジスタ66及び68とを含んでいる。該ピクセル回路204は、上部発光の、電圧プログラム型ピクセル回路である。このピクセル回路204は、図8のものと略同様に動作する。しかしながら、該ピクセル回路204を動作させるために、1つの共通の選択ラインが使用され、これは利用可能なピクセル面積及び開口比(aperture ratio)を増加させる。

20

【0052】

トランジスタ64、66及び68はn型トランジスタである。しかしながら、トランジスタ64、66及び68はp型トランジスタとすることもできる。該ピクセル回路204に適用された駆動技術は、図19に示すようなp型トランジスタを有する相補的ピクセル回路に適用することもできる。トランジスタ64、66及び68は、アモルファスシリコン、ナノ/マイクロ結晶シリコン、ポリシリコン、有機半導体技術(例えば有機TFT)、NMOS/PMOS技術又はCMOS技術(例えばMOSFET)を用いて製造することができる。

【0053】

30

駆動トランジスタ64の第1端子はOLED60のカソード電極に接続されている。該駆動トランジスタ64の第2端子は制御可能な電圧供給ラインVSSに接続されている。該駆動トランジスタ64のゲート端子はスイッチトランジスタ66を介して自身の第1ライン(端子)に接続されている。記憶キャパシタ62及び63は、直列であり、駆動トランジスタ64のゲート端子と共通接地点との間に接続されている。上記電圧供給ラインVSSの電圧は制御可能である。上記共通接地点はVSSに接続することができる。

【0054】

スイッチトランジスタ66のゲート端子は選択ラインSELに接続されている。該スイッチトランジスタ66の第1端子は駆動トランジスタ64の第1端子に接続されている。該スイッチトランジスタ66の第2端子は駆動トランジスタ64のゲート端子に接続されている。

40

【0055】

スイッチトランジスタ68のゲート端子は前記選択ラインSELに接続されている。該スイッチトランジスタ68の第1端子は信号ラインVDATAに接続されている。その第2端子は記憶キャパシタ62及び63の共有端子(即ち、ノードC3)に接続されている。OLED60のアノード電極は電圧供給電極VDDに接続されている。

【0056】

OLED60並びにトランジスタ64及び66は、ノードA3で接続されている。記憶キャパシタ62並びにトランジスタ64及び66は、ノードB3で接続されている。

【0057】

50

図 1 1 は、図 1 0 のピクセル回路 2 0 4 をプログラミング及び駆動するための波形の一例を示すタイミング図を図示している。図 1 0 及び 1 1 を参照すると、該ピクセル回路 2 0 4 の動作は、3 つの動作サイクル X 3 1、X 3 2 及び X 3 3 を有するプログラミングサイクルと、1 つの動作サイクル X 3 4 を有する駆動サイクルとを含んでいる。

【 0 0 5 8 】

プログラミングサイクルの間において、プログラミング電圧に駆動トランジスタ 6 4 の閾電圧を加えたものが記憶キャパシタ 6 2 に記憶される。駆動トランジスタ 6 4 のソース端子は零となり、記憶キャパシタ 6 3 は零に充電される。

【 0 0 5 9 】

結果として、駆動トランジスタ 6 4 のゲート / ソース電圧は：

$$VGS = VP + VT \quad (3)$$

となり、ここで、VGS は駆動トランジスタ 6 4 のゲート / ソース電圧を表し、VP はプログラミング電圧を表し、VT は駆動トランジスタ 6 4 の閾電圧を表す。

【 0 0 6 0 】

第 1 動作サイクル X 3 1 において：VSS は高い正の電圧となり、VDATA は零である。SEL はハイである。結果として、ノード A 3 及び B 3 は正の電圧に充電される。OLED 6 0 はオフする。

【 0 0 6 1 】

第 2 動作サイクル X 3 2 において：SEL はハイである一方、VSS は基準電圧 VREF となる。VDATA は $(VREF - VP)$ となる。結果として、ノード B 3 の電圧及びノード A 3 の電圧は、駆動トランジスタ 6 4 がオフするまで、該駆動トランジスタ 6 4 を介して放電される。ノード B 3 の電圧は $(VREF + VT)$ となり、記憶キャパシタ 6 2 に記憶された電圧は $(VP + VT)$ となる。

【 0 0 6 2 】

第 3 動作サイクル X 3 3 において：SEL は VM となる。VM は、スイッチトランジスタ 6 6 がオフとなり、スイッチトランジスタ 6 8 がオンとなるような中間電圧である。VDATA は零となる。SEL は VM であり、VDATA は零であるので、ノード C 3 の電圧は零となる。

【 0 0 6 3 】

VM は、

$$VT3 \quad VM < VREF + VT1 + VT2 \quad (a)$$

と定義され、ここで、VT1 は駆動トランジスタ 6 4 の閾電圧を表し、VT2 はスイッチトランジスタ 6 6 の閾電圧を表し、VT3 はスイッチトランジスタ 6 8 の閾電圧を表す。

【 0 0 6 4 】

条件 (a) は、スイッチ 6 6 がオフされ、スイッチトランジスタ 6 8 がオンされるように強制する。記憶キャパシタ 6 2 に記憶された電圧はそのままに留まる。

【 0 0 6 5 】

第 4 動作サイクル X 3 4 において：VSS は駆動サイクルの間の自身の動作電圧となる。図 1 1 において、VSS の動作電圧は零である。しかしながら、VSS の動作電圧は零以外の如何なる電圧とすることもできる。SEL はローである。記憶キャパシタ 6 2 に記憶された電圧は駆動トランジスタ 6 4 のゲート端子に供給される。駆動トランジスタ 6 4 はオンとなる。従って、駆動トランジスタ 6 4 の閾電圧 VT 及び OLED 6 0 の電圧からは独立な電流が、駆動トランジスタ 6 4 及び OLED 6 0 を介して流れる。このように、OLED 6 0 の劣化及び駆動トランジスタ 6 4 の非安定性が、駆動トランジスタ 6 4 及び OLED 6 0 を介して流れる電流の量に影響を与えることはない。

【 0 0 6 6 】

図 1 2 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路 2 0 6 を図示している。該ピクセル回路 2 0 6 は、OLED 7 0 と、2 つの記憶キャパシタ 7 2 及び 7 3 と、駆動トランジスタ 7 4 と、スイッチトランジスタ 7 6 及び 7 8 とを含んでいる。該ピクセル回路 2 0 6 は、上部発光の、電圧プログラム型ピクセル回路

10

20

30

40

50

である。

【 0 0 6 7 】

トランジスタ 7 4、7 6 及び 7 8 は n 型トランジスタである。しかしながら、トランジスタ 7 4、7 6 及び 7 8 は p 型トランジスタとすることもできる。該ピクセル回路 2 0 6 に適用された駆動技術は、図 2 1 に示すような p 型トランジスタを有する相補的ピクセル回路に適用することもできる。トランジスタ 7 4、7 6 及び 7 8 は、アモルファスシリコン、ナノ/マイクロ結晶シリコン、ポリシリコン、有機半導体技術（例えば有機 T F T）、N M O S / P M O S 技術又は C M O S 技術（例えば MOSFET）を用いて製造することができる。

【 0 0 6 8 】

駆動トランジスタ 7 4 の第 1 端子は O L E D 7 0 のカソード電極に接続されている。該駆動トランジスタ 7 4 の第 2 端子は共通接地点に接続されている。該駆動トランジスタ 7 4 のゲート端子はスイッチトランジスタ 7 6 を介して自身の第 1 ライン（端子）に接続されている。記憶キャパシタ 7 2 及び 7 3 は、直列であり、駆動トランジスタ 7 4 のゲート端子と共通接地点との間に接続されている。

【 0 0 6 9 】

スイッチトランジスタ 7 6 のゲート端子は選択ライン S E L に接続されている。該スイッチトランジスタ 7 6 の第 1 端子は駆動トランジスタ 7 4 の第 1 端子に接続されている。該スイッチトランジスタ 7 6 の第 2 端子は駆動トランジスタ 7 4 のゲート端子に接続されている。

【 0 0 7 0 】

スイッチトランジスタ 7 8 のゲート端子は前記選択ライン S E L に接続されている。該スイッチトランジスタ 7 8 の第 1 端子は信号ライン V D A T A に接続されている。その第 2 端子は記憶キャパシタ 7 2 及び 7 3 の共有端子（即ち、ノード C 4）に接続されている。O L E D 7 0 のアノード電極は電圧供給電極 V D D に接続されている。該電圧供給電極 V D D の電圧は制御可能である。

【 0 0 7 1 】

O L E D 7 0 並びにトランジスタ 7 4 及び 7 6 は、ノード A 4 で接続されている。記憶キャパシタ 7 2 並びにトランジスタ 7 4 及び 7 6 は、ノード B 4 で接続されている。

【 0 0 7 2 】

図 1 3 は、図 1 2 のピクセル回路 2 0 6 をプログラミング及び駆動するための波形の一例を示すタイミング図を図示している。図 1 2 及び 1 3 を参照すると、該ピクセル回路 2 0 6 の動作は、4 つの動作サイクル X 4 1、X 4 2、X 4 3 及び X 4 4 を有するプログラミングサイクルと、1 つの動作サイクル X 4 5 を有する駆動サイクルとを含んでいる。

【 0 0 7 3 】

プログラミングサイクルの間において、プログラミング電圧に駆動トランジスタ 7 4 の閾電圧を加えたものが記憶キャパシタ 7 2 に記憶される。駆動トランジスタ 7 4 のソース端子は零となり、記憶キャパシタ 7 3 は零に充電される。

【 0 0 7 4 】

結果として、駆動トランジスタ 7 4 のゲート/ソース電圧は：

$$V_{GS} = V_P + V_T \quad (4)$$

となり、ここで、 V_{GS} は駆動トランジスタ 7 4 のゲート/ソース電圧を表し、 V_P はプログラミング電圧を表し、 V_T は駆動トランジスタ 7 4 の閾電圧を表す。

【 0 0 7 5 】

第 1 動作サイクル X 4 1 において：S E L はハイである。V D A T A は低い電圧になる。V D D が高い間に、ノード B 4 及び A 4 は正の電圧に充電される。

【 0 0 7 6 】

第 2 動作サイクル X 4 2 において：S E L はローとなる一方、V D D は基準電圧 V R E F となり、O L E D 7 0 はオフである。

【 0 0 7 7 】

第3動作サイクルX43において：VDATAは(VREF2 - VP)となり、ここで、VREF2は基準電圧である。VREF2は零であると仮定される。しかしながら、VREF2は、零以外の如何なる電圧とすることができる。SELはハイである。従って、このサイクルの開始時においてノードB4の電圧とノードA4の電圧とは等しくなる。第1記憶キャパシタ72は十分に大きいので、該キャパシタの電圧が支配的となることに注意されたい。その後、ノードB4は、駆動トランジスタ74がオフするまで、該駆動トランジスタ74を介して放電される。

【0078】

結果として、ノードB4の電圧はVT（即ち、駆動トランジスタ74の閾電圧）となる。第1記憶キャパシタ72に記憶された電圧は、VREF2 = 0の場合、
 $(VP - VREF2 + VT) = (VP + VT)$ となる。

10

【0079】

第4動作サイクルX44において：SELはVMとなり、ここで、VMはスイッチトランジスタ76がオフとなり、スイッチトランジスタ78がオンとなるような中間電圧である。VMは、

$$VT3 \quad VM < VP + VT \quad (b)$$

なる条件を満足し、ここで、VT3はスイッチトランジスタ78の閾電圧を表す。

【0080】

VDATAはVREF2 (= 0)となる。ノードC4の電圧はVREF2 (= 0)となる。

20

【0081】

この結果、駆動トランジスタ74のゲート/ソース電圧VGSは(VP + VT)となる。VM < VP + VTであるので、スイッチトランジスタ76はオフであり、記憶キャパシタ72に記憶された電圧はVP + VTに留まる。

【0082】

第5動作サイクルX45において：VDDは動作電圧となる。また、SELはローである。記憶キャパシタ72に記憶された電圧は駆動トランジスタ74のゲートに供給される。従って、駆動トランジスタ74の閾電圧VT及びOLED70の電圧からは独立な電流が、駆動トランジスタ74及びOLED70を介して流れる。このように、OLED70の劣化及び駆動トランジスタ74の非安定性が、駆動トランジスタ74及びOLED70を介して流れる電流の量に影響を与えることはない。

30

【0083】

図14は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路208を図示している。該ピクセル回路208は、OLED80と、記憶キャパシタ81と、駆動トランジスタ84と、スイッチトランジスタ86とを含んでいる。該ピクセル回路208は、図3のピクセル回路200に対応し、電圧プログラム型ピクセル回路である。

【0084】

トランジスタ84及び86はp型トランジスタである。トランジスタ84及び86は、アモルファスシリコン、ナノ/マイクロ結晶シリコン、ポリシリコン、有機半導体技術（例えば有機TFT）、CMOS技術（例えばMOSFET）及びp型トランジスタを形成する如何なる他の技術を用いても製造することができる。

40

【0085】

駆動トランジスタ84の第1端子は、制御可能な電圧供給ラインVSSに接続されている。該駆動トランジスタ84の第2端子はOLED80のカソード電極に接続されている。該駆動トランジスタ84のゲート端子はスイッチトランジスタ86を介して信号ラインVDATAに接続されている。記憶キャパシタ81は、駆動トランジスタ84の第2端子とゲート端子との間に接続されている。

【0086】

スイッチトランジスタ86のゲート端子は選択ラインSELに接続されている。該スイ

50

ツチトランジスタ 86 の第 1 端子は信号ライン V D A T A に接続されている。該スイッチトランジスタ 86 の第 2 端子は駆動トランジスタ 84 のゲート端子に接続されている。O L E D 80 のアノード電極は接地電圧供給電極に接続されている。

【 0 0 8 7 】

記憶キャパシタ 81 並びにトランジスタ 84 及び 85 は、ノード A 5 で接続されている。O L E D 80、記憶キャパシタ 81 及び駆動トランジスタ 84 は、ノード B 5 で接続されている。

【 0 0 8 8 】

図 15 は、図のピクセル回路 208 をプログラミング及び駆動するための波形の一例を示すタイミング図を图示している。図 15 は図 4 に対応する。V D A T A 及び V S S は、プログラミング及びピクセル回路 208 の時間依存性パラメータを補償するために使用され、これらは図 4 の V D A T A 及び V D D と類似している。図 14 及び 15 を参照すると、ピクセル回路 208 の動作は 3 つの動作サイクル X 51、X 52 及び X 53 を有するプログラミングサイクルと、1 つの動作サイクル X 54 を有する駆動サイクルとを含んでいる。

【 0 0 8 9 】

プログラミングサイクルの間において、ノード B 5 は駆動トランジスタ 84 の正の閾電圧に充電され、ノード A 5 は負のプログラミング電圧に充電される。

【 0 0 9 0 】

結果として、駆動トランジスタ 84 のゲート/ソース電圧は、

$$V G S = - V P + (- | V T |) = - V P - | V T | \quad (5)$$

となり、ここで、V G S は駆動トランジスタ 84 のゲート/ソース電圧を表し、V P はプログラミング電圧を表し、V T は駆動トランジスタ 84 の閾電圧を表す。

【 0 0 9 1 】

第 1 動作サイクル X 51 において：V S S は正の補償電圧 V C O M P B となり、V D A T A は負の補償電圧 (- V C O M P A) となり、S E L はローとなる。結果として、スイッチトランジスタ 86 はオンとなる。ノード A 5 は (- V C O M P A) に充電される。また、ノード B 5 は V C O M P B に充電される。

【 0 0 9 2 】

第 2 動作サイクル X 52 において：V D A T A は基準電圧 V R E F となる。ノード B 5 は、駆動トランジスタ 84 がオフするまで該駆動トランジスタ 84 を介して放電される。結果として、ノード B 5 の電圧は V R E F + | V T | に到達する。V S S は、このサイクル X 52 の速度を増加させるために負の電圧 V L となる。最適な整定 (settling) 時間のために、V L は、駆動サイクルの間における V S S の電圧であるような動作電圧に等しくなるように選定される。

【 0 0 9 3 】

第 3 動作サイクル X 53 において：V S S が V L レベルにあり、S E L がローである間に、ノード A 5 は (V R E F - V P) に充電される。O L E D 80 の容量 82 は大きいので、ノード B 5 の電圧は駆動トランジスタ 84 の正の閾電圧に留まる。従って、駆動トランジスタ 84 のゲート/ソース電圧は (- V P - | V T |) となり、これが記憶キャパシタ 81 に記憶される。

【 0 0 9 4 】

第 4 動作サイクル X 54 において：S E L 及び V D A T A は零となる。V S S は高い負の電圧 (即ち、自身の動作電圧) になる。記憶キャパシタ 81 に記憶された電圧が、駆動トランジスタ 84 のゲート端子に供給される。従って、O L E D 80 の電圧及び駆動トランジスタ 84 の閾電圧とは独立な電流が、駆動トランジスタ 84 及び O L E D 80 を介して流れる。このように、該 O L E D 80 の劣化及び駆動トランジスタ 84 の非安定性が、該駆動トランジスタ 84 及び O L E D 80 を介して流れる電流の量に影響を与えることはない。

【 0 0 9 5 】

10

20

30

40

50

上記ピクセル回路 208 が異なる値の VCOMPB、VCOMP A、VL、VREF 及び VP でも動作し得ることに注意されたい。VCOMPB、VCOMP A、VL、VREF 及び VP は該ピクセル回路の寿命を規定する。このように、これら電圧はピクセルの仕様に従って規定することができる。

【0096】

図 16 は、図 14 のピクセル回路 208 を有する表示システムを図示している。図 16 の VSS1 及び VSS2 は図 14 の VSS に対応する。図 16 の SEL1 及び SEL2 は、図 14 の SEL に対応する。図 16 の VDATA1 及び VDATA2 は、図 14 の VDATA に対応する。図 16 のアレイは、複数の図 14 のピクセル回路 208 を有するアクティブマトリクス型発光ダイオード (AMOLED) 表示器である。ピクセル回路 208 は、行及び列、並びに相互接続部 91、92 及び 93 (VDATA1、SEL2、VSS2) で配列されている。当該アレイ構造において、VDATA1 (又は VDATA2) は共通の列ピクセルの間で共有される一方、SEL1 (又は SEL2) 及び VSS1 (又は VSS2) は共通の行ピクセルの間で共有されている。

【0097】

ドライバ 310 は VDATA1 及び VDATA2 を駆動するために設けられている。ドライバ 312 は VSS1、VSS2、SEL1 及び SEL2 を駆動するために設けられている。コントローラ 314 は、ドライバ 310 及び 312 を制御して、上述したようなプログラミング及び駆動サイクルを実行する。図 6 の表示アレイをプログラミング及び駆動するためのタイミング図は、図 2 に示したようなものである。各プログラミング及び駆動サイクルは図 15 のものと同一とすることができる。

【0098】

図 16 のアレイは、図 7 (a) 又は 7 (b) に示されたアレイ構造を有することができる。図 16 のアレイは、図 6 のものと同様の態様で製造することができる。TFT、記憶キャパシタ、SEL、VDATA 及び VSS ラインを含む上記ピクセル回路の全ては、一緒に作製される。その後、全ピクセル回路に対して OLED が作製される。斯かる OLED は、対応する駆動トランジスタにビア (例えば、図 14 の B5) を用いて接続される。当該パネルは、上記 OLED 上への上部電極の被着により完成され、該上部電極は連続的な層とすることが可能であって、当該設計の複雑さを低減すると共に、全体の表示器をオン/オフし、又は輝度を制御するために使用することができる。

【0099】

図 17 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路 210 を図示している。該ピクセル回路 210 は、OLED100 と、2つの記憶キャパシタ 102 及び 103 と、駆動トランジスタ 104 と、スイッチトランジスタ 106 及び 108 とを含んでいる。該ピクセル回路 210 は、図 8 のピクセル回路 202 に対応する。

【0100】

トランジスタ 104、106 及び 108 は p 型トランジスタである。トランジスタ 84 及び 86 は、アモルファスシリコン、ナノ/マイクロ結晶シリコン、ポリシリコン、有機半導体技術 (例えば有機 TFT)、CMOS 技術 (例えば MOSFET) 及び p 型トランジスタを形成する如何なる他の技術を用いても製造することができる。

【0101】

図 17 において、駆動トランジスタ 104 の端子の一方は OLED100 のアノード電極に接続され、他方の端子は制御可能な電圧供給ライン VDD に接続されている。記憶キャパシタ 102 及び 103 は、直列であり、駆動トランジスタ 104 のゲート端子と電圧供給電極 V2 との間に接続されている。V2 は、VDD に接続することもできる。OLED100 のカソード電極は、接地電圧供給電極に接続されている。

【0102】

OLED100 並びにトランジスタ 104 及び 106 は、ノード A6 において接続されている。記憶キャパシタ 102 並びにトランジスタ 104 及び 106 は、ノード B6 で接

続されている。トランジスタ 108 並びに記憶キャパシタ 102 及び 103 はノード C6 で接続されている。

【0103】

図 18 は、図 17 のピクセル回路 210 をプログラミング及び駆動するための波形の一例を示すタイミング図を図示している。図 18 は図 9 に対応する。V DATA 及び V DD は、プログラミング及びピクセル回路 210 の時間依存性パラメータを補償するために使用され、これらは図 9 の V DATA 及び V SS に類似している。図 17 及び 18 を参照すると、該ピクセル回路 210 の動作は、4 つの動作サイクル X61、X62、X63 及び X64 を有するプログラミングサイクルと、1 つの動作サイクル X65 を有する駆動サイクルとを含んでいる。

10

【0104】

プログラミングサイクルの間において、負のプログラミング電圧に駆動トランジスタ 104 の負の閾電圧を加えたものが記憶キャパシタ 102 に記憶され、第 2 記憶キャパシタ 103 は零に放電される。

【0105】

結果として、駆動トランジスタ 104 のゲート/ソース電圧は：

$$VGS = -VP - |VT| \quad (6)$$

となり、ここで、VGS は駆動トランジスタ 104 のゲート/ソース電圧を表し、VP はプログラミング電圧を表し、VT は駆動トランジスタ 104 の閾電圧を表す。

【0106】

第 1 動作サイクル X61 において：V DD は高い負の電圧となり、V DATA は V2 に設定される。SEL1 及び SEL2 はローである。従って、ノード A6 及び B6 は負の電圧に充電される。

20

【0107】

第 2 動作サイクル X62 において：SEL1 がハイであり、スイッチトランジスタ 106 がオフである間に、V DATA は負の電圧になる。結果として、ノード B6 の電圧は減少し、ノード A6 の電圧は V DD なる電圧に充電される。この電圧において、OLED100 はオフである。

【0108】

第 3 動作サイクル X63 において：V DD は基準電圧 V REF となる。V DATA は (V2 - V REF + VP) となるが、ここで、V REF は基準電圧である。V REF は零であると仮定される。しかしながら、V REF は零以外の如何なる電圧とすることもできる。このサイクルの開始時に、ノード B6 の電圧はノード A6 の電圧と略等しくなる。何故なら、OLED100 の容量 101 は記憶キャパシタ 102 のものより大きいからである。その後、ノード B6 の電圧及びノード A6 の電圧は、駆動トランジスタ 104 がオフするまで、該駆動トランジスタ 104 を介して充電される。結果として、駆動トランジスタ 104 のゲート/ソース電圧は (-VP - |VT|) となり、これが記憶キャパシタ 102 に記憶される。

30

【0109】

第 4 動作サイクル X64 において：SEL1 はハイとなる。SEL2 はローであり、V DATA は V2 になるので、ノード C6 における電圧は V2 となる。

40

【0110】

第 5 動作サイクル X65 において：V DD は駆動サイクルの間の自身の動作電圧となる。図 18 において、V DD の動作電圧は零である。しかしながら、V DD の動作電圧は如何なる電圧とすることもできる。SEL2 はハイである。記憶キャパシタ 102 に記憶された電圧が、駆動トランジスタ 104 のゲート端子に供給される。かくして、駆動トランジスタ 104 の閾電圧 VT 及び OLED100 の電圧からは独立な電流が、駆動トランジスタ 104 及び OLED100 を介して流れる。従って、OLED100 の劣化及び駆動トランジスタ 104 の非安定性が、駆動トランジスタ 54 及び OLED100 を介して流れる電流の量に影響を与えることはない。

50

【 0 1 1 1 】

図 1 9 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路 2 1 2 を図示している。該ピクセル回路 2 1 2 は、O L E D 1 1 0 と、2つの記憶キャパシタ 1 1 2 及び 1 1 3 と、駆動トランジスタ 1 1 4 と、スイッチトランジスタ 1 1 6 及び 1 1 8 とを含んでいる。該ピクセル回路 2 1 2 は、図 1 0 のピクセル回路 2 0 4 に対応する。

【 0 1 1 2 】

トランジスタ 1 1 4、1 1 6 及び 1 1 8 は p 型トランジスタである。トランジスタ 8 4 及び 8 6 は、アモルファスシリコン、ナノ/マイクロ結晶シリコン、ポリシリコン、有機半導体技術（例えば有機 T F T）、C M O S 技術（例えば MOSFET）及び p 型トランジスタ

10

【 0 1 1 3 】

図 1 9 において、駆動トランジスタ 1 1 4 の端子の一方は O L E D 1 1 0 のアノード電極に接続され、他方の端子は制御可能な電圧供給ライン V D D に接続されている。記憶キャパシタ 1 1 2 及び 1 1 3 は、直列であり、駆動トランジスタ 1 1 4 のゲート端子と電圧供給電極 V 2 との間に接続されている。V 2 は V D D に接続することもできる。O L E D 1 1 0 のカソード電極は、接地電圧供給電極に接続されている。

【 0 1 1 4 】

O L E D 1 1 0 並びにトランジスタ 1 1 4 及び 1 1 6 は、ノード A 7 で接続されている。記憶キャパシタ 1 1 2 並びにトランジスタ 1 1 4 及び 1 1 6 は、ノード B 7 で接続されている。トランジスタ 1 1 8 並びに記憶キャパシタ 1 1 2 及び 1 1 3 は、ノード C 7 で接続されている。

20

【 0 1 1 5 】

図 2 0 は、図 1 9 のピクセル回路 2 1 2 をプログラミング及び駆動するための波形の一例を示すタイミング図を図示している。図 2 0 は図 1 1 に対応する。V D A T A 及び V D D は、プログラミング及びピクセル回路 2 1 2 の時間依存性パラメータを補償するために使用され、これらは図 1 1 の V D A T A 及び V S S と類似している。図 1 9 及び 2 0 を参照すると、該ピクセル回路 2 1 2 の動作は、4つの動作サイクル X 7 1、X 7 2 及び X 7 3 を有するプログラミングサイクルと、1つの動作サイクル X 7 4 を有する駆動サイクルとを含んでいる。

30

【 0 1 1 6 】

プログラミングサイクルの間において、負のプログラミング電圧に駆動トランジスタ 1 1 4 の負の閾電圧を加えたものが記憶キャパシタ 1 1 2 に記憶される。記憶キャパシタ 1 1 3 は零に放電される。

【 0 1 1 7 】

結果として、駆動トランジスタ 1 1 4 のゲート/ソース電圧は：

$$VGS = -VP - |VT| \quad (7)$$

となり、ここで、VGS は駆動トランジスタ 1 1 4 のゲート/ソース電圧を表し、VP はプログラミング電圧を表し、VT は駆動トランジスタ 1 1 4 の閾電圧を表す。

【 0 1 1 8 】

第 1 動作サイクル X 7 1 において：VDD は負の電圧となる。SEL はローである。ノード A 7 及び B 7 は負の電圧に充電される。

40

【 0 1 1 9 】

第 2 動作サイクル X 7 2 において：VDD は基準電圧 VREF となる。VDATA は (V2 - VREF + VP) となる。ノード B 7 の電圧及びノード A 7 の電圧は、駆動トランジスタ 1 1 4 がオフするまで充電される。ノード B 7 の電圧は (-VREF - VT) となり、記憶キャパシタ 1 1 2 に記憶される電圧は (-VP - |VT|) となる。

【 0 1 2 0 】

第 3 動作サイクル X 7 3 において：SEL は VM となる。VM は、スイッチトランジスタ 1 0 6 がオフとなり、スイッチトランジスタ 1 1 8 がオンとなるような中間電圧である

50

。V D A T AはV 2となる。ノードC 7の電圧はV 2となる。記憶キャパシタ1 1 2に記憶された電圧は、X 7 2のものと同一である。

【0 1 2 1】

第4動作サイクルX 7 4において：V D Dは自身の動作電圧となる。S E Lはハイとなる。記憶キャパシタ1 1 2に記憶された電圧が、駆動トランジスタ1 1 4のゲート端子に供給される。該駆動トランジスタ1 1 4はオンとなる。従って、駆動トランジスタ1 1 4の閾電圧V T及びO L E D 1 1 0の電圧からは独立な電流が、駆動トランジスタ1 1 4及びO L E D 1 1 0を介して流れる。

【0 1 2 2】

図2 1は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路2 1 4を図示している。該ピクセル回路2 1 4は、O L E D 1 2 0と、2つの記憶キャパシタ1 2 2及び1 2 3と、駆動トランジスタ1 2 4と、スイッチトランジスタ1 2 6及び1 2 8とを含んでいる。該ピクセル回路2 1 2は、図1 2のピクセル回路2 0 6に対応する。

【0 1 2 3】

トランジスタ1 2 4、1 2 6及び1 2 8はp型トランジスタである。トランジスタ8 4及び8 6は、アモルファスシリコン、ナノ/マイクロ結晶シリコン、ポリシリコン、有機半導体技術（例えば有機T F T）、C M O S技術（例えばMOSFET）及びp型トランジスタを形成する如何なる他の技術を用いても製造することができる。

【0 1 2 4】

図2 1において、駆動トランジスタ1 2 4の端子の一方はO L E D 1 2 0のアノード電極に接続され、他方の端子は電圧供給ラインV D Dに接続されている。記憶キャパシタ1 2 2及び1 2 3は、直列であり、駆動トランジスタ1 2 4のゲート端子とV D Dとの間に接続されている。O L E D 1 2 0のカソード電極は、制御可能な電圧供給電極V S Sに接続されている。

【0 1 2 5】

O L E D 1 2 0並びにトランジスタ1 2 4及び1 2 6は、ノードA 8で接続されている。記憶キャパシタ1 2 2並びにトランジスタ1 2 4及び1 2 6は、ノードB 8で接続されている。トランジスタ1 2 8並びに記憶キャパシタ1 2 2及び1 2 3は、ノードC 8で接続されている。

【0 1 2 6】

図2 2は、図2 1のピクセル回路2 1 4をプログラミング及び駆動するための波形の一例を示すタイミング図を図示している。図2 2は図1 3に対応する。V D A T A及びV S Sは、プログラミング及び駆動回路2 1 4の時間依存性パラメータを補償するために使用され、これらは図1 3のV D A T A及びV D Dと類似している。図2 1及び2 2を参照すると、該ピクセル回路2 1 4のプログラミングは、4つの動作サイクルX 8 1、X 8 2、X 8 3及びX 8 4を有するプログラミングサイクルと、1つの動作サイクルX 8 5を有する駆動サイクルとを含んでいる。

【0 1 2 7】

プログラミングサイクルの間において、負のプログラミング電圧に駆動トランジスタ1 2 4の負の閾電圧を加えたものが記憶キャパシタ1 2 2に記憶される。記憶キャパシタ1 2 3は零に放電される。

【0 1 2 8】

結果として、駆動トランジスタ1 2 4のゲート/ソース電圧は：

$$V G S = - V P - | V T | \quad (8)$$

となり、ここで、V G Sは駆動トランジスタ1 2 4のゲート/ソース電圧を表し、V Pはプログラミング電圧を表し、V Tは駆動トランジスタ1 2 4の閾電圧を表す。

【0 1 2 9】

第1動作サイクルX 8 1において：V D A T Aは高い電圧になる。S E Lはローである。ノードA 8及びB 8は正の電圧に充電される。

10

20

30

40

50

【0130】

第2動作サイクルX82において：SELはハイとなる。VSSは基準電圧VREF1となり、その場合、OLED60はオフである。

【0131】

第3動作サイクルX83において：VDATAは($V_{REF2} + V_P$)となり、ここで、 V_{REF2} は基準電圧である。SELはローである。従って、ノードB8の電圧及びノードA8の電圧は、このサイクルの開始時に等しくなる。第1記憶キャパシタ112は十分に大きいので、該キャパシタの電圧が支配的となることに注意されたい。その後、ノードB8は、駆動トランジスタ124がオフするまで、該駆動トランジスタ124を介して充電される。結果として、ノードB8の電圧は($V_{DD} - |V_T|$)となる。第1記憶キャパシタ122に記憶される電圧は、($-V_{REF2} - V_P - |V_T|$)となる。

10

【0132】

第4動作サイクルX84において：SELはVMとなり、ここで、VMはスイッチトランジスタ126がオフとなり、スイッチトランジスタ128がオンとなるような中間電圧である。VDATAは V_{REF2} となる。ノードC8の電圧は V_{REF2} となる。

【0133】

この結果、駆動トランジスタ124のゲート/ソース電圧VGSは($-V_P - |V_T|$)となる。VM < $-V_P - V_T$ であるので、スイッチトランジスタ126はオフであり、記憶キャパシタ122に記憶された電圧は($-(V_P + |V_T|)$)に留まる。

20

【0134】

第5動作サイクルX85において：VSSは動作電圧となる。また、SELはローである。記憶キャパシタ122に記憶された電圧は駆動トランジスタ124のゲートに供給される。

【0135】

図8、10、12、17、19又は21のピクセル回路を有するアレイを動作させるシステムは、図6又は16のものと同様にすることができることに注意されたい。図8、10、12、17、19又は21のピクセル回路を有するアレイは、図7(a)又は7(b)に示すようなアレイ構造を有することができる。

【0136】

また、各トランジスタは相補的回路の概念に基づいてp型又はn型に置換することができることに注意されたい。

30

【0137】

本発明の上記実施例によれば、駆動トランジスタは飽和動作体制にある。このように、駆動トランジスタの電流は、主に、そのゲート/ソース電圧VGSにより規定される。結果として、駆動トランジスタの電流は、該ゲート/ソースが記憶キャパシタに記憶されるので、OLED電圧が変化したとしても一定に留まる。

【0138】

本発明の上記実施例によれば、駆動トランジスタに対するオーバードライブ電圧の供給は、該駆動トランジスタの閾電圧及び/又は発光ダイオード電圧の電圧値とは独立した波形を供給することにより生ぜられる。

40

【0139】

本発明の上記実施例によれば、ブートストラップに基づく安定した駆動技術が提供される(例えば、図2~12及び16~20)。

【0140】

ピクセル素子の特性のずれ(例えば、長期間の表示動作の下での駆動トランジスタの閾電圧のずれ及び発光デバイスの劣化)は、記憶キャパシタに電圧を記憶し、該電圧を駆動トランジスタのゲートに供給することにより補償される。このように、該ピクセル回路は、斯かるずれの如何なる影響も無しに、発光デバイスを介して安定した電流を供給することができ、これは表示動作寿命を改善する。更に、回路の簡素さ故に、該ピクセル回路は従来のピクセル回路よりも高い製造歩留まり、低い製造コスト及び高い解像度を保証する

50

。

【 0 1 4 1 】

全ての引用文献は、参照することにより本明細書に組み込まれるものとする。

【 0 1 4 2 】

以上、本発明を 1 以上の実施例に関連して説明した。しかしながら、当業者にとっては、種々の変形及び変更を、請求項に記載された本発明の範囲から逸脱することなしになすことができることは明らかであろう。

【図面の簡単な説明】

【 0 1 4 3 】

【図 1】図 1 は、従来の 2 T F T 電圧プログラム型ピクセル回路を示す回路図である。

10

【図 2】図 2 は、表示器アレイに適用された、本発明の一実施例によるプログラミング及び駆動サイクルの一例を示すタイミング図である。

【図 3】図 3 は、本発明の一実施例によるプログラミング及び駆動技術が適用されたピクセル回路を示す回路図である。

【図 4】図 4 は、図 3 のピクセル回路をプログラミング及び駆動するための波形の一例を示すタイミング図である。

【図 5】図 5 は、図 3 のピクセル回路に対する寿命試験結果を示す図である。

【図 6】図 6 は、図 3 のピクセル回路を有する表示システムを示す図である。

【図 7 a】図 7 (a) は、図 6 のアレイに適用可能な上部発光ピクセルを有するアレイ構造の一例を示す図である。

20

【図 7 b】図 7 (b) は、図 6 のアレイに適用可能な底部発光ピクセルを有するアレイ構造の一例を示す図である。

【図 8】図 8 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路を示す図である。

【図 9】図 9 は、図 8 のピクセル回路をプログラミング及び駆動するための波形の一例を示すタイミング図である。

【図 1 0】図 1 0 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路を示す図である。

【図 1 1】図 1 1 は、図 1 0 のピクセル回路をプログラミング及び駆動するための波形の一例を示すタイミング図である。

30

【図 1 2】図 1 2 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路を示す図である。

【図 1 3】図 1 3 は、図 1 2 のピクセル回路をプログラミング及び駆動するための波形の一例を示すタイミング図である。

【図 1 4】図 1 4 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路を示す図である。

【図 1 5】図 1 5 は、図 1 4 のピクセル回路をプログラミング及び駆動するための波形の一例を示すタイミング図である。

【図 1 6】図 1 6 は、図 1 4 のピクセル回路を有する表示システムを示す図である。

【図 1 7】図 1 7 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路を示す図である。

40

【図 1 8】図 1 8 は、図 1 7 のピクセル回路をプログラミング及び駆動するための波形の一例を示すタイミング図である。

【図 1 9】図 1 9 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路を示す図である。

【図 2 0】図 2 0 は、図 1 9 のピクセル回路をプログラミング及び駆動するための波形の一例を示すタイミング図である。

【図 2 1】図 2 1 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路を示す図である。

【図 2 2】図 2 2 は、図 2 1 のピクセル回路をプログラミング及び駆動するための波形の

50

一例を示すタイミング図である。

【符号の説明】

【 0 1 4 4 】

2 0 , 5 0 , 6 0 , 7 0 , 8 0 , 1 0 0 , 1 1 0 , 1 2 0 発光デバイス (O L E D)

2 1 , 8 1 記憶キャパシタ

5 2 , 6 2 , 7 2 , 1 0 2 , 1 1 2 , 1 2 2 第 1 記憶キャパシタ

5 3 , 6 3 , 7 3 , 1 0 3 , 1 1 3 , 1 2 3 第 2 記憶キャパシタ

2 4 , 5 4 , 6 4 , 7 4 , 8 4 , 1 0 4 , 1 1 4 , 1 2 4 駆動トランジスタ

2 6 , 8 5 スイッチトランジスタ

5 6 , 6 6 , 7 6 , 1 0 6 , 1 1 6 , 1 2 6 第 1 スイッチトランジスタ

5 8 , 6 8 , 7 8 , 1 0 8 , 1 1 8 , 1 2 8 第 2 スイッチトランジスタ

S E L 選択ライン

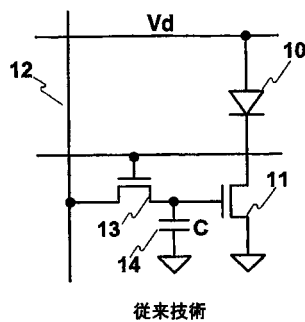
S E L 1 第 1 選択ライン

S E L 2 第 2 選択ライン

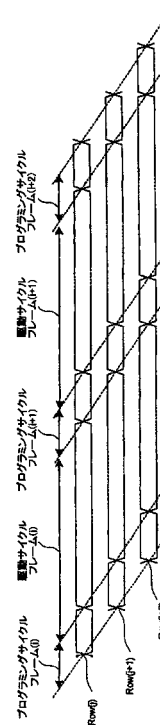
V D A T A 信号ライン

10

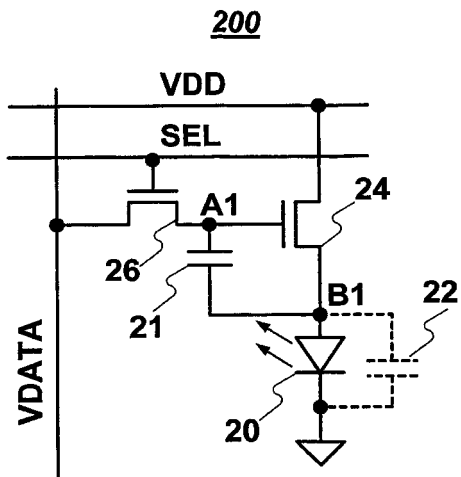
【 図 1 】



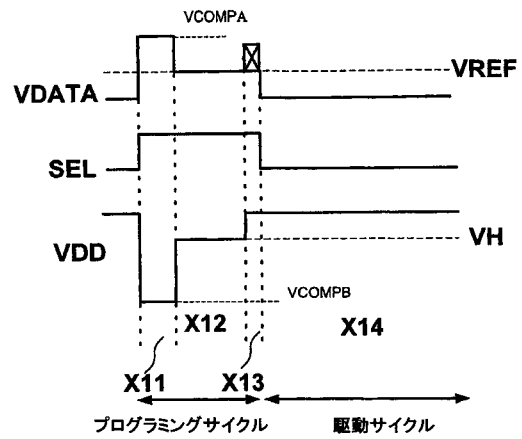
【 図 2 】



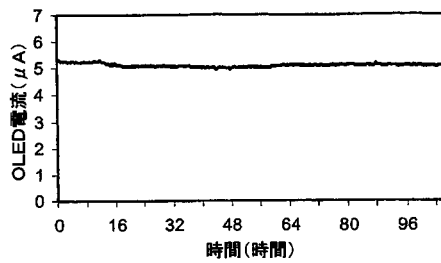
【図 3】



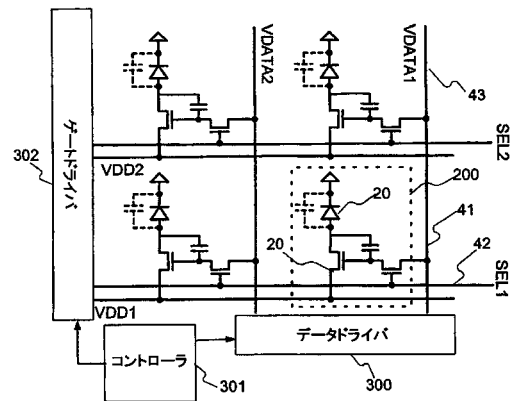
【図 4】



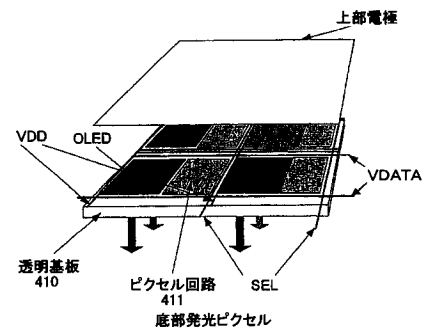
【図 5】



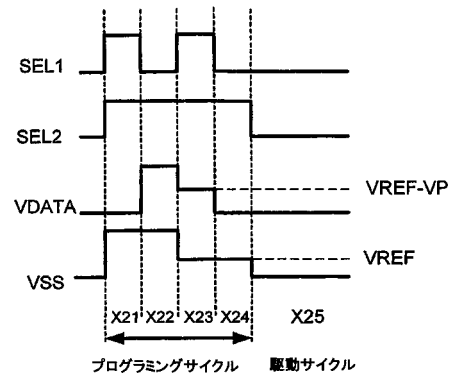
【図 6】



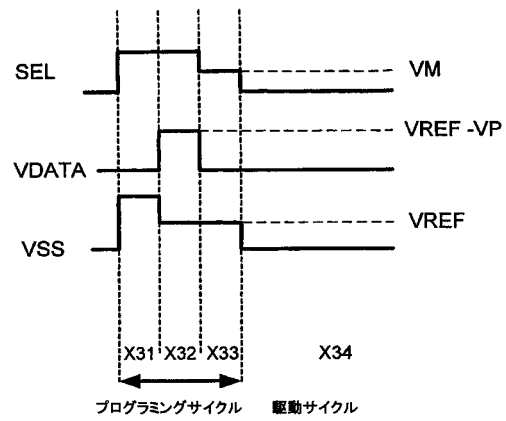
【 図 7 b 】



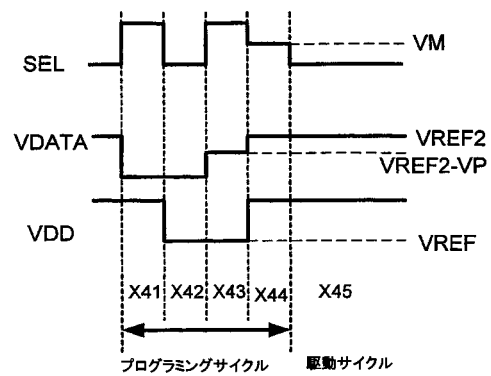
【 図 9 】



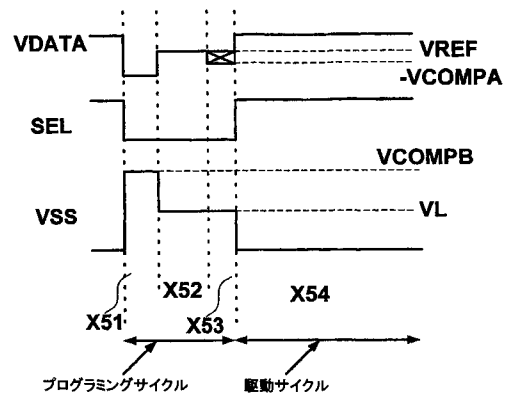
【 図 1 1 】



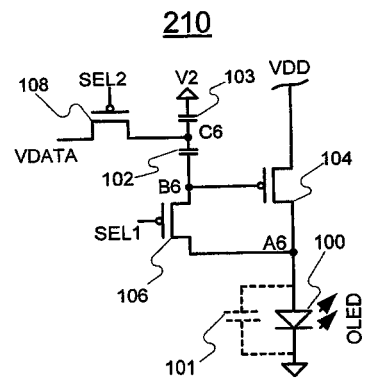
【圖 13】



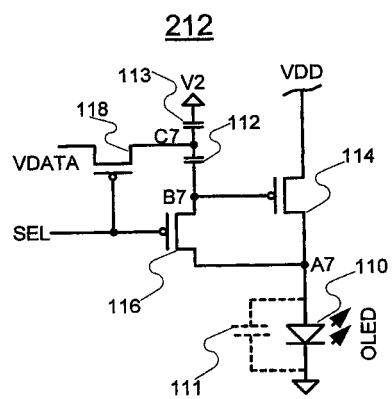
【 図 1 5 】



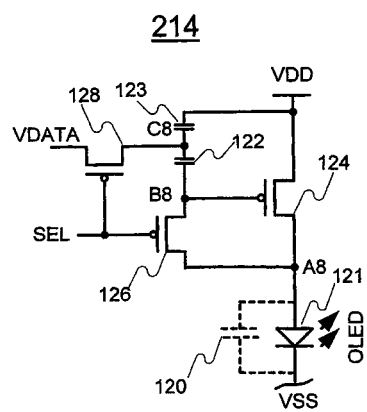
【圖 17】



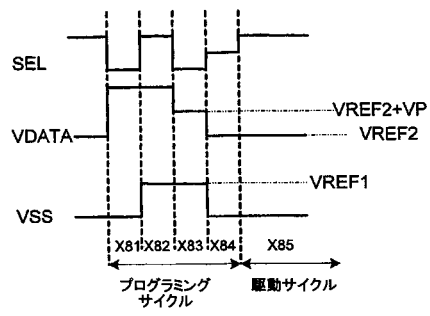
【 図 19 】



【图 2 1】



【図 22】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 7 0 J

G 0 9 G 3/20 6 4 2 A

G 0 9 G 3/20 6 4 2 C

H 0 5 B 33/14 A

(72)発明者 ネイサン, アロキア

カナダ国 エヌ２エル ５ケー８ オンタリオ州、 ウォータールー、 カルペッパー ドライブ
５５、 イグニス イノベーション インコーポレーテッド内

(72)発明者 チャジ, レザ, ジー.

カナダ国 エヌ２エル ５ケー８ オンタリオ州、 ウォータールー、 カルペッパー ドライブ
５５、 イグニス イノベーション インコーポレーテッド内

(72)発明者 セルバティ, ペイマン

カナダ国 エヌ２ヴィ ２アール６ オンタリオ州、 ウォータールー、 シーダー ベンド ド
ライブ ７５３

審査官 井口 猶二

(56)参考文献 特開２００３－２７１０９５（ＪＰ，Ａ）

特開２００４－２４６２０４（ＪＰ，Ａ）

特開２００４－２９５１３１（ＪＰ，Ａ）

国際公開第２００４／０１５６６７（ＷＯ，Ａ１）

特表２００５－５３４９９０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 3 2

G 0 9 G 3 / 2 0

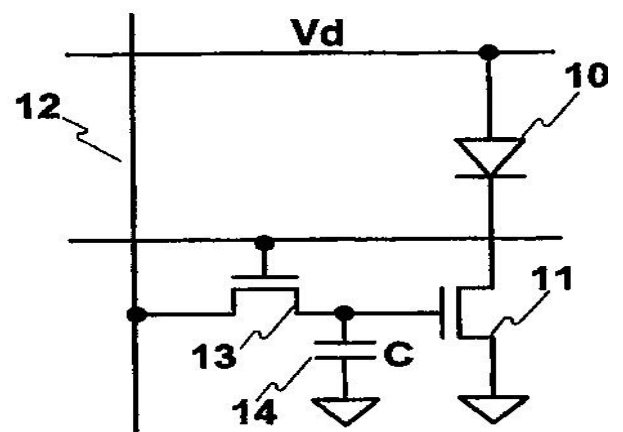
G 0 9 G 3 / 3 0

H 0 1 L 5 1 / 5 0

专利名称(译)	用于编程和驱动有源矩阵发光装置的像素的方法和系统		
公开(公告)号	JP5459960B2	公开(公告)日	2014-04-02
申请号	JP2007544707	申请日	2005-12-06
[标]申请(专利权)人(译)	伊格尼斯创新公司		
申请(专利权)人(译)	伊格尼斯-Inobeishon公司		
当前申请(专利权)人(译)	伊格尼斯-Inobeishon公司		
[标]发明人	ネイサンアロキア チャジレザジー セルバティベイマン		
发明人	ネイサン, アロキア チャジ, レザ, ジー. セルバティ, ベイマン		
IPC分类号	G09G3/32 G09G3/30 G09G3/20 H01L51/50 G09G3/3225		
CPC分类号	G09G3/3258 G09G3/3233 G09G3/3696 G09G2300/0465 G09G2300/0842 G09G2300/0852 G09G2310/0262 G09G2310/06 G09G2310/061 G09G2320/043		
FI分类号	G09G3/32.A G09G3/30.K G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.670.J G09G3/20.642.A G09G3/20.642.C H05B33/14.A		
代理人(译)	所以, 石井 青木 纯雄		
优先权	2490858 2004-12-07 CA		
其他公开文献	JP2008523425A		
外部链接	Espacenet		

摘要(译)

提供了用于编程和驱动有源矩阵发光器件像素的方法和系统。像素是电压编程像素电路，并且具有发光器件，驱动晶体管和存储电容器。像素具有编程周期，该编程周期具有多个操作周期和驱动周期。在编程周期期间，控制OLED和驱动晶体管之间的连接电压，使得驱动晶体管的期望栅极 - 源极电压存储在存储电容器中。



従来技術