

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5037795号
(P5037795)

(45) 発行日 平成24年10月3日 (2012. 10. 3)

(24) 登録日 平成24年7月13日 (2012. 7. 13)

(51) Int. Cl.

F I

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)G09G 3/30 J
G09G 3/20 621A
G09G 3/20 624B
G09G 3/20 641D
G09G 3/20 642C

請求項の数 1 (全 12 頁)

(21) 出願番号 特願2005-77967 (P2005-77967)
(22) 出願日 平成17年3月17日 (2005. 3. 17)
(65) 公開番号 特開2006-259373 (P2006-259373A)
(43) 公開日 平成18年9月28日 (2006. 9. 28)
審査請求日 平成19年12月11日 (2007. 12. 11)

(73) 特許権者 510048417
グローバル・オーエーディー・テクノ
ロジー・リミテッド・ライアビリティ・カ
ンパニー
GLOBAL OLED TECHNOLO
GY LLC.
アメリカ合衆国、バージニア州、ハーンド
ン、パーク・センター・ロード 1387
3、スイート 330
13873 Park Center R
oad, Suite 330, Her
ndon, VA 20171, Uni
ted States of Ameri
ca

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

マトリクス状に配置された画素回路を有する表示装置であって、
各画素は、
正電源線にアノード電極が接続された発光素子と、
この発光素子のカソード電極にドレイン電極が接続され、負電源線にソース電極が接続
されて、前記発光素子に流れる電流を制御するドライバー素子と、
このドライバー素子のゲート・ドレイン間に接続された静電容量と、
走査線によってオンオフされ、信号線からのドライバー素子のゲートへの信号電圧の供
給を制御するスイッチング素子と、
を含み、

前記走査線を前記スイッチング素子が導通する電位とし、かつ、前記信号線の電位を前
記負電源線の電位と同電位として、前記ドライバー素子をオフ状態にし、この状態で、前
記正電源線の電位を前記負電源線の電位よりも低い電位にすることで、前記ドライバー素
子のドレイン電圧がそのゲート及びソース電圧である前記負電源線の電位から当該ドライ
バー素子の閾値電圧を引いた値より低い値になるようにセットし、発光素子がオフの状態
で前記ドライバー素子のソースおよびゲートにそれぞれ一定の電源電圧を印加して、ドラ
イバー素子のドレインにドライバー素子の閾値電圧に応じた電圧をセットし、

その後ドライバー素子がオフの状態を維持したまま、スイッチング素子をオンして信
号線より信号電圧をドライバー素子のゲートに供給して前記静電容量に信号電圧およびド

ライバー素子の閾値電圧に応じた電圧を充電し、

その後スイッチング素子をオフすると共に、前記正電源線の電圧を発光素子に印加される電圧が当該発光素子の閾値電圧より十分大きくなるようにセットすることで、ドライバー素子のゲートにその閾値電圧を補償した信号電圧に応じた電圧をセットして、ドライバー素子から前記発光素子に電流を供給して発光素子を発光させることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎にドライバー素子を用いて発光素子を駆動するアクティブ型の表示装置に関する。 10

【背景技術】

【0002】

自ら発光する有機エレクトロルミネッセンス（EL）素子を用いた有機EL表示装置は、液晶表示装置で必要なバックライトが不要で装置の薄型化に最適であるとともに、視野角にも制限がないため、次世代の表示装置として実用化が期待されている。なお、有機EL表示装置に用いられる有機EL素子は、その発光輝度が流れる電流値により制御される点で、電圧により表示が制御される液晶セルを用いる液晶表示装置等と異なっている。

【0003】

図7に、従来から知られているアクティブマトリックス方式の有機EL表示装置における画素回路を示す。この画素回路は、カソード側が負電源線108に接続された有機EL素子104と、ソース電極が有機EL素子104のアノード側に接続され、ドレイン電極が正電源線107に接続されたドライバー素子102と、ドライバー素子102のゲート電極とソース電極との間に接続された静電容量103と、ソースもしくはドレイン電極がドライバー素子102のゲート電極に、ドレインもしくはソース電極が信号線105に、ゲート電極が走査線106にそれぞれ接続されたスイッチング素子101とを有する。ここで、スイッチング素子101およびドライバー素子102は薄膜トランジスタ（TFT）である。 20

【0004】

上記画素回路の動作を以下に説明する。まず、ドライバー素子102のゲート・ソース電極間にドライバー素子102の閾値電圧より大きな電圧が静電容量103により安定的に保持されていると仮定する。従って、ドライバー素子102は、オンしている。 30

【0005】

この状態で、負電源線108を正電源線107の電圧GNDより高レベルとする。ドライバー素子102をオン状態のままに保ち、有機EL素子104のアノード電極の電位が正電源線107の電位GNDと同電位なり、有機EL素子104に逆バイアス電圧が印加される。

【0006】

つぎに、走査線106を高レベルとしスイッチング素子101をオン状態とした後、信号線105の電位をドライバー素子102のゲート電極に印加する。この信号線の電位は正電源線107の電位GNDと同電位である。これにより、有機EL素子104のアノード電極の電位は有機EL素子104の静電容量成分と静電容量103の容量比に応じてドライバー素子102のゲート電位GNDより低くなり、ドライバー素子102はオフとなる。 40

【0007】

つぎに、負電源線108を正電源線107と同電位GNDに下げると、ドライバー素子102のソースは負電源線の電圧降下に従って下がるが、ドライバー素子102のゲート電位はGNDであり、ドライバー素子102はオン状態となる。このため、ドライバー素子102を通して正電源線107から電流が有機EL素子104のアノード電極に供給され、徐々に有機EL素子104のアノード電極の電位は、ドライバー素子102のゲート電 50

極と有機EL素子104のアノード電極の電位との電位差がドライバー素子102の閾値電圧と等しくなるまで上昇しつづける。

【0008】

その後、走査線106の電位を低レベルとして、ドライバー素子102のソース電極に静電容量103および有機EL素子104の静電容量成分によってドライバー素子102の閾値電圧を保持することができる。

【0009】

このように、静電容量103にドライバー素子102の閾値電圧 V_t を保持する工程を以下「閾値電圧検出」と呼ぶこととする。

【0010】

つぎに、信号線105にデータ電圧 V_{data} を供給しておくと共に、走査線106を高レベルとして信号線105のデータ電圧 V_{data} をドライバー素子102のゲート電極に印加すると、その瞬間に静電容量103の容量値 C_s と有機EL素子104の静電容量値 C_{oled} の容量比により、ドライバー素子102のソース電極が変化し、ドライバー素子102のゲート・ソース電極間電位は以下ようになる。

【0011】

$$V_{gs} = \{C_s / (C_s + C_{oled})\} \cdot V_{data} + V_t \quad (\text{式1})$$

【0012】

この電位差 V_{gs} は静電容量103によって安定的に保持される。このデータ電圧を加算する工程を以下「書き込み」と呼ぶことにする。

【0013】

そして、正電源線107と負電源線108との間の電位差が、有機EL素子104の閾値電圧より充分大きくなるように負電源線108を低くすると、上記工程にて静電容量103に保持された電圧に応じてドライバー素子102は有機EL素子104に流れる電流を制御し、有機EL素子104はその電流値に応じた輝度で発光しつづける。

【0014】

上述のように図7に示す画素回路では一度輝度情報の書き込みを行えば、つぎにこの書き込み状態が解消されるまでの間、有機EL素子104は一定の輝度で発光を継続する（たとえば、特許文献1参照）。

【0015】

【特許文献1】US2004/0174349A1（第2頁、第1図）

【発明の開示】

【発明が解決しようとする課題】

【0016】

しかしながら、前記書き込み工程の際にスイッチング素子101を通してデータ電圧を印加すると式1にあるように、その瞬間にドライバー素子102はオン状態となる。従って、静電容量103と有機EL素子104との間のノードに保持されていたドライバー素子102の閾値電圧は消失しやすく、式1で表されるように閾値電圧の情報を正確に重畳することは困難である。特に、データ電圧 V_{data} が大きくなるにつれ、また書き込み時間が長くなるにつれ閾値電圧の消失する度合いは大きくなる。

【課題を解決するための手段】

【0017】

本発明は、マトリクス状に配置された画素回路を有する表示装置であって、各画素は、正電源線にアノード電極が接続された発光素子と、この発光素子のカソード電極にドレイン電極が接続され、負電源線にソース電極が接続されて、前記発光素子に流れる電流を制御するドライバー素子と、このドライバー素子のゲート・ドレイン間に接続された静電容量と、走査線によってオンオフされ、信号線からのドライバー素子のゲートへの信号電圧の供給を制御するスイッチング素子と、を含み、前記走査線を前記スイッチング素子が導通する電位とし、かつ、前記信号線の電位を前記負電源線の電位と同電位として、前記ドライバー素子をオフ状態にし、この状態で、前記正電源線の電位を前記負電源線の電位よ

10

20

30

40

50

りも低い電位にすることで、前記ドライバー素子のドレイン電圧がそのゲート及びソース電圧である前記負電源線の電位から当該ドライバー素子の閾値電圧を引いた値より低い値になるようにセットし、発光素子がオフの状態の前記ドライバー素子のソースおよびゲートにそれぞれ一定の電源電圧を印加して、ドライバー素子のドレインにドライバー素子の閾値電圧に応じた電圧をセットし、その後ドライバー素子がオフの状態を維持したままで、スイッチング素子をオンして信号線より信号電圧をドライバー素子のゲートに供給して前記静電容量に信号電圧およびドライバー素子の閾値電圧に応じた電圧を充電し、その後スイッチング素子をオフすると共に、前記正電源線の電圧を発光素子に印加される電圧が当該発光素子の閾値電圧より十分大きくなるようにセットすることで、ドライバー素子のゲートにその閾値電圧を補償した信号電圧に応じた電圧をセットして、ドライバー素子から前記発光素子に電流を供給して発光素子を発光させることを特徴とする。

10

【発明の効果】

【0019】

本発明によれば、ドライバー素子のゲート電極とドレイン電極との間に静電容量を設置し、発光素子が発光する際のドライバー素子のゲート・ドレイン電極間の閾値電圧を検出し、この電圧を静電容量に保持する。そして、信号電圧の書き込み時に、閾値電圧検出時にドライバー素子のゲート電極に与えていた電位よりドライバー素子をオフする方向の画素データ信号とすることで、信号電圧の書き込みの際に、静電容量に保持されていたドライバー素子の閾値電圧を失うことなく閾値電圧に画素データ信号を重畳することが可能となる。

20

【発明を実施するための最良の形態】

【0020】

以下に、図面を用いて本発明の具体的な態様を説明する。ただし、発明の範囲を図示例に限定するものではない。

【0021】

〔第1の実施の形態〕

図1に本発明が適用された表示装置の回路構成を、図2にそのタイミングチャートを示す。

【0022】

表示装置は、マトリクス配置された多数の画素からなり、各画素には、発光素子である有機EL発光素子（OLED）と、その発光を制御する回路が設けられている。

30

【0023】

正電源供給回路4は、正電源電圧VDDを出力するが、所定のタイミングで負電源電圧VSSより低い電圧Vpを切り替え出力し、これを各画素に供給する。信号線駆動回路2は、垂直ライン毎に設けられる各信号線15に各画素の表示すべき信号電圧Vdataを供給し、走査線駆動回路3は、水平ライン毎に設けられる走査線16の駆動信号を供給する。負電源供給回路5は発光素子に電流を流すための負電源電圧VSSを各画素に供給する。

【0024】

各画素回路において、正電源供給回路4には、正電源線17が接続されており、この正電源線17が各画素回路の発光素子14のアノード電極に接続されている。発光素子14のカソード電極には、n型のドライバー素子12のドレイン電極が接続されており、このドライバー素子12のソース電極が負電源線18に接続されている。ドライバー素子12のゲート電極とドレイン電極との間には、静電容量13が接続されている。

40

【0025】

ドライバー素子12のゲート電極には、スイッチング素子11のソースが接続され、スイッチング素子11のドレインは信号線15に接続されている。スイッチング素子11のゲート電極には、走査線16が接続されている。

【0026】

ここで、スイッチング素子11は、n型TFETを採用したが、p型TFETを採用するこ

50

ともできる。なお、型を変更した場合には、走査線 16 に供給する信号の極性を反転する必要がある。ドライバー素子 12 は n 型 TFT である。

【0027】

上記画素回路の動作を図 2 のタイミングチャートおよび図 3 を用いて説明する。

【0028】

まず、ドライバー素子 12 のゲート電極には前フレームにおいて ($V_{data} + V_t$) が静電容量 13 によって保持されているものとする。 V_{data} は、当該画素の発光素子 14 の発光量についての輝度データであり、 V_t は当該画素のドライバー素子 12 の閾値電圧である。

【0029】

この状態において、当該画素（当該水平ライン）の書き込みタイミングになった場合には、走査線 16 をスイッチング素子 11 が導通する電位（この例では H レベル）とする。また、信号線 15 の電位を負電源線 18 の電位 V_{SS} と同電位として、ドライバー素子 12 をオフ状態にする。

【0030】

つぎに、図 3-1-1 に示すように正電源線 17 の電位を V_{SS} よりも低い V_p とする。発光素子 14 の電圧降下を V_{oled} とすれば、正電源線 17 の電位が V_{DD} であったときにドライバー素子 12 のドレイン電極の電位は、 $V_{DD} - V_{oled}$ であったはずで、正電源線 17 の電位が V_{DD} から V_p となると、その差が発光素子 14 の容量成分 C_{oled} と、静電容量 13 の容量成分 C_s で分配される。従って、正電源線 17 の電位が V_p になった瞬間ドライバー素子 12 のドレイン電極の電位は、 $V_{DD} - V_{oled} + \{C_{oled} / (C_s + C_{oled})\} (V_p - V_{DD})$ である。ここで、補償したいドライバー素子 12 の閾値電圧の範囲の最大値を V_t (TFT) (> 0) とすると、
 $V_{SS} - V_t$ (TFT) $\geq V_{DD} - V_{oled}$

$$+ \{C_{oled} / (C_s + C_{oled})\} (V_p - V_{DD}) \quad (式 2)$$

となるように V_p を設定する。すなわち、ドライバー素子 12 のドレイン電圧がそのゲートおよびソース電圧である V_{SS} から V_t (TFT) を引いた値より低いものに設定する。

【0031】

従って、正電源線 17 が V_p になった瞬間からドライバー素子 12 の閾値電圧検出工程 (1) が開始される。そして、図 3-1-1 に示すようにドライバー素子 12 のソースからドレインに電流が流れ、ドライバー素子 12 のドレイン電極には $V_{SS} - V_t$ の電位が発生する (図 3-1-2)。なお、この閾値電圧検出工程 (1) は、全画素について一緒に行う。

【0032】

つぎに、走査線 16 をスイッチング素子 11 が非導通状態となるよう（この例では L レベル）にし、各画素への画素信号の書き込み工程 (2) に入る。すなわち、信号線 15 の電位を V_{data} とした後、再び走査線 16 をスイッチング素子 11 が導通状態となるように設定し、ドライバー素子 12 のゲート電位を V_{data} ($< V_{SS}$) とする。これによって、ドライバー素子 12 のゲート電圧が V_{SS} から V_{data} に変化し、その変化量が、静電容量 13 の容量 C_s および発光素子 14 の容量 C_{oled} によって分配され、電位が $V_{SS} - V_t$ であったドライバー素子 12 のドレイン電極は、 $V_{SS} - V_t + \{C_s / (C_s + C_{oled})\} (V_{data} - V_{SS})$ となる (図 3-2)。

【0033】

従って、このときに、静電容量 13 には、 $V_{data} - (V_{SS} - V_t + \{C_s / (C_s + C_{oled})\} (V_{data} - V_{SS}))$ だけ充電されていることになる。

【0034】

なお、この書き込み工程 (2) は、図 2 に示すように、線順次で行う。ただし、1 水平ラインについて、同時にデータ書き込みを行ってもよいし、点順次でデータ書き込みを行ってもよい。

10

20

30

40

50

【0035】

つぎに、正電源線17を発光素子14に印加される電圧が発光素子14の閾値電圧より充分大きくなるようにVDDとする。これによって、ドライバー素子12のドレイン電圧は $VDD - V_{oled}$ となる。従って、ドライバー素子12のゲート電圧は、 $VDD - V_{oled}$ に静電容量13の充電電圧 $V_{data} - (V_{SS} - V_t + \{C_s / (C_s + C_{oled})\} (V_{data} - V_{SS})) = (1 - \{C_s / (C_s + C_{oled})\}) (V_{data} - V_{SS}) + V_t$ を加算した値になる。

【0036】

このため、そのときドライバー素子12のゲート・ソース電極間の電位差は

$$V_{gs} = VDD - V_{oled} - V_{SS}$$

10

+ $(V_{data} - V_{SS}) \{C_{oled} / (C_s + C_{oled})\} + V_t$ (式3)
となる(図3-3)。

【0037】

よって、ドライバー素子12に流れる電流*i_d*は、

$$\begin{aligned} i_d &= (\beta / 2) (V_{gs} - V_t)^2 \\ &= (\beta / 2) (VDD - V_{oled} - V_{SS} \\ &\quad + (V_{data} - V_{SS}) \{C_{oled} / (C_s + C_{oled})\})^2 \end{aligned} \quad (式4)$$

のようになる。

【0038】

この電流*i_d*が発光素子14に供給される。この*i_d*は、*V_t*に無関係であり、これによって、発光素子14の発光ドライバー素子12の閾値電圧は補償される。

20

【0039】

特に、本実施形態においては、発光素子14が発光する際のドライバー素子12のゲート電極とドレイン電極との間に静電容量を設置し、発光素子14が発光する際のドライバー素子12のゲート・ドレイン電極間の閾値電圧を検出する。そして、この閾値電圧検出時にドライバー素子12のゲート電極に与えていた電位より低い電圧を画素信号とすることで、信号書き込み工程の際に、静電容量13に保持されていたドライバー素子12の閾値電圧*V_t*を失うことなく、ドライバー素子12のゲートに輝度データ*V_{data}*を重ねることが可能となる。

【0040】

30

〔第2の実施の形態〕

図4に本発明が適用された別の表示装置の回路構成を、図5にそのタイミングチャートを示す。

【0041】

この装置では、カソード電極が負電源線18に接続された発光素子24と、ドレイン電極が発光素子24のアノード電極とソース電極が正電源線17に接続されたドライバー素子22と、ドライバー素子22のゲート電極とドレイン電極との間に接続された静電容量23と、ソースもしくはドレイン電極がドライバー素子22のゲート電極に、ドレインもしくはソース電極が信号線15に、ゲート電極が走査線26にそれぞれ接続されたスイッチング素子21とを有する。スイッチング素子21はn形もしくはp形TFTおよびドライバー素子22はp型TFTである。

40

【0042】

上記画素回路の動作を図5のタイミングチャートおよび図6を用いて説明する。ドライバー素子22のゲート電極には前フレームにおいて(*V_{data}* - *V_t*)が静電容量23によって保持されているものとする。

【0043】

まず、走査線26をスイッチング素子21が導通する電位(この例ではHレベル)とし、信号線の電位を正電源線17と同電位VDDとしてドライバー素子22をオフ状態にする。つぎに図6-1-1に示すように負電源線18の電位をVDDより高い*V_p*とする。負電源線18の電位が*V_p*になった瞬間ドライバー素子22のドレイン電極の電位は*V_o*

50

$V_{oled} + \{C_{oled} / (C_s + C_{oled})\} (V_p - V_{SS})$ である。ここで補償したいドライバー素子 12 の閾値電圧の範囲を V_t (TFT) (< 0) とすると、
 $V_{DD} - V_t$ (TFT)

$\leq V_{oled} + \{C_{oled} / (C_s + C_{oled})\} (V_p - V_{DD})$ (式 5)
 となるように V_p を設定する。

【0044】

負電源線 18 が V_p になった瞬間からドライバー素子 22 の閾値電圧検出工程 (1) が開始される。そして、ドライバー素子 22 のドレイン電極には $V_{DD} - V_t$ の電位が発生する (図 6-1-2)。

【0045】

10

つぎに、走査線 16 をスイッチング素子 21 が非導通状態となるよう (この例では L レベル) にし、各画素への画素信号の書き込み工程 (2) に入る。信号線 15 の電位を V_{data} とした後、再び走査線 16 をスイッチング素子 21 が導通状態となるよう (この例では H レベル) に設定し、ドライバー素子 22 のゲート電位を V_{data} ($> V_{DD}$) とする。これによって、ドライバー素子 22 のドレイン電極は $V_{DD} + \{C_s / (C_s + C_{oled})\} (V_{data} - V_{DD}) - V_t$ となる (図 6-2)。

【0046】

つぎに、負電源線 18 を発光素子 24 に印加される電圧が発光素子 24 の閾値電圧より充分低くなるように V_{SS} とすると共に、走査線 16 によりスイッチング素子 11 をオフする。これにより、ドライバー素子 12 のドレイン電圧は、 $V_{SS} + V_{oled}$ となり、
 従ってドライバー素子 12 のゲート電圧は、 $V_{SS} + V_{oled} + (1 - \{C_s / (C_s + C_{oled})\} (V_{data} - V_{DD}) + V_t$ となる。

20

【0047】

従って、そのときドライバー素子 22 のソース・ゲート電極間の電位差は
 $V_{sg} = V_{DD} - V_{oled} - V_{SS}$
 $+ (V_{data} - V_{DD}) \{C_{oled} / (C_s + C_{oled})\} - V_t$ (式 6)
 となる (図 6-3)。

【0048】

よって、ドライバー素子 22 に流れる電流は、
 $i_d = (\beta / 2) (V_{sg} + V_t)^2 = (\beta / 2) (V_{DD} - V_{oled} - V_{SS} + (V_{data} - V_{DD}) \{C_{oled} / (C_s + C_{oled})\})^2$ (式 7)
 以上により、ドライバー素子 22 の閾値電圧は補償される。

30

【図面の簡単な説明】

【0049】

【図 1】本発明の実施形態 1 の構成を示す図である。

【図 2】実施形態 1 のタイミングチャートである。

【図 3-1-1】図 2 の閾値電圧検出工程 (1) 初期の状態を示す図である。

【図 3-1-2】図 2 の閾値電圧検出工程 (1) 末期の状態を示す図である。

【図 3-2】図 2 の書き込み工程 (2) の状態を示す図である。

【図 3-3】図 2 の発光工程 (3) の状態を示す図である。

40

【図 4】本発明の実施形態 2 の構成を示す図である。

【図 5】実施形態 2 のタイミングチャートである。

【図 6-1-1】図 5 の閾値電圧検出工程 (1) 初期の状態を示す図である。

【図 6-1-2】図 5 の閾値電圧検出工程 (1) 末期の状態を示す図である。

【図 6-2】図 5 の書き込み工程 (2) の状態を示す図である。

【図 6-3】図 5 の発光工程 (3) の状態を示す図である。

【図 7】従来の画素回路の構成を示す図である。

【符号の説明】

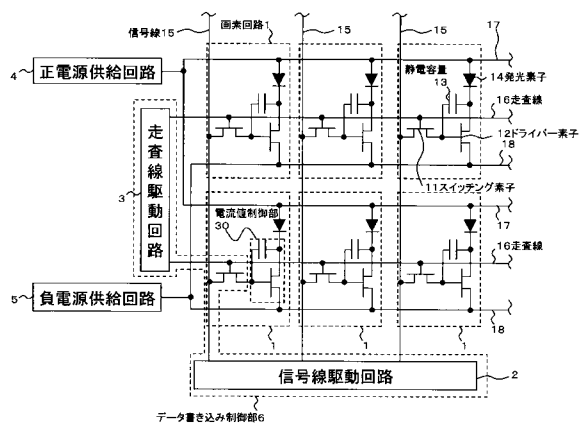
【0050】

1 画素回路、2 信号線駆動回路、3 走査線駆動回路、4 正電源供給回路、5

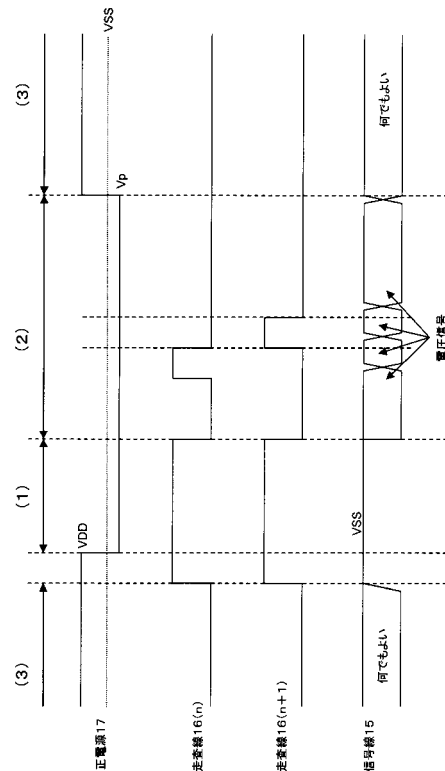
50

負電源供給回路、11, 21, 101 スwitchング素子、12、22, 102 ドライバー素子、13, 23, 103 静電容量、14, 24, 104 発光素子、15, 105 信号線、16, 26, 106 走査線、17, 107 正電源線、18, 108 負電源線。

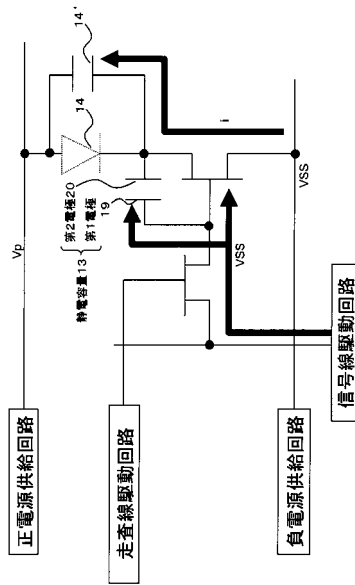
【図1】



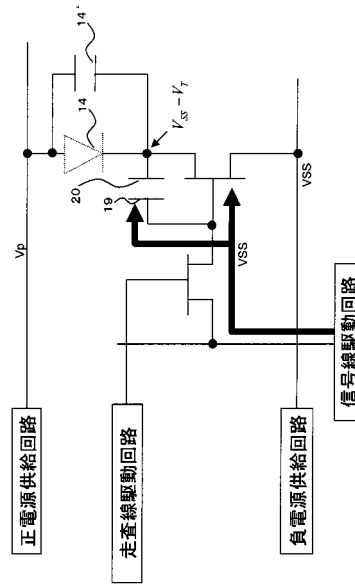
【図2】



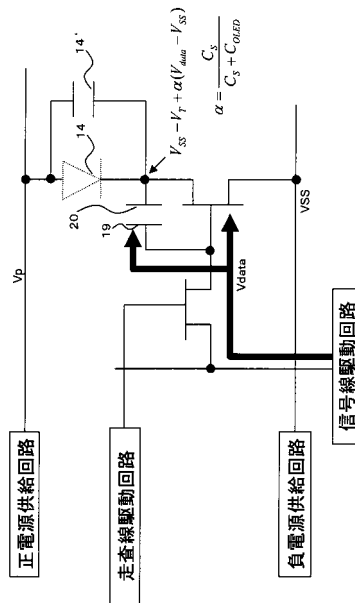
【図 3-1-1】



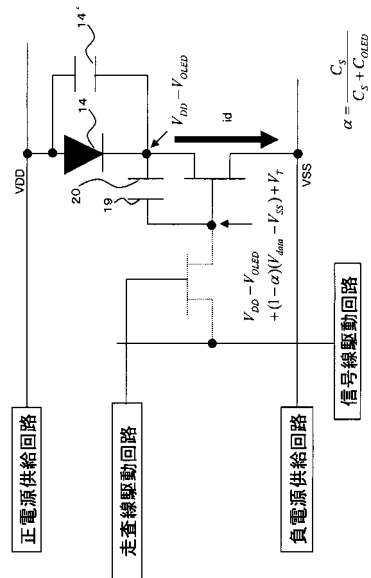
【図 3-1-2】



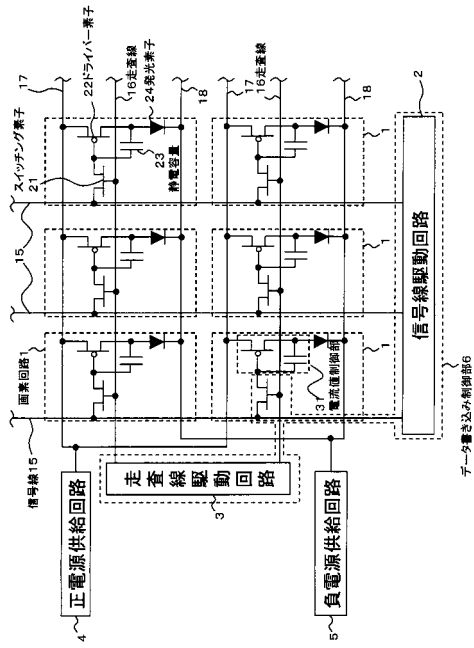
【図 3-2】



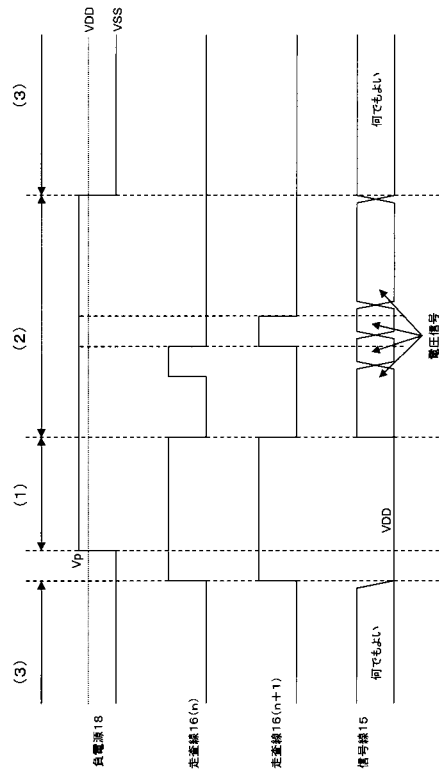
【図 3-3】



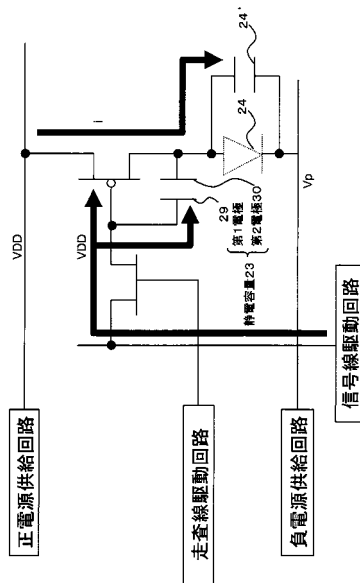
【図 4】



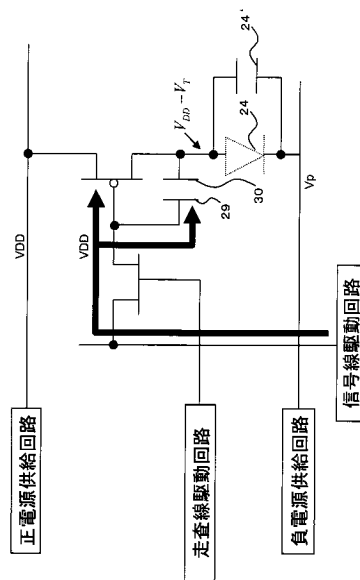
【図 5】



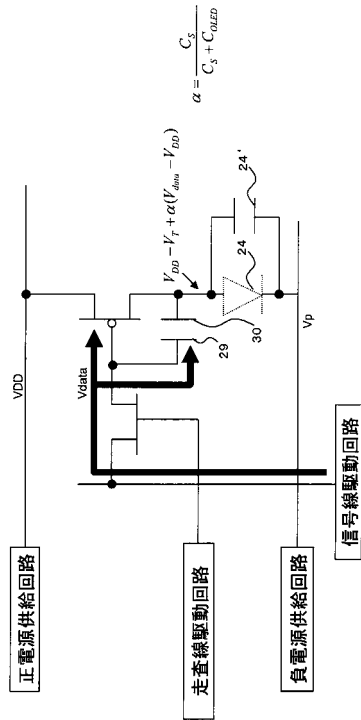
【図 6 - 1 - 1】



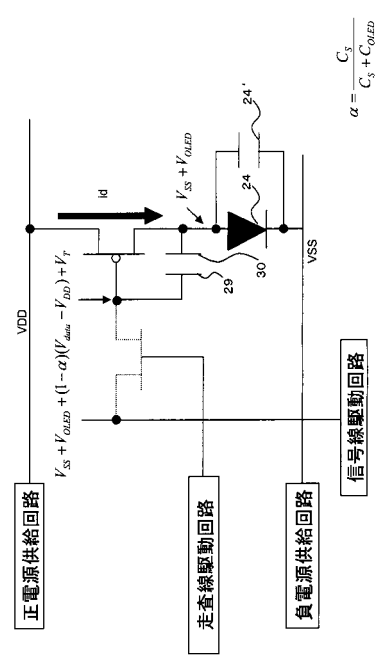
【図 6 - 1 - 2】



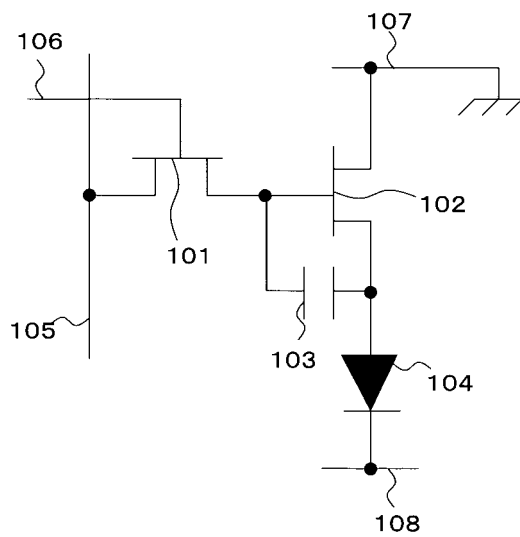
【図 6-2】



【図 6-3】



【図 7】



フロントページの続き

- (74)代理人 100110423
弁理士 曾我 道治
- (74)代理人 100084010
弁理士 古川 秀利
- (74)代理人 100094695
弁理士 鈴木 憲七
- (74)代理人 100111648
弁理士 梶並 順
- (74)代理人 100122437
弁理士 大宅 一宏
- (74)代理人 100147566
弁理士 上田 俊一
- (72)発明者 小野 晋也
東京都中央区新川2丁目27番1号 コダック株式会社内

審査官 小川 浩史

- (56)参考文献 特表2004-531772 (JP, A)
特開2005-31629 (JP, A)
特開2005-215102 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G09G 3/20-3/38

专利名称(译)	表示装置		
公开(公告)号	JP5037795B2	公开(公告)日	2012-10-03
申请号	JP2005077967	申请日	2005-03-17
[标]申请(专利权)人(译)	伊斯曼柯达公司		
申请(专利权)人(译)	伊士曼柯达公司		
当前申请(专利权)人(译)	全球豪迪E.科技有限责任公司		
[标]发明人	小野晋也		
发明人	小野 晋也		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G3/3291 G09G2300/0819 G09G2300/0842 G09G2300/0847 G09G2300/0866 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.621.A G09G3/20.624.B G09G3/20.641.D G09G3/20.642.C G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H05B33/14.A		
F-TERM分类号	3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC11 3K107/CC33 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CB01 5C380/CC02 5C380/CC04 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD012 5C380/CD022 5C380/DA02 5C380/DA06 5C380/DA35		
代理人(译)	英年古河 Kajinami秩序 上田俊一		
审查员(译)	小川博		
其他公开文献	JP2006259373A		
外部链接	Espacenet		

摘要(译)

要解决的问题：有效地补偿驱动器元件的阈值电压，以控制流向发光元件的电流。ΣSOLUTION：在每个像素中提供像素选择开关元件11，电流控制驱动元件12，静电电容器13和诸如有机电致发光（EL）器件的电流发光元件14，并且静电电容器13布置在每个像素之间。当发光元件14发光时，驱动元件12的栅电极和漏电极。当发光元件14断开时，通过向驱动元件的栅极和源极提供相同的电压来检测栅极和漏极之间的阈值电压，并将其存储在静电电容器13中。然后，当检测到阈值电压，用于使驱动元件12断开的方向的信号电压，从施加到驱动元件12的栅电极的电位开始，从而，信号电压叠加到阈值电压而不会损失阈值电压。驱动元件12在写入时保持在静电电容器13中。Z

【圖 1】

