

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4300490号
(P4300490)

(45) 発行日 平成21年7月22日(2009.7.22)

(24) 登録日 平成21年5月1日(2009.5.1)

(51) Int.Cl.		F I			
G09G	3/30	(2006.01)	G09G	3/30	J
G09G	3/20	(2006.01)	G09G	3/20	624B
H01L	51/50	(2006.01)	G09G	3/20	611H
			G09G	3/20	642A
			H05B	33/14	A

請求項の数 9 (全 33 頁)

(21) 出願番号 特願2007-41196 (P2007-41196)
 (22) 出願日 平成19年2月21日(2007.2.21)
 (65) 公開番号 特開2008-203659 (P2008-203659A)
 (43) 公開日 平成20年9月4日(2008.9.4)
 審査請求日 平成20年3月24日(2008.3.24)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100082131
 弁理士 稲本 義雄
 (72) 発明者 山下 淳一
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 富田 昌嗣
 東京都品川区東五反田2丁目17番1号
 ソニーイーエムシーエス株式会社内
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

(54) 【発明の名称】 表示装置及びその駆動方法と電子機器

(57) 【特許請求の範囲】

【請求項1】

画素アレイ部とこれを駆動する駆動部とからなり、
 前記画素アレイ部は、行状に配された走査線と、列状に配された信号線と、各走査線と各信号線が交差する部分に行列状に配された画素とを含み、

前記画素は、少なくともサンプリングトランジスタと、駆動トランジスタと、発光素子と、保持容量とを備えており、

前記サンプリングトランジスタは、その制御端が該走査線に接続し、その一对の電流端が、信号電位が供給される信号線と該駆動トランジスタの制御端とに接続し、

前記駆動トランジスタは、一对の電流端の一方が該発光素子に接続し他方が電源ラインに接続し、

前記保持容量は、該駆動トランジスタの制御端と一方の電流端との間に接続し、

前記駆動部は、該走査線に制御信号を出力してサンプリングトランジスタをオンする一方、該信号線に映像信号を出力してオンした該サンプリングトランジスタを介して該保持容量に映像信号を書き込み、

以って前記駆動トランジスタは、所定の発光期間に該書き込まれた映像信号の信号電位に応じた駆動電流を該発光素子に供給する一方、非発光期間には該発光素子に駆動電流を供給しない様に動作する表示装置であって、

前記画素は、補正手段とスイッチングトランジスタとを備えており、

前記補正手段は、非発光期間に動作して該駆動トランジスタの特性のバラツキを打ち消

10

20

す為の補正電圧を該保持容量に書き込み、

前記スイッチングトランジスタは、該駆動トランジスタの一方の電流端と該発光素子との間に介在し、非発光期間でオフになり該発光素子を該駆動トランジスタの一方の電流端から切り離し、以って該補正手段が動作中補正電圧の誤差要因となるリーク電流が該発光素子に流れない様にしたことを特徴とする表示装置。

【請求項 2】

前記補正手段は、該駆動トランジスタの閾電圧のバラツキを打ち消す為、該閾電圧に相当する補正電圧を該保持容量に足しこむことを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記補正手段は、該駆動トランジスタの移動度のバラツキを打ち消す為、移動度に応じた補正電圧を該保持容量に書き込まれた映像信号の信号電位から差し引くことを特徴とする請求項 1 記載の表示装置。

10

【請求項 4】

画素アレイ部とこれを駆動する駆動部とからなり、

前記画素アレイ部は、行状に配された走査線と、列状に配された信号線と、各走査線と各信号線が交差する部分に行列状に配された画素とを含み、

前記画素は、少なくともサンプリングトランジスタと、駆動トランジスタと、スイッチングトランジスタと、発光素子と、保持容量とを備えており、

前記サンプリングトランジスタは、その制御端が該走査線に接続し、その一对の電流端が、信号電位が供給される信号線と該駆動トランジスタの制御端とに接続し、

20

前記駆動トランジスタは、一对の電流端の一方が該発光素子に接続し他方が電源ラインに接続し、

前記スイッチングトランジスタは、該駆動トランジスタの一方の電流端と該発光素子との間に介在し、

前記保持容量は、該駆動トランジスタの制御端と一方の電流端との間に接続し、

前記駆動部は、該走査線に制御信号を出力してサンプリングトランジスタをオンする一方、該信号線に映像信号を出力してオンした該サンプリングトランジスタを介して該保持容量に映像信号を書き込み、

以って前記駆動トランジスタは、所定の発光期間に該書き込まれた映像信号の信号電位に応じた駆動電流を該発光素子に供給する一方、非発光期間には該発光素子に駆動電流を供給しない様に動作する表示装置の駆動方法であって、

30

非発光期間に該駆動トランジスタの特性のバラツキを打ち消す為の補正電圧を該駆動トランジスタの一方の電流端から該保持容量に書き込む補正手順と、

非発光期間に前記スイッチングトランジスタをオフして該発光素子を該駆動トランジスタの一方の電流端から切り離し、以って補正電圧の誤差要因となるリーク電流が該発光素子に流れない様にしたことを特徴とする表示装置の駆動方法。

【請求項 5】

請求項 1 に記載された表示装置を備えた電子機器。

【請求項 6】

少なくとも発光素子と、

40

前記発光素子に流れる電流をゲートに印加される電圧により制御する駆動トランジスタと、

前記駆動トランジスタのゲートと信号電位が供給される信号線との間を電氣的に接続、または遮断するサンプリングトランジスタと、

前記駆動トランジスタのソースと前記発光素子との間を電氣的に遮断するスイッチングトランジスタと、

一端が前記駆動トランジスタのゲート、他端が前記駆動トランジスタのソースに接続される保持容量と

を備える画素回路を有する表示装置であって、

前記スイッチングトランジスタをオフした状態で、前記駆動トランジスタのゲートに基準

50

電位、または信号電位を印加するとともに前記駆動トランジスタに電流を流すことを特徴とする表示装置。

【請求項 7】

少なくとも発光素子と、
前記発光素子に流れる電流をゲートに印加される電圧により制御する駆動トランジスタと、
、
前記駆動トランジスタのゲートと信号電位が供給される信号線との間を電氣的に接続、または遮断するサンプリングトランジスタと、
前記駆動トランジスタのソースと前記発光素子との間を電氣的に遮断するスイッチングトランジスタと、
一端が前記駆動トランジスタのゲート、他端が前記駆動トランジスタのソースに接続される保持容量と
を備える画素回路を有する表示装置の駆動方法であって、
前記スイッチングトランジスタをオフした状態で、前記駆動トランジスタのゲートに基準電位、または信号電位を印加するとともに前記駆動トランジスタに電流を流すことを特徴とする表示装置の駆動方法。

10

【請求項 8】

少なくとも発光素子と、
前記発光素子に流れる電流をゲートに印加される電圧により制御する駆動トランジスタと、
、
前記駆動トランジスタのゲートと信号電位が供給される信号線との間を電氣的に接続、または遮断するサンプリングトランジスタと、
前記駆動トランジスタのソースと前記発光素子との間を電氣的に遮断するスイッチングトランジスタと、
一端が前記駆動トランジスタのゲート、他端が前記駆動トランジスタのソースに接続される保持容量と
を備える画素回路であって、
前記スイッチングトランジスタをオフした状態で、前記駆動トランジスタのゲートに基準電位、または信号電位を印加するとともに前記駆動トランジスタに電流を流すことを特徴とする画素回路。

20

30

【請求項 9】

少なくとも発光素子と、
前記発光素子に流れる電流をゲートに印加される電圧により制御する駆動トランジスタと、
、
前記駆動トランジスタのゲートと信号電位が供給される信号線との間を電氣的に接続、または遮断するサンプリングトランジスタと、
前記駆動トランジスタのソースと前記発光素子との間を電氣的に遮断するスイッチングトランジスタと、
一端が前記駆動トランジスタのゲート、他端が前記駆動トランジスタのソースに接続される保持容量と
を備える画素回路の駆動方法であって、
前記スイッチングトランジスタをオフした状態で、前記駆動トランジスタのゲートに基準電位、または信号電位を印加するとともに前記駆動トランジスタに電流を流すことを特徴とする画素回路の駆動方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光素子を含む画素をマトリクス状（行列状）に配列した表示装置であって、特に各画素内に設けた絶縁ゲート型電界効果トランジスタによって、有機 EL 素子などの発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置及

50

びその駆動方法に関する。またこの様な表示装置を組み込んだ電子機器に関する。

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル(階調)はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

10

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子(一般には薄膜トランジスタ、TFT)によって制御するものであり、以下の特許文献に記載がある。

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

20

【特許文献3】特開2004-133240

【特許文献4】特開2004-029791

【特許文献5】特開2004-093682

【特許文献6】特開2006-215213

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと保持容量と駆動トランジスタと発光素子とを含む。サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号をサンプリングする。保持容量は、サンプリングされた映像信号に応じた入力電圧(信号電圧)を保持する。駆動トランジスタは、保持容量に保持された入力電圧に応じて所定の発光期間に出力電流を供給する。尚一般に、出力電流は駆動トランジスタのチャンネル領域のキャリア移動度及び閾電圧に対して依存性を有する。発光素子は、駆動トランジスタから供給された出力電流により映像信号に応じた輝度で発光する。

30

【0005】

駆動トランジスタは、保持容量に保持された入力電圧をゲートに受けてソース/ドレイン間に出力電流を流し、発光素子に通電する。一般に発光素子の発光輝度は通電量に比例している。更に駆動トランジスタの出力電流供給量はゲート電圧すなわち保持容量に書き込まれた入力電圧によって制御される。従来の画素回路は、駆動トランジスタのゲートに印加される入力電圧を入力映像信号に応じて変化させることで、発光素子に供給する電流量を制御している。

40

【0006】

ここで駆動トランジスタの動作特性は以下の特性式で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2$$

このトランジスタ特性式において、 I_{ds} はソース/ドレイン間に流れるドレイン電流を表わしており、画素回路では発光素子に供給される出力電流である。 V_{gs} はソースを基準としてゲートに印加されるゲート電圧を表わしており、画素回路では上述した入力電圧である。 V_{th} はトランジスタの閾電圧である。又 μ はトランジスタのチャンネルを構成

50

する半導体薄膜の移動度を表わしている。その他 W はチャネル幅を表わし、 L はチャネル長を表わし、 C_{ox} はゲート容量を表わしている。このトランジスタ特性式から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 V_{gs} が閾電圧 V_{th} を超えて大きくなると、オン状態となってドレイン電流 I_{ds} が流れる。原理的に見ると上記のトランジスタ特性式が示す様に、ゲート電圧 V_{gs} が一定であれば常に同じ量のドレイン電流 I_{ds} が発光素子に供給される。従って、画面を構成する各画素に全て同一のレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の一様性(ユニフォーミティ)が得られるはずである。

【0007】

しかしながら実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ(TFT)は、個々のデバイス特性にばらつきがある。特に、閾電圧 V_{th} は一定ではなく、各画素毎にばらつきがある。前述のトランジスタ特性式から明らかな様に、各駆動トランジスタの閾電圧 V_{th} がばらつくと、ゲート電圧 V_{gs} が一定であっても、ドレイン電流 I_{ds} にばらつきが生じ、画素毎に輝度がばらついてしまう為、画面のユニフォーミティを損なう。従来から駆動トランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば前記の特許文献3に開示がある。

【0008】

閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路は、ある程度画面のユニフォーミティを改善することが可能である。しかしながら、ポリシリコン薄膜トランジスタの特性は、閾電圧ばかりでなく移動度 μ も素子毎にばらつきがある。前述のトランジスタ特性式から明らかなように、移動度 μ ばらつくと、ゲート電圧 V_{gs} が一定であってもドレイン電流 I_{ds} にばらつきが出てしまう。この結果発光輝度が画素毎に変化するため、画面のユニフォーミティを損なう。従来から駆動トランジスタの閾電圧に加え移動度のばらつきをキャンセルする機能を組み込んだ画素回路も開発されており、例えば前記の特許文献6に開示がある。

【0009】

個々の画素回路に組み込んだ閾電圧補正機能や移動度補正機能は、通常発光素子が発光していない間(非発光期間)に所定の補正動作として行われる。一方非発光期間中でも発光素子にはリーク電流が流れる。このリーク電流は画素毎に配した発光素子の間でばらつきがある。リーク電流は非発光期間中に流れるため、補正動作の精度に悪影響を与える。特に画素毎に発光素子のリーク電流がばらつくと、補正動作の精度にもばらつきが生じるため、結果的に発光輝度が画素毎に変化するため画面のユニフォーミティを損なうという課題がある。

【課題を解決するための手段】

【0010】

上述した従来技術の課題に鑑み、本発明は発光素子のリーク電流のばらつきに関わらず正確な輝度補正動作を行うことが可能な画素を備えた表示装置を提供することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明は、画素アレイ部とこれを駆動する駆動部とからなり、前記画素アレイ部は、行状に配された走査線と、列状に配された信号線と、各走査線と各信号線が交差する部分に行列状に配された画素とを含み、前記画素は、少なくともサンプリングトランジスタと、駆動トランジスタと、発光素子と、保持容量とを備えており、前記サンプリングトランジスタは、その制御端が該走査線に接続し、その一対の電流端が、信号電位が供給される信号線と該駆動トランジスタの制御端とに接続し、前記駆動トランジスタは、一対の電流端の一方が該発光素子に接続し他方が電源ラインに接続し、前記保持容量は、該駆動トランジスタの制御端と一方の電流端との間に接続し、前記駆動部は、該走査線に制御信号を出力してサンプリングトランジスタをオンする一方、該信号線に映像信号を出力してオンした該サンプリングトランジスタを介して該保持容量に映像信号を書き込み、以って前記駆動トランジスタは、所定の発光期間に該書き込まれた映像信号の信号電位に応じた駆動電流を該発光素子に供給する一方、非発光期間には該発光素子に駆動電流を供給しない様に動作する表示装置であって、

10

20

30

40

50

前記画素は、補正手段とスイッチングトランジスタとを備えており、前記補正手段は、非発光期間に動作して該駆動トランジスタの特性のバラツキを打ち消す為の補正電圧を該保持容量に書き込み、前記スイッチングトランジスタは、該駆動トランジスタの一方の電流端と該発光素子との間に介在し、非発光期間でオフになり該発光素子を該駆動トランジスタの一方の電流端から切り離し、以って該補正手段が動作中補正電圧の誤差要因となるリーク電流が該発光素子に流れない様にしたことを特徴とする。

【 0 0 1 1 】

具体的には前記補正手段は、該駆動トランジスタの閾電圧のバラツキを打ち消す為、該閾電圧に相当する補正電圧を該保持容量に足しこむ。又前記補正手段は、該駆動トランジスタの移動度のバラツキを打ち消す為、移動度に応じた補正電圧を該保持容量に書き込まれた映像信号の信号電位から差し引く。

10

【発明の効果】

【 0 0 1 2 】

本発明によれば、駆動トランジスタの出力電流端となるソースと、発光素子のアノードとの間に、スイッチングトランジスタを介在させている。このスイッチングトランジスタは非発光期間でオフになり、発光素子のアノードを駆動トランジスタのソースから切り離している。この間補正手段が動作して、駆動トランジスタの特性のばらつきを打ち消すための補正電圧を駆動トランジスタの出力電流端（ソース）から保持容量に書き込んでいる。非発光期間では発光素子のアノードが駆動トランジスタのソースから切り離されるため発光素子にリーク電流が流れなくなり、駆動トランジスタの出力電流端の電位に誤差が生じない。よって本発明にかかる表示装置は、発光素子のリーク電流のばらつきに関わらず、正確な補正動作を行うことが出来、以って画面のユニフォーミティを改善することが出来る。

20

【 0 0 1 3 】

補正動作を行う場合、非発光期間中であっても信号線から所定の信号電位を駆動トランジスタの制御端（ゲート）に印加する必要がある。また発光素子のカソードは所定のカソード電位に接地されている。従来のように補正動作中駆動トランジスタのソースと発光素子のアノードが接続されていると、補正動作を正常に行うため信号電位とカソード電位を相対的に調整する必要がある。本発明では補正動作中駆動トランジスタのソースと発光素子のアノードを切り離すため、駆動トランジスタのゲートに印加する信号電位と発光素子のカソードに接続するカソード電位は互いに制約なしに設定することが可能になる。したがってパネルの低消費電力化及びパネルシステムの低コスト化が可能な様に、信号電位やカソード電位を適切に設定することが出来る。

30

【発明を実施するための最良の形態】

【 0 0 1 4 】

以下図面を参照して本発明を詳細に説明する。まず最初に本発明の背景を明らかにするため、図1を参照して閾電圧補正機能及び移動度補正機能を備えたアクティブマトリクス型表示装置の第1参考例を説明する。この第1参考例は、基本的に1つの画素が5個のトランジスタと1個の容量素子と1個の発光素子とで構成されている。図示するように、参考例1のアクティブマトリクス表示装置は、基本的に画素アレイ部1と周辺の駆動部とで構成されている。駆動部は水平セレクタ3、ライトスキャナ4、ドライブスキャナ5、第一補正用スキャナ71、第二補正用スキャナ72などを含んでいる。画素アレイ部1は行状の走査線WSと列状の信号線SLと両者の交差する部分にマトリクス状に配列した画素2とで構成されている。カラー表示を可能とするため、RGBの三原色画素を用意しているが、これに限られるものではない。信号線SLは水平セレクタ3によって駆動される。水平セレクタ3は信号線SLに映像信号を供給する。走査線WSはライトスキャナ4によって走査される。なお走査線WSと平行に別の走査線DS、AZ1及びAZ2も配線されている。走査線DSはドライブスキャナ5によって走査される。走査線AZ1は補正用スキャナ71によって走査される。走査線AZ2は第二補正用スキャナ72によって走査される。各画素2は走査線WSによって選択されたとき信号線SLから映像信号をサンプリ

40

50

ングする。さらに走査線 DS によって選択されたとき、サンプリングされた映像信号に応じて画素 2 内に含まれている発光素子を駆動する。加えて画素 2 は走査線 $AZ1$, $AZ2$ によって走査されたとき、予め決められた補正動作を行う。

【0015】

図 2 は、図 1 に示した参考例 1 にかかる表示装置の具体的な構成を示す回路図である。図では理解を容易にするため、1 個の画素回路 2 のみを拡大表示してある。画素回路 2 は、5 個の薄膜トランジスタ $Tr1 \sim Tr4$ 及び Trd と 1 個の容量素子 (保持容量) Cs と 1 個の発光素子 EL とで構成されている。トランジスタ $Tr1 \sim Tr3$ と Trd は N チャンネル型のポリシリコン TFT である。トランジスタ $Tr4$ のみ P チャンネル型のポリシリコン TFT である。1 個の容量素子 Cs は本画素回路 2 の保持容量を構成している。発光素子 EL は例えばアノード及びカソードを備えたダイオード型の有機 EL 素子である。但しこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

10

【0016】

画素回路 2 の中心となる駆動トランジスタ Trd はそのゲート G が保持容量 Cs の一端に接続され、そのソース S が同じく保持容量 Cs の他端に接続されている。また駆動トランジスタ Trd のゲート G はスイッチングトランジスタ $Tr2$ を介して別の基準電位 V_{s1} に接続されている。駆動トランジスタ Trd のドレインはスイッチングトランジスタ $Tr4$ を介して電源 V_{cc} に接続されている。このスイッチングトランジスタ $Tr2$ のゲートは走査線 $AZ1$ に接続されている。スイッチングトランジスタ $Tr4$ のゲートは走査線 DS に接続している。発光素子 EL のアノードは駆動トランジスタ Trd のソース S に接続し、カソードは接地されている。この接地電位は V_{cath} で表される場合がある。また、駆動トランジスタ Trd のソース S と所定の基準電位 V_{s2} との間にスイッチングトランジスタ $Tr3$ が介在している。このトランジスタ $Tr3$ のゲートは走査線 $AZ2$ に接続している。一方サンプリングトランジスタ $Tr1$ は信号線 SL と駆動トランジスタ Trd のゲート G との間に接続されている。サンプリングトランジスタ $Tr1$ のゲートは走査線 WS に接続している。

20

【0017】

かかる構成において、サンプリングトランジスタ $Tr1$ は、所定のサンプリング期間に走査線 WS から供給される制御信号 WS に応じ導通して信号線 SL から供給された映像信号 V_{sig} を保持容量 Cs にサンプリングする。保持容量 Cs は、サンプリングされた映像信号 V_{sig} に応じて駆動トランジスタのゲート G とソース S 間に入力電圧 V_{gs} を印加する。駆動トランジスタ Trd は、所定の発光期間中入力電圧 V_{gs} に応じた出力電流 I_{ds} を発光素子 EL に供給する。なおこの出力電流 (ドレイン電流) I_{ds} は駆動トランジスタ Trd のチャンネル領域のキャリア移動度 μ 及び閾電圧 V_{th} に対して依存性を有する。発光素子 EL は、駆動トランジスタ Trd から供給された出力電流 I_{ds} により映像信号 V_{sig} に応じた輝度で発光する。

30

【0018】

画素回路 2 はスイッチングトランジスタ $Tr2 \sim Tr4$ で構成される補正手段を備えており、出力電流 I_{ds} のキャリア移動度 μ に対する依存性を打ち消す為に、発光期間に入る前に保持容量 Cs に保持された入力電圧 V_{gs} を補正する。具体的には、この補正手段 ($Tr2 \sim Tr4$) は、走査線 WS 及び DS から供給される制御信号 WS , DS に応じてサンプリング期間の一部で動作し、映像信号 V_{sig} がサンプリングされている状態で駆動トランジスタ Trd から出力電流 I_{ds} を取り出し、これを保持容量 Cs に負帰還して入力電圧 V_{gs} を補正する。さらにこの補正手段 ($Tr2 \sim Tr4$) は、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を打ち消すために、予めサンプリング期間に先立って駆動トランジスタ Trd の閾電圧 V_{th} を検出し、且つ検出された閾電圧 V_{th} を入力電圧 V_{gs} に足し込む様にしている。

40

【0019】

本参考例の場合、駆動トランジスタ Trd は N チャンネル型トランジスタでドレインが電

50

源 V_{cc} 側に接続する一方、ソース S が発光素子 E_L 側に接続している。この場合、前述した補正手段は、サンプリング期間の後部分に重なる部分で駆動トランジスタ Tr_d から出力電流 I_{ds} を取り出して、保持容量 C_s 側に負帰還する。その際本補正手段は、発光期間に先立って駆動トランジスタ Tr_d のソース S 側から取り出した出力電流 I_{ds} が、発光素子 E_L の有する容量に流れ込むようにしている。具体的には、発光素子 E_L はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側が駆動トランジスタ Tr_d のソース S に接続する一方カソード側が接地されている。この構成で、本補正手段 ($Tr_2 \sim Tr_4$) は、予め発光素子 E_L のアノード/カソード間を逆バイアス状態にセットしておき、駆動トランジスタ Tr_d のソース S 側から取り出した出力電流 I_{ds} が発光素子 E_L に流れ込む時、このダイオード型の発光素子 E_L を容量性素子として機能させている。なお本補正手段は、サンプリング期間内で駆動トランジスタ Tr_d から出力電流 I_{ds} を取り出す時間幅 t を調整可能であり、これにより保持容量 C_s に対する出力電流 I_{ds} の負帰還量を最適化している。

【0020】

図3は、図2に示した参考例1にかかる表示装置の動作を表したタイミングチャートである。図3を参照して、図2に示した表示装置の動作を具体的に説明する。図3は、時間軸 T に沿って各走査線 WS 、 AZ_1 、 AZ_2 及び DS に印加される制御信号の波形を表してある。表記を簡略化する為、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタ Tr_1 、 Tr_2 、 Tr_3 は N チャンネル型なので、走査線 WS 、 AZ_1 、 AZ_2 がそれぞれハイレベルの時オンし、ローレベルの時オフする。一方トランジスタ Tr_4 は P チャンネル型なので、走査線 DS がハイレベルの時オフし、ローレベルの時オンする。なおこのタイミングチャートは、各制御信号 WS 、 AZ_1 、 AZ_2 、 DS の波形と共に、駆動トランジスタ Tr_d のゲート G の電位変化及びソース S の電位変化も表してある。

【0021】

図3のタイミングチャートではタイミング $T_1 \sim T_8$ までを1フィールド ($1f$) としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号 WS 、 AZ_1 、 AZ_2 、 DS の波形を表してある。

【0022】

当該フィールドが始まる前のタイミング T_0 で、全ての制御線号 WS 、 AZ_1 、 AZ_2 、 DS がローレベルにある。したがって N チャンネル型のトランジスタ Tr_1 、 Tr_2 、 Tr_3 はオフ状態にある一方、 P チャンネル型のトランジスタ Tr_4 のみオン状態である。したがって駆動トランジスタ Tr_d はオン状態のトランジスタ Tr_4 を介して電源 V_{cc} に接続しているので、所定の入力電圧 V_{gs} に応じて出力電流 I_{ds} を発光素子 E_L に供給している。したがってタイミング T_0 で発光素子 E_L は発光している。この時駆動トランジスタ Tr_d に印加される入力電圧 V_{gs} は、ゲート電位 (G) とソース電位 (S) の差で表される。

【0023】

当該フィールドが始まるタイミング T_1 で、制御信号 DS がローレベルからハイレベルに切り替わる。これによりトランジスタ Tr_4 がオフし、駆動トランジスタ Tr_d は電源 V_{cc} から切り離されるので、発光が停止し非発光期間に入る。したがってタイミング T_1 に入ると、全てのトランジスタ $Tr_1 \sim Tr_4$ がオフ状態になる。

【0024】

続いてタイミング T_2 に進むと、制御信号 AZ_1 及び AZ_2 がハイレベルになるので、スイッチングトランジスタ Tr_2 及び Tr_3 がオンする。この結果、駆動トランジスタ Tr_d のゲート G が基準電位 V_{ss1} に接続し、ソース S が基準電位 V_{ss2} に接続される。ここで $V_{ss1} - V_{ss2} > V_{th}$ を満たしており、 $V_{ss1} - V_{ss2} = V_{gs} > V_{th}$ とする事で、その後タイミング T_3 で行われる V_{th} 補正の準備を行う。換言すると期間 $T_2 \sim T_3$ は、駆動トランジスタ Tr_d のリセット期間に相当する。また、発光素子 E_L の閾電圧を V_{thEL} とすると、 $V_{thEL} > V_{ss2}$ に設定されている。これによ

10

20

30

40

50

り、発光素子ELにはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行うV_{th}補正動作及び移動度補正動作を正常に行うために必要である。

【0025】

タイミングT₃では制御信号AZ₂をローレベルにし且つ直後制御信号DSもローレベルにしている。これによりトランジスタTr₃がオフする一方トランジスタTr₄がオンする。この結果ドレイン電流I_{ds}が保持容量C_sに流れ込み、V_{th}補正動作を開始する。この時駆動トランジスタTr_dのゲートGはV_{ss1}に保持されており、駆動トランジスタTr_dがカットオフするまで電流I_{ds}が流れる。カットオフすると駆動トランジスタTr_dのソース電位(S)はV_{ss1} - V_{th}となる。ドレイン電流がカットオフした後のタイミングT₄で制御信号DSを再びハイレベルに戻し、スイッチングトランジスタTr₄をオフする。さらに制御信号AZ₁もローレベルに戻し、スイッチングトランジスタTr₂もオフする。この結果、保持容量C_sにV_{th}が保持固定される。この様にタイミングT₃ T₄は駆動トランジスタTr_dの閾電圧V_{th}を検出する期間である。ここでは、この検出期間T₃ T₄をV_{th}補正期間と呼んでいる。

10

【0026】

この様にV_{th}補正を行った後タイミングT₅で制御信号WSをハイレベルに切り替え、サンプリングトランジスタTr₁をオンして映像信号V_{sig}を保持容量C_sに書き込む。発光素子ELの等価容量C_{oled}に比べて保持容量C_sは十分に小さい。この結果、映像信号V_{sig}のほとんど大部分が保持容量C_sに書き込まれる。正確には、V_{ss1}に対する、V_{sig}の差分V_{sig} - V_{ss1}が保持容量C_sに書き込まれる。したがって駆動トランジスタTr_dのゲートGとソースS間の電圧V_{gs}は、先に検出保持されたV_{th}と今回サンプリングされたV_{sig} - V_{ss1}を加えたレベル(V_{sig} - V_{ss1} + V_{th})となる。以降説明簡易化の為V_{ss1} = 0Vとすると、ゲート/ソース間電圧V_{gs}は図3のタイミングチャートに示すようにV_{sig} + V_{th}となる。かかる映像信号V_{sig}のサンプリングは制御信号WSがローレベルに戻るタイミングT₇まで行われる。すなわちタイミングT₅ T₇がサンプリング期間に相当する。

20

【0027】

サンプリング期間の終了するタイミングT₇より前のタイミングT₆で制御信号DSがローレベルとなりスイッチングトランジスタTr₄がオンする。これにより駆動トランジスタTr_dが電源V_{cc}に接続されるので、画素回路は非発光期間から発光期間に進む。この様にサンプリングトランジスタTr₁がまだオン状態で且つスイッチングトランジスタTr₄がオン状態に入った期間T₆ T₇で、駆動トランジスタTr_dの移動度補正を行う。即ち本参考例では、サンプリング期間の後部分の期間T₆ T₇で移動度補正を行っている。なお、この移動度補正を行う発光期間の先頭では、発光素子ELは実際には逆バイアス状態にあるので発光する事はない。この移動度補正期間T₆ T₇では、駆動トランジスタTr_dのゲートGが映像信号V_{sig}のレベルに固定された状態で、駆動トランジスタTr_dにドレイン電流I_{ds}が流れる。ここでV_{ss1} - V_{th} < V_{th}ELと設定しておく事で、発光素子ELは逆バイアス状態におかれる為、ダイオード特性ではなく単純な容量特性を示すようになる。よって駆動トランジスタTr_dに流れる電流I_{ds}は保持容量C_sと発光素子ELの等価容量C_{oled}の両者を結合した容量C = C_s + C_{oled}に書き込まれていく。これにより駆動トランジスタTr_dのソース電位(S)は上昇していく。図3のタイミングチャートではこの上昇分をΔVで表してある。この上昇分ΔVは結局保持容量C_sに保持されたゲート/ソース間電圧V_{gs}から差し引かれる事になるので、負帰還をかけた事になる。この様に駆動トランジスタTr_dの出力電流I_{ds}を同じく駆動トランジスタTr_dの入力電圧V_{gs}に負帰還する事で、移動度μを補正する事が可能である。なお負帰還量ΔVは移動度補正期間T₆ T₇の時間幅tを調整する事で最適化可能である。

30

40

【0028】

タイミングT₇では制御信号WSがローレベルとなりサンプリングトランジスタTr₁

50

がオフする。この結果駆動トランジスタ T_{rd} のゲート G は信号線 SL から切り離される。映像信号 V_{sig} の印加が解除されるので、駆動トランジスタ T_{rd} のゲート電位 (G) は上昇可能となり、ソース電位 (S) と共に上昇していく。その間保持容量 C_s に保持されたゲート/ソース間電圧 V_{gs} は ($V_{sig} - V + V_{th}$) の値を維持する。ソース電位 (S) の上昇に伴い、発光素子 E_L の逆バイアス状態は解消されるので、出力電流 I_{ds} の流入により発光素子 E_L は実際に発光を開始する。この時のドレイン電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性式の V_{gs} に $V_{sig} - V + V_{th}$ を代入する事で、以下の式のように与えられる。

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - V)^2$$

上記式において、 $k = (1/2)(W/L)C_{ox}$ である。この特性式から V_{th} の項がキャンセルされており、発光素子 E_L に供給される出力電流 I_{ds} は駆動トランジスタ T_{rd} の閾電圧 V_{th} に依存しない事が分かる。基本的にドレイン電流 I_{ds} は映像信号の信号電圧 V_{sig} によって決まる。換言すると、発光素子 E_L は映像信号 V_{sig} に応じた輝度で発光する事になる。その際 V_{sig} は帰還量 V で補正されている。この補正量 V は丁度特性式の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、ドレイン電流 I_{ds} は実質的に映像信号 V_{sig} のみに依存する事になる。

【0029】

最後にタイミング T_8 に至ると制御信号 DS がハイレベルとなってスイッチングトランジスタ T_{r4} がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び V_{th} 補正動作、移動度補正動作及び発光動作が繰り返される事になる。

【0030】

図4は、発光素子 E_L の電流電圧特性を示すグラフである。縦軸に電流 I_{oled} をとり、横軸に電圧 V_{oled} をとってある。画素回路に組み込んだ発光素子の場合、駆動トランジスタ T_{rd} が供給するドレイン電流 I_{ds} が I_{oled} となり、駆動トランジスタのソース電位 (即ち発光素子のアノード電位) が V_{oled} となる。図4のグラフが明らかかなように、発光素子は V_{oled} が負となって逆バイアス状態になると、通常のダイオードと同じくオフ状態となり、リーク電流しか流れない。しかしながら個々の発光素子の特性により、点線で示したようにリーク電流の大きなデバイスと、リーク電流が通常のレベルのデバイスとがある。

【0031】

参考例1に示した表示装置は、閾電圧補正動作や移動度補正動作を行うとき、発光素子に逆バイアスが印加されている。発光素子に逆バイアスが印加されると、前述したようにマイナス方向にリーク電流が流れる。このリーク電流が流れることで、閾電圧補正動作中や移動度補正動作中に駆動トランジスタのソース電位が変化し、補正量に誤差が生じる。図4に示したように、発光素子 E_L のバイアス特性はばらついている。リーク特性が他の通常の発光素子に比べて大きな発光素子がある。このような発光素子を組み込んだ画素では、回路中を流れるリーク電流が相対的に大きいため、移動度補正動作や閾電圧補正動作時に駆動トランジスタ T_{rd} のソースに流れ込む電流が大きくなるため、保持容量 C_s に保持された V_{gs} に圧縮がかかり、その画素は発光輝度が下がってしまう。また発光素子 E_L を持続的に発光させると、リーク特性にも同様な変化が生じる可能性があり、これが経時的な輝度の変化 (即ち焼き付き) となって現れることもある。

【0032】

また参考例1に示した表示装置の移動度補正動作では、補正時に駆動トランジスタ T_{rd} のソース電位が上昇している。補正動作を正確に行うためには、移動度補正後の駆動トランジスタのソース電位は発光素子をターンオンさせない電圧にとどまっている必要がある。このためには、カソード電位を信号電位に対して相対的に高く設定する必要がある。しかしながら、カソード電位に対して信号電位を相対的に高く設定すると、パネルの電源電圧が上昇してしまい消費電力の増大化を招く。あるいは移動度補正後の駆動トランジスタのソース電位が発光素子をターンオンさせないレベルに止まるためには、信号電位をカ

10

20

30

40

50

ソード電位に対して相対的に低く設定しても良い。しかしながらこの場合駆動トランジスタのゲートに印加する入力信号電圧がマイナス電位となり、映像信号を出力するドライバのコストが上がってしまう。以上のことから明らかなように、パネルの高画質化を図り且つ消費電力の抑制及びコストの抑制を図るためには、発光素子のリークによる発光輝度への影響を防ぐ必要がある。

【 0 0 3 3 】

図5は、本発明にかかる表示装置の第1実施形態を示す回路図である。本実施形態は図2に示した第1参考例の上述した問題点に対処するものである。理解を容易にするため、図2に示した参考例1と対応する部分には対応する参照符号を付してある。異なる点は、駆動トランジスタ T_{rd} のソース S と発光素子 E_L のアノードとの間にスイッチングトランジスタ T_{r6} を介在させていることである。このスイッチングトランジスタ T_{r6} のゲートを制御するため、画素アレイ部1には追加の走査線 D_S2 が走査線 W_S と平行に配されている。これに対応して周辺の駆動部にはこの走査線 D_S2 に制御信号を順次供給するため、第二ドライブスキュナ8が配されている。このスイッチングトランジスタ T_{r6} を閾電圧補正期間や移動度補正期間中オフさせることで、発光素子 E_L のリーク電流による画面ユニフォーム性の低下を抑制することが出来る。さらには駆動トランジスタ T_{rd} と発光素子 E_L を電氣的に切り離すことで、発光素子 E_L 側のカソード電位と駆動トランジスタ T_{rd} 側に印加される信号電圧を互いに制約関係なしで自由に設定することが可能となり、パネルの低消費電力化やパネルシステムの低コスト化が可能になる。

【 0 0 3 4 】

図5に示すように、本発明の第1実施形態にかかる表示装置は、基本的に画素アレイ部1とこれを駆動する駆動部とからなる。画素アレイ部1は、行状に配された走査線 W_S と、列状に配された信号線 S_L と、各走査線 W_S と各信号線 S_L が交差する部分に行列状に配された画素2とを含む。画素2は、少なくともサンプリングトランジスタ T_{r1} と、駆動トランジスタ T_{rd} と、発光素子 E_L と、保持容量 C_s とを備えている。サンプリングトランジスタ T_{r1} は、その制御端(ゲート)が走査線 W_S に接続し、その一对の電流端(ソース及びドレイン)が信号線 S_L と駆動トランジスタ T_{rd} の制御端(ゲート G)とに接続している。駆動トランジスタ T_{rd} は、一对の電流端(ソース及びドレイン)の一方が発光素子 E_L に接続し、他方が電源ライン V_{cc} に接続している。本実施形態の場合駆動トランジスタ T_{rd} はNチャンネル型であり、ソース S が出力電流端として発光素子 E_L のアノードに出力している。保持容量 C_s は、駆動トランジスタ T_{rd} の制御端(ゲート G)と出力電流端(ソース S)との間に接続している。なお補助容量 C_{sub} が駆動トランジスタ T_{rd} のソース S と接地ラインとの間に接続している。

【 0 0 3 5 】

駆動部はライトスキュナ4を含んでおり、走査線 W_S に制御信号を出力してサンプリングトランジスタ T_{r1} をオンする一方、水平セレクタ3を含んでおり信号線 S_L に映像信号を出力してオンしたサンプリングトランジスタ T_{r1} を介して保持容量 C_s に映像信号を書き込む。これにより駆動トランジスタ T_{rd} は、所定の発光期間に、書き込まれた映像信号の信号電圧に応じた駆動電流 I_{ds} を発光素子 E_L に供給する一方、非発光期間には発光素子 E_L に駆動電流を供給しないように動作する。

【 0 0 3 6 】

本実施形態の特徴事項として、画素回路2は、補正手段とスイッチングトランジスタ T_{r6} とを備えている。この補正手段は別の補正用スイッチングトランジスタ T_{r2} , T_{r3} , T_{r4} などからなり、非発光期間に動作して駆動トランジスタ T_{rd} の特性のばらつきを打ち消すための補正電圧を保持容量 C_s に書き込む。スイッチングトランジスタ T_{r6} は、駆動トランジスタ T_{rd} のソースと発光素子 E_L のアノードの間に介在し、非発光期間でオフになり発光素子 E_L を駆動トランジスタ T_{rd} のソース S から切り離し、以って補正手段が動作中補正電圧の誤差要因となるリーク電流が発光素子 E_L に流れないようにしている。

【 0 0 3 7 】

具体的にはこの補正手段 ($T r 2$, $T r 3$, $T r 4$) は、駆動トランジスタ $T r d$ の閾電圧 $V t h$ のばらつきを打ち消すため、閾電圧 $V t h$ に相当する補正電圧を保持容量 $C s$ に足し込む。加えてこの補正手段は、駆動トランジスタ $T r d$ の移動度 μ のばらつきを打ち消すため、移動度 μ に応じた補正電圧を保持容量 $C s$ に書き込まれた映像信号の信号電圧から差し引く。

【0038】

以上の説明から明らかなように、駆動トランジスタ $T r d$ のソース S と発光素子 $E L$ のアノードとは、移動度補正期間中互いに分離している。このため移動度補正動作において、駆動トランジスタ $T r d$ のソース電位が発光素子 $E L$ がターンオンする電圧以上に上昇しても、何ら動作上の問題は生じない。よって発光素子 $E L$ のカソード電圧や駆動トランジスタ $T r d$ のゲート G に印加する信号電圧は先に説明した参考例 1 のような条件とは無関係に自由に設定することが出来る。この結果映像信号の信号電圧範囲を正極性型として水平セクタ 3 を構成するドライバのコストを下げる事が出来る。またカソード電位を接地電位に設定することでパネルの消費電力を最小限にすることも可能である。

10

【0039】

図 6 を参照して図 5 に示した第 1 実施形態にかかる表示装置の動作を詳細に説明する。理解を容易にするため、参考例 1 の動作説明に供した図 3 のタイミングチャートと同様の表記を採用している。先ず当該フィールドが始まる前のタイミング $T 0$ で、全ての制御線号 $W S$, $A Z 1$, $A Z 2$, $D S$ がローレベルにある。したがって N チャネル型のトランジスタ $T r 1$, $T r 2$, $T r 3$ はオフ状態にある一方、 P チャネル型のトランジスタ $T r 4$ のみオン状態である。したがって駆動トランジスタ $T r d$ はオン状態のトランジスタ $T r 4$ を介して電源 $V c c$ に接続しているので、所定の入力電圧 $V g s$ に応じて出力電流 $I d s$ を発光素子 $E L$ に供給している。したがってタイミング $T 0$ で発光素子 $E L$ は発光している。この時駆動トランジスタ $T r d$ に印加される入力電圧 $V g s$ は、ゲート電位 (G) とソース電位 (S) の差で表される。

20

【0040】

当該フィールドが始まるタイミング $T 1$ で、制御信号 $D S$ がローレベルからハイレベルに切り替わる。これによりトランジスタ $T r 4$ がオフし、駆動トランジスタ $T r d$ は電源 $V c c$ から切り離されるので、発光が停止し非発光期間に入る。したがってタイミング $T 1$ に入ると、全てのトランジスタ $T r 1 \sim T r 4$ がオフ状態になる。

30

【0041】

次にタイミング $T 1 a$ になると、制御信号 $D S 2$ をローレベルに切換え、スイッチングトランジスタ $T r 6$ をオフする。これにより非発光期間中発光素子 $E L$ が駆動トランジスタ $T r d$ から切り離される。なお本実施形態ではスイッチングトランジスタ $T r 4$ がタイミング $T 1$ でオフした後スイッチングトランジスタ $T r 6$ をオフしているが、逆に先にスイッチングトランジスタ $T r 6$ をオフした後、スイッチングトランジスタ $T r 4$ をオフしても良い。但し発光素子 $E L$ の切り離しは、別の補正用スイッチングトランジスタ $T r 2$, $T r 3$ がオンする前に行う必要がある。

【0042】

続いてタイミング $T 2$ に進むと、制御信号 $A Z 1$ 及び $A Z 2$ がハイレベルになるので、スイッチングトランジスタ $T r 2$ 及び $T r 3$ がオンする。この結果駆動トランジスタ $T r d$ のゲート G が基準電位 $V s s 1$ に接続し、ソース S が基準電位 $V s s 2$ に接続される。ここで $V s s 1 - V s s 2 > V t h$ を満たしており、 $V s s 1 - V s s 2 = V g s > V t h$ とすることで、その後タイミング $T 3$ で行われる $V t h$ 補正の準備を行う。この時発光素子 $E L$ は駆動トランジスタ $T r d$ のソース S から既に切り離されているので、発光素子 $E L$ を逆バイアス状態に置くような電位設定は何ら必要ない。

40

【0043】

タイミング $T 3$ では制御信号 $A Z 2$ をローレベルにし且つ直後制御信号 $D S$ もローレベルにしている。これによりトランジスタ $T r 3$ がオフする一方トランジスタ $T r 4$ がオンする。この結果ドレイン電流 $I d s$ が保持容量 $C s$ に流れ込み、 $V t h$ 補正動作を開始す

50

る。この時駆動トランジスタ T_{rd} のゲート G は V_{ss1} に保持されており、駆動トランジスタ T_{rd} がカットオフするまで電流 I_{ds} が流れる。カットオフすると駆動トランジスタ T_{rd} のソース電位(S)は $V_{ss1} - V_{th}$ となる。ドレイン電流がカットオフした後のタイミング T_4 で制御信号 DS を再びハイレベルに戻し、スイッチングトランジスタ T_4 をオフする。さらに制御信号 AZ_1 もローレベルに戻し、スイッチングトランジスタ T_2 もオフする。この結果、保持容量 C_s に V_{th} が保持固定される。この様にタイミング $T_3 - T_4$ は駆動トランジスタ T_{rd} の閾電圧 V_{th} を検出する期間である。ここでは、この検出期間 $T_3 - T_4$ を V_{th} 補正期間と呼んでいる。

【0044】

この様に V_{th} 補正を行った後タイミング T_5 で制御信号 WS をハイレベルに切換え、
10 サンプリグトランジスタ T_1 をオンして映像信号 V_{sig} を保持容量 C_s に書き込む。
この時補助容量 C_{sub} に比べて保持容量 C_s は十分に小さい。この結果、映像信号 V_{sig}
のほとんど大部分が保持容量 C_s に書き込まれる。正確には V_{ss1} に対する V_{sig}
の差分 $V_{sig} - V_{ss1}$ が保持容量 C_s に書き込まれる。したがって駆動トランジ
スタ T_{rd} のゲート G とソース S 間の電圧 V_{gs} は、先に検出保持された V_{th} を今回サ
ンプリグされた $V_{sig} - V_{ss1}$ に加えたレベル($V_{sig} - V_{ss1} + V_{th}$)と
なる。以降説明簡略化のため $V_{ss1} = 0V$ とすると、ゲート/ソース間電圧 V_{gs} は図
6のタイミングチャートに示すように $V_{sig} + V_{th}$ となる。かかる映像信号 V_{sig}
のサンプリグは制御信号 WS がローレベルに戻るタイミング T_7 まで行われる。即ち
20 タイミング $T_5 - T_7$ がサンプリグ期間に相当する。

【0045】

サンプリグ期間の終了するタイミング T_7 より前のタイミング T_6 で制御信号 DS が
ローレベルとなりスイッチングトランジスタ T_4 がオンする。これにより駆動トランジ
スタ T_{rd} が電源 V_{cc} に接続される。この様にサンプリグトランジスタ T_1 がまだ
オン状態で且つスイッチングトランジスタ T_4 がオン状態に入った期間 $T_6 - T_7$ で、
駆動トランジスタ T_{rd} の移動度補正を行う。この時発光素子 EL は依然として駆動トラ
ンジスタ T_{rd} のソース S から切り離されている。この移動度補正期間 $T_6 - T_7$ では、
駆動トランジスタ T_{rd} のゲート G が映像信号 V_{sig} のレベルに固定された状態で、駆
動トランジスタ T_{rd} にドレイン電流 I_{ds} が流れる。駆動トランジスタ T_{rd} に流れる
電流 I_{ds} は、保持容量 C_s と補助容量 C_{sub} の両者を結合した容量 $C = C_s + C_{sub}$
30 に書き込まれていく。これにより駆動トランジスタ T_{rd} のソース電位は上昇していく。
この上昇分 V は結局保持容量 C_s に保持されたゲート/ソース間電圧 V_{gs} から差し
引かれることになるので、負帰還をかけたことになる。この様に駆動トランジスタ T_{rd}
の出力電流 I_{ds} を同じく駆動トランジスタ T_{rd} の入力電圧 V_{gs} に負帰還することで、
移動度 μ を補正することが可能である。

【0046】

タイミング T_7 では制御信号 WS がローレベルとなりサンプリグトランジスタ T_1
がオフする。この結果駆動トランジスタ T_{rd} のゲート G は信号線 SL から切り離される。
映像信号 V_{sig} の印加が解除されるので、駆動トランジスタ T_{rd} のゲート電位は上
昇可能となり、ソース電位と共に上昇していく。本実施形態の場合駆動トランジスタ T_{rd}
40 のソース S は発光素子 EL から切り離されているので、ソース電位はほぼ電源電位 V_{cc}
まで上昇する。これに応じて駆動トランジスタ T_{rd} のゲート電位も上昇する。その間
保持容量 C_s に保持されたゲート/ソース間電圧 V_{gs} は($V_{sig} - V + V_{th}$)の
値を維持する。

【0047】

続いてタイミング T_7a で制御信号 DS_2 がハイレベルとなり、スイッチングトランジ
スタ T_6 がオンして、駆動トランジスタ T_{rd} と発光素子 EL が電氣的に接続する。こ
れにより発光素子 LE には駆動トランジスタ T_{rd} から駆動電流 I_{ds} が流れ込み発光す
る。この時駆動トランジスタ T_{rd} のソース電位(即ち発光素子 EL のアノード電位)は
両者の動作点で決まるレベルまで下がり安定する。以後発光期間中この安定したレベルを
50

維持する。

【 0 0 4 8 】

最後にタイミング T 8 に至ると制御信号 D S がハイレベルとなってスイッチングトランジスタ T r 4 がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び V t h 補正動作、移動度補正動作及び発光動作が繰り返されることになる。

【 0 0 4 9 】

図 7 は、表示装置の第 2 参考例を示す回路図である。この第 2 参考例は、4 個のトランジスタと 1 個の保持容量と 1 個の発光素子とで構成されている。図 2 に示した第 1 参考例に比べ、トランジスタの数が 5 個から 4 個に減っている。画素回路 2 の中心となる駆動トランジスタ T r d はそのゲート G が保持容量 C s の一端に接続され、そのソース S が同じく保持容量 C s の他端に接続されている。駆動トランジスタ T r d のドレインは第 1 のスイッチングトランジスタ T r 4 を介して電源 V c c に接続されている。このスイッチングトランジスタ T r 4 のゲートは走査線 D S に接続している。発光素子 E L のアノードは駆動トランジスタ T r d のソース S に接続し、カソードは接地されている。この接地電位は V c a t h で表される場合がある。また駆動トランジスタ T r d のソース S と所定の基準電位 V s s との間に第 2 のスイッチングトランジスタ T r 3 が介在している。このトランジスタ T r 3 のゲートは走査線 A Z に接続している。一方サンプリングトランジスタ T r 1 は信号線 S L と駆動トランジスタ T r d のゲート G との間に接続されている。サンプリングトランジスタ T r 1 のゲートは走査線 W S に接続している。

【 0 0 5 0 】

かかる構成において、サンプリングトランジスタ T r 1 は、走査線 W S に割り当てられた水平走査期間 (1 H) に走査線 W S から供給される制御信号 W S に応じ導通して信号線 S L から供給された映像信号 V s i g を保持容量 C s にサンプリングする。保持容量 C s は、サンプリングされた映像信号 V s i g に応じて駆動トランジスタ T r d のゲート G に入力電圧 V g s を印加する。駆動トランジスタ T r d は、所定の発光期間中入力電圧 V g s に応じた出力電流 I d s を発光素子 E L に供給する。この出力電流 I d s は駆動トランジスタ T r d のチャネル領域の閾電圧 V t h に対して依存性を有する。発光素子 E L は、駆動トランジスタ T r d から供給された出力電流 I d s により映像信号 V s i g に応じた輝度で発光する。

【 0 0 5 1 】

画素回路 2 は第 1 のスイッチングトランジスタ T r 3 と第 2 のスイッチングトランジスタ T r 4 とで構成される補正手段を備えている。この補正手段は出力電流 I d s の閾電圧 V t h に対する依存性を打ち消すために、水平走査期間 (1 H) の一部で動作し、駆動トランジスタ T r d の閾電圧 V t h を検出して保持容量 C s に書き込んでおく。この補正手段は、水平走査期間 (1 H) にサンプリングトランジスタ T r 1 が導通して保持容量 C s の一端が信号線 S L により一定電位 V s s 0 に保持された状態で動作し、保持容量 C s の他端から一定電位 V s s 0 に対する電位差が閾電圧 V t h になるまで保持容量 C s を充電する。この補正手段は、水平走査期間 (1 H) の前半で駆動トランジスタ T r d の閾電圧 V t h を検出して保持容量 C s に書き込む一方、サンプリングトランジスタ T r 1 は水平走査期間 (1 H) の後半で信号線 S L から供給される映像信号 V s i g を保持容量 C s にサンプリングする。保持容量 C s は、サンプリングされた映像信号 V s i g に予め書き込まれた閾電圧 V t h を足し込んだ入力電圧 V g s を駆動トランジスタ T r d のゲート G とソース S 間に印加し、以って出力電流 I d s の閾電圧 V t h に対する依存性を打ち消す。この補正手段は、水平走査期間 (1 H) よりも前に導通して保持容量 C s の両端の電位差が閾電圧 V t h を越える様に設定 (リセット) する第 1 のスイッチングトランジスタ T r 3 と、水平走査期間 (1 H) に導通して、保持容量 C s の両端の電位差が閾電圧 V t h になるまで保持容量 C s を充電する第 2 のスイッチングトランジスタ T r 4 とを含む。サンプリングトランジスタ T r 1 は、水平走査期間 (1 H) 内で信号線 S L が映像信号 V s i g の電位になる信号供給期間に、信号線 S L から供給された映像信号 V s i g を保持容量

10

20

30

40

50

Csにサンプリングする一方、補正手段は水平走査期間(1H)内で信号線SLが一定電位Vss0になる信号固定期間に、駆動トランジスタTrdの閾電圧Vthを検出して保持容量Csに書き込む。

【0052】

本参考例では、駆動トランジスタTrdは、その出力電流Idsがチャネル領域の閾電圧Vthに加えキャリア移動度μに対しても依存性を有する。これに対処するため、本補正手段は、出力電流Idsのキャリア移動度μに対する依存性を打ち消すべく水平走査期間(1H)の一部で動作し、映像信号Vsigがサンプリングされている状態で駆動トランジスタTrdから出力電流Idsを取り出し、これを保持容量Csに負帰還して入力電圧Vgsを補正する。

10

【0053】

図8は、図7に示した第2参考例の動作説明に供するタイミングチャートである。図8は、時間軸Tに沿って各走査線WS, AZ及びDSに印加される制御信号の波形を表してある。表記を簡略化するため、制御信号も対応する走査線の符号と同じ符号で示してある。合わせて信号線に印加される映像信号Vsigの波形も時間軸Tに沿って示してある。図示する様に、この映像信号Vsigは各水平走査期間Hの前半で一定電位Vss0となり後半で信号電位となる。トランジスタTr1及びTr3はNチャネル型なので、走査線WS, AZがそれぞれハイレベルのときオンし、ローレベルのときオフする。一方トランジスタTr4はPチャネル型なので、走査線DSがハイレベルのときオフし、ローレベルのときオンする。なおこのタイミングチャートは、各制御信号WS, AZ, DSの波形や映像信号Vsigの波形と共に、駆動トランジスタTrdのゲートGの電位変化及びソースSの電位変化も表してある。

20

【0054】

図8のタイミングチャートではタイミングT1~T8までを1フィールド(1f)としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、一行分の画素に印加される各制御信号WS, AZ, DSの波形を表してある。

【0055】

当該フィールドが始まる前のタイミングT0で、全ての制御信号WS, AZ, DSがローレベルにある。したがってNチャネル型のトランジスタTr1及びTr3はオフ状態にある一方、Pチャネル型のトランジスタTr4のみオン状態である。したがって駆動トランジスタTrdはオン状態のトランジスタTr4を介して電源Vccに接続しているので、所定の入力電圧Vgsに応じて出力電流Idsを発光素子ELに供給している。したがってタイミングT0で発光素子ELは発光している。このとき駆動トランジスタTrdに印加される入力電圧Vgsは、ゲート電位と(G)ソース電位(S)の差で表される。

30

【0056】

当該フィールドが始まるタイミングT1で、制御信号DSがローレベルからハイレベルに切換る。これによりトランジスタTr4がオフし、駆動トランジスタTrdは電源Vccから切り離されるので、発光が停止し非発光期間に入る。タイミングT1に入ると、全てのトランジスタTr1, Tr3, Tr4がオフ状態になる。

【0057】

続いてタイミングT2になると制御信号AZがローレベルからハイレベルに立ち上がり、スイッチングトランジスタTr3がオンになる。これにより、保持容量Csの他端及び駆動トランジスタTrdのソースSに基準電位Vssを書き込む。このとき駆動トランジスタTrdのゲート電位はハイインピーダンスなので、ソース電位(S)の降下に追従してゲート電位(G)も低下する。

40

【0058】

この後制御信号AZがローレベルに戻ってスイッチングトランジスタTr3がオフした後、タイミングTaで制御信号WSがハイレベルになり、サンプリングトランジスタTr1が導通する。このとき、信号線に現れる電位は、所定の一定電位Vss0に設定されている。ここでVss0 - Vss > Vthを満たすようにVss0及びVssが設定されて

50

いる。 $V_{ss0} - V_{ss}$ は駆動トランジスタ T_{rd} の入力電圧 V_{gs} となっている。ここでは $V_{gs} > V_{th}$ とすることで、その後の V_{th} 補正動作の準備を行っている。換言するとタイミング T_a で保持容量 C_s の両端は V_{gs} を越える電圧に設定され、 V_{th} 補正動作に先立って保持容量 C_s にリセットがかけられる。また発光素子 E_L の閾電圧を V_{thEL} とすると、 $V_{thEL} > V_{ss}$ と設定することで、発光素子 E_L に逆バイアスを印加する。これは、その後の V_{th} 補正動作を正常に行うために必要である。

【0059】

続いてタイミング T_3 で制御信号 DS をローレベルに切換え、スイッチングトランジスタ T_{r4} をオンして、 V_{th} 補正を実行する。このとき信号線の電位は V_{th} 補正を正確に行うため、依然として一定電位 V_{ss0} に保持されている。スイッチングトランジスタ T_{r4} がオンすることで、駆動トランジスタ T_{rd} が電源 V_{cc} に接続され、出力電流 I_{ds} が流れる。これに伴い保持容量 C_s は充電されていき、その他端に接続されたソース電位(S)が上昇していく。一方保持容量 C_s の一端の電位(ゲート電位 G)は V_{ss0} に固定されている。したがって保持容量 C_s の充電に伴いソース電位(S)が上昇して行き、入力電圧 V_{gs} が丁度 V_{th} に達したところで駆動トランジスタ T_{rd} がカットオフする。駆動トランジスタ T_{rd} がカットオフすると、そのソース電位(S)はタイミングチャートに示したように $V_{ss0} - V_{th}$ になる。

【0060】

この後タイミング T_4 で制御信号 DS をハイレベルに戻し、スイッチングトランジスタ T_{r4} をオフすることで V_{th} 補正動作は終了する。この補正動作により、保持容量 C_s に閾電圧 V_{th} 相当の電圧が書き込まれる。

【0061】

この様にタイミング $T_3 \sim T_4$ で V_{th} 補正を行った後、1水平走査期間(1H)の半分が経過し、信号線の電位が V_{ss0} から V_{sig} に変化する。これにより映像信号 V_{sig} が保持容量 C_s に書き込まれる。発光素子 E_L の等価容量 C_{oled} に比べて保持容量 C_s は十分に小さい。この結果、映像信号 V_{sig} のほとんど大部分が保持容量 C_s に書き込まれる。したがって駆動トランジスタ T_{rd} のゲート G とソース S 間の電圧 V_{gs} は、先に検出保持された V_{th} と今回サンプリングされた V_{sig} を加えたレベル($V_{sig} + V_{th}$)となる。ゲート/ソース間電圧 V_{gs} は図8のタイミングチャートに示すように $V_{sig} + V_{th}$ となる。かかる映像信号 V_{sig} のサンプリングは制御信号 WS がローレベルに戻るタイミング T_7 まで行われる。即ちタイミング $T_5 \sim T_7$ がサンプリング期間に相当する。

【0062】

この様に本参考例では、 V_{th} 補正期間 $T_3 - T_4$ とサンプリング期間 $T_5 - T_7$ が、1水平走査期間(1H)に含まれる。1Hの間、サンプリング用の制御信号 WS はハイレベルにある。本参考例ではサンプリングトランジスタ T_{r1} がオンした状態で V_{th} 補正及び V_{sig} 書き込みを行っている。これにより画素回路2の構成を簡素化している。

【0063】

本参考例では、上述した V_{th} 補正に加え移動度 μ の補正も同時に行っている。但し本発明はこれに限られるものではなく、移動度 μ 補正を行わない単純な V_{th} 補正動作のみの画素回路にも適用可能であることは言うまでもない。また本参考例の画素回路2は、駆動トランジスタ T_{rd} 以外のトランジスタはNチャンネル型とPチャンネル型が混在しているが、本発明はこれに限られるものではなくNチャンネル型トランジスタのみまたはPチャンネル型トランジスタのみで構成することも可能である。

【0064】

移動度 μ の補正はタイミング $T_6 \sim T_7$ で行われる。以下この点につき詳細に説明する。サンプリング期間の終了するタイミング T_7 より前のタイミング T_6 で制御信号 DS がローレベルとなりスイッチングトランジスタ T_{r4} がオンする。これにより駆動トランジスタ T_{rd} が電源 V_{cc} に接続されるので、画素回路は非発光期間から発光期間に進む。この様にサンプリングトランジスタ T_{r1} がまだオン状態で且つスイッチングトランジスタ

10

20

30

40

50

タTr4がオン状態に入った期間T6-T7で、駆動トランジスタTrdの移動度補正を行う。即ち本参考例では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間T6-T7で移動度補正を行っている。なお、この移動度補正を行う発光期間の先頭では、発光素子ELは実際には逆バイアス状態にあるので発光する事はない。この移動度補正期間T6-T7では、駆動トランジスタTrdのゲートGが映像信号Vsigのレベルに固定された状態で、駆動トランジスタTrdにドレイン電流Idsが流れる。ここでVss0-Vth<VthELと設定しておく事で、発光素子ELは逆バイアス状態におかれる為、ダイオード特性ではなく単純な容量特性を示すようになる。よって駆動トランジスタTrdに流れる電流Idsは保持容量Csと発光素子ELの等価容量Coleの両者を結合した容量C=Cs+Coleに書き込まれていく。これにより駆動トランジスタTrdのソース電位(S)は上昇していく。図8のタイミングチャートではこの上昇分をVで表してある。この上昇分Vは結局保持容量Csに保持されたゲート/ソース間電圧Vgsから差し引かれる事になるので、負帰還をかけた事になる。この様に駆動トランジスタTrdの出力電流Idsを同じく駆動トランジスタTrdの入力電圧Vgsに負帰還する事で、移動度μを補正する事が可能である。なお負帰還量Vは移動度補正期間T6-T7の時間幅tを調整する事で最適化可能である。

【0065】

タイミングT7では制御信号WSがローレベルとなりサンプリングトランジスタTr1がオフする。この結果駆動トランジスタTrdのゲートGは信号線SLから切り離される。映像信号Vsigの印加が解除されるので、駆動トランジスタTrdのゲート電位(G)は上昇可能となり、ソース電位(S)と共に上昇していく。その間保持容量Csに保持されたゲート/ソース間電圧Vgsは(Vsig-V+Vth)の値を維持する。ソース電位(S)の上昇に伴い、発光素子ELの逆バイアス状態は解消されるので、出力電流Idsの流入により発光素子ELは実際に発光を開始する。この時のドレイン電流Ids対ゲート電圧Vgsの関係は、先のトランジスタ特性式のVgsにVsig-V+Vthを代入する事で、以下の式のように与えられる。

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - V)^2$$

上記式において、 $k = (1/2)(W/L)Cox$ である。この特性式からVthの項がキャンセルされており、発光素子ELに供給される出力電流Idsは駆動トランジスタTrdの閾電圧Vthに依存しない事が分かる。基本的にドレイン電流Idsは映像信号の信号電圧Vsigによって決まる。換言すると、発光素子ELは映像信号Vsigに応じた輝度で発光する事になる。その際Vsigは帰還量Vで補正されている。この補正量Vは丁度特性式の係数部に位置する移動度μの効果打ち消すように働く。したがって、ドレイン電流Idsは実質的に映像信号Vsigのみに依存する事になる。

【0066】

最後にタイミングT8に至ると制御信号DSがハイレベルとなってスイッチングトランジスタTr4がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再びVth補正動作、移動度補正動作及び発光動作が繰り返される事になる。

【0067】

図9は、本発明にかかる表示装置の第2実施形態を示す回路図である。基本的には図7に示した第2参考例と同様であり、対応する部分には対応する参照番号を付してある。異なる点は、駆動トランジスタTrdのソースSと発光素子ELのアノードとの間にスイッチングトランジスタTr6を接続した点である。また発光素子ELの等価容量Coleに代えて補助容量Csubを駆動トランジスタTrdのソースSと接地ラインとの間に挿入してある。またスイッチングトランジスタTr6のゲートを駆動するため画素アレイ部1は追加の走査線DS2を備えている。この走査線DS2は駆動部側の第二ドライブキャナ8によって線順次走査される。

【0068】

図10は、図9に示した第2実施形態の動作説明に供するタイミングチャートである。

10

20

30

40

50

理解を容易にするため、図 8 に示したタイミングチャートと同じ表記を採用している。図示するように、タイミング T 1 でスイッチングトランジスタ T r 4 をオフして画素 2 を発光状態から非発光状態にする。その後タイミング T 1 a で走査線 D S 2 をローレベルに切換え、スイッチングトランジスタ T r 6 をオフする。これにより発光素子 E L は駆動トランジスタ T r d から切り離される。その後タイミング T 2 ~ T 3 まで所定の準備動作を行い、タイミング T 3 からタイミング T 4 まで閾電圧補正動作を行う。さらにタイミング T 5 ~ T 7 まで保持容量 C s に映像信号を書き込む。その際タイミング T 6 ~ タイミング T 7 まで移動度補正を行う。これらの動作中、発光素子 E L は駆動トランジスタ T r d から切り離されており、発光素子 E L のリーク電流によって影響を受けることがない。

【 0 0 6 9 】

10

タイミング T 7 で全ての補正動作が完了した後、タイミング T 7 a で制御信号 D S 2 をハイレベルに戻し、スイッチングトランジスタ T r 6 をオンする。これにより駆動トランジスタ T r d と発光素子 E L が接続し、駆動電流 I d s が発光素子 E L に流れ、発光を開始する。これにより駆動トランジスタ T r d と発光素子 E L の動作点となるソース S の電位は電源電位 V c c から低下し安定したレベルに達する。これと連動して駆動トランジスタ T r d のゲート G の電位も安定レベルに至る。

【 0 0 7 0 】

図 1 1 は、第 3 参考例にかかる表示装置を示す回路図である。この第 3 参考例は、画素回路 2 が 3 個のトランジスタと 1 個の発光素子と 1 個の保持容量とで構成されている。第 2 参考例と比べるとさらにトランジスタの数が 1 個減っている。この画素回路 2 は、サンプリングトランジスタ T r 1 と、これに接続する保持容量 C s と、これに接続する駆動トランジスタ T r d と、これに接続する発光素子 E L と、駆動トランジスタ T r d を電源 V c c に接続するスイッチングトランジスタ T r 4 とを含む。

20

【 0 0 7 1 】

サンプリングトランジスタ T r 1 は、第 1 走査線 W S から供給される制御信号 W S に応じ導通して信号線 S L から供給された映像信号の信号電位 V s i g を保持容量 C s にサンプリングする。保持容量 C s は、サンプリングされた映像信号の信号電位 V s i g に応じて駆動トランジスタ T r d のゲート G に入力電圧 V g s を印加する。ドラフトトランジスタ T r d は、入力電圧 V g s に応じた出力電流 I d s を発光素子 E L に供給する。なおこの出力電流 I d s は、駆動トランジスタ T r d の閾電圧 V t h に対して依存性を有する。発光素子 E L は、発光期間中駆動トランジスタ T r d から供給された出力電流 I d s により映像信号の信号電位 V s i g に応じた輝度で発光する。スイッチングトランジスタ T r 4 は、第 2 走査線 D S から供給される制御信号 D S に応じ導通して発光期間中駆動トランジスタ T r d を電源 V c c に接続し、非発光期間では非導通状態になって駆動トランジスタ T r d を電源 V c c から切り離す。

30

【 0 0 7 2 】

ライトスキャナ 4 及びドライブスキャナ 5 で構成されるスキャナ部は、水平走査期間 (1 H) に第 1 走査線 W S 及び第 2 走査線 D S にそれぞれ制御信号 W S , D S を出力し、サンプリングトランジスタ T r 1 及びスイッチングトランジスタ T r 4 をオンオフ制御して、出力電流 I d s の閾電圧 V t h に対する依存性を補正するために保持容量 C s をリセットする準備動作、リセットされた保持容量 C s に閾電圧 V t h をキャンセルするための電圧を書き込む補正動作、及び補正された保持容量 C s に映像信号 V s i g の信号電位をサンプリングするサンプリング動作を実行する。一方水平セクタ (ドライバ I C) 3 で構成された信号部は、水平走査期間 (1 H) に映像信号を第 1 の固定電位 V s s H と、第 2 の固定電位 V s s L と、信号電位 V s i g との間で切換え、以って上述した準備動作、補正動作及びサンプリング動作に必要な電位を各画素に信号線 S L を介して供給する。

40

【 0 0 7 3 】

具体的には水平セクタ 3 は、まず高レベルの第 1 固定電位 V s s H を供給し続いて低レベルの第 2 固定電位 V s s L に切換えて準備動作を可能とし、さらに低レベルの第 2 固定電位 V s s L を維持した状態で補正動作を実行し、その後信号電位 V s i g に切換えて

50

サンプリング動作を実行する。上述したように水平セレクタ3はドライバICで構成され、信号電位 V_{sig} を生成する信号生成回路と、信号生成回路から出力された信号電位 V_{sig} に第1固定電位 V_{ssH} 及び第2固定電位 V_{ssL} を挿入し、以って第1固定電位 V_{ssH} と第2固定電位 V_{ssL} と信号電位 V_{sig} とが切換る映像信号を合成して各信号線 S_L に出力する出力回路とを含む。

【0074】

駆動トランジスタ T_{rd} は、その出力電流 I_{ds} が閾電圧 V_{th} に加えチャネル領域のキャリア移動度 μ に対しても依存性を有する。この場合ライトスキャナ4とドライブスキャナ5で構成されるスキャナ部は、水平走査期間(1H)に第2走査線 D_S に制御信号を出力してさらにスイッチングトランジスタ T_{r4} を制御し、出力電流 I_{ds} のキャリア移動度 μ に対する依存性を打ち消すために、信号電位 V_{sig} がサンプリングされている状態で駆動トランジスタ T_{rd} から出力電流を取り出し、これを保持容量 C_s に負帰還して入力電圧 V_{gs} を補正する動作を実行する。

10

【0075】

図12は、図11に示した第3参考例の動作説明に供するタイミングチャートである。図12を参照して図11に示した画素回路の動作を説明する。図12は、時間軸 T に沿って各走査線 W_S 、 D_S に印加される制御信号の波形を表してある。表記を簡略するため、制御信号も対応する走査線の符号と同じ符号で示してある。合わせて信号線に印加される映像信号の波形も時間軸 T に沿って示してある。図示する様に、この映像信号は各水平走査期間(1H)内で、高電位 V_{ssH} 、低電位 V_{ssL} 、信号電位 V_{sig} と順に切換る。トランジスタ T_{r1} はNチャンネル型なので、走査線 W_S がハイレベルのときオンし、ローレベルのときオフする。一方トランジスタ T_{r4} はPチャンネル型なので、走査線 D_S がハイレベルのときオフし、ローレベルのときオンする。なおこのタイミングチャートは、各制御信号 W_S 、 D_S の波形や映像信号の波形と共に、駆動トランジスタ T_{rd} のゲート G の電位変化及びソース S の電位変化も表してある。

20

【0076】

図12のタイミングチャートではタイミング $T_1 \sim T_8$ までを1フィールド(1f)としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号 W_S 、 D_S の波形を表してある。

30

【0077】

初めにタイミング T_1 で、スイッチングトランジスタ T_{r4} をオフして非発光とする。この時、駆動トランジスタ T_{rd} のソース電位は V_{cc} からの電源供給が無いので、発光素子 E_L のカットオフ電圧 V_{thEL} まで下げられる。

【0078】

次にタイミング T_2 で、サンプリングトランジスタ T_{r1} をオンする。ただしこの前に、信号線電圧を V_{ssH} まで上げておく方が、書き込み時間を短くできるので好ましい。サンプリングトランジスタ T_{r1} をオンする事で駆動トランジスタ T_{rd} のゲート電位は V_{ssH} が書き込まれる。この時、保持容量 C_s を介してソース電位にカップリングが入り、ソース電位は上昇する。ソース S の電位は一度上昇するが、発光素子 E_L を介して放電されるので、再度ソース電圧は V_{thEL} になる。この時、ゲート電圧は V_{ssH} のままである。

40

【0079】

次にタイミング T_a で、サンプリングトランジスタ T_{r1} をオンしたまま、信号電圧を V_{ssL} に変化させる。この電位変化が保持容量 C_s を介してソース電位にカップリングされる。この時のカップリング量は、 $C_s / (C_s + C_{oled}) \times (V_{ssH} - V_{ssL})$ にて求められる。この時、ゲート電位は V_{ssL} 、ソース電位は $V_{thEL} - C_s / (C_s + C_{oled}) \times (V_{ssH} - V_{ssL})$ で表される。ここでマイナスバイアスを入れた為に、ソース電圧は V_{thEL} よりも小さくなり、発光素子 E_L はカットオフする。ここでソース電位は、この後の V_{th} 補正や移動度補正終了後も発光素子 E_L がカットオフし続ける電位に設定することが望ましい。また、この $V_{gs} > V_{th}$ となるようにカ

50

ップリングを入れることで、 V_{th} 補正の準備を行うことができる。以上により、トランジスタや電源ライン、ゲートラインを削減した回路においても V_{th} 補正準備を行うことができる。即ちタイミング $T_2 \sim T_a$ は補正準備期間に含まれる。

【0080】

この後、タイミング T_3 でゲート G を V_{ssL} に保持した状態のままスイッチングトランジスタ Tr_4 をオンすると、駆動トランジスタ Tr_d に電流が流れて、参考例と同様に V_{th} 補正が行われる。駆動トランジスタ Tr_d がカットオフするまで電流が流れ、カットオフすると駆動トランジスタ Tr_d のソース電位は $V_{ssL} - V_{th}$ となる。ここで、 $V_{ssL} - V_{th} < V_{thEL}$ とする必要がある。

【0081】

この後タイミング T_4 で、スイッチングトランジスタ Tr_4 をオフして V_{th} 補正は終了する。即ち、タイミング $T_3 \sim T_4$ は V_{th} 補正期間である。

【0082】

この様にタイミング $T_3 \sim T_4$ で V_{th} 補正を行った後、タイミング T_5 に至って信号線の電位が V_{ssL} から V_{sig} に変化する。これにより映像信号の信号電位 V_{sig} が保持容量 C_s に書き込まれる。発光素子 EL の等価容量 C_{oled} に比べて保持容量 C_s は十分に小さい。この結果、信号電位 V_{sig} のほとんど大部分が保持容量 C_s に書き込まれる。したがって駆動トランジスタ Tr_d のゲート G とソース S 間の電圧 V_{gs} は、先に検出保持された V_{th} と今回サンプリングされた V_{sig} を加えたレベル($V_{sig} + V_{th}$)となる。即ち駆動トランジスタ Tr_d に対する入力電圧 V_{gs} は $V_{sig} + V_{th}$ となる。かかる信号電圧 V_{sig} のサンプリングは制御信号 WS がローレベルに戻るタイミング T_7 まで行われる。即ちタイミング $T_5 \sim T_7$ がサンプリング期間に相当する。

【0083】

本参考例にかかる画素回路は、上述した閾電圧 V_{th} の補正に加え、移動度 μ の補正も行っている。移動度 μ の補正はタイミング $T_6 \sim T_7$ で行われる。タイミングチャートに示すように、補正量 V が入力電圧 V_{gs} から差し引かれる。

【0084】

タイミング T_7 になると、制御信号 WS がローレベルとなりサンプリングトランジスタ Tr_1 がオフする。この結果駆動トランジスタ Tr_d のゲート G は信号線 SL から切り離される。映像信号 V_{sig} の印加が解除されるので、駆動トランジスタ Tr_d のゲート電位(G)は上昇可能となり、ソース電位(S)と共に上昇していく。その間保持容量 C_s に保持されたゲート/ソース間電圧 V_{gs} は($V_{sig} - V + V_{th}$)の値を維持する。ソース電位(S)の上昇に伴い、発光素子 EL の逆バイアス状態は解消されるので、出力電流 I_{ds} の流入により発光素子 EL は実際に発光を開始する。

【0085】

最後にタイミング T_8 に至ると制御信号 DS がハイレベルとなってスイッチングトランジスタ Tr_4 がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び補正準備動作、 V_{th} 補正動作、移動度補正動作及び発光動作が繰り返される事になる。

【0086】

図13は、本発明にかかる表示装置の第3実施形態を示す回路図である。基本的には図11に示した第3参考例と同様であり、対応する部分には対応する参照番号を付してある。異なる点は、駆動トランジスタ Tr_d と発光素子 EL の間に追加のスイッチングトランジスタ Tr_6 を介在させたことである。また発光素子 EL の等価容量 C_{oled} に代えて補助容量 C_{sub} が駆動トランジスタ Tr_d のソース S と接地ラインとの間に接続されている。スイッチングトランジスタ Tr_6 のゲートをオンオフ制御するために追加の走査線 DS_2 が配されている。この走査線 DS_2 は駆動部側に追加された第二ドライブキャパ C_8 によって線順次走査される。

【0087】

図14は、図13に示した第3実施形態の動作説明に供するタイミングチャートである

10

20

30

40

50

。基本的には図12に示したタイミングチャートと同様であり、対応する部分には対応する表記を採用している。図示するように、タイミングT1でスイッチングトランジスタTr4をオフして非発光期間に入った後、タイミングT1aでスイッチングトランジスタTr6をオフし、発光素子ELを駆動トランジスタTrdから切り離す。なおスイッチングトランジスタTr4とTr6をオフする順番は逆にしても良い。この後順に閾電圧補正動作、映像信号サンプリング動作及び移動度補正動作を行った後、タイミングT7でサンプリングトランジスタTr1をオフし、駆動トランジスタTrdのゲートGを信号線SLから切り離す。これにより発光に必要な全ての準備動作、補正動作及びサンプリング動作が完了する。この間スイッチングトランジスタTr6はオフ状態に保たれており、発光素子ELは駆動トランジスタTrdのソースSから切り離されている。したがって発光素子ELのリーク特性が上述した各動作に悪影響を与えることがない。

10

【0088】

この後タイミングT7aでスイッチングトランジスタTr6がオン状態に復帰し、駆動トランジスタTrdと発光素子ELが電気的につながる。これにより駆動電流Idsが電源Vccから発光素子ELを流れてカソードに流れ込み、発光状態に移行する。この過程で電源電位Vccにあった駆動トランジスタTrdのソースSの電位は発光素子ELとの動作点まで降下して安定する。

【0089】

図15は、第4参考例にかかる表示装置を示す回路図である。この第4参考例は2個のトランジスタと1個の発光素子と1個の保持容量とで構成されている。第3参考例に比べると、さらにトランジスタの素子数が1個減っている。図示するように、この画素2は有機ELデバイスなどで代表される発光素子ELと、サンプリングトランジスタTr1と、駆動トランジスタTrdと、保持容量Csとを含む。サンプリングトランジスタTr1は、その制御端(ゲート)が対応する走査線WSに接続し、一对の電流端(ソース及びドレイン)の一方が対応する信号線SLに接続し、他方が駆動トランジスタTrdの制御端(ゲートG)に接続する。駆動トランジスタTrdは、一对の電流端(ソースS及びドレイン)の一方が発光素子ELに接続し、他方が対応する給電線VLに接続している。本例では、駆動トランジスタTrdがNチャンネル型であり、そのドレインが給電線VLに接続する一方、ソースSが出力ノードとして発光素子ELのアノードに接続している。発光素子ELのカソードは所定のカソード電位Vcathに接続している。保持容量Csは駆動トランジスタTrdのソースSとゲートGの間に接続している。

20

30

【0090】

かかる構成において、サンプリングトランジスタTr1は走査線WSから供給された制御信号に応じて導通し、信号線SLから供給された信号電位をサンプリングして保持容量Csに保持する。駆動トランジスタTrdは、第1電位(高電位Vcc)にある給電線VLから電流の供給を受け保持容量Csに保持された信号電位に応じて駆動電流を発光素子ELに流す。ライトスキヤナ4は、信号線SLが信号電位にある時間帯にサンプリングトランジスタTr1を導通状態にするため、所定のパルス幅の制御信号を制御線WSに出力し、以って保持容量Csに信号電位を保持すると同時に駆動トランジスタTrdの移動度μに対する補正を信号電位に加える。この後駆動トランジスタTrdは保持容量Csに書き込まれた信号電位Vsigに応じた駆動電流を発光素子ELに供給し、発光動作に入る。

40

【0091】

本画素回路2は、上述した移動度補正機能に加え閾電圧補正機能も備えている。即ち電源スキヤナ6は、サンプリングトランジスタTr1が信号電位Vsigをサンプリングする前に、第1タイミングで給電線VLを第1電位(高電位Vcc)から第2電位(低電位Vss)に切り換える。またライトスキヤナ4は同じくサンプリングトランジスタTr1が信号電位Vsigをサンプリングする前に、第2タイミングでサンプリングトランジスタTr1を導通させて信号線SLから基準電位Vrefを駆動トランジスタTrdのゲートGに印加すると共に駆動トランジスタTrdのソースSを第2電位(Vss)にセットす

50

る。電源スキャナ6は第2タイミングの後の第3タイミングで給電線VLを第2電位Vssから第1電位Vccに切換えて、駆動トランジスタTrdの閾電圧Vthに相当する電圧を保持容量Csに保持する。かかる閾電圧補正機能により、本表示装置は画素毎にばらつく駆動トランジスタTrdの閾電圧Vthの影響をキャンセルすることができる。

【0092】

本画素回路2は、さらにブートストラップ機能も備えている。即ちライトスキャナ4は保持容量Csに信号電位Vsigが保持された段階で走査線WSに対する制御信号の印加を解除し、サンプリングトランジスタTr1を非導通状態にして駆動トランジスタTrdのゲートGを信号線SLから電氣的に切り離し、以って駆動トランジスタTrdのソースSの電位変動にゲートGの電位が連動し、ゲートGとソースS間の電圧Vgsを一定に維持することができる。

10

【0093】

図16は、図15に示した第4参考例の動作説明に供するタイミングチャートである。時間軸を共通にして、走査線WSの電位変化、給電線VLの電位変化及び信号線SLの電位変化を表している。またこれらの電位変化と並行に、駆動トランジスタのゲートG及びソースSの電位変化も表してある。前述したように走査線WSには、サンプリングトランジスタTr1をオンするための制御信号パルスが印加される。この制御信号パルスは画素アレイ部の線順次走査に合わせて1フィールド(1f)周期で走査線WSに印加される。電源線VLは同じように1フィールド周期で高電位Vccと低電位Vssとの間で切替る。信号線SLには1水平周期(1H)内で信号電位Vsigと基準電位Vrefが切替る映像信号を供給している。

20

【0094】

図16のタイミングチャートに示すように、画素は前のフィールドの発光期間から当該フィールドの非発光期間に入り、そのあと当該フィールドの発光期間となる。この非発光期間で準備動作、閾電圧補正動作、信号書き込み動作、移動度補正動作などを行う。

【0095】

前フィールドの発光期間では、給電線VLが高電位Vccにあり、駆動トランジスタTrdが駆動電流Idsを発光素子ELに供給している。駆動電流Idsは高電位Vccにある給電線VLから駆動トランジスタTrdを介して発光素子ELを通り、カソードラインに流れ込んでいる。

30

【0096】

続いて当該フィールドの非発光期間に入るとまずタイミングT1で給電線VLを高電位Vccから低電位Vssに切替る。これにより給電線VLはVssまで放電され、さらに駆動トランジスタTrdのソースSの電位はVssまで下降する。これにより発光素子ELのアノード電位(即ち駆動トランジスタTrdのソース電位)は逆バイアス状態となるため、駆動電流が流れなくなり消灯する。また駆動トランジスタのソースSの電位降下に連動してゲートGの電位も降下する。

【0097】

続いてタイミングT2になると、走査線WSを低レベルから高レベルに切替ることで、サンプリングトランジスタTr1が導通状態になる。この時信号線SLは基準電位Vrefにある。よって駆動トランジスタTrdのゲートGの電位は導通したサンプリングトランジスタTr1を通じて信号線SLの基準電位Vrefとなる。この時駆動トランジスタTrdのソースSの電位はVrefよりも十分低い電位Vssにある。この様にして駆動トランジスタTrdのゲートGとソースSとの間の電圧Vgsが駆動トランジスタTrdの閾電圧Vthより大きくなるように、初期化される。タイミングT1からタイミングT3までの期間T1-T3は駆動トランジスタTrdのゲートG/ソースS間電圧Vgsを予めVth以上に設定する準備期間である。

40

【0098】

この後タイミングT3になると、給電線VLが低電位Vssから高電位Vccに遷移し、駆動トランジスタTrdのソースSの電位が上昇を開始する。やがて駆動トランジスタ

50

rdのゲートG / ソースS間電圧Vgsが閾電圧Vthとなった所で電流がカットオフする。この様にして駆動トランジスタTrdの閾電圧Vthに相当する電圧が保持容量Csに書き込まれる。これが閾電圧補正動作である。この時電流がもっぱら保持容量Cs側に流れ、発光素子ELには流れないようにするため、発光素子ELがカットオフとなるようにカソード電位Vcathを設定しておく。この閾電圧補正動作はタイミングT4で信号線SLの電位がVrefからVsigに切換るまでの間に完了する。タイミングT3からタイミングT4までの期間T3 - T4がVth補正期間となる。

【0099】

タイミングT4では信号線SLが基準電位Vrefから信号電位Vsigに切換る。この時サンプリングトランジスタTr1は引き続き導通状態にある。よって駆動トランジスタTrdのゲートGの電位は信号電位Vsigになる。ここで発光素子ELは始めカットオフ状態（ハイインピーダンス状態）にあるため駆動トランジスタTrdのドレインとソースの間に流れる電流はもっぱら保持容量Csと発光素子ELの等価容量に流れ込み、充電を開始する。この後サンプリングトランジスタTr1がオフするタイミングT5までに、駆動トランジスタTrdのソースSの電位はVだけ上昇する。この様にして映像信号の信号電位VsigがVthに足し込まれる形で保持容量Csに書き込まれると共に移動度補正用の電圧Vが保持容量Csに保持された電圧から差し引かれる。よってタイミングT4からタイミングT5までの期間T4 - T5が信号書き込み期間 / 移動度補正期間となる。この様に信号書き込み期間T4 - T5では信号電位Vsigの書き込みと補正量Vの調整が同時に行われる。Vsigが高いほど駆動トランジスタTrdが供給する電流Idsは大きくなり、Vの絶対値も大きくなる。したがって発光輝度レベルに応じた移動度補正が行われる。Vsigを一定とした場合、駆動トランジスタTrdの移動度μが大きいほどVの絶対値が大きくなる。換言すると移動度μが大きいほど保持容量Csに対する負帰還量Vが大きくなるので、画素毎の移動度μのばらつきを取り除くことができる。

【0100】

最後にタイミングT5になると、前述したように走査線WSが低レベル側に遷移し、サンプリングトランジスタTr1はオフ状態となる。これにより駆動トランジスタTrdのゲートGは信号線SLから切り離される。同時にドレイン電流Idsが発光素子ELを流れ始める。これにより発光素子ELのアノード電位は駆動電流Idsに応じて上昇する。発光素子ELのアノード電位の上昇は、即ち駆動トランジスタTrdのソースSの電位上昇に他ならない。駆動トランジスタTrdのソースSの電位が上昇すると、保持容量Csのブートストラップ動作により駆動トランジスタTrdのゲートGの電位も連動して上昇する。ゲート電位の上昇量はソース電位の上昇量に等しくなる。ゆえに発光期間中駆動トランジスタTrdのゲートG / ソースS間電圧Vgsは一定に保持される。このVgsの値は信号電位Vsigに閾電圧Vth及び移動量μの補正をかけたものとなっている。

【0101】

図17は、本発明にかかる表示装置の第4実施形態を示す回路図である。基本的には図15に示した第4参考例と同様であり、対応する部分には対応する参照番号を付してある。異なる点は、駆動トランジスタTrdのソースSと発光素子ELのアノードとの間にスイッチングトランジスタTr6を介在させたことである。また補助容量Csubが駆動トランジスタTrdのソースSと接地ラインとの間に接続されている。さらにスイッチングトランジスタTr6のゲートを駆動するために追加の走査線DSが走査線WSと平行に配設されている。この追加の走査線DSを線順次走査するために駆動部側にドライブスキャナ8を設けている。

【0102】

図18は図17に示した第4実施形態の動作説明に供するタイミングチャートである。基本的には図16に示したタイミングチャートと同様であり、対応する部分には対応する表記を採用している。まず発光期間中のタイミングT1aでスイッチングトランジスタTr6をオフする。これにより駆動トランジスタTrdは発光素子ELから切り離され、非

10

20

30

40

50

発光期間に移行する。このとき駆動トランジスタ T_{rd} はまだオン状態にあるため、ソース S の電位は電源ラインに引っ張られて V_{cc} まで上昇する。これと連動して駆動トランジスタ T_{rd} のゲート G も上昇する。

【0103】

この後発光素子 E_L を駆動トランジスタ T_{rd} から切り離れた状態で、補正準備動作、閾電圧補正動作、信号書き込み動作及び移動度補正動作を行う。具体的にはタイミング T_1 で給電線 V_L を V_{cc} から V_{ss} に切換え、駆動トランジスタ T_{rd} のソース電位を V_{ss} にセットする。さらにタイミング T_2 で信号線 S_L が基準電位 V_{ref} にあるときサンプリングトランジスタ T_{r1} をオンして、駆動トランジスタ T_{rd} のゲート電位を V_{ref} にセットする。この様にして閾電圧補正のための準備動作が完了する。この後タイミング T_3 で給電線 V_L を V_{ss} から V_{cc} に切換え、駆動トランジスタ T_{rd} がカットオフするまで保持容量 C_s を充電する。これにより保持容量 C_s に閾電圧 V_{th} が書き込まれる。この後タイミング T_4 で信号線 S_L を信号電位 V_{sig} に切換え、信号電位 V_{sig} を保持容量 C_s に書き込む。この書き込み動作をタイミング T_5 まで行ってサンプリングトランジスタ T_{r1} をオフする。タイミング T_4 からタイミング T_5 の間で信号電位 V_{sig} の書き込みを行うと共に、移動度 μ の補正も行っている。タイミング T_5 でサンプリングトランジスタ T_{r1} をオフすることで、駆動トランジスタ T_{rd} のゲート G が信号線 S_L から切り離され、発光のための準備状態になる。この時点では駆動トランジスタ T_{rd} と発光素子 E_L は切り離されているため、駆動トランジスタ T_{rd} のソース電位は給電線 V_L の高電位 V_{cc} に引っ張られている。

【0104】

最後にサンプリングトランジスタ T_{r1} がオフした後のタイミング T_{5a} でスイッチングトランジスタ T_{r6} をオンし、駆動トランジスタ T_{rd} と発光素子 E_L を電氣的に接続する。これにより駆動電流 I_{ds} が給電線 V_L から駆動トランジスタ T_{rd} を通して発光素子 E_L に流れ、発光期間に移行する。

【0105】

本発明にかかる表示装置は、図19に示すような薄膜デバイス構成を有する。本図は、絶縁性の基板に形成された画素の模式的な断面構造を表している。図示するように、画素は、複数の薄膜トランジスタを含むトランジスター部（図では1個の TFT を例示）、保持容量などの容量部及び有機 E_L 素子などの発光部とを含む。基板の上に TFT プロセスでトランジスター部や容量部が形成され、その上に有機 E_L 素子などの発光部が積層されている。その上に接着剤を介して透明な対向基板を貼り付けてフラットパネルとしている。

【0106】

本発明にかかる表示装置は、図20に示すようにフラット型のモジュール形状のものを含む。例えば絶縁性の基板上に、有機 E_L 素子、薄膜トランジスタ、薄膜容量等からなる画素をマトリックス状に集積形成した画素アレイ部を設ける、この画素アレイ部（画素マトリックス部）を囲むように接着剤を配し、ガラス等の対向基板を貼り付けて表示モジュールとする。この透明な対向基板には必要に応じて、カラーフィルタ、保護膜、遮光膜等を設けてもよい。表示モジュールには、外部から画素アレイ部への信号等を入出力するためのコネクタとして例えば FPC （フレキシブルプリントサーキット）を設けてもよい。

【0107】

以上説明した本発明における表示装置は、フラットパネル形状を有し、様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピューター、携帯電話、ビデオカメラなど、電子機器に入力された、若しくは、電子機器内で生成した映像信号を画像若しくは映像として表示するあらゆる分野の電子機器のディスプレイに適用することが可能である。以下この様な表示装置が適用された電子機器の例を示す。

【0108】

図21は本発明が適用されたテレビであり、フロントパネル12、フィルターガラス13等から構成される映像表示画面11を含み、本発明の表示装置をその映像表示画面11

に用いることにより作製される。

【0109】

図22は本発明が適用されたデジタルカメラであり、上が正面図で下が背面図である。このデジタルカメラは、撮像レンズ、フラッシュ用の発光部15、表示部16、コントロールスイッチ、メニュースイッチ、シャッター19等を含み、本発明の表示装置をその表示部16に用いることにより作製される。

【0110】

図23は本発明が適用されたノート型パーソナルコンピュータであり、本体20には文字等を入力するとき操作されるキーボード21を含み、本体カバーには画像を表示する表示部22を含み、本発明の表示装置をその表示部22に用いることにより作製される。

10

【0111】

図24は本発明が適用された携帯端末装置であり、左が開いた状態を表し、右が閉じた状態を表している。この携帯端末装置は、上側筐体23、下側筐体24、連結部(ここではヒンジ部)25、ディスプレイ26、サブディスプレイ27、ピクチャーライト28、カメラ29等を含み、本発明の表示装置をそのディスプレイ26やサブディスプレイ27に用いることにより作製される。

【0112】

図25は本発明が適用されたビデオカメラであり、本体部30、前方を向いた側面に被写体撮影用のレンズ34、撮影時のスタート/ストップスイッチ35、モニター36等を含み、本発明の表示装置をそのモニター36に用いることにより作製される。

20

【図面の簡単な説明】

【0113】

【図1】第1参考例にかかる表示装置の全体構成を示すブロック図である。

【図2】第1参考例の具体的な構成を示す回路図である。

【図3】第1参考例の動作説明に供するタイミングチャートである。

【図4】発光素子の電流/電圧特性を示すグラフである。

【図5】本発明にかかる表示装置の第1実施形態を示す回路図である。

【図6】第1実施形態の動作説明に供するタイミングチャートである。

【図7】第2参考例を示す回路図である。

【図8】第2参考例の動作説明に供するタイミングチャートである。

30

【図9】本発明にかかる表示装置の第2実施形態を示す回路図である。

【図10】第2実施形態の動作説明に供するタイミングチャートである。

【図11】第3参考例を示す回路図である。

【図12】第3参考例の動作説明に供するタイミングチャートである。

【図13】本発明にかかる表示装置の第3実施形態を示す回路図である。

【図14】第3実施形態の動作説明に供するタイミングチャートである。

【図15】第4参考例を示す回路図である。

【図16】第4参考例の動作説明に供するタイミングチャートである。

【図17】本発明にかかる表示装置の第4実施形態を示す回路図である。

【図18】第4実施形態の動作説明に供するタイミングチャートである。

40

【図19】本発明にかかる表示装置のデバイス構成を示す断面図である。

【図20】本発明にかかる表示装置のモジュール構成を示す平面図である。

【図21】本発明にかかる表示装置を備えたテレビジョンセットを示す斜視図である。

【図22】本発明にかかる表示装置を備えたデジタルスチルカメラを示す斜視図である。

【図23】本発明にかかる表示装置を備えたノート型パーソナルコンピュータを示す斜視図である。

【図24】本発明にかかる表示装置を備えた携帯端末装置を示す模式図である。

【図25】本発明にかかる表示装置を備えたビデオカメラを示す斜視図である。

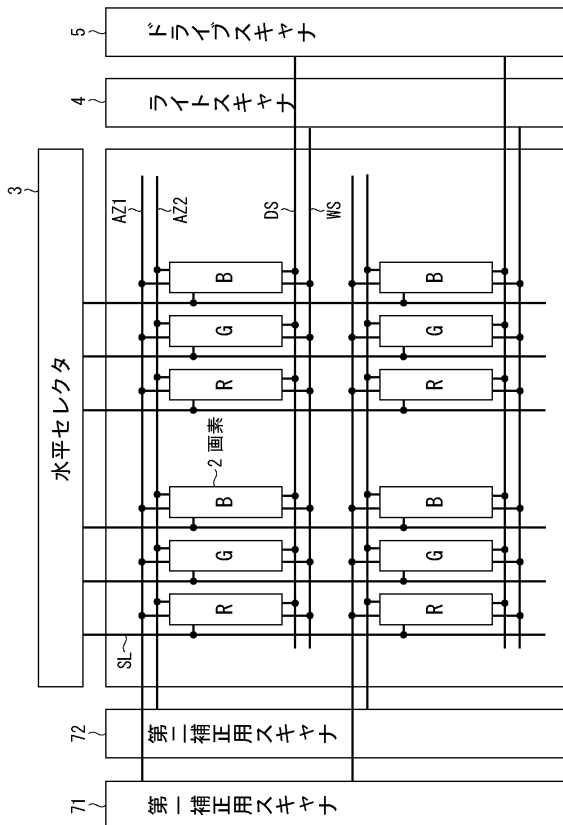
【符号の説明】

【0114】

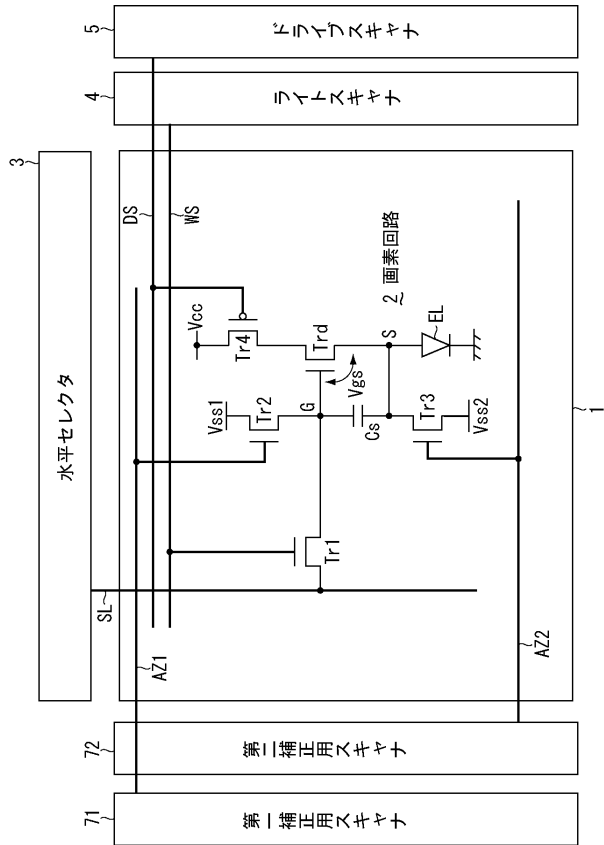
50

1・・・画素アレイ部、2・・・画素、3・・・水平セレクタ、4・・・ライトスキャナ、5・・・ドライブスキャナ、6・・・電源スキャナ、7・・・補正用スキャナ、71・・・第一補正用スキャナ、72・・・第二補正用スキャナ、8・・・第二ドライブスキャナ、Tr1・・・サンプリングトランジスタ、Tr2・・・スイッチングトランジスタ、Tr3・・・スイッチングトランジスタ、Tr4・・・スイッチングトランジスタ、Tr6・・・スイッチングトランジスタ、Trd・・・駆動トランジスタ、EL・・・発光素子、Cs・・・保持容量、Csub・・・補助容量

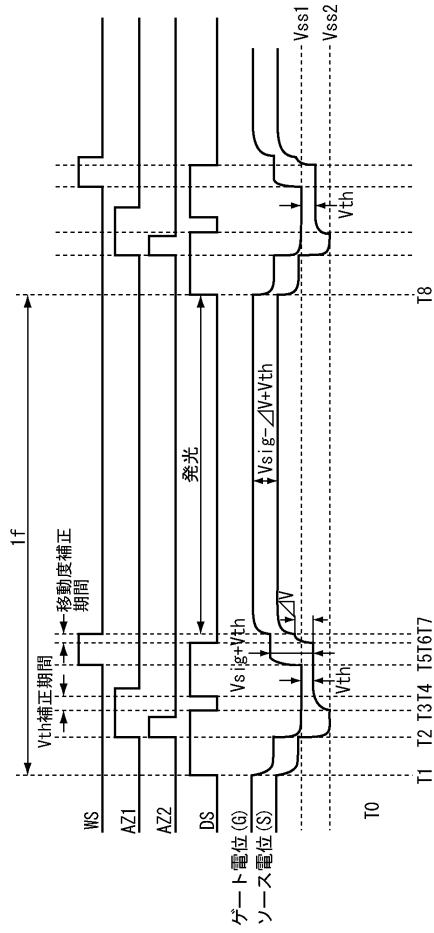
【図1】



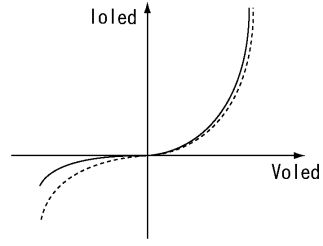
【図2】



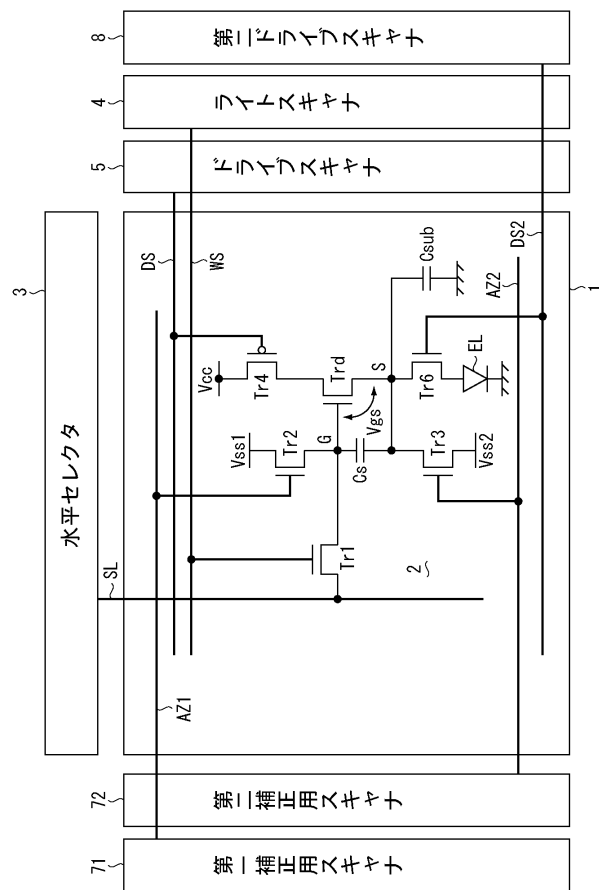
【図3】



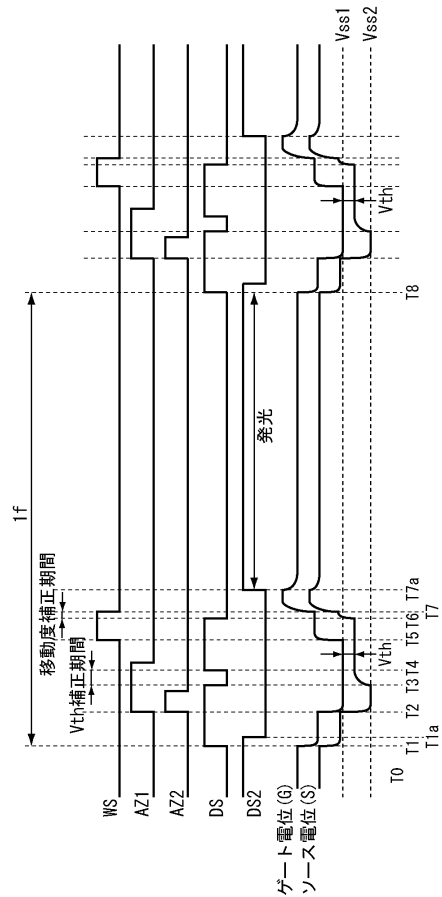
【図4】



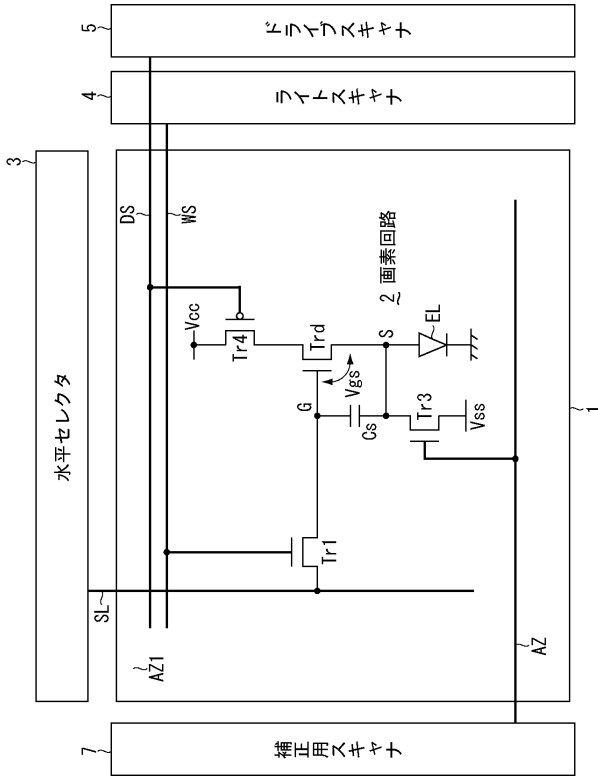
【図5】



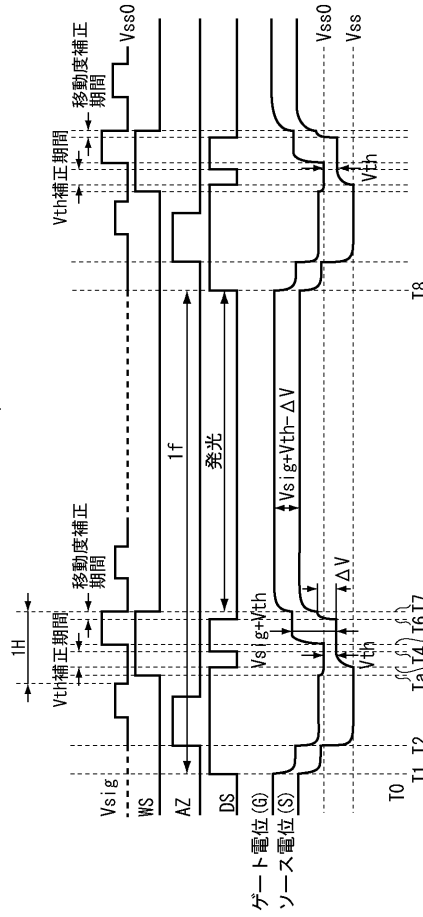
【図6】



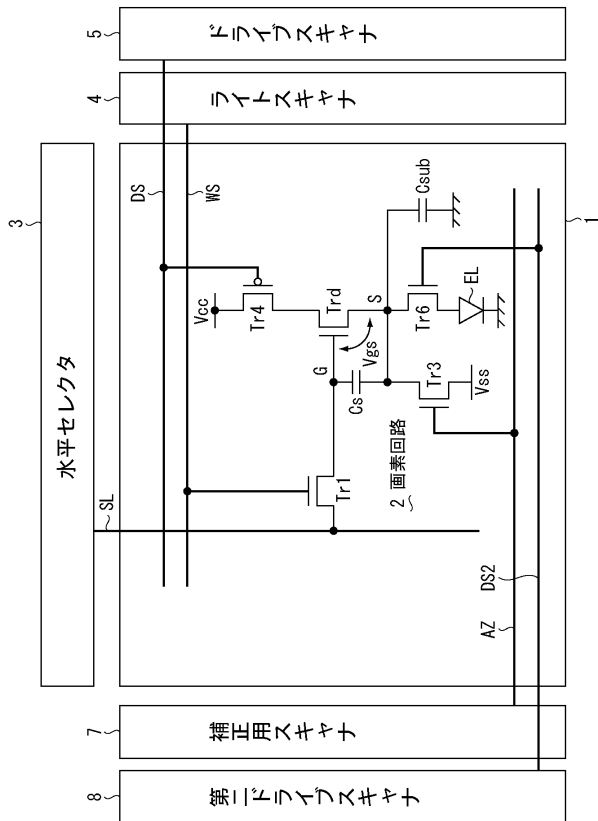
【図7】



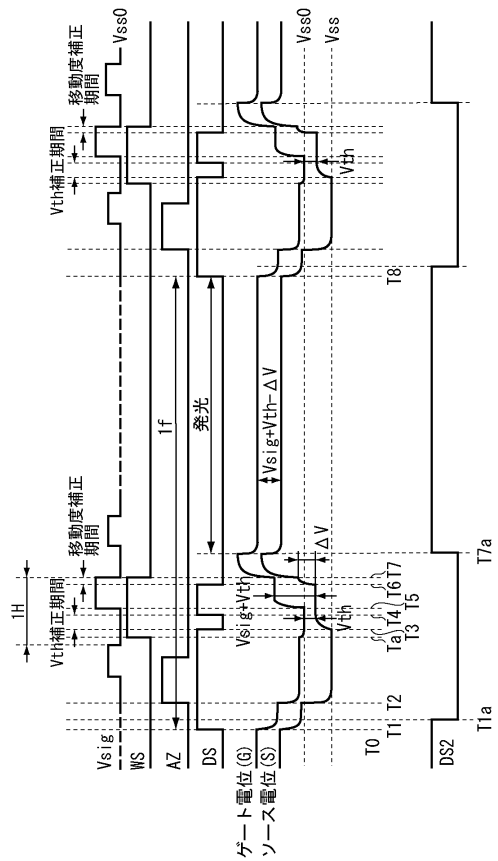
【図8】



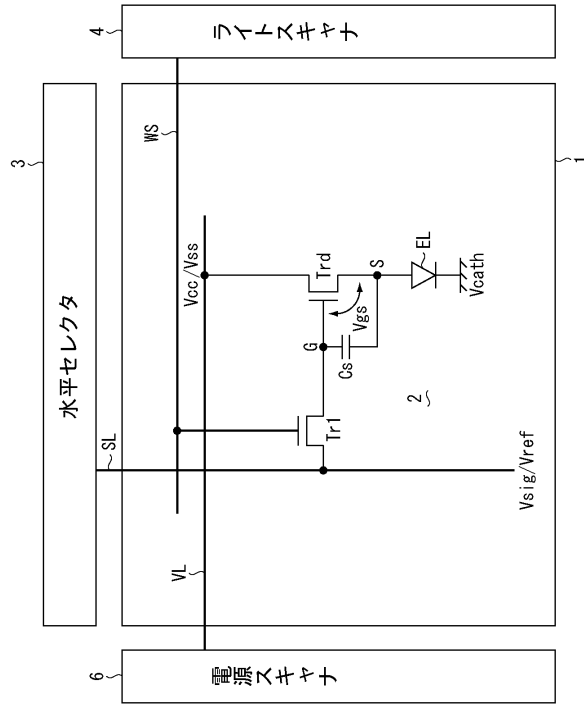
【図9】



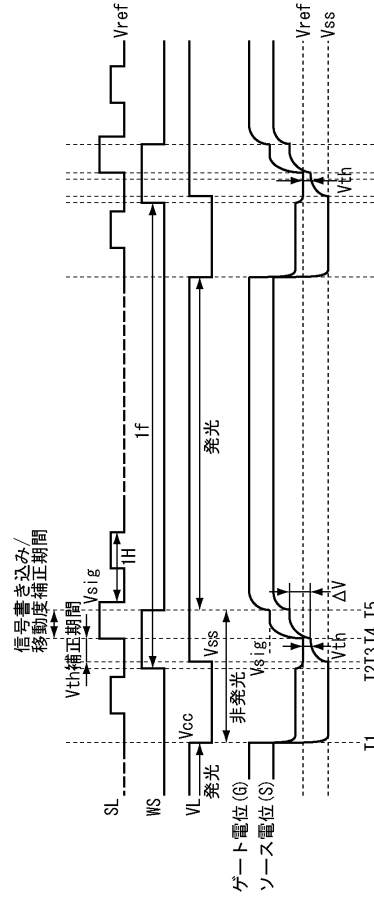
【図10】



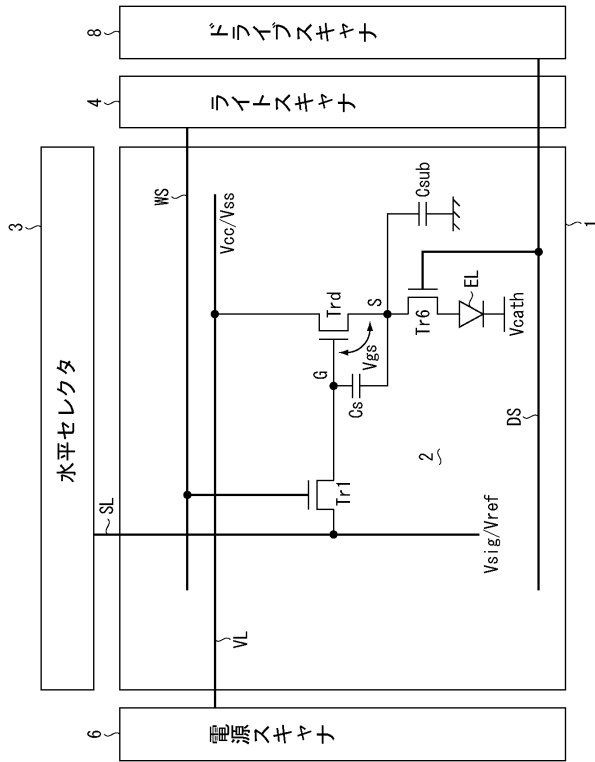
【図15】



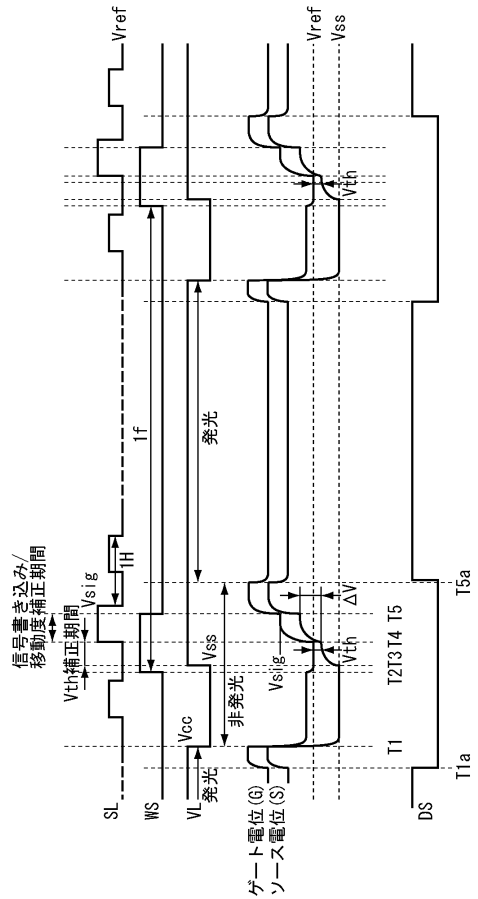
【図16】



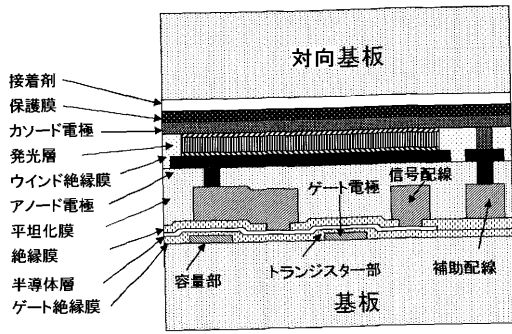
【図17】



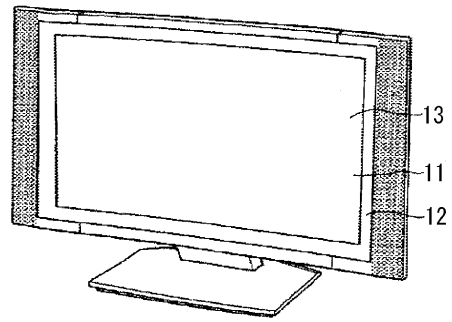
【図18】



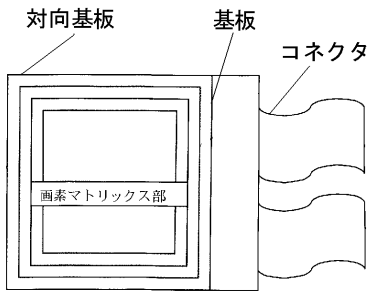
【図19】



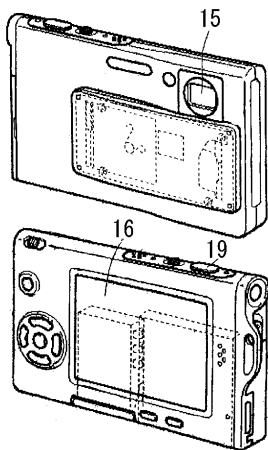
【図21】



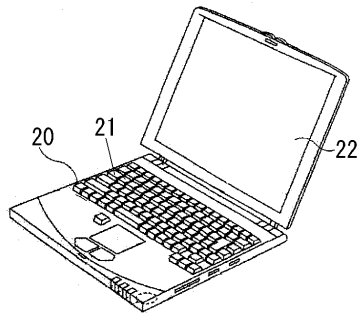
【図20】



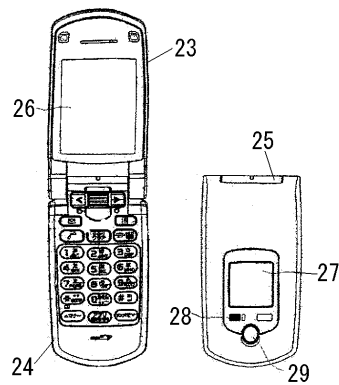
【図22】



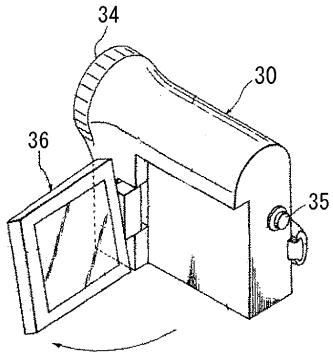
【図23】



【図24】



【図 25】



フロントページの続き

審査官 一宮 誠

- (56)参考文献 特開2004-354428(JP,A)
特開2003-043995(JP,A)
特開2006-058909(JP,A)
特開2007-034001(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/28
H05B 33/00 - 33/28

专利名称(译)	显示装置及其驱动方法和电子设备		
公开(公告)号	JP4300490B2	公开(公告)日	2009-07-22
申请号	JP2007041196	申请日	2007-02-21
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 富田昌嗣 内野胜秀		
发明人	山下 淳一 富田 昌嗣 内野 胜秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3208 G09G3/3258 G09G5/10 G09G2300/0819 G09G2300/0861 G09G2310/0289 G09G2320/0214 G09G2320/0233 H01L27/1255 H01L27/322 H01L27/3248 H01L27/3258 H01L27/3262 H01L27/3265 H01L27/3276 H01L51/5228 H01L51/524 H01L51/5246		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3 /3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080 /AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD26 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 5C380 /AA01 5C380/AB06 5C380/AB11 5C380/AB23 5C380/AB31 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA10 5C380/BA28 5C380/BA31 5C380/BA36 5C380/BA38 5C380 /BA39 5C380/BB02 5C380/BD11 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB20 5C380/CB26 5C380/CB27 5C380/CB31 5C380/CC03 5C380 /CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC61 5C380/CC65 5C380/CC66 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD023 5C380/CD024 5C380/CD025 5C380/CD026 5C380/DA02 5C380/DA06 5C380/DA47		
审查员(译)	一宫诚		
其他公开文献	JP2008203659A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供具有像素的显示装置，在该像素上，对发光装置的漏电流的变化不相关地执行精确的亮度校正操作。解决方案：像素电路2具有校正装置和开关晶体管Tr6。校正装置在非发光时段中操作以写入校正电压，用于抵消保持电容器Cs中的驱动晶体管Trd的特性的变化。开关晶体管Tr6插入在驱动晶体管Trd的源极S和发光器件EL之间，并且在非发光时段中截止，以使发光元件EL与驱动晶体管Trd的源极断开，从而抑制漏电流在校正装置工作时引起校正电压的错误流到发光器件。

