

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4281018号
(P4281018)

(45) 発行日 平成21年6月17日(2009.6.17)

(24) 登録日 平成21年3月27日(2009.3.27)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)

G09G 3/30 J

G09G 3/20 (2006.01)

G09G 3/20 624B

G09F 9/30 (2006.01)

G09G 3/20 611H

H01L 27/32 (2006.01)

G09G 3/20 622Q

H01L 51/50 (2006.01)

G09F 9/30 365Z

請求項の数 6 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2007-37379 (P2007-37379)
 (22) 出願日 平成19年2月19日(2007.2.19)
 (65) 公開番号 特開2008-203387 (P2008-203387A)
 (43) 公開日 平成20年9月4日(2008.9.4)
 審査請求日 平成20年4月28日(2008.4.28)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100102185
 弁理士 多田 繁範
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 山本 哲郎
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 山下 淳一
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

(54) 【発明の名称】 ディスプレイ装置

(57) 【特許請求の範囲】

【請求項1】

画素をマトリックス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置において、

前記画素が、

信号レベル保持用コンデンサと、

書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第1のトランジスタと、

前記信号レベル保持用コンデンサの一端をゲートに接続し、前記信号レベル保持用コンデンサの他端をソースに接続する第2のトランジスタと、

カソードがカソード電位に保持され、アノードを前記第2のトランジスタのソースに接続する電流駆動型の自発光素子と、

駆動パルス信号によりオンオフ動作して、前記第2のトランジスタのドレインを電源電圧に接続する第3のトランジスタと、

前記信号レベル保持用コンデンサの一端に接続された第4のトランジスタとを有し、

前記第4のトランジスタは、

ソースに前記駆動パルス信号を入力し、

ドレインを前記信号レベル保持用コンデンサの他端に接続し、

ゲートに入力する制御信号によりオン動作して、前記信号レベル保持用コンデンサの他端を前記駆動パルス信号の信号レベルに設定する

10

20

ディスプレイ装置。

【請求項 2】

前記駆動回路は、

所定の固定電位の期間を間に挟んで、前記信号線に接続された各画素の階調に対応する信号レベルに前記信号線の信号レベルを順次設定し、

第 1 ～ 第 5 の期間の設定を順次循環的に繰り返して、前記画素部を駆動し、

前記第 1 の期間において、

前記書き込み信号、前記駆動パルス信号、前記制御信号により、前記第 1、第 4 のトランジスタ及び第 3 のトランジスタをオフ状態及びオン状態に設定し、前記信号レベル保持用コンデンサの両端電位差によるゲートソース間電圧に応じた電流値により前記第 2 のトランジスタで前記自発光素子を駆動して前記自発光素子を発光させ、

前記第 2 の期間において、

前記駆動パルス信号により前記第 3 のトランジスタをオフ状態に設定して、前記自発光素子の発光を停止させ、

前記第 3 の期間において、

前記制御信号により前記第 4 のトランジスタをオン状態に設定して、前記信号レベル保持用コンデンサの一端を前記駆動パルス信号の信号レベルに設定し、

前記第 4 の期間において、

前記信号線で前記所定の固定電位が複数回繰り返される期間の間、

前記書き込み信号により前記第 1 のトランジスタをオン状態に設定して、前記信号線の信号レベルが前記所定の固定電位に設定される期間で、前記第 3 のトランジスタをオン状態に設定して、前記信号レベル保持用コンデンサの両端電位差を、前記第 2 のトランジスタのしきい値電圧とほぼ等しい電圧に設定し、

前記第 5 の期間において、

前記書き込み信号により、前記第 1 のトランジスタをオン状態からオフ状態に設定して、前記信号レベル保持用コンデンサの一端に前記信号線の信号レベルを設定する

請求項 1 に記載のディスプレイ装置。

【請求項 3】

前記駆動回路は、

前記第 5 の期間において、前記駆動パルス信号により前記第 3 のトランジスタをオン状態に設定した後、一定期間経過して、前記書き込み信号により前記第 1 のトランジスタをオフ状態に設定する

請求項 2 に記載のディスプレイ装置。

【請求項 4】

前記駆動回路は、

複数ラインだけ先行する画素に出力する前記書き込み信号を、前記制御信号として出力する

請求項 2 に記載のディスプレイ装置。

【請求項 5】

前記駆動回路は、

複数ラインだけ先行する画素に出力する前記書き込み信号を、前記制御信号として出力するようにして、

前記信号線の信号レベルが、前記信号線に接続された画素の階調に対応する信号レベルに保持される期間の間、前記第 1 及び第 4 のトランジスタが同時にオン動作しないように、前記書き込み信号を生成する

請求項 1 に記載のディスプレイ装置。

【請求項 6】

前記画素、前記駆動回路のトランジスタの全てが、

N チャンネル型のトランジスタであり、

前記画素、前記駆動回路が、

アモルファスシリコンプロセスにより絶縁基板上に形成された
請求項 1 に記載のディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ディスプレイ装置に関し、例えば有機 EL (Electro Luminescence) 素子等の電流駆動による自発光型のディスプレイ装置に適用することができる。本発明は、発光素子を駆動するトランジスタのソース電圧を固定電位に設定して、このトランジスタのしきい値電圧のばらつきにより発光輝度のばらつきを補正するようにして、このトランジスタに電源を供給するトランジスタをオンオフ制御する駆動パルス信号の信号レベルにより、この固定電位を設定することにより、従来に比して固定電位の配線パターン数を少なくすることができるようにする。

10

【背景技術】

【0002】

従来、有機 EL 素子を用いたディスプレイ装置に関して、例えば US P 5, 684, 365、特開平 8 - 234683 号公報等に種々の工夫が提案されている。

【0003】

ここで図 15 は、従来の有機 EL 素子を用いたいわゆるアクティブマトリックス型のディスプレイ装置を示すブロック図である。ディスプレイ装置 1 において、画素部 2 は、マトリックス状に画素 (PX) 3 が配置されて形成される。また画素部 2 は、このマトリックス状に配置した画素 3 に対して、走査線 SCN がライン単位で水平方向に設けられ、また走査線 SCN と直交するように信号線 SIG が列毎に設けられる。

20

【0004】

ここで図 16 に示すように、各画素 3 は、電流駆動による自発光型の発光素子である有機 EL 素子 8 と、この有機 EL 素子 8 を駆動する各画素 3 の駆動回路 (以下、画素回路と呼ぶ) とで形成される。

【0005】

画素回路は、信号レベル保持用コンデンサ C1 の一端が一定電位に保持され、書き込み信号 WS によりオンオフ動作するトランジスタ TR1 を介して、この信号レベル保持用コンデンサ C1 の他端が信号線 SIG に接続される。これにより画素回路は、書き込み信号 WS の立ち上がりによってトランジスタ TR1 がオン動作し、信号レベル保持用コンデンサ C1 の他端電位が信号線 SIG の信号レベルに設定され、トランジスタ TR1 がオン状態からオフ状態に切り換わるタイミングで、信号線 SIG の信号レベルが信号レベル保持用コンデンサ C1 の他端にサンプルホールドされる。

30

【0006】

画素回路は、ソースを電源 Vcc に接続した P チャンネルトランジスタ TR2 のゲートに、この信号レベル保持用コンデンサ C1 の他端が接続され、このトランジスタ TR2 のドレインが有機 EL 素子 8 のアノードに接続される。ここで画素回路は、このトランジスタ TR2 が常に飽和領域で動作するように設定され、その結果、トランジスタ TR2 は、次式で表されるドレインソース電流 Ids による定電流回路を構成する。なおここで Vgs は、トランジスタ TR2 のゲートソース間電圧であり、 μ は移動度である。また W はチャンネル幅、L はチャンネル長、Cox はゲート容量、Vth はトランジスタ TR2 のしきい値電圧である。これにより各画素回路は、信号レベル保持用コンデンサ C1 にサンプルホールドされた信号線 SIG の信号レベルに応じた駆動電流 Ids により有機 EL 素子 8 を駆動する。

40

【0007】

【数 1】

$$I_{ds} = \frac{1}{2} \times \mu \times \frac{W}{L} \times C_{ox} \times (V_{gs} - V_{th})^2 \quad \dots\dots (1)$$

【0008】

ディスプレイ装置 1 は、垂直駆動回路 4 のライトスキャン回路 (WSCN) 4 A により、所定のサンプリングパルスを順次転送して、各画素 3 への書き込みを指示するタイミング信号である書き込み信号 WS を生成する。また水平駆動回路 5 の水平セクタ (HSEL) 5 A により、所定のサンプリングパルスを順次転送してタイミング信号を生成し、このタイミング信号を基準にして各信号線 SIG を入力信号 S1 の信号レベルに設定する。これによりディスプレイ装置 1 は、点順次又は線順次で、各画素部 2 に設けられた信号レベル保持用コンデンサ C1 の端子電圧を入力信号 S1 に応じて設定し、入力信号 S1 による画像を表示する。

10

【0009】

ここ有機 EL 素子 8 は、図 17 に示すように、使用により電流が流れ難くなる方向に電流電圧特性が経時変化する。なおこの図 17 において、符号 L1 が初期の特性を示し、符号 L2 が経時変化による特性を示すものである。しかしながら図 16 に示す回路構成により P チャンネルトランジスタ TR2 で有機 EL 素子 8 を駆動する場合には、信号線 SIG の信号レベルに応じて設定されたゲートソース間電圧 Vgs によりトランジスタ TR2 が有機 EL 素子 8 を駆動することにより、電流電圧特性の経時変化による各画素の輝度変化を防止することができる。

20

【0010】

ところで画素回路、水平駆動回路、垂直駆動回路を構成するトランジスタの全てを N チャンネルトランジスタで構成すれば、アモルファスシリコンプロセスでこれらの回路をまとめてガラス基板等の絶縁基板上に作成することができ、ディスプレイ装置を簡易に作成することができる。

【0011】

30

しかしながら図 16 との対比により図 18 に示すように、トランジスタ TR2 に N チャンネル型を適用して各画素 13 を形成し、この画素 13 による画素部 12 でディスプレイ装置 11 を構成した場合、トランジスタ TR2 のソースが有機 EL 素子 8 に接続されることにより、図 17 に示す電流電圧特性の変化によって、トランジスタ TR2 のゲートソース間電圧 Vgs が変化することになる。これによりこの場合、使用により有機 EL 素子 8 に流れる電流が徐々に減少し、各画素の輝度が徐々に低下することになる。またこの図 18 に示す構成では、トランジスタ TR2 の特性のばらつきにより画素毎に発光輝度がばらつくことになる。なおこの発光輝度のばらつきは、表示画面における均一性を乱し、表示画面のムラ、ざらつきにより知覚される。

【0012】

40

このためこのような有機 EL 素子の経時変化による発光輝度の低下、特性のばらつきによる発光輝度のばらつきを防止する工夫として図 19 に示す構成が提案されている。

【0013】

ここでこの図 19 に示すディスプレイ装置 21 において、画素部 22 は、画素 23 をマトリックス状に配置して形成される。ここで画素 23 は、信号レベル保持用コンデンサ C1 の一端が有機 EL 素子 8 のアノードに接続され、書き込み信号 WS に応じてオンオフ動作するトランジスタ TR1 を介して、この信号レベル保持用コンデンサ C1 の他端が信号線 SIG に接続される。これにより画素 23 は、書き込み信号 WS に応じて信号レベル保持用コンデンサ C1 の他端の電圧が、信号線 SIG の信号レベルに設定される。

【0014】

50

画素 2 3 は、この信号レベル保持用コンデンサ C 1 の両端がトランジスタ T R 2 のソース及びゲートに接続され、駆動パルス信号 D S によりオンオフ動作するトランジスタ T R 3 を介して、このトランジスタ T R 2 のドレインが電源 V c c に接続される。これにより画素 2 3 は、ゲート電位が信号線 S I G の信号レベルに設定されたソースフォロワ回路構成のトランジスタ T R 2 により有機 E L 素子 8 を駆動する。なおここで V c a t は、有機 E L 素子 8 のカソード電位である。また駆動パルス信号 D S は、各画素 2 3 の発光期間を制御するタイミング信号であり、ドライブスキャン回路 (D S C N) 2 4 B で所定のサンプリングパルスを順次転送して生成される。

【 0 0 1 5 】

また画素 2 3 は、それぞれ制御信号 A Z 1、A Z 2 によりオンオフ動作するトランジスタ T R 4、T R 5 を介して、信号レベル保持用コンデンサ C 1 の両端が所定の固定電位 V o f s、V s s に接続される。ここでこれら制御信号 A Z 1、A Z 2 は、それぞれ垂直駆動回路 2 4 に設けられた制御信号生成回路 (A Z 1、A Z 2) 2 4 C、2 4 D で所定のサンプリングパルスを順次転送して生成されるタイミング信号である。

【 0 0 1 6 】

ここで図 2 0 は、このディスプレイ装置 2 1 における 1 つの画素 2 3 のタイミングチャートである。なおこの図 2 0 では、対応する信号によりオンオフ動作するトランジスタの符号を各信号に併記して示す。図 2 1 に示すように、有機 E L 素子 8 を発光させる発光期間 T 1 において、画素 2 3 は、書き込み信号 W S、制御信号 A Z 1、A Z 2 (図 2 0 (A) ~ (C)) の信号レベルが立ち下げられてトランジスタ T R 1、T R 4、T R 5 がオフ状態に設定されると共に、駆動パルス信号 D S (図 2 0 (D)) 信号レベルが立ち上げられてトランジスタ T R 3 がオン状態に設定される。

【 0 0 1 7 】

これにより画素 2 3 は、信号レベル保持用コンデンサ C 1 の両端電位差によるゲートソース間電圧 V g s に応じた定電流回路をトランジスタ T R 2、信号レベル保持用コンデンサ C 1 で構成し、このゲートソース間電圧 V g s で決まるドレインソース電流 I d s で有機 E L 素子 8 を発光させ、有機 E L 素子 8 の経時変化による輝度低下が防止される。なおここでこのドレインソース電流 I d s は、図 1 6 について説明した (1) 式で表される。また以下においては、適宜、トランジスタをスイッチの符号で示す。

【 0 0 1 8 】

画素 2 3 は、発光期間 T 1 が終了すると、続く期間 T 2 において、図 2 2 に示すように、トランジスタ T R 4、T R 5 がオン状態に設定される。これにより画素 2 3 では、信号レベル保持用コンデンサ C 1 の両端電位が所定の固定電位 V o f s、V s s に設定され (図 2 0 (E) 及び (F))、これら固定電位 V o f s、V s s の電位差 V o f s - V s s によるゲートソース間電圧 V g s に応じたドレインソース電流 I d s が、トランジスタ T R 2 からトランジスタ T R 5 に流れる。なおこの期間 T 2 の間、有機 E L 素子 8 の両端電位差が有機 E L 素子 8 のしきい値電圧 V t h e l より大きくなって有機 E L 素子 8 が発光しないように、またトランジスタ T R 2 が飽和領域で動作するように、固定電位 V o f s、V s s が設定される。

【 0 0 1 9 】

続いて画素 2 3 は、所定期間 T 3 の間、図 2 3 に示すように、トランジスタ T R 5 がオフ状態に設定される。これにより画素 2 3 は、図 2 3 において破線で示すように、トランジスタ T R 2 のドレインソース電流 I d s で信号レベル保持用コンデンサ C 1 のトランジスタ T R 5 側端電圧が上昇する。

【 0 0 2 0 】

ここで図 2 4 に示すように、有機 E L 素子 8 は、ダイオードと容量 C e l のコンデンサとの並列回路で等価回路が表される。これによりトランジスタ T R 2 のドレインソース電流 I d s により、トランジスタ T R 2 のソース電圧 V s は、この期間 T 3 において、図 2 5 に示すように徐々に上昇してゆく。これにより画素 2 3 は、信号レベル保持用コンデンサ C 1 の両端電位差が、トランジスタ T R 2 のしきい値電圧 V t h に設定され、信号レベ

10

20

30

40

50

ル保持用コンデンサC 1のトランジスタT R 5側の端子電圧が、固定電位V o f sからトランジスタT R 2のしきい値電圧V t hを減算した電圧V o f s - V t hに設定される。なおここでこの状態で、有機E L素子8のアノード電位V e lは、 $V e l = V o f s - V t h$ で表され、ディスプレイ装置2 1では、 $V e l = V c a t + V t h e l$ となるように固定電位V o f sが設定されて、この期間T 3で有機E L素子8が発光しないように設定される。

【0021】

続いて画素2 3は、続く期間T 4で、図2 6に示すように、トランジスタT R 3、T R 4が順次オフ状態に設定される。なおトランジスタT R 4より先にトランジスタT R 3をオフ状態に設定することで、トランジスタT R 2のゲート電圧V gの変動を抑圧することができる。また画素2 3は、続いてトランジスタT R 1がオン状態に設定され、これにより信号レベル保持用コンデンサC 1のトランジスタT R 5側の端子電圧を電圧V o f s - V t hに設定した状態で、信号レベル保持用コンデンサC 1のトランジスタT R 4側端の電圧を信号線S I Gの信号レベルV s i gに設定する。

10

【0022】

なおここでこの場合、トランジスタT R 2のゲートソース間電圧V g sは、正確には、次式で表される。ここでC 2は、トランジスタT R 2のゲートソース間容量である。しかしながら有機E L素子8の寄生容量C e lは、信号レベル保持用コンデンサC 1の容量、トランジスタT R 2のゲートソース間容量C 2に比して大きければ、トランジスタT R 2のゲートソース間電圧V g sは、実用上十分な精度で、電圧V s i g + V t hに設定される。

20

【0023】

【数2】

$$V_{gs} = \frac{C_{el}}{C_{el} + C_1 + C_2} \times (V_{sig} - V_{ofs}) + V_{th} \quad \dots\dots (2)$$

【0024】

これにより画素2 3では、トランジスタT R 2のゲートソース間電圧V g sが、信号線S I Gの信号レベルV s i gにしきい値電圧V t hを加算した電圧V s i g + V t hに設定される。これによりディスプレイ装置2 1では、トランジスタT R 2の特性の1つであるしきい値電圧V t hのばらつきによる発光輝度のばらつきを防止することができる。

30

【0025】

画素2 3は、続いて一定期間T 5の間、図2 7に示すように、トランジスタT R 1をオン状態に設定したままの状態、トランジスタT R 3がオン状態に設定される。これにより画素2 3は、信号レベル保持用コンデンサC 1の両端電圧差によるゲートソース間電圧V g sによりトランジスタT R 2がドレインソース電流I d sを流出させる。このときトランジスタT R 2のソース電圧V sが、有機E L素子8のしきい値電圧V t h e lとカソード電圧V c a tとの和電圧より小さく、有機E L素子8に流出する電流が小さい場合、図2 8に示すように、トランジスタT R 2のドレインソース電流I d sによりトランジスタT R 2のソース電圧V sが電圧V s 0から徐々に上昇することになる。なおここで電圧V s 0は次式により表される。

40

【0026】

【数 3】

$$V_{s0} = V_{ofs} - V_{th} + \frac{C_1 + C_2}{C_{el} + C_1 + C_2} \times (V_{sig} - V_{ofs})$$

..... (3)

【0027】

10

ここでこのソース電圧 V_s の上昇速度は、トランジスタ T_R2 の移動度 μ に依存したものととなり、符号 V_{s1} 及び V_{s2} によりそれぞれ移動度が大きい場合と小さい場合とを示すように、移動度が大きい場合程、ソース電圧 V_s の上昇速度は速くなる。

【0028】

これにより画素23は、一定の期間 T_5 の間だけ、トランジスタ T_R1 をオン状態に設定したままの状態、トランジスタ T_R3 をオン状態に設定して、トランジスタ T_R2 の特性の1つである移動度のばらつきによる発光輝度のばらつきが防止される。

【0029】

その後、画素23は、図21に示すように、トランジスタ T_R1 がオフ状態に設定され、しきい値電圧 V_{th} 、移動度 μ を補正して設定されたゲートソース間電圧 V_{gs} により有機EL素子8を駆動する。なおこれによりトランジスタ T_R2 のソース電圧 V_s は、トランジスタ T_R1 のオフにより、有機EL素子8にトランジスタ T_R2 のドレインソース電流 I_{ds} が流れる電圧まで上昇して、有機EL素子8が発光を開始することになり、これに伴ってトランジスタ T_R2 のゲート電圧 V_g も上昇することになる。

20

【0030】

この図19に示す構成によれば、有機EL素子8の経時変化により発光輝度の低下を防止することができ、またトランジスタ T_R2 の特性のばらつきにより発光輝度のばらつきを防止することができる。

【0031】

しかしながらこの図19に示す構成の場合、1つの画素23に対して、1本の信号線 S_{IG} 、制御信号 A_{Z2} 、 A_{Z1} 、駆動パルス信号 D_S 、書き込み信号 W_S による4本の走査線、固定電位 V_{cc} 、 V_{ofs} 、 V_{ss} 、 V_{cat} の4本の配線パターンを設ける必要がある。従って赤色、青色、緑色の画素で走査線を共通化し、さらにカソード電圧 V_{cat} を別途、設けるようにしても、赤色、青色、緑色の1組の画素に対して、固定電位用に 3×3 本の配線パターンが必要になる。

30

【0032】

これによりNチャンネルトランジスタを用いた従来のディスプレイ装置では、固定電位の配線パターン数が多くなる問題があった。なおこのように固定電位の配線パターン数が多くなると、画素を高密度に効率良く配置することが困難になり、高精細のディスプレイ装置を、高い歩留まりで作成することが困難になる。

40

【特許文献1】USP5,684,365

【特許文献2】特開平8-234683号公報

【発明の開示】

【発明が解決しようとする課題】

【0033】

本発明は以上の点を考慮してなされたもので、従来に比して固定電位の配線パターン数を少なくすることができるディスプレイ装置を提案しようとするものである。

【課題を解決するための手段】

【0034】

上記の課題を解決するため請求項1の発明は、画素をマトリックス状に配置した画素部

50

と、前記画素部を駆動する駆動回路とを有するディスプレイ装置において、前記画素が、信号レベル保持用コンデンサと、書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第1のトランジスタと、前記信号レベル保持用コンデンサの前記一端をゲートに接続し、前記信号レベル保持用コンデンサの一端をソースに接続する第2のトランジスタと、カソードがカソード電位に保持され、アノードを前記第2のトランジスタのソースに接続する電流駆動型の自発光素子と、駆動パルス信号によりオンオフ動作して、前記第2のトランジスタのドレインを電源電圧に接続する第3のトランジスタと、前記信号レベル保持用コンデンサの他端に接続された第4のトランジスタとを有し、前記第4のトランジスタは、ソースに前記駆動パルス信号を入力し、ドレインを前記信号レベル保持用コンデンサの他端に接続し、ゲートに入力する制御信号によりオン動作して、前記信号レベル保持用コンデンサの他端を前記駆動パルス信号の信号レベルに設定する。

10

【0035】

請求項1の構成によれば、信号レベル保持用コンデンサの他端を、駆動パルス信号の信号レベルで所定電位に設定できることにより、この所定電位用の配線パターンを省略することができ、従来に比して固定電位の配線パターン数を少なくすることができる。

【発明の効果】

【0036】

本発明によれば、従来に比して固定電位の配線パターン数を少なくすることができる。

【発明を実施するための最良の形態】

20

【0037】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0038】

図1は、図19との対比により本発明の実施例1のディスプレイ装置を示すブロック図である。このディスプレイ装置31において、図15、図19等を用いて上述したディスプレイ装置1、11、21と同一の構成は対応する符号を付して示し、重複した説明は省略する。このディスプレイ装置31は、全てのトランジスタがNチャンネル型で形成され、アモルファスシリコンプロセスにより、透明絶縁基板であるガラス基板上に、画素部22、水平駆動回路35、垂直駆動回路34が一体に形成される。

30

【0039】

ここで水平駆動回路35は、水平セレクタ(HSEL)35Aにより、所定のサンプリングパルスをクロックで順次転送してタイミング信号を生成し、このタイミング信号を基準にして各信号線SIGを入力信号S1の信号レベルに設定する。このとき図20との対比により図2に示すように、1水平走査期間(1H)のほぼ前半の期間の間、信号線SIGの信号レベルを図19について上述した画素23における所定の固定電位Vofsに設定し、続く1水平走査期間のほぼ後半の期間の間、信号線SIGの信号レベルを対応する画素34の階調に対応する信号レベルVsigに設定する(図2(A))。なおこの図2においては、対応する信号によりオンオフ動作するトランジスタの符号を各信号に併記して示す。

40

【0040】

またこの水平駆動回路35の構成に対応して垂直駆動回路34は、固定電位Vofsの制御に係る制御信号AZ1を出力する制御信号生成回路(AZ1)が省略されて、ライトスキャン回路(WSCN)34A、ドライブスキャン回路(DSCN)34B、制御信号生成回路34Dによりそれぞれ書き込み信号WS、駆動パルス信号DS、制御信号AZ2を生成する。また駆動パルス信号DSについては、トランジスタTR3をオンオフ制御可能に、さらに信号レベルを立ち下げた場合の信号レベルが、図19の構成で説明した固定電位Vssになるように生成される(図2(D))。

【0041】

画素部22は、画素33をマトリックス状に配置して形成される。画素33は、信号レ

50

ベル保持用コンデンサC 1の一端が有機EL素子8のアノードに接続され、書き込み信号WSに応じてオンオフ動作するトランジスタTR 1を介して、この信号レベル保持用コンデンサC 1の他端が信号線SIGに接続される。これにより画素3 3は、書き込み信号WSに応じて信号レベル保持用コンデンサC 1の他端の電圧が、信号線SIGの信号レベルに設定される。

【0042】

画素3 3は、この信号レベル保持用コンデンサC 1の両端がトランジスタTR 2のソース及びゲートに接続され、駆動パルス信号DSによりオンオフ動作するトランジスタTR 3を介して、このトランジスタTR 2のドレインが電源Vccに接続される。これにより画素3 3は、ゲート電位が信号線SIGの信号レベルに設定されたソースフォロワ回路構成のトランジスタTR 2により有機EL素子8を駆動する。

10

【0043】

また画素3 3は、制御信号AZ 1によりオンオフ動作するトランジスタTR 5を介して、信号レベル保持用コンデンサC 1の有機EL素子8側端が駆動パルス信号DSに接続される。すなわち画素3 3は、トランジスタTR 5のソースに駆動パルス信号DSが入力され、トランジスタTR 5のゲートに制御信号AZ 2が入力される。またトランジスタTR 5のドレインが信号レベル保持用コンデンサC 1の有機EL素子8側端に接続される。ここで上述したように駆動パルス信号DSは、信号レベルを立ち下げて固定電位Vssとなることから、画素3 3は、駆動パルス信号DSを立ち下げた状態で制御信号AZ 2によりトランジスタTR 5がオン動作すると、図19について上述したトランジスタTR 5の接続と同一に、ドレイン電圧が固定電位Vssに設定される。これによりこの画素3 3では、図19のディスプレイ装置2 1に対して固定電位Vssの配線パターンを省略して、従来に比して固定電位の配線パターン数を少なくすることができるよう構成される。

20

【0044】

図3に示すように、有機EL素子8を発光させる発光期間T 1 1において、画素3 3は、書き込み信号WS、制御信号AZ 2(図2(B)及び(C))の信号レベルが立ち下げられてトランジスタTR 1、TR 5がオフ状態に設定される。また駆動パルス信号DS(図2(D))の信号レベルが立ち上げられてトランジスタTR 3がオン状態に設定される。画素3 3は、この状態で、トランジスタTR 2が飽和領域で動作するように設定されている。

30

【0045】

これにより画素3 3は、信号レベル保持用コンデンサC 1の両端電位差によるゲートソース間電圧Vgsに応じた定電流回路をトランジスタTR 2、信号レベル保持用コンデンサC 1で構成し、ゲートソース間電圧Vgsで決まるドレインソース電流Idsで有機EL素子8を発光させる。これによりこのディスプレイ装置3 1は、有機EL素子8の経時変化による輝度低下を防止する。なおここでこのドレインソース電流Idsは、(1)式で表される。

【0046】

画素3 3は、発光期間T 1 1が終了すると、続く一定期間T 1 2において、駆動パルス信号DSの信号レベルが所定の電位Vssに立ち下げられ、これにより図4に示すように、トランジスタTR 3がオフ状態に設定される。これによりこの期間T 1 2では、電圧VccからトランジスタTR 2への電源の供給が停止されて有機EL素子8が発光を停止し、トランジスタTR 2のソース電圧Vsは、有機EL素子8のカソード電位Vcatに有機EL素子8のしきい値電圧Vthelを加算した電圧Vcat + Vthelに設定される。

40

【0047】

画素3 3は、続いて期間T 1 3の間、制御信号AZ 2が立ち上げられ、図5に示すようにトランジスタTR 5がオン状態に設定される。これにより画素3 3は、信号レベル保持用コンデンサC 1のトランジスタTR 5側端の電圧が、駆動パルス信号DSの電位Vssに設定される。ここで電圧Vssは、有機EL素子8のカソード電位Vcat、有機EL

50

素子 8 のしきい値電圧 V_{thel} との間で、 $V_{ss} = V_{thel} + V_{cat}$ の関係が成立するように設定され、これによりこの期間 T_{13} では、有機 EL 素子 8 が発光を停止するように設定される。

【 0 0 4 8 】

また画素 33 は、続く期間 T_{14} において、信号線 SIG の信号レベルが電位 V_{ofs} に設定されている期間で、書き込み信号 WS が立ち上げられ、図 6 に示すように、トランジスタ TR_1 がオン状態に設定される。これにより画素 33 は、信号レベル保持用コンデンサ C_1 のトランジスタ TR_2 側端の電圧が、信号線 SIG の信号レベル V_{ofs} に設定される。

【 0 0 4 9 】

10

続いて画素 33 は、制御信号 AZ_2 の信号レベルが立ち下げられてトランジスタ TR_5 がオフ状態に設定された後、発光期間 T_{11} を開始する時点から所定数の水平走査期間だけ逆上った時点の、信号線 SIG の信号レベルが固定電位 V_{ofs} に設定されている期間が開始するタイミングで、駆動パルス信号 DS が立ち上げられ、図 7 に示すようにトランジスタ TR_3 がオン状態に設定される。これにより画素 33 は、信号レベル保持用コンデンサ C_1 の両端電位差がトランジスタ TR_2 のしきい値電圧 V_{th} となる方向に、トランジスタ TR_2 のソース電圧 V_s が徐々に上昇する。

【 0 0 5 0 】

なおこの図 7 に示す状態において、画素 33 は、 $V_{el} = V_{cat} + V_{thel}$ に保持され、トランジスタ TR_2 のドレインソース電流 I_{ds} に比べて非常に小さい電流が流れる電圧に設定されている。よってトランジスタ TR_2 のドレインソース電流 I_{ds} は、信号レベル保持用コンデンサ C_1 と、有機 EL 素子 8 の容量を充電するために使用され、有機 EL 素子 8 は発光を停止した状態に保持される。

20

【 0 0 5 1 】

画素 33 は、続いて信号線 SIG の信号レベルが階調に対応する信号レベル V_{sig} に立ち上がるタイミングで、駆動パルス信号 DS の信号レベルが立ち下げられ、これにより図 8 に示すように、トランジスタ TR_3 がオフ状態に設定される。なおこの場合も、画素 33 は、 $V_{el} = V_{cat} + V_{thel}$ に保持され、有機 EL 素子 8 は発光を停止した状態に保持される。また、この時のトランジスタ TR_2 のソース電圧 V_s の変化は、次式により表されることになる。

30

【 0 0 5 2 】

【 数 4 】

$$\Delta V_s = \frac{C_1 + C_2}{C_{el} + C_1 + C_2} \times (V_{sig} - V_{ofs})$$

…… (4)

40

【 0 0 5 3 】

また、一定時間経過後、再び信号線 SIG の信号レベルは固定電位 V_{ofs} に設定され、トランジスタ TR_2 のゲートに入力される。この場合、トランジスタ TR_2 のソース電圧 V_s の変化は次式により表されることとなる。

【 0 0 5 4 】

【数 5】

$$\Delta V_s = \frac{C_1 + C_2}{C_{e1} + C_1 + C_2} \times (V_{ofs} - V_{sig})$$

…… (5)

【0055】

10

画素33は、駆動パルス信号DSの信号レベルを立ち上げた図7に示す状態と、駆動パルス信号DSの信号レベルを立ち下げた図8に示す状態とが所定回数だけ繰り返され、徐々にトランジスタTR2のソース電圧Vsを立ち上げて、信号レベル保持用コンデンサC1の両端電位差をトランジスタTR2のしきい値電圧Vthに設定する。これにより図2に示す例では、期間TA、TB、TCとで、信号レベル保持用コンデンサC1の両端電位差をトランジスタTR2のしきい値電圧Vthに設定する。なお図9は、信号線SIGの信号レベルを長時間、固定電位Vofsに保持した場合の、トランジスタTR2のソース電圧の変化を示す特性曲線図であり、最終的にトランジスタTR2のゲートソース間電圧Vgsは、電圧Vthとなる。なおこれによりディスプレイ装置31は、信号レベル保持用コンデンサC1の両端電位差をトランジスタTR2のしきい値電圧Vthに設定するの

20

【0056】

このようにして画素33は、期間T14において、トランジスタTR2のしきい値電圧Vthを信号レベル保持用コンデンサC1にセットすると、発光期間T11が開始する直前の、信号線SIGの信号レベルが対応する画素の信号レベルVsigに立ち上がるタイミングで、駆動パルス信号DSの信号レベルが立ち下げられ、これにより図10に示すように、トランジスタTR3がオフ状態に設定される。

【0057】

また続いて信号線SIGの信号レベルが、対応する画素の信号レベルに設定されている期間で、駆動パルス信号DSの信号レベルが立ち上げられた後、トランジスタTR1がオフ状態に設定されて、信号レベル保持用コンデンサC1に信号線SIGの信号レベルがサンプルホールドされ、図3に示すように、発光期間T11を再開する。

30

【0058】

なおこの場合も、トランジスタTR2のゲートソース間電圧Vgsは、正確には、(2)式で表されるものの、有機EL素子8の寄生容量Ce1が、信号レベル保持用コンデンサC1の容量、トランジスタTR2のゲートソース間容量C2に比して大きければ、実用上十分な精度で、電圧Vsig + Vthに設定される。

【0059】

これにより画素33は、駆動パルス信号DSの信号レベルが立ち上げられた後、書き込み信号WSが立ち下げられるまでの期間T15の間で、図11及び図12に示すように、トランジスタTR2の移動度に依存してトランジスタTR2のソース電圧Vsが変化し、トランジスタTR2の移動度のばらつきが補正される。

40

【0060】

(2) 実施例の動作

以上の構成において、このディスプレイ装置31では(図2)、垂直駆動回路34による走査線の駆動により順次ライン単位で画素部22の画素33に信号線SIGの信号レベルが設定されると共に、この設定された信号レベルにより各画素33が発光し、所望の画像が画素部22で表示される。

【0061】

すなわちディスプレイ装置31では、トランジスタTR1がオン状態に設定され、これ

50

により信号線 S I G の信号レベルが信号レベル保持用コンデンサ C 1 にセットされる。またトランジスタ T R 1、T R 5 をオフ状態に設定すると共に、トランジスタ T R 3 をオン状態に設定し、この信号レベル保持用コンデンサ C 1 にセットされた電圧によりトランジスタ T R 2 で有機 E L 素子 8 を発光させる（図 2、期間 T 1 1）。

【 0 0 6 2 】

このディスプレイ装置 3 1 では、この有機 E L 素子 8 を駆動するトランジスタ T R 2 のゲート及びソースに、信号レベル保持用コンデンサ C 1 に両端が接続されて、このトランジスタ T R 2 のソースが有機 E L 素子 8 のアノードに接続されて画素 3 3 が形成される。これによりこのディスプレイ装置 3 1 では、信号レベル保持用コンデンサ C 1 に信号線 S I G の信号レベルがセットされた後、この信号レベル保持用コンデンサ C 1 の両端電位差によるゲートソース間電圧 V g s により有機 E L 素子 8 を駆動し、このディスプレイ装置 3 1 を構成する全てのトランジスタを N チャンネル型で構成した場合であっても、有機 E L 素子 8 の経時変化による発光輝度の低下が防止される。

【 0 0 6 3 】

これに対して有機 E L 素子 8 の発光を停止させて信号線 S I G の信号レベルを信号レベル保持用コンデンサ C 1 にセットする際に、トランジスタ T R 1、T R 3、T R 5 のオンオフ制御により、有機 E L 素子 8 を駆動するトランジスタ T R 2 のソース電圧 V s 及びゲート電圧 V g を一旦固定電位 V s s 及び V o f s にセットした後、徐々にソース電圧 V s を立ち上げて、信号レベル保持用コンデンサ C 1 の両端電位差をトランジスタ T R 2 のしきい値電圧 V t h にセットする（期間 T A、T B、T C）。またその後、信号レベル保持用コンデンサ C 1 に信号線 S I G の信号レベル V s i g をセットし、これによりトランジスタ T R 2 の特性の 1 つであるしきい値電圧 V t h のばらつきにより発光輝度のばらつきが防止される。

【 0 0 6 4 】

しかしながらこのように信号レベル保持用コンデンサ C 1 にトランジスタ T R 2 のしきい値電圧 V t h をセットする場合、トランジスタ T R 2 のゲート及びソースをそれぞれ所定のタイミングで固定電位 V s s、V o f s に設定することが必要なことにより、電源電圧 V c c をも含めて、固定電位の配線パターン数が 3 本必要になる。なお有機 E L 素子 8 のカソード電圧 V c a t の配線パターンは除く（図 1 9）。

【 0 0 6 5 】

そこでこのディスプレイ装置 3 1 では、トランジスタ T R 3 をオンオフ制御して、トランジスタ T R 2 への電源 V c c を制御する駆動パルス信号 D S において、信号レベルを立ち下げた電位が、信号レベル保持用コンデンサ C 1 にトランジスタ T R 2 のしきい値電圧 V t h をセットする際の、トランジスタ T R 2 のソース側電位 V s s に設定されて、この駆動パルス信号 D S が、トランジスタ T R 5 のソースに供給される。

【 0 0 6 6 】

これによりこのディスプレイ装置 3 1 では、信号レベル保持用コンデンサ C 1 にトランジスタ T R 2 のしきい値電圧 V t h をセットする際に、トランジスタ T R 2 のソース側に供給する固定電位 V s s 用の配線パターンを省略することができ、従来に比して固定電位の配線パターン数を低減することができる。

【 0 0 6 7 】

またさらに固定電位 V o f s を間に挟んで、信号線 S I G の信号レベルを順次各画素の階調を示す信号レベルに設定するようにし、またこの信号線 S I G の設定に対応するように、書き込み信号 W S、駆動パルス信号 D S を設定することにより、信号レベル保持用コンデンサ C 1 にトランジスタ T R 2 のしきい値電圧 V t h をセットする際に、信号線 S I G を介してトランジスタ T R 2 のゲート側が固定電位 V o f s に設定される。

【 0 0 6 8 】

これによりこのディスプレイ装置 3 1 では、トランジスタ T R 2 のゲート側に供給する固定電位 V o f s 用の配線パターンを省略することができ、これによっても従来に比して固定電位の配線パターン数を低減することができる。

【 0 0 6 9 】

すなわちこのディスプレイ装置 3 1 では、各画素 3 3 に、電源電圧 V_{cc} とカソード電位 V_{cat} 用の配線パターンを設けるだけで良いことにより、高密度、かつ効率良く画素 3 3 を配置して、高い歩留りで高精彩のディスプレイ装置を提供することができる。また画素回路を構成するトランジスタの数も少なくすることができ、これによっても高密度、かつ効率良く画素 3 3 を配置して、高い歩留りで高精彩のディスプレイ装置を提供することができる。

【 0 0 7 0 】

これによりこのディスプレイ装置 3 1 では、第 1 ～ 第 5 の期間の設定を順次循環的に繰り返すように、水平駆動回路 3 5、垂直駆動回路 3 4 で各画素 3 3 が駆動されて、第 1 の期間である発光期間 T_{11} において、書き込み信号 WS 及び駆動パルス信号 DS により、トランジスタ TR_1 及び TR_3 をオフ状態及びオン状態に設定して、信号レベル保持用コンデンサ C_1 の両端電位によるゲートソース間電圧 V_{gs} に応じた電流値によりトランジスタ TR_2 で有機 EL 素子 8 を駆動して有機 EL 素子 8 を発光させる。

【 0 0 7 1 】

また続く第 2 の期間 T_{12} において、駆動パルス信号 DS によりトランジスタ TR_3 をオフ状態に設定して、有機 EL 素子 8 の発光が停止される。また続く第 2 の期間 T_{13} において、制御信号 AZ_2 によりトランジスタ TR_5 をオン状態に設定して、信号レベル保持用コンデンサ C_1 の他端が駆動パルス信号 DS の信号レベルである所定電位 V_{ss} に設定される。

【 0 0 7 2 】

また続く第 4 の期間 T_{14} において、信号線 SIG で所定の固定電位 V_{ofs} が複数回繰り返される期間の間、書き込み信号 WS によりトランジスタ TR_1 をオン状態に設定して、各固定電位 V_{ofs} の期間で、駆動パルス信号 DS を立ち上げて、信号レベル保持用コンデンサ C_1 の両端電位差が、トランジスタ TR_2 のしきい値電圧 V_{th} とほぼ等しい電圧に設定される。これによりこのディスプレイ装置では、徐々に信号レベル保持用コンデンサ C_1 の端子間電圧をトランジスタ TR_2 のしきい値電圧 V_{th} に近づけて、固定電位 V_{ofs} に係る配線パターンを省略しても、さらにはトランジスタ TR_4 (図 19) を省略しても、確実にトランジスタ TR_2 のしきい値電圧 V_{th} を信号レベル保持用コンデンサ C_1 にセットすることができる。これにより各画素 3 3 における発光輝度のばらつきが防止される。

【 0 0 7 3 】

また続く第 5 の期間 T_{15} において、書き込み信号 WS により、トランジスタ TR_1 をオン状態からオフ状態に設定して、信号レベル保持用コンデンサ C_1 の一端に信号線 SIG の信号レベル V_{sig} を設定する。

【 0 0 7 4 】

また第 5 の期間から第 1 の期間に遷移して発光を開始する際には、駆動パルス信号 DS によりトランジスタ TR_3 をオン状態に設定した後、一定期間経過して、書き込み信号 WS により第 1 のトランジスタをオフ状態に設定し、これによりトランジスタ TR_2 の移動度のばらつきによる発光輝度のばらつきが防止される。

【 0 0 7 5 】

(3) 実施例の効果

以上の構成によれば、発光素子 8 を駆動するトランジスタ TR_2 のソース電圧 V_s を固定電位 V_{ss} に設定して、このトランジスタ TR_2 のしきい値電圧 V_{th} のばらつきにより発光輝度のばらつきを補正するようにして、このトランジスタ TR_2 に電源を供給するトランジスタ TR_3 をオンオフ制御する駆動パルス信号 DS の信号レベルにより、この固定電位 V_{ss} を設定することにより、従来に比して固定電位の配線パターン数を少なくすることができる。

【 0 0 7 6 】

また固定電位 V_{ofs} を間に挟んで、信号線の信号レベルを順次各画素の階調を示す信

10

20

30

40

50

号レベルに設定するようにし、またこの信号線の設定に対応するように、駆動パルス信号 D S を切り換えて、信号レベル保持用コンデンサ C 1 にトランジスタ T R 2 のしきい値電圧 V t h をセットすることにより、トランジスタ T R 2 のしきい値電圧のばらつきによる発光輝度のばらつきを防止するようにして、さらに一段と走査線の数进行少なくすることができる。また画素回路を構成するトランジスタの数も少なくすることができる。またこの駆動パルス信号の信号レベルの切り換えを複数回、繰返すことにより、十分な時間をかけてトランジスタ T R 2 のしきい値電圧 V t h を信号レベル保持用コンデンサ C 1 にセットすることができ、これにより確実にトランジスタ T R 2 のしきい値電圧 V t h のばらつきによる発光輝度のばらつきを防止することができる。

【 0 0 7 7 】

10

また信号レベル保持用コンデンサ C 1 にセットされた電圧により有機 E L 素子 8 を発光させる際に、駆動パルス信号 D S を立ち上げた後、一定期間経過して、トランジスタ T R 1 をオフ状態に設定することにより、トランジスタ T R 2 の移動度のばらつきによる発光輝度のばらつきを防止することができる。

【 0 0 7 8 】

また画素回路、駆動回路のトランジスタの全てを N チャンネル型のトランジスタで形成し、アモルファスシリコンプロセスにより絶縁基板上に形成することにより、簡易な工程でディスプレイ装置を製造することができる。

【 実施例 2 】

【 0 0 7 9 】

20

図 1 3 は、図 1 との対比により本発明の実施例 2 のディスプレイ装置を示すブロック図である。このディスプレイ装置 4 1 は、制御信号 A Z 2 に関する構成が異なる点を除いて、実施例 1 のディスプレイ装置 3 1 と同一に構成される。

【 0 0 8 0 】

このディスプレイ装置 4 1 において、垂直駆動回路 4 4 は、制御信号生成回路が省略され、ライトスキャン回路 4 4 A で制御信号 A Z 2 を生成する。ここで図 1 4 に示すように、ライトスキャン回路 4 4 A は、画素部 2 2 の走査線への配線により、複数ラインだけ先行する画素 3 3 に出力する書き込み信号 W S 2 を、制御信号 A Z 2 として出力する。従ってライトスキャン回路 4 4 A から、1 ライン分の書き込み信号 W S は、対応する画素 3 3 に書き込み信号として出力されると共に、この画素より複数ラインだけ後行する画素 3 3 に制御信号 A Z 2 として出力される。

30

【 0 0 8 1 】

これによりこのディスプレイ装置 4 1 では、垂直駆動回路 4 4 の構成を簡略化して、いわゆる狭額縁化できるように構成される。

【 0 0 8 2 】

またこのように複数ラインだけ先行する画素 3 3 に出力する書き込み信号 W S 2 を制御信号 A Z 2 として使用するようにして、垂直駆動回路 4 4 は、信号線 S I G の信号レベルが画素 3 3 に対応する信号レベル V s i g に保持されている期間で、制御信号 A Z 2 と書き込み信号 W S とが同時に立ち上がらないように、信号線 S I G の信号レベルが固定電位 V o f s に設定されている期間で書き込み信号 W S の信号レベルが立ち上げられた後、一定期間の間、信号線 S I G の信号レベルが画素 3 3 に対応する信号レベル V s i g に保持されている期間で書き込み信号 W S の信号レベルが立ち下げられる。

40

【 0 0 8 3 】

これによりディスプレイ装置 4 1 は、制御信号 A Z 2 によりトランジスタ T R 5 をオン状態に設定した状態で、トランジスタ T R 1 がオン動作しないようにし、信号線 S I G の画素に対応する信号レベル V s i g によるトランジスタ T R 2 のゲートソース間電圧 V g s のばらつきを防止する。

【 0 0 8 4 】

すなわち制御信号 A Z 2 によりトランジスタ T R 5 をオン状態に設定した状態で、トランジスタ T R 1 がオン動作すると、画素毎に異なる信号レベル V s i g でトランジスタ T

50

R 2 のゲート電圧が充電されることになり、続いて信号線 S I G の信号レベルが固定電位 V o f s となったときに、トランジスタ T R 2 のゲートソース間電圧 V g s は、次式により表されることになる。従ってこの場合、トランジスタ T R 2 のしきい値電圧 V t h を信号レベル保持用コンデンサ C 1 に設定する直前の、信号レベル保持用コンデンサ C 1 の端子間電圧が信号線 S I G の信号レベル V s i g により変動することになる。

【 0 0 8 5 】

【 数 6 】

$$V_{gs} = V_{ofs} - V_{ss} + \frac{C_1 + C_2}{C_{el} + C_1 + C_2} (V_{sig} - V_{ofs}) \quad 10$$

…… (6)

【 0 0 8 6 】

より具体的に、信号線 S I G の信号レベル V s i g が、黒側の低い電圧の場合には、(6) 式における電圧 (V s i g - V o f s) が負の値を取ることも予測され、この場合、トランジスタ T R 2 のゲートソース間電圧 V g s は、電圧 (V o f s - V s s) より低い電圧となる。従って (V o f s - V s s) > V t h となるように固定電位 V o f s 、 V s s を設定していても、信号レベル保持用コンデンサ C 1 へのしきい値電圧 V t h の設定開始時点で、トランジスタ T R 2 のゲートソース間電圧 V g s がしきい値電圧 V t h 以下となり、正しくしきい値電圧 V t h を信号レベル保持用コンデンサ C 1 に設定できなくなり、これにより信号線 S I G の画素に対応する信号レベル V s i g によるトランジスタ T R 2 のゲートソース間電圧 V g s がばらつくようになる。

【 0 0 8 7 】

図 1 3 の構成によれば、複数ラインだけ先行する画素 3 3 に出力する書き込み信号 W S 2 を、制御信号 A Z 2 として使用することにより、垂直駆動回路の構成を簡略化することができる。

【 0 0 8 8 】

またこのとき信号線 S I G の信号レベルが画素 3 3 に対応する信号レベル V s i g に保持されている期間で、制御信号 A Z 2 と書き込み信号 W S とが同時に立ち上がらないように書き込み信号 W S を設定することにより、確実にトランジスタ T R 2 のしきい値電圧 V t h を信号レベル保持用コンデンサ C 1 に設定して、しきい値電圧 V t h のばらつきにより発光輝度のばらつきを確実に防止することができる。

【 実施例 3 】

【 0 0 8 9 】

なお上述の実施例 1、2 においては、共にトランジスタ T R 4 を省略して信号線 S I G の信号レベルの設定により、トランジスタ T R 2 のゲート電圧を固定電位 V o f s に設定する場合について述べたが、本発明はこれに限らず、従来例のディスプレイ装置 2 1 で説明したようにトランジスタ T R 4 によりトランジスタ T R 2 のゲート電圧を固定電位 V o f s に設定するようにしてもよい。

【 0 0 9 0 】

また上述の実施例においては、有機 E L 素子による発光素子を電流駆動する場合について述べたが、本発明はこれに限らず、電流駆動に係る種々の発光素子によるディスプレイ装置に広く適用することができる。

【 産業上の利用可能性 】

【 0 0 9 1 】

本発明は、ディスプレイ装置に関し、例えば有機 E L 表示装置等の電流駆動による自発光型素子のディスプレイ装置に適用することができる。

【図面の簡単な説明】

【 0 0 9 2 】

【図 1】本発明の実施例 1 のディスプレイ装置を示すブロック図である。

【図 2】図 1 のディスプレイ装置のタイミングチャートである。

【図 3】図 2 の期間 T 1 1 における画素の設定を示す接続図である。

【図 4】図 2 の期間 T 1 2 における画素の設定を示す接続図である。

【図 5】図 2 の期間 T 1 3 における画素の設定を示す接続図である。

【図 6】図 2 の期間 T 1 4 における画素の設定を示す接続図である。

【図 7】図 6 の続きの設定を示す接続図である。

【図 8】図 7 の続きの設定を示す接続図である。

10

【図 9】しきい値電圧の補正の説明に供する特性曲線図である。

【図 10】図 2 の期間 T 1 5 における画素の設定を示す接続図である。

【図 11】図 10 の続きの設定を示す接続図である。

【図 12】移動度の補正の説明に供する特性曲線図である。

【図 13】本発明の実施例 2 のディスプレイ装置を示すブロック図である。

【図 14】図 13 のディスプレイ装置のタイミングチャートである。

【図 15】従来のディスプレイ装置を示すブロック図である。

【図 16】図 15 のディスプレイ装置を詳細に示すブロック図である。

【図 17】有機 E L 素子の経時変化を示す特性曲線図である。

【図 18】図 15 の構成に N チャンネルトランジスタを使用した場合を示すブロック図である。

20

【図 19】N チャンネルトランジスタを用いた従来のディスプレイ装置を示すブロック図である。

【図 20】図 19 のディスプレイ装置のタイミングチャートである。

【図 21】図 20 の期間 T 1 における画素の設定を示す接続図である。

【図 22】図 20 の期間 T 2 における画素の設定を示す接続図である。

【図 23】図 20 の期間 T 3 における画素の設定を示す接続図である。

【図 24】図 23 の続きを示す接続図である。

【図 25】しきい値電圧の補正の説明に供する特性曲線図である。

【図 26】図 20 の期間 T 4 における画素の設定を示す接続図である。

30

【図 27】図 20 の期間 T 5 における画素の設定を示す接続図である。

【図 28】移動度の補正の説明に供する特性曲線図である。

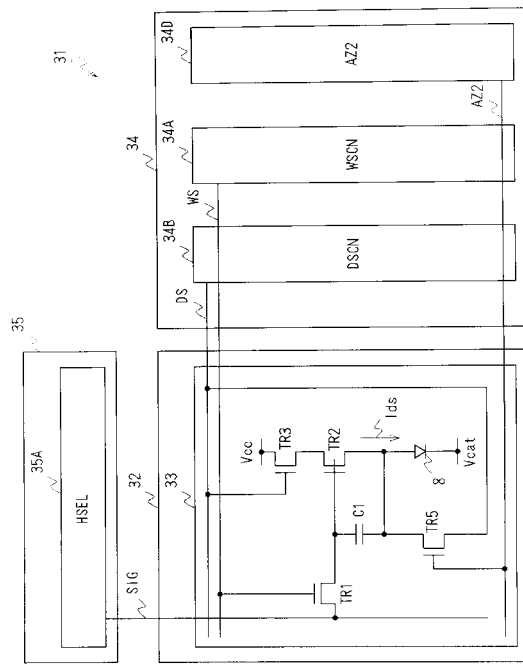
【符号の説明】

【 0 0 9 3 】

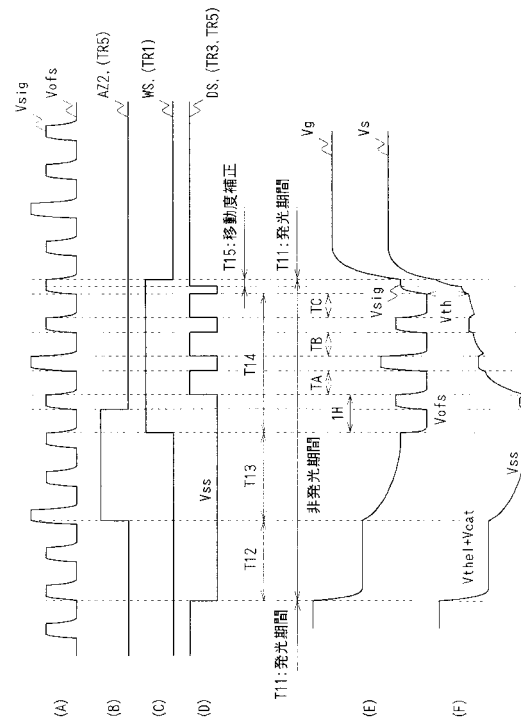
1、1 1、2 1、3 1、4 1 ディスプレイ装置、2、1 2、2 2、3 2 画素部
 2、1 3、2 3、3 3 画素、4、2 4、3 4、4 4 垂直駆動回路、5、3 5、...
 ... 水平駆動回路、8 有機 E L 素子、C 1 信号レベル保持用コンデンサ、T R 1 ~
 T R 5 トランジスタ

40

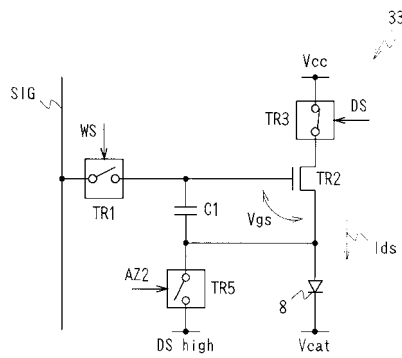
【 図 1 】



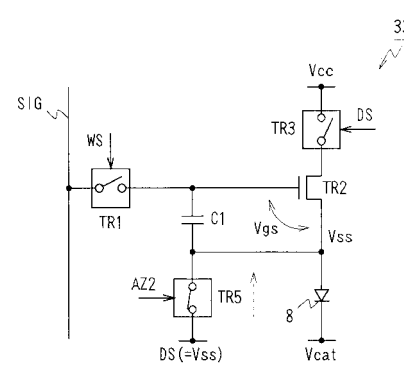
【 図 2 】



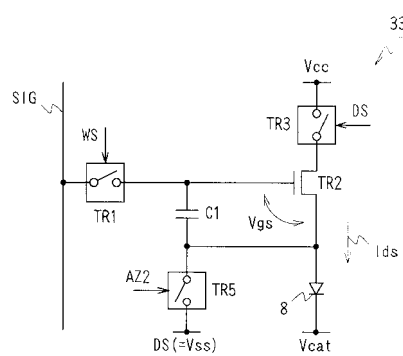
【圖 3】



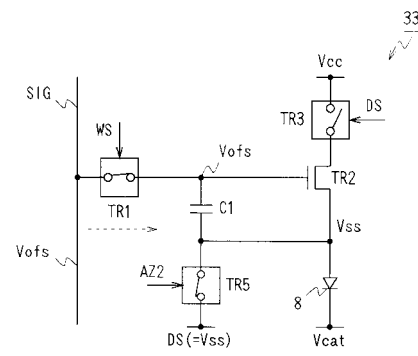
【 図 5 】



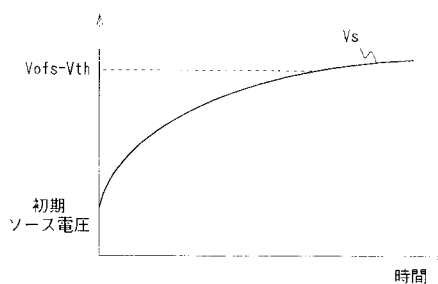
【 図 4 】



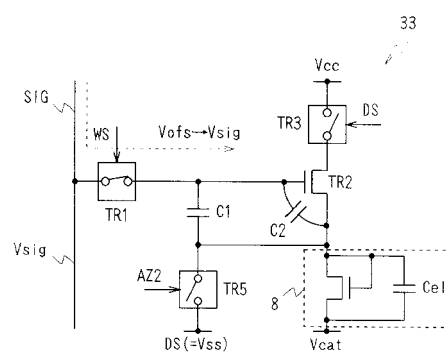
【图 6】



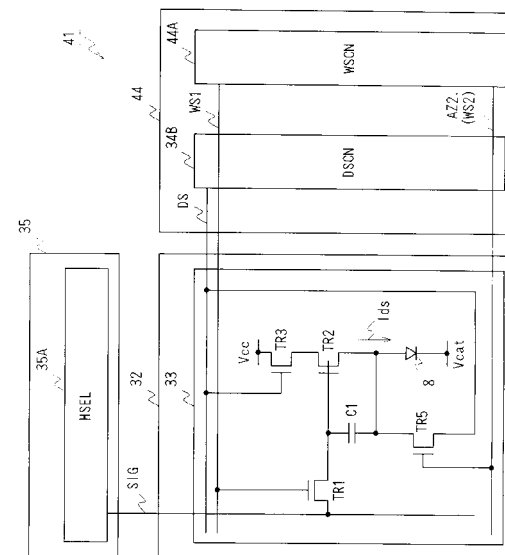
【圖 9】



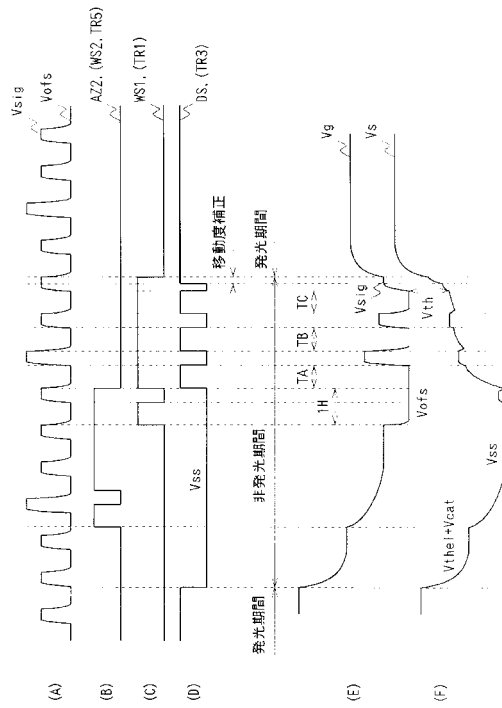
【 図 1 0 】



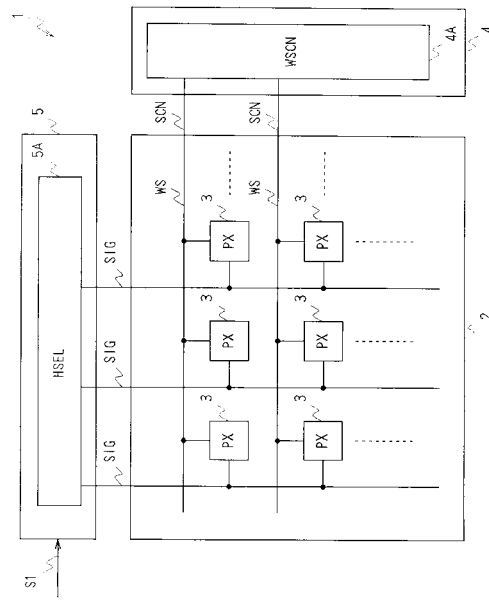
【图 13】



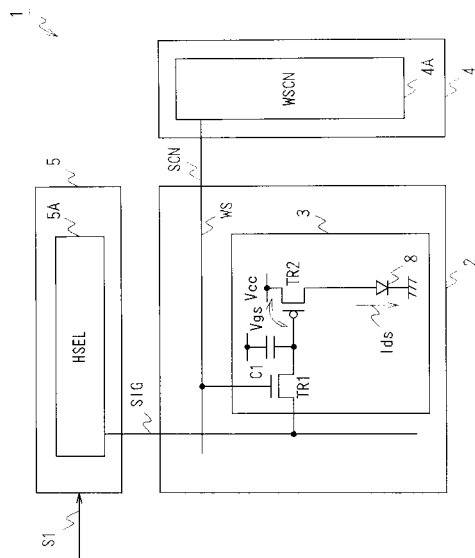
【図 14】



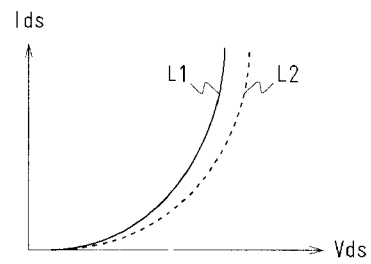
【図 15】



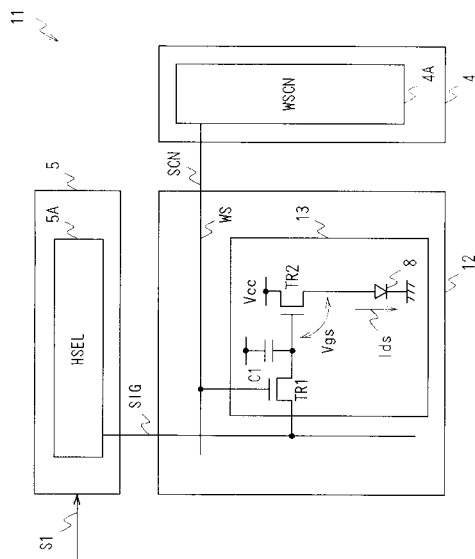
【図 16】



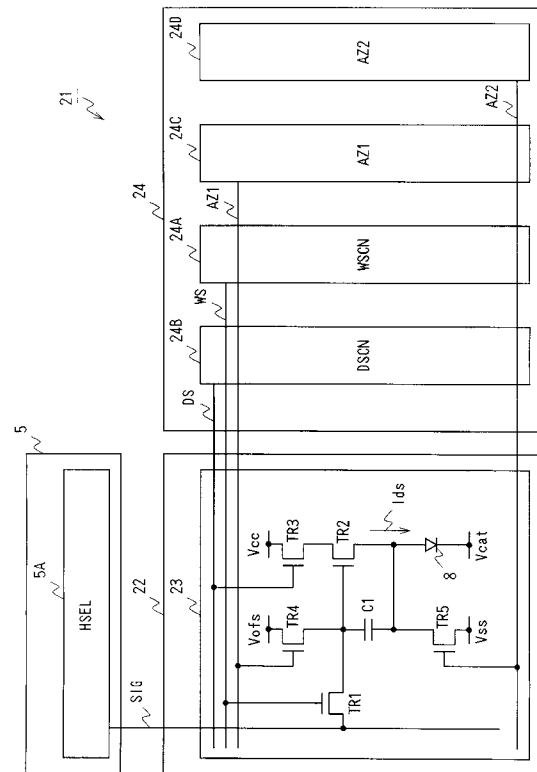
【図 17】



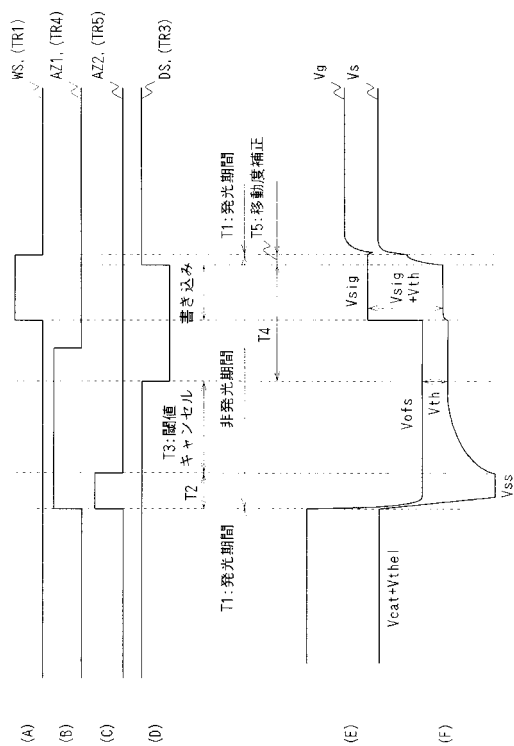
【 図 1 8 】



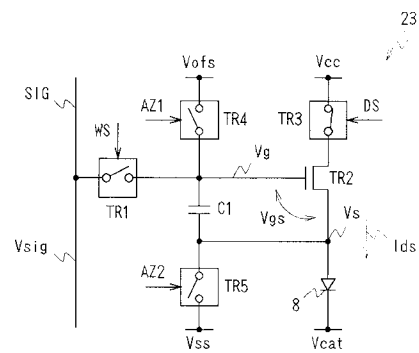
【 図 1 9 】



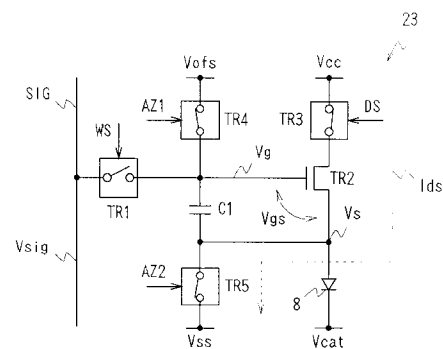
【 図 2 0 】



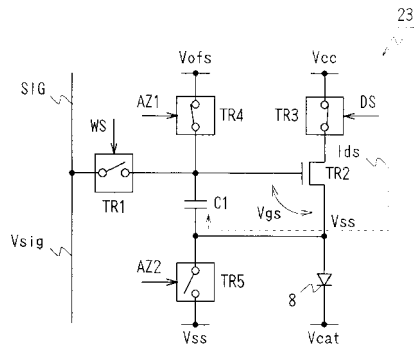
【 図 2 1 】



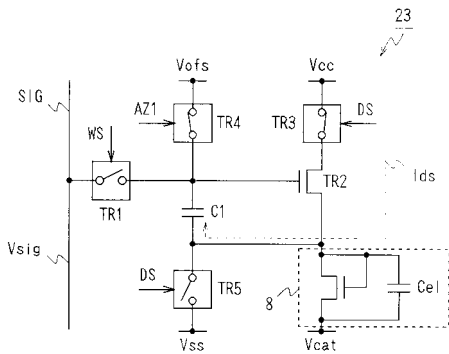
【圖 2 2】



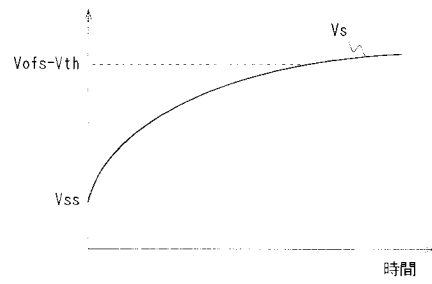
【図 23】



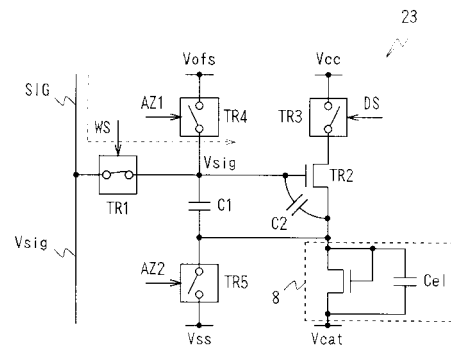
【図 24】



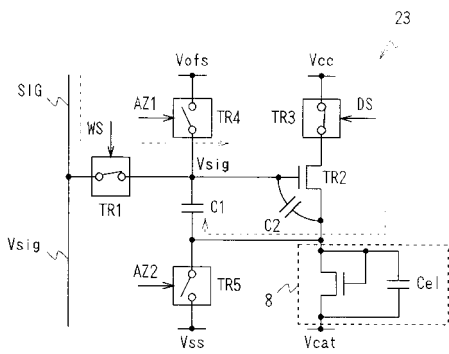
【図 25】



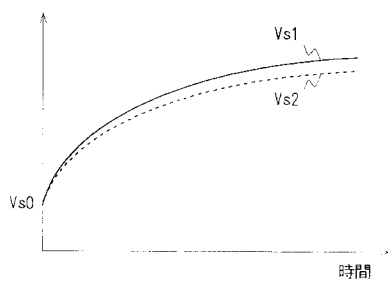
【図 26】



【図 27】



【図 28】



フロントページの続き

(51)Int.Cl. F I
 G 0 9 F 9/30 3 3 8
 H 0 5 B 33/14 A

審査官 中村 直行

(56)参考文献 特開 2 0 0 5 - 1 7 2 9 1 7 (J P , A)
 特開 2 0 0 5 - 1 8 9 3 8 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 G 0 9 G 3 / 0 0 - 3 / 3 8
 G 0 9 F 9 / 3 0
 H 0 1 L 2 7 / 3 2
 H 0 1 L 5 1 / 5 0

专利名称(译)	显示设备		
公开(公告)号	JP4281018B2	公开(公告)日	2009-06-17
申请号	JP2007037379	申请日	2007-02-19
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山本哲郎 山下淳一		
发明人	内野 勝秀 山本 哲郎 山下 淳一		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3266 G09G3/3291 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/06		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.622.Q G09F9/30.365.Z G09F9/30.338 H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/CC45 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD23 5C080/EE29 5C080/FF03 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C094/AA03 5C094/AA45 5C094/AA53 5C094/BA03 5C094/BA27 5C094/DB04 5C094/EA10 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB34 5C380/BA12 5C380/BA32 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB21 5C380/BD02 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB31 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC61 5C380/CC62 5C380/CC64 5C380/CC65 5C380/CD012 5C380/CD014 5C380/CD015 5C380/DA02 5C380/DA06 5C380/DA47		
审查员(译)	中村直之		
其他公开文献	JP2008203387A		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少发射其光的电流驱动型自发光显示器（例如有机EL（电致发光）元件）中显示器的固定电位布线图案的数量。
 ΣSOLUTION：驱动发光元件8的晶体管TR2的源极电压Vs被设定为固定电位Vss，以校正由该晶体管TR2的阈值电压Vth的变化引起的发光亮度变化。该固定电位Vss由驱动脉冲信号DS的信号电平设定，以通断控制向该晶体管TR2供电的晶体管TR3。Ž

