

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-211775

(P2019-211775A)

(43) 公開日 令和1年12月12日(2019.12.12)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3233 (2016.01)	G09G 3/3233	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 670J	5C380
	G09G 3/20 641A	
	G09G 3/20 621A	
審査請求 有 請求項の数 20 O L 外国語出願 (全 35 頁) 最終頁に続く		

(21) 出願番号	特願2019-100584 (P2019-100584)	(71) 出願人	503260918
(22) 出願日	令和1年5月29日 (2019.5.29)		アップル インコーポレイテッド
(31) 優先権主張番号	62/680,911		Apple Inc.
(32) 優先日	平成30年6月5日 (2018.6.5)		アメリカ合衆国 95014 カリフォル
(33) 優先権主張国・地域又は機関	米国 (US)		ニア州 クパチーノ アップル パーク
			ウェイ ワン
(31) 優先権主張番号	16/125,449		One Apple Park Way,
(32) 優先日	平成30年9月7日 (2018.9.7)		Cupertino, Californ
(33) 優先権主張国・地域又は機関	米国 (US)		ia 95014, U. S. A.
		(74) 代理人	100076428
			弁理士 大塚 康德
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100112508
			弁理士 高柳 司郎
		最終頁に続く	

(54) 【発明の名称】 酸化物トランジスタ閾値電圧に対して感度が低減された低リフレッシュレート表示画素を有する電子デバイス

(57) 【要約】 (修正有)

【課題】OLEDを通して流れる任意の発光電流は、半導体酸化物トランジスタの閾値電圧における任意の潜在的な電位ドリフトに対して非感受性となる。

【解決手段】各表示画素は、発光ダイオード304と、発光ダイオード304と直列に結合された駆動トランジスタT2と、駆動トランジスタT2のドレイン端子とゲート端子との間に結合された第1の半導体型のトランジスタT3と、第1の半導体型のトランジスタT3と駆動トランジスタT2のゲート端子との間に介在する第2の半導体型のトランジスタT7と、駆動トランジスタT2及び発光ダイオード304と直列に結合された第1の発光トランジスタT5と、駆動トランジスタT2及び電力線と直列に結合された第2の発光トランジスタT4と、発光ダイオード304に直接結合された初期化トランジスタT6と、駆動トランジスタT2のソース端子に直接結合されたデータローディングトランジスタT1と、を含む。

【選択図】図6A

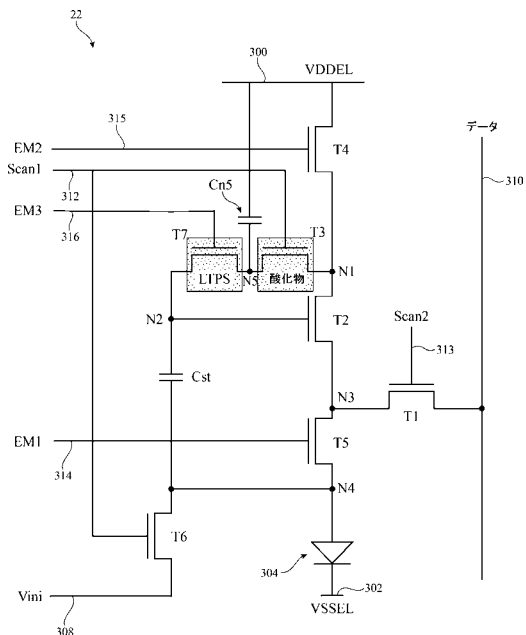


FIG. 6A

【特許請求の範囲】**【請求項 1】**

表示画素であって、

発光ダイオードと、

前記発光ダイオードと直列に結合されている駆動トランジスタであって、ドレイン端子とゲート端子とソース端子とを含む、駆動トランジスタと、

前記駆動トランジスタの前記ドレイン端子と前記ゲート端子との間に結合されている第 1 の半導体型のトランジスタであって、前記駆動トランジスタの前記ゲート端子におけるリークを低減するように構成されており、かつ、閾値電圧を有する、第 1 の半導体型のトランジスタと、

10

前記第 1 の半導体型とは異なる第 2 の半導体型のトランジスタであって、前記第 1 の半導体型の前記トランジスタと前記駆動トランジスタ前記のゲート端子との間に介在しており、かつ、前記第 1 の半導体型の前記トランジスタの前記閾値電圧に対して、前記発光ダイオードを通じて流れる発光電流の感度を低減するように構成されている、第 2 の半導体型のトランジスタと、を備える、表示画素。

【請求項 2】

前記第 1 の半導体型の前記トランジスタは、半導体酸化物内に形成されたチャネルを有する半導体酸化物薄膜トランジスタを含む、請求項 1 に記載の表示画素。

【請求項 3】

前記第 2 の半導体型の前記トランジスタは、シリコン内に形成されたチャネルを有するシリコン薄膜トランジスタを含む、請求項 2 に記載の表示画素。

20

【請求項 4】

前記第 1 の半導体型の前記トランジスタ及び前記第 2 の半導体型の前記トランジスタは、両方とも n チャネル薄膜トランジスタである、請求項 3 に記載の表示画素。

【請求項 5】

前記第 1 の半導体型の前記トランジスタは n チャネル薄膜トランジスタであり、前記第 2 の半導体型の前記トランジスタは p チャネル薄膜トランジスタである、請求項 3 に記載の表示画素。

【請求項 6】

前記駆動トランジスタの前記ゲート端子に結合された蓄積コンデンサであって、前記表示画素に対するデータ信号を記憶するように構成されている、蓄積コンデンサと、

30

前記第 1 の半導体型の前記トランジスタと前記第 2 の半導体型の前記トランジスタとの間の中間ノードに結合されている整合コンデンサであって、前記第 1 の半導体型の前記トランジスタがオフにされるときに、前記第 1 の半導体型の前記トランジスタを通じて流れる再バランス電流を低減するように構成されている、整合コンデンサと、を更に備える、請求項 3 に記載の表示画素。

【請求項 7】

前記整合コンデンサは前記蓄積コンデンサよりも小さい、請求項 6 に記載の表示画素。

【請求項 8】

前記駆動トランジスタの前記ゲート端子に結合されている蓄積コンデンサであって、前記表示画素に対するデータ信号を記憶するように構成されている、蓄積コンデンサと、

40

前記駆動トランジスタの前記ドレイン端子に結合されている整合コンデンサであって、前記第 1 の半導体型の前記トランジスタがオフにされるときに、前記第 1 の半導体型の前記トランジスタを通じて流れる再バランス電流を低減するように構成されている、整合コンデンサと、を更に備える、請求項 3 に記載の表示画素。

【請求項 9】

前記第 1 の半導体型の前記トランジスタは、走査制御信号を受信するように構成されているゲート端子を有し、前記第 2 の半導体型の前記トランジスタは、前記走査制御信号とは異なる発光制御信号を受信するように構成されているゲート端子を有する、請求項 3 に記載の表示画素。

50

【請求項 10】

前記第 1 の半導体型の前記トランジスタ及び前記第 2 の半導体型の前記トランジスタは、同じ走査制御信号を受信するように構成されているゲート端子を有する、請求項 3 に記載の表示画素。

【請求項 11】

前記第 1 の半導体型の前記トランジスタは第 1 の閾値電圧を有し、前記第 2 の半導体型の前記トランジスタは、前記第 1 の閾値電圧よりも大きい第 2 の閾値電圧を有する、請求項 10 に記載の表示画素。

【請求項 12】

前記駆動トランジスタ及び前記発光ダイオードと直列に結合されている第 1 の発光トランジスタと、

前記駆動トランジスタ及び前記発光ダイオードと直列に結合されている第 2 の発光トランジスタと、

前記発光ダイオードに直接結合されている初期化トランジスタと、

前記駆動トランジスタの前記ソース端子に直接結合されているデータローディングトランジスタと、を更に備える、請求項 3 に記載の表示画素。

【請求項 13】

表示画素を動作させる方法であって、

発光フェーズ中に、前記表示画素内の駆動トランジスタを使用して、前記表示画素内の発光ダイオードに発光電流を伝達することであって、前記駆動トランジスタがドレイン端子とゲート端子とを含む、ことと、

前記発光フェーズ中に、前記駆動トランジスタの前記ドレイン端子と前記ゲート端子との間に結合されている第 1 の半導体型のトランジスタを使用して、前記駆動トランジスタの前記ゲート端子におけるリークを低減することであって、前記第 1 の半導体型の前記トランジスタが閾値電圧を有する、ことと、

前記第 1 の半導体型の前記トランジスタと前記駆動トランジスタの前記ゲート端子との間に介在する第 2 の半導体型のトランジスタを使用して、前記第 1 の半導体型の前記トランジスタの前記閾値電圧に対して前記発光電流の感度を低減することと、を含む、方法。

【請求項 14】

前記第 1 の半導体型の前記トランジスタは半導体酸化物薄膜トランジスタを含み、前記第 2 の半導体型の前記トランジスタはシリコン薄膜トランジスタを含む、請求項 13 に記載の方法。

【請求項 15】

前記第 1 の半導体型の前記トランジスタのゲート端子に走査制御信号を提供することと、

前記第 2 の半導体型の前記トランジスタのゲート端子に、前記走査制御信号とは異なる発光制御信号を提供することと、

前記走査制御信号の立ち下がりエッジ前に前記発光制御信号をデアサートし、前記走査制御信号の前記立ち下がりエッジ後に前記発光制御信号をアサートすることと、を更に含む、請求項 14 に記載の方法。

【請求項 16】

前記第 1 の半導体型の前記トランジスタのゲート端子に走査制御信号を提供することと、

前記第 2 の半導体型の前記トランジスタのゲート端子に前記走査制御信号を提供することと、

前記走査制御信号の立ち下がりエッジにおいて、前記第 1 の半導体型の前記トランジスタをオフにする前に、前記第 2 の半導体型の前記トランジスタをオフにすることと、を更に含む、請求項 14 に記載の方法。

【請求項 17】

輝度を呈するディスプレイを動作させる方法であって、

10

20

30

40

50

前記ディスプレイの前記輝度を制御するために、パルス幅変調（P W M）方式を使用することと、

表示経時変化により前記ディスプレイの前記輝度が低下した第１の期間後に、前記 P W M方式のデューティサイクルを増加させて、前記輝度低下を補償することと、を含む、方法。

【請求項 1 8】

前記第１の期間が少なくとも 1 0 0 時間である、請求項 1 7 に記載の方法。

【請求項 1 9】

前記第１の期間に続く第２の期間後に、前記 P W M方式の前記デューティサイクルを更に増加させて、前記ディスプレイ内の任意の輝度低下を補償することであって、前記第２の期間は前記第１の期間に等しい、ことを更に含む、請求項 1 7 に記載の方法。

10

【請求項 2 0】

前記 P W M方式を使用することは、

前記ディスプレイ上の対応する発光トランジスタに、パルス幅が変調された発光制御信号を供給することを含み、前記 P W M方式の前記デューティサイクルを増加させることは、

前記ディスプレイが第１の表示明るさ設定にあるときに、前記発光制御信号の前記パルス幅を第１の量だけ増大させることと、

前記ディスプレイが第２の表示明るさ設定にあるときに、前記発光制御信号の前記パルス幅を、前記第１の量とは異なる第２の量だけ増大させることと、を含む、請求項 1 7 に記載の方法。

20

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本出願は、2 0 1 8 年 9 月 7 日付特許出願の米国特許出願第 1 6 / 1 2 5 , 4 4 9 号、及び 2 0 1 8 年 6 月 5 日付特許出願の米国仮特許出願第 6 2 / 6 8 0 , 9 1 1 号に対する優先権を主張するものであり、それらの全体が参照により本明細書に組み込まれる。

本出願は、一般的には、電子デバイスに関し、より具体的には、ディスプレイを有する電子デバイスに関する。

【背景技術】

30

【0 0 0 2】

電子デバイスは、多くの場合、ディスプレイを含む。例えば、セルラー電話及びポータブルコンピュータは、ユーザに情報を提示するディスプレイを含む。

【0 0 0 3】

有機発光ダイオードディスプレイなどのディスプレイは、発光ダイオードに基づく表示画素のアレイを有する。このタイプのディスプレイでは、各表示画素は、発光ダイオードと、光を生成するために発光ダイオードへの信号の印加を制御する薄膜トランジスタとを含む。

【0 0 0 4】

例えば、表示画素は、多くの場合、発光ダイオードを通して流れる電流量を制御する駆動薄膜トランジスタと、駆動薄膜トランジスタのゲート端子に直接接続されたスイッチングトランジスタとを含む。スイッチングトランジスタは、半導体酸化物トランジスタとして実装され、典型的には、スイッチングトランジスタがオフにされるとき低リークを呈する。半導体酸化物スイッチングトランジスタのこの低リーク特性は、駆動薄膜トランジスタが発光ダイオードに電流を通過させて光を生成するときに、駆動薄膜トランジスタのゲート端子における電圧を、表示画素の所与の発光期間中に比較的一定に保つのに役立つ。

40

【0 0 0 5】

しかしながら、半導体酸化物スイッチングトランジスタは、ディスプレイの寿命にわたって信頼性の問題を呈する。具体的には、半導体酸化物トランジスタは、半導体酸化物トランジスタが繰り返しオン及びオフになるにつれて、経時的にドリフトする閾値電圧を有

50

する。半導体酸化物トランジスタの閾値電圧が変化するとつれて、発光直前の駆動薄膜トランジスタのゲート端子における電圧も影響を受けることになる。これは、発光ダイオードを通して流れる電流量に直接影響を及ぼし、表示画素によって生成される光又は輝度の量を制御する。半導体酸化物スイッチングトランジスタの閾値電圧に対する発光ダイオード電流のこの感度は、ディスプレイにわたる輝度の不均一性、ディスプレイの寿命にわたる輝度低下、ディスプレイの寿命にわたる（例えば、ディスプレイ上にシアン／緑がかった色合いをもたらす）望ましくない色シフトなどの、理想的でない表示挙動のリスクを増大させる。

【発明の概要】

【0006】

電子デバイスは、表示画素のアレイを有するディスプレイを含むことができる。表示画素は、有機発光ダイオード表示画素であってもよい。各表示画素は、発光ダイオードと、発光ダイオードと直列に結合された駆動トランジスタと、駆動トランジスタのドレイン端子とゲート端子との間に結合された第1の半導体型のトランジスタ（例えば、半導体酸化物薄膜トランジスタ）と、第1の半導体型のトランジスタと駆動トランジスタのゲート端子との間に介在する第2の半導体型のトランジスタ（例えば、低温ポリシリコントランジスタなどのシリコン薄膜トランジスタ）と、駆動トランジスタ及び発光ダイオードと直列に結合された第1の発光トランジスタと、駆動トランジスタ及び電力線と直列に結合された第2の発光トランジスタと、発光ダイオードに直接結合された初期化トランジスタと、駆動トランジスタのソース端子に直接結合されたデータローディングトランジスタと、を含むことができる。具体的には、半導体酸化物トランジスタは、駆動トランジスタのゲート端子におけるリークを低減するように構成することができ、シリコントランジスタは、発光ダイオードを通して半導体酸化物トランジスタの閾値電圧に流れる発光電流の感度を低減するように構成することができる。

【0007】

各表示画素は、駆動トランジスタのゲート端子に結合された蓄積コンデンサ（例えば、表示画素に対するデータ信号を記憶するように構成されている蓄積コンデンサ）と、半導体酸化物トランジスタのソース端子又はドレイン端子のいずれかに直接結合された整合コンデンサとを更に含んでもよい。整合コンデンサは、半導体酸化物トランジスタがオフにされるときに、半導体酸化物トランジスタを通して流れる再バランス電流を低減するように構成されてもよい。整合コンデンサは、一般に、蓄積コンデンサよりも実質的に小さくてもよい（例えば、整合コンデンサは、蓄積コンデンサよりも少なくとも2倍小さく、蓄積コンデンサよりも、少なくとも4倍小さく、少なくとも8倍小さく、少なくとも10倍小さく、2～10倍小さく、10～20倍小さく、20～100倍小さく、100～1000倍小さく、又は1000倍超小さくてもよい）。

【0008】

1つの好適な構成では、半導体酸化物トランジスタは、走査制御信号を受信するように構成されているゲート端子を有し、一方、シリコントランジスタは、走査制御信号とは異なる発光制御信号を受信するように構成されているゲート端子を有する。別の好適な構成では、半導体酸化物トランジスタ及びシリコントランジスタは、同じ走査制御信号を受信するように構成されているゲート端子を有する。シリコントランジスタの閾値電圧は、半導体酸化物トランジスタが走査制御信号の立ち上がりエッジにおいてオフにされる前にシリコントランジスタがオフにされることを確実にするために、半導体酸化物トランジスタの閾値電圧よりも大きくてもよい。このように構成され動作されることにより、電子デバイスはディスプレイにわたって輝度均一性を呈し、ディスプレイの寿命にわたって輝度低下が低減され、ディスプレイの寿命にわたって色ずれが低減される。

【0009】

別の好適な構成によれば、ディスプレイは、ディスプレイの輝度を変調するパルス幅変調（PWM）方式を使用して制御されてもよい。PWM方式のデューティサイクルは、ディスプレイに対する任意の輝度低下を補償するために、100～1000時間毎に1回増

10

20

30

40

50

加され得る。

【0010】

更に別の好適な構成によれば、半導体酸化物トランジスタを制御する走査制御信号は、半導体酸化物トランジスタの閾値電圧における変化に適合させて、ディスプレイ内の任意の輝度低下を補償することができる。一例として、走査制御信号のハイ電圧レベルは、ディスプレイの輝度を意図されたレベルに維持するのを助けるために、少なくとも300時間毎に1回30~70mVだけ減少させてもよい。別の例として、走査制御信号のロー電圧レベルは、ディスプレイの輝度を所望のレベルに維持するのを助けるために、少なくとも300時間毎に1回30~70mVだけ増加させてもよい。

【図面の簡単な説明】

10

【0011】

【図1】一実施形態に係る、有機発光ダイオード(OLED)表示画素のアレイを有する有機発光ダイオードディスプレイなどの例示的なディスプレイの図である。

【0012】

【図2】一実施形態に係る、低リフレッシュレート表示駆動方式の図である。

【0013】

【図3A】酸化物トランジスタ閾値電圧に敏感な発光電流を生成するように構成されている有機発光ダイオード表示画素の回路図である。

【0014】

【図3B】図3Aに示す有機発光ダイオード表示画素内の半導体酸化物トランジスタをオフにするときの、電荷注入及びクロックフィードスルーの影響を示す図である。

20

【0015】

【図4】図3Aに示す有機発光ダイオード表示画素の動作を示すタイミング図である。

【0016】

【図5A】半導体酸化物トランジスタの閾値電圧及びシリコントランジスタの閾値電圧が経時的にどのように変化するかを示す図である。

【0017】

【図5B】図3Aに示す有機発光ダイオード表示画素内の半導体酸化物トランジスタの閾値電圧に対するOLED発光電流の感度を示す図である。

【0018】

【図6A】一実施形態に係る、酸化物トランジスタ閾値電圧に対する感度が低い発光電流を生成するように構成されている、例示的な有機発光ダイオード表示画素の回路図である。

30

【0019】

【図6B】いくつかの実施形態に係る、図6Aの表示画素内の酸化物半導体トランジスタがオフにされた後に再バランス電流を低減するための異なるコンデンサ構成を示す図である。

【図6C】いくつかの実施形態に係る、図6Aの表示画素内の酸化物半導体トランジスタがオフにされた後に再バランス電流を低減するための異なるコンデンサ構成を示す図である。

40

【図6D】いくつかの実施形態に係る、図6Aの表示画素内の酸化物半導体トランジスタがオフにされた後に再バランス電流を低減するための異なるコンデンサ構成を示す図である。

【図6E】いくつかの実施形態に係る、図6Aの表示画素内の酸化物半導体トランジスタがオフにされた後に再バランス電流を低減するための異なるコンデンサ構成を示す図である。

【図6F】いくつかの実施形態に係る、図6Aの表示画素内の酸化物半導体トランジスタがオフにされた後に再バランス電流を低減するための異なるコンデンサ構成を示す図である。

【図6G】いくつかの実施形態に係る、図6Aの表示画素内の酸化物半導体トランジスタ

50

がオフにされた後に再バランス電流を低減するための異なるコンデンサ構成を示す図である。

【0020】

【図7】一実施形態に係る、図6Aに示す有機発光ダイオード表示画素の動作を示すタイミング図である。

【0021】

【図8】一実施形態に係る、半導体酸化物トランジスタ及び直列接続されたシリコントランジスタが同じ走査信号によって制御される、酸化物トランジスタ閾値電圧に対する感度が低い発光電流を生成するように構成されている例示的な有機発光ダイオード表示画素の回路図である。

10

【0022】

【図9】一実施形態に係る、図8に示す有機発光ダイオード表示画素の動作を示すタイミング図である。

【0023】

【図10】一実施形態に係る、対応する発光及び走査制御信号を生成するように構成されている例示的なゲートドライバ回路の図である。

【0024】

【図11A】一実施形態に係る、他のゲートドライバ回路に関連付けられた制御信号を受信する発光ゲートドライバの回路図である。

【0025】

20

【図11B】一実施形態に係る、図11Aに示す発光ゲートドライバの動作を示すタイミング図である。

【0026】

【図12】一実施形態に係る、図11Aに示す発光ゲートドライバよりも少ないコンデンサを有する発光ゲートドライバの回路図である。

【0027】

【図13A】一実施形態に係る、輝度低下を補償するために、ディスプレイの寿命にわたって発光信号のパルス幅をどのように増加し得るかを示すタイミング図である。

【0028】

【図13B】一実施形態に係る、発光信号のデューティサイクルを経時的にどのように調節し得るかを示すプロットである。

30

【0029】

【図13C】一実施形態に係る、第1の明るさ設定で、発光信号のパルス幅オフセットを経時的にどのように増加し得るかを示す図である。

【0030】

【図13D】一実施形態に係る、第2の明るさ設定で、発光信号のパルス幅オフセットを経時的にどのように増加し得るかを示す図である。

【0031】

【図14A】一実施形態に係る、アクティブハイ走査制御信号の図である。

【0032】

40

【図14B】一実施形態に係る、表示輝度低下を緩和するために、アクティブハイ走査制御信号の正電圧レベルをどのように調整し得るかを示すタイミング図である。

【0033】

【図14C】一実施形態に係る、アクティブハイ走査制御信号の正電圧レベルを低減することが、どのように表示輝度を高めるのに役立ち得るかを示すプロットである。

【0034】

【図15A】一実施形態に係る、アクティブロー走査制御信号の図である。

【0035】

【図15B】一実施形態に係る、表示輝度低下を緩和するためにアクティブロー走査制御信号のロー電圧レベルをどのように調整し得るかを示すタイミング図である。

50

【 0 0 3 6 】

【図 1 5 C】一実施形態に係る、アクティブロー走査制御信号のロー電圧レベルを増加することが、どのように表示輝度を高めるのに役立ち得るかを示すプロットである。

【発明を実施するための形態】

【 0 0 3 7 】

電子デバイスのディスプレイは、表示画素のアレイ上に画像を表示するためのドライバ回路を備えることができる。例示的なディスプレイを図 1 に示す。図 1 に示すように、ディスプレイ 1 4 は、基板 2 4 などの 1 つ以上の層を有してもよい。基板 2 4 などの層は、平面ガラス層などの材料の平面矩形層から形成されてもよい。ディスプレイ 1 4 は、ユーザ用の画像を表示するための表示画素 2 2 のアレイを有してもよい。表示画素 2 2 のアレイは、基板 2 4 上の表示画素構造の行及び列から形成されてもよい。これらの構造体は、ポリシリコン薄膜トランジスタ、半導体酸化物薄膜トランジスタなどの薄膜トランジスタを含んでもよい。表示画素 2 2 のアレイ内には、任意の好適な数の行及び列が存在し得る（例えば、10 以上、100 以上、又は 1000 以上）。

10

【 0 0 3 8 】

ディスプレイドライバ集積回路 1 6 などのディスプレイドライバ回路は、はんだ又は導電性接着剤を使用して基板 2 4 上の金属トレースなどの導電性経路に連結してもよい。ディスプレイドライバ集積回路 1 6（タイミングコントローラチップと呼ばれることがある）は、経路 2 5 を通じてシステム制御回路と通信するための通信回路を含むことができる。経路 2 5 は、フレキシブルプリント回路又は他のケーブル上のトレースから形成してもよい。システム制御回路は、セルラー電話、コンピュータ、コンピュータタブレット、テレビ、セットトップボックス、メディアプレーヤ、腕時計、ポータブル電子デバイス、又はディスプレイ 1 4 が使用されている他の電子機器などの電子デバイス内のメインロジックボード上に配置されてもよい。動作中、システム制御回路は、ディスプレイ 1 4 上に表示される画像に関する情報を、経路 2 5 を介して表示ドライバ集積回路 1 6 に供給することができる。表示画素 2 2 上に画像を表示するために、表示ドライバ集積回路 1 6 は、行ドライバ回路 1 8 及び列ドライバ回路 2 0 などの表示ドライバ回路に、クロック信号及び他の制御信号を供給することができる。行ドライバ回路 1 8 及び / 又は列ドライバ回路 2 0 は、基板 2 4 上の 1 つ以上の集積回路及び / 又は 1 つ以上の薄膜トランジスタ回路から形成されてもよい。

20

30

【 0 0 3 9 】

行ドライバ回路 1 8 は、ディスプレイ 1 4 の左端及び右端上に、ディスプレイ 1 4 の単一の端部のみに、又はディスプレイ 1 4 の他の場所に配置されてもよい。動作中、行ドライバ回路 1 8 は、水平線 2 8（行線又は「走査」線と呼ばれることがある）上に、行制御信号を提供することができる。それゆえ、行ドライバ回路 1 8 は、走査線ドライバ回路と呼ばれることがある。行ドライバ回路 1 8 はまた、所望であれば、発光制御線などの他の行制御信号を提供するために使用されてもよい。

【 0 0 4 0 】

列ドライバ回路 2 0 は、表示ドライバ集積回路 1 6 からのデータ信号 D を、複数の対応する垂直線 2 6 上に供給するために使用することができる。列ドライバ回路 2 0 は、データ線ドライバ回路又はソースドライバ回路と呼ばれることがある。垂直線 2 6 は、データ線と呼ばれることがある。補償動作中、列ドライバ回路 2 0 は、垂直線 2 6 などの経路を使用して、基準電圧を供給することができる。プログラミング動作中、表示データは、線 2 6 を使用して表示画素 2 2 内にロードされる。

40

【 0 0 4 1 】

各データ線 2 6 は、表示画素 2 2 のそれぞれの列に関連付けられている。水平信号線 2 8 のセットは、ディスプレイ 1 4 にわたって水平に走る。電源経路及び他の線はまた、画素 2 2 に信号を供給してもよい。水平信号線 2 8 の各セットは、表示画素 2 2 のそれぞれの行に関連付けられている。各行内の水平信号線の数、水平信号線によって独立して制御されている表示画素 2 2 内のトランジスタの数によって決定され得る。異なる構成の表

50

示画素が、異なる数の制御線、データ線、電源線などによって動作されてもよい。

【0042】

行ドライバ回路18は、ディスプレイ14中の行線28上で制御信号をアサートし得る。例えば、ドライバ回路18は、表示ドライバ集積回路16からクロック信号及び他の制御信号を受信することができ、受信信号に応じて、表示画素22の各行に制御信号をアサートすることができる。表示画素22の行は、表示画素のアレイの最上部から開始し、アレイの底部で終了する画像データの各フレームに対する処理をしながら、順番に処理されてもよい。行の走査線がアサートされている間、回路16によって列ドライバ回路20に提供される制御信号及びデータ信号は、行の表示画素がデータ線D上に現れている表示データでプログラムされるように、関連付けられたデータ信号Dをデータ線26上に逆多重化して駆動するように回路20に指示する。表示画素は、次いで、ロードされた表示データを表示することができる。

10

【0043】

ディスプレイ14などの有機発光ダイオード(OLED)ディスプレイでは、各表示画素は、発光用のそれぞれの有機発光ダイオードを含む。駆動トランジスタは、有機発光ダイオードからの光出力量を制御する。表示画素内の制御回路は、有機発光ダイオードからの出力信号の強度が、駆動トランジスタの閾値電圧とは無関係である間に、表示画素内にロードされたデータ信号のサイズに比例するように、閾値電圧補償動作を実行するように構成されている。

20

【0044】

ディスプレイ14は、低リフレッシュレート動作をサポートするように構成することができる。比較的低いリフレッシュレート(例えば、1Hz、2Hz、1~10Hz、100Hz未満、60Hz未満、30Hz未満、10Hz未満、5Hz未満、1Hz未満、又は他の好適に低レートのリフレッシュレート)を使用してディスプレイ14を動作させることは、静的又はほぼ静的であるコンテンツを出力するアプリケーション、及び/又は最小限の電力消費を必要とするアプリケーションに好適であり得る。図2は、一実施形態に係る、低リフレッシュレート表示駆動方式の図である。図2に示すように、ディスプレイ14は、(期間T_{refresh}によって示されるような)短いデータリフレッシュフェーズと延長ブランキング期間T_{blank}との間で交互動作してもよい。期間T_{refresh}中、各表示画素内のデータ値は、リフレッシュされ、「上書きされ」、又は更新されてもよい。

30

【0045】

一例として、各データリフレッシュ期間T_{refresh}は、60Hzのデータリフレッシュ動作に従って約16.67ミリ秒(ms)であってもよく、一方、各期間T_{blank}は、ディスプレイ14の全体リフレッシュレートが(低リフレッシュレート表示動作の一例として)1Hzに低下するように、約1秒であってもよい。そのように構成すれば、T_{blank}の持続時間を調整して、ディスプレイ14の全体リフレッシュレートを調整することができる。例えば、T_{blank}の継続時間が0.5秒に調整される場合、全体リフレッシュレートは2Hzに増加し得る。別の例として、T_{blank}の持続時間が4分の1秒に調整された場合、全体リフレッシュレートは4Hzに増加し得る。本明細書に記載される実施形態では、ブランキングインターバルT_{blank}は、T_{refresh}の持続時間の少なくとも2倍、T_{refresh}の持続時間の少なくとも10倍、T_{refresh}の持続時間の少なくとも20倍、T_{refresh}の持続時間の少なくとも30倍、T_{refresh}の持続時間の少なくとも60倍、T_{refresh}の持続時間の2~100倍、T_{refresh}の持続時間の100倍超であってもよい。

40

【0046】

低リフレッシュレート動作をサポートするために使用できるディスプレイ14内の例示的な有機発光ダイオード表示画素22の概略図を、図3Aに示す。図3Aに示すように、表示画素22は、蓄積コンデンサC_{st}、並びにn型(すなわち、nチャネル)トランジ

50

スタ T 1、T 2、T 2、T 3、T 4、T 5、及び T 6 などのトランジスタを含み得る。画素 2 2 のトランジスタは、シリコン（例えば、LTPS 又は低温ポリシリコンと呼ばれることがある、低温プロセスを使用して堆積されたポリシリコン）、半導体酸化物（例えば、インジウムガリウム亜鉛酸化物（IGZO））、又は他の好適な半導体材料などの半導体から形成された薄膜トランジスタであってもよい。換言すれば、これらの薄膜トランジスタのアクティブ領域及び / 又はチャネル領域は、ポリシリコン又は半導体酸化物材料から形成されてもよい。

【0047】

表示画素 2 2 は、発光ダイオード 3 0 4 を含んでもよい。正電源電圧 VDD_{EL}（例えば、1 V、2 V、1 V 超、0.5 ~ 5 V、1 ~ 10 V、又は他の好適な正電圧）は、正電源端子 3 0 0 に供給することができ、接地電源電圧 VSS_{EL}（例えば、0 V、- 1 V、- 2 V、又は他の好適な負電圧）は、接地電源端子 3 0 2 に供給することができる。トランジスタ T 2 の状態は、端子 3 0 0 から端子 3 0 2 に、ダイオード 3 0 4 を通って流れる電流の量を制御し、したがって、表示画素 2 2 からの発光 3 0 6 の量を制御する。それゆえ、トランジスタ T 2 は、「駆動トランジスタ」と呼ばれることがある。ダイオード 3 0 4 は、関連する寄生容量 C_{OL_{ED}}（図示せず）を有し得る。

10

【0048】

端子 3 0 8 は、初期化電圧 V_{ini}（例えば、1 V、2 V、1 V 未満、1 ~ 5 V、又は他の好適な電圧などの正電圧）を供給するために使用され、ダイオード 3 0 4 が使用されていないときにダイオード 3 0 4 をオフにするのを支援する。図 1 の行ドライバ回路 1 8 などの表示ドライバ回路からの制御信号は、端子 3 1 2、3 1 3、3 1 4、及び 3 1 5 などの制御端子に供給される。端子 3 1 2 及び 3 1 3 は、第 1 及び第 2 の走査制御端子としてそれぞれ機能することができ、一方、端子 3 1 4 及び 3 1 5 は、第 1 及び第 2 の発光制御端子としてそれぞれ機能することができる。走査制御信号 S_{can 1} 及び S_{can 2} は、走査端子 3 1 2 及び 3 1 3 にそれぞれ適用されてもよい。発光制御信号 E_{M 1} 及び E_{M 2} は、端子 3 1 4 及び 3 1 5 にそれぞれ供給されてもよい。データ信号端子 3 1 0 などのデータ入力端子は、表示画素 2 2 に対する画像データを受信するために、図 1 のそれぞれのデータ線 2 6 に結合される。

20

【0049】

トランジスタ T 4、T 2、T 5、及びダイオード 3 0 4 は、電源端子 3 0 0 と 3 0 2 との間で直列に結合されてもよい。具体的には、トランジスタ T 4 は、正電源端子 3 0 0 に結合されたドレイン端子と、発光制御信号 E_{M 2} を受信するゲート端子と、トランジスタ T 2 及び T 3 に結合されたソース端子（ノード N 1 としてラベル付けされてる）とを有する。トランジスタの「ソース」端子及び「ドレイン」端子の用語は、時に、互換的に使用され得る。駆動トランジスタ T 2 は、ノード N 1 に結合されたドレイン端子と、ノード N 2 に結合されたゲート端子と、ノード N 3 に結合されたソース端子とを有する。トランジスタ T 5 は、ノード N 3 に結合されたドレイン端子と、発光制御信号 E_{M 1} を受信するゲート端子と、ノード N 4 に結合されたソース端子とを有する。ノード N 4 は、有機発光ダイオード 3 0 4 を介して接地電源端子 3 0 2 に結合される。

30

【0050】

トランジスタ T 3、コンデンサ C_{st}、及びトランジスタ T 6 は、ノード N 1 と端子 3 0 8 との間に直列に結合される。具体的には、トランジスタ T 3 は、ノード N 1 に結合されたドレイン端子と、走査線 3 1 2 から走査制御信号 S_{can 1} を受信するゲート端子と、ノード N 2 に結合されたソース端子とを有する。蓄積コンデンサ C_{st} は、ノード N 2 に結合された第 1 の端子と、ノード N 4 に結合された第 2 の端子とを有する。トランジスタ T 6 は、ノード N 4 に結合されたドレイン端子と、走査線 3 1 2 を介して走査制御信号 S_{can 1} を受信するゲート端子と、端子 3 0 8 を介して初期化電圧 V_{ini} を受信するソース端子とを有する。

40

【0051】

トランジスタ T 1 は、データ線 3 1 0 を介してデータ信号を受信するドレイン端子と、

50

走査線 313 を介して走査制御信号 S_{can2} を受信するゲート端子と、ノード $N3$ に結合されたソース端子とを有する。このように接続されることにより、発光制御信号 E_{M2} は、トランジスタ $T4$ をイネーブルするためにアサートされてもよく（例えば、信号 E_{M2} は、トランジスタ $T4$ をオンにするためにハイ電圧レベルに駆動されてもよい）、発光制御信号 E_{M1} は、トランジスタ $T5$ を起動するためにアサートされてもよく、走査制御信号 S_{can2} は、トランジスタ $T1$ をオンにするためにアサートされてもよく、走査制御信号 S_{can1} は、トランジスタ $T3$ 及び $T6$ を同時にオンに切り替えるためにアサートされてもよい。トランジスタ $T4$ 及び $T5$ は、発光トランジスタと呼ばれることがある。トランジスタ $T6$ は、初期化トランジスタと呼ばれることがある。トランジスタ $T1$ は、データローディングトランジスタと呼ばれることがある。

10

【0052】

1つの好適な構成では、トランジスタ $T3$ は半導体酸化物トランジスタとして実装されてもよく、残りのトランジスタ $T1$ 、 $T2$ 、及び $T4 \sim T6$ はシリコントランジスタである。半導体酸化物トランジスタは、シリコントランジスタよりも比較的呈するリークが低いので、半導体酸化物トランジスタとしてトランジスタ $T3$ を実装することは、低リフレッシュレートにおいてフリッカを低減するのに役立つ（例えば、信号 S_{can1} がデアサートされるか又はローに駆動されるときに、 $T3$ を通って電流がリークするのを防止することにより）。

【0053】

図4は、図3Aに示す有機発光ダイオード表示画素22の動作を示すタイミング図である。時間 $t1$ の前に、信号 S_{can1} 及び S_{can2} がデアサートされ（例えば、走査制御信号は両方ともロー電圧レベルにある）、一方、信号 E_{M1} 及び E_{M2} がアサートされる（例えば、発光制御信号は両方ともハイ電圧レベルにある）。両方の発光制御信号 E_{M1} 及び E_{M2} がハイの場合、発光電流は、駆動トランジスタ $T2$ を通って対応する有機発光ダイオード 304 内に流れて、光 306 を生成する（図3Aを参照）。発光電流は、OLED電流又はOLED発光電流と呼ばれることがあり、ダイオード 304 においてOLED電流が能動的に光を生成する期間は、発光フェーズと呼ばれる。

20

【0054】

時間 $t1$ において、発光制御信号 E_{M1} は、デアサートされて（すなわち、ローに駆動されて）発光フェーズを一時的に中断し、データリフレッシュ又はデータプログラミングフェーズを開始する。時間 $t2$ において、信号 S_{can1} は、ハイにパルス化されてトランジスタ $T3$ 及び $T6$ を起動することができ、コンデンサ C_{st} にわたる電圧を所定の電圧差（例えば、 $V_{DDE} - V_{ini}$ ）に初期化する。

30

【0055】

時間 $t3$ において、信号 S_{can2} がアサートされている間に、かつ、信号 E_{M1} 及び E_{M2} が両方ともデアサートされている間に、走査制御信号 S_{can1} は、ハイにパルス化されて、データ線 310 から表示画素 22 内に所望のデータ信号をロードする。時間 $t4$ において、走査制御信号 S_{can1} はデアサートされ（例えば、ローに駆動され）、データプログラミングフェーズの終了を意味する。時間 $t4$ における信号 S_{can1} の立ち下がりエッジは、トランジスタ $T3$ の非起動に関連する任意の意図されない寄生効果がノード $N2$ における電圧に影響を与えるため、重要なイベントであり得る。これは、対応する発光フェーズにおいて（例えば、発光制御信号が再アサートされる時間 $t5$ において）アクティブOLED電流に、それゆえ、画素 22 によって生成される、結果としての輝度に、直接影響を及ぼすことになる。

40

【0056】

図3Bは、図3Aの表示画素22内の半導体酸化物トランジスタ $T3$ をオフにするときの、クロックフィードスルー及び電荷注入の影響を示す図である。図3Bに示すように、半導体酸化物トランジスタ $T3$ は、そのゲート端子とソース端子との間に結合されたゲートソース間寄生容量 C_{gs} と、そのゲート端子とドレイン端子との間に結合されたゲートドレイン間寄生容量 C_{gd} とを有する。信号 S_{can1} がローに駆動されると、 S_{can}

50

1 パルスの立ち下がりエッジは、寄生容量 C_{gs} を介してノード N_2 に結合され得る。この過渡的な寄生結合イベントの結果として、ノード N_2 は、瞬間的な電圧シフトを経験する場合がある。トランジスタ T_3 のゲート端子からトランジスタ T_3 のソース端子に、立ち下がり信号エッジ挙動が結合されるこの効果は、「クロックフィードスルー」と呼ばれることがある。 $Scan_1$ クロックフィードスルーの量は、経時的に比較的固定されたままであるトランジスタ T_3 の物理的特性である寄生容量 C_{gs} の関数である。

【0057】

信号 $Scan_1$ がハイからローに遷移すると、電荷はまた、半導体酸化物トランジスタ T_3 のゲート端子から、そのソース端子に（電荷注入経路 392 によって示すように）及びそのドレイン端子に（電荷注入経路 390 によって示すように）流れることができ、「電荷注入」と呼ばれることがある現象となる。ノード N_2 内に注入される電荷 392 の量及びノード N_1 内に注入される電荷 390 の量は、一般に、ノード N_1 とノード N_2 との間の容量における相対的な差に依存し得る。ノード N_1 における総実効容量とノード N_2 における総実効容量との差が小さい場合、電荷注入量 390 及び 392 は比較的類似することになるため、ノード N_1 及び N_2 におけるエンディング電圧は等しくなる。しかしながら、ノード N_1 における総実効容量とノード N_2 における総実効容量との差が大きい場合、電荷注入量 390 及び 392 は異なる。

【0058】

信号 $Scan_1$ がアサートされるとき、ノード N_1 における電圧 (V_{N1}) 及びノード N_2 における電圧 (V_{N2}) は等しい。しかしながら、トランジスタ T_3 がオフに切り替えられると、クロックフィードスルーと電荷注入との組み合わせが、 V_{N1} を V_{N2} から不整合にさせる場合がある。信号 $Scan_1$ が立ち下がる時に V_{N1} が V_{N2} に等しくない場合、電流 I_{12} などのソースドレイン間再バランス電流又は再結合電流は、ノード N_1 からノード N_2 へ、又はノード N_2 からノード N_1 へと流れる可能性があり、それによってたとえトランジスタ T_3 が遮断された後であっても、ノード N_2 における電圧の変化を引き起こすことになる。

【0059】

クロックフィードスルー及び電荷注入の両方は、駆動トランジスタ T_2 のゲート端子に短絡されるノード N_2 における電圧に影響を及ぼすので、両方の寄生効果は、OLED 発光電流量が少なくとも部分的にトランジスタ T_2 のゲート電圧によって設定されるために、OLED 表示画素 22 によって生成される輝度に潜在的に影響を及ぼし得る。ノード N_2 における電圧摂動量、したがって、再バランス電流 I_{12} の大きさは、半導体酸化物トランジスタ T_3 の閾値電圧の関数であってもよい（すなわち、 I_{12} は半導体酸化物トランジスタ閾値電圧 V_{th_ox} に依存する）。トランジスタ T_3 を半導体酸化物トランジスタとして実装することは、駆動トランジスタ T_2 のゲート端子におけるリーク電流を最小化するのに役立つが、半導体酸化物トランジスタ T_3 は、信頼性の問題を被る可能性がある。

【0060】

表示画素 22 のデータプログラミング動作の間、走査クロック信号 $Scan_1$ は、ハイ電圧レベル V_{SH} （例えば、10 V、10 V 超、1 ~ 10 V、5 V 超、1 ~ 5 V、10 ~ 15 V、20 V、20 V 超、又は他の好適な正 / 高電圧レベル）までプルアップされてもよく、また、ロー電圧レベル V_{SL} （例えば、-5 V、-1 V、0 ~ -5 V、-5 ~ -10 V、0 V 未満、-1 V 未満、-4 V 未満、-5 V 未満、-10 V 未満、又は他の好適な負 / 低電圧レベル）までプルダウンされてもよい。具体的には、発光フェーズ中の半導体酸化物トランジスタ T_3 のゲート端子における負電圧 V_{SL} の印加により、トランジスタ T_3 にわたる負のゲートソース間電圧ストレスがかかり、それによって酸化物劣化（経年劣化効果と呼ばれることがある）をもたらす、経時的に V_{th_ox} をドリフトさせる原因となる。図 5A は、酸化半導体トランジスタ T_3 の閾値電圧が経時的にどのように変化するかを示す図である。トレース 500 は、ディスプレイ 14 の寿命にわたる半導体酸化物トランジスタ T_3 の閾値電圧を表す。トレース 500 に示すように、 V_{th_ox} は、

経時的に変化する（例えば、通常表示動作の１～４週にわたって、通常表示動作の１～１２か月にわたって、表示動作の少なくとも１年にわたって、表示動作の１～５年にわたって、表示動作の１～１０年にわたって）。

【００６１】

図５Ｂは、 V_{th_ox} における電圧変化量の関数として、OLED発光電流 I_{OLED} の百分率変化をプロットしている。トレース５０２は、図３Ａの有機発光ダイオード表示画素２２内のトランジスタＴ３の閾値電圧 V_{th_ox} に対する I_{OLED} の感度を示す。図５Ｂのトレース５０２によって示すように、電流 I_{OLED} は、 V_{th_ox} が公称閾値電圧量から１．５Ｖだけ逸脱した場合に約５０％増加する可能性があり、 V_{th_ox} が公称閾値電圧量から－１．５Ｖだけ逸脱した場合に約４０％減少する可能性がある。トレース５０２によって表されるような、 V_{th_ox} における変化に対するOLED電流のこの比較的高い感度は、 V_{th_ox} が経時的にドリフトするにつれて、ディスプレイにわたる輝度不均一性、輝度低下、及びディスプレイ内の望ましくない色シフトなどの、理想的でない挙動を引き起こす場合がある。

10

【００６２】

半導体酸化物トランジスタＴ３に関連する信頼性の問題を緩和することを助けるため、 n チャネルLTPSトランジスタＴ７などのシリコントランジスタを、半導体酸化物トランジスタＴ３とノードＮ２との間に介在させることができる（例えば、図６ＡのOLED表示画素２２を参照）。図６Ａに示すように、シリコントランジスタＴ７は、中間ノードＮ５においてトランジスタＴ３のソース端子に接続されたドレイン端子と、ノードＮ２において駆動トランジスタＴ２のゲート端子に接続されたソース端子と、別の発光線３１６を介して発光制御信号 $EM3$ を受信するゲート端子とを有する。信号 $EM3$ は、トランジスタＴ７を選択的にオンにするためにアサートされ（例えば、ハイに駆動され）てもよく、トランジスタＴ７を選択的にオフにするためにデアサートされ（例えば、ローに駆動され）てもよい。図３Ａの画素回路と同じ参照番号でマーキングされた図６Ａにおける画素２２の残りの部分は、同様の構成を使用して相互接続されており、本実施形態を不明瞭にすることを避けるために、詳細に反復される必要はない。

20

【００６３】

図７は、図６Ａに示すタイプのOLED表示画素２２の動作を示すタイミング図である。時間 t_1 の前に、信号 $Scan1$ 及び $Scan2$ がデアサートされ（例えば、走査制御信号は両方とも V_{SL} にローに駆動され）、一方、信号 $EM1$ 、 $EM2$ 、及び $EM3$ がアサートされる（例えば、発光制御信号は両方とも正電源電圧レベルにある）。両方の発光制御信号 $EM1$ 及び $EM2$ がハイの場合、発光電流は、駆動トランジスタＴ２を通して対応する有機発光ダイオード３０４内に流れて、発光フェーズ中に光を生成する。発光制御信号 $EM3$ がアサートされると、ノードＮ５は、シリコントランジスタＴ７を介してノードＮ２に効果的に短絡される。

30

【００６４】

時間 t_1 において、発光制御信号 $EM1$ は、デアサートされて（例えば、ローに駆動されて）発光フェーズを一時的に中断し、データプログラミングフェーズを開始する。時間 t_2 において、信号 $Scan1$ は、ハイにパルス化されてトランジスタＴ３及びＴ６を起動することができ、それによってコンデンサ C_{st} にわたる電圧を所定の電圧差（例えば、 $V_{DDEL} - V_{ini}$ ）に初期化する。時間 t_3 において、信号 $Scan2$ がアサートされている間に、かつ、信号 $EM1$ 及び $EM2$ が両方ともデアサートされている間に、走査制御信号 $Scan1$ は、ハイにパルス化されて、データ線３１０から表示画素２２内に所望のデータ信号をロードする。

40

【００６５】

時間 t_5 において、走査制御信号 $Scan1$ はデアサートされ（例えば、ローに駆動され）、データプログラミングフェーズの終了を意味する。図７に示すように、発光制御信号 $EM3$ は、信号 $Scan1$ の立ち下がリクロックエッジを囲む ΔPW のパルス幅で一時的にローにパルス化されてもよい（例えば、信号 $EM3$ は、時間 t_4 において $Scan1$

50

の立ち下がリエッジ前にデアサートされ、時間 t_6 において S_{can1} がローである後に再アサートされてもよい)。このように動作させることにより、時間 t_5 において半導体酸化物トランジスタ T_3 がオフにされる前に、シリコントランジスタ T_7 が最初にオフにされる。発光フェーズ中にトランジスタ T_7 をオンにすることは、トランジスタ T_7 がオンに切り替えられている場合にトランジスタ T_7 を通ってリークする電流が全く存在しないことになるため、フリッカを低減するのに役立ち得る。

【0066】

時間 t_5 において半導体酸化物トランジスタ T_3 がオフにされると、信号 S_{can1} の立ち下がリエッジから誘導されたクロックフィードスルー及び電荷注入が、ノード N_5 における電圧 (V_{N5}) をノード N_1 における電圧 (V_{N1}) から潜在的に不整合とさせ得るため、その結果、電流 I_{15} がトランジスタ T_3 を通って流れてノード N_1 及び N_5 を再バランス化し得る。時間 t_6 においてトランジスタ T_7 が後にオンにされると、(トランジスタ T_3 の閾値電圧 V_{th_ox} の関数である) V_{N5} は V_{N2} と再バランス化されることになり、これは駆動トランジスタ T_2 のゲート電圧が、 V_{th_ox} における任意のドリフトに敏感であるというリスクにさらされることを意味する。

【0067】

再バランス電流 I_{15} を最小化するのに役立ち、したがって、 V_{th_ox} に対する $OLED$ 電流のこの感度を緩和するために、コンデンサ C_{n5} などの整合コンデンサを、ノード N_5 に取り付けることができる(例えば、図6Aを参照)。コンデンサ C_{n5} は、ノード N_5 における総実効容量を、ノード N_1 における総実効容量と等しくする容量値を有する。換言すれば、コンデンサ C_{n5} は、時間 t_4 における S_{can1} の立ち下がリエッジの直後に V_{N1} が V_{N5} に相対的に等しくなることを可能にし、それによって半導体酸化物トランジスタ T_3 を通って流れる潜在的な再バランス電流 I_{15} を最小化する値を有するべきである。半導体酸化物トランジスタ T_3 の V_{th_ox} の関数である、トランジスタ T_3 を通る再バランス電流 I_{15} の量を低減することにより、 V_{th_ox} に対する、ノード N_2 における駆動トランジスタゲート電圧の感度を緩和することができる(それによって $OLED$ 発光電流を直接制御する)。コンデンサ C_{n5} は、蓄積コンデンサ C_{st} よりも実質的に小さくてもよい(例えば、 C_{n5} は、 C_{st} よりも少なくとも2倍小さく、 C_{st} よりも、少なくとも4倍小さく、少なくとも8倍小さく、少なくとも10倍小さく、2~10倍小さく、10~20倍小さく、20~100倍小さく、100~1000倍小さく、又は1000倍超小さくてもよい)。

【0068】

それゆえ、シリコントランジスタ T_7 の追加は、ノード N_1 と N_5 との間の容量整合を可能にする。図3Aの画素22内の半導体酸化物トランジスタ T_3 のソース端子及びドレイン端子における容量を整合させることは、 C_{st} の容量が比較的大きいため、実現可能ではない。このように、ノード N_1 における容量を C_{st} に整合させるいかなる試みも、画素面積を劇的に増加させ得る大きなコンデンサを追加することを必要とし得る。半導体酸化物トランジスタ T_3 と比較すると、シリコントランジスタ T_7 は、少なくともクロックフィードスルー及び電荷注入に関して、改善された物理的特性を呈する。

【0069】

一般に、シリコントランジスタ T_7 は、半導体酸化物トランジスタ T_3 と比較して実質的により低いゲートソース間寄生容量 C_{gs} を呈し、これが時間 t_6 において発光制御信号がアサートされるときにクロックフィードスルーの影響を低減する。1つの好適な構成では、シリコントランジスタ T_7 は、最小の C_{gs} に対して最適化するために、トップゲートシリコントランジスタ(例えば、LTPS半導体材料の上方に形成された金属ゲート導体を有する薄膜トランジスタ)として実装されてもよい。トップゲートシリコントランジスタとは対照的に、ボトムゲートシリコントランジスタ(例えば、LTPS半導体材料の下方に形成された金属ゲート導体を有する薄膜トランジスタ)は、比較的より大きい C_{gs} を呈する傾向がある。

【0070】

10

20

30

40

50

ディスプレイの寿命にわたってドリフトする閾値電圧 V_{th_ox} を有する半導体酸化物トランジスタ T_3 とは対照的に、シリコントランジスタ T_7 は、経時的に比較的一定のままである閾値電圧 V_{th_ltps} を有する（例えば、図 5 A のトレース 550 を参照）。これは、シリコントランジスタが、一般に、少なくともチャネル整合性に関して、半導体酸化物トランジスタよりも信頼性が高いためである。このように、たとえ時間 t_6 においてトランジスタ T_7 がオンにされても、ノード N_2 への電荷注入の量、及びトランジスタ T_7 を通ってノード N_2 に流れる再バランス電流 I_{52} の量は、経時的に一定かつ予測可能となる。

【0071】

このように構成することにより、発光制御信号 EM_1 及び EM_2 が両方ともハイである時間 t_7 において図 6 A の表示画素 22 によって生成される対応する $OLED$ 電流は、図 5 B のトレース 552 によって示すように、 V_{th_ox} における変化に対して実質的に感度がより低い。トレース 552 によって示すように、たとえ V_{th_ox} が $+/-1.5V$ だけ逸脱しても、結果として生じる I_{OLED} の変化は、少なくとも 20% 未満、10% 未満、5% 未満、1% 未満、トレース 502 の感度の 10 倍未満、トレース 502 の感度の 20 倍未満、などであり得る。トランジスタ T_3 の V_{th_ox} における偏差に対する $OLED$ 電流感度を緩和することは、ディスプレイにわたる輝度均一性を提供し、ディスプレイの寿命にわたる輝度低下を低減させ、ディスプレイの寿命にわたる色シフトを低減させ、ディスプレイの他の理想的でない挙動を減少させる。

【0072】

図 6 A の例では、コンデンサ C_{n5} （例えば、信号 $Scan_1$ がデアサートされた後に再バランス電流が半導体酸化物トランジスタ T_3 を通って流れるのを防ぐために、ノード N_5 の総容量をノード N_1 における総容量とおおよそ等しくするように構成されているディスクリートコンデンサ構造）が、ノード N_5 と正の電源線 300 との間に結合される。この特定の構成は、単なる例示に過ぎない。図 6 B ~ 図 6 G は、図 6 A のトランジスタ T_3 をオフにした後の再バランス電流を低減するための異なるコンデンサ構成を示す図である。

【0073】

図 6 B は、コンデンサ C_{n5} が、ノード N_5 に接続された第 1 の端子と、接地線 302 に接続された第 2 の端子（すなわち、接地電源電圧 V_{SS_EL} が提供される接地線）とを有する、別の好適な構成を示す。図 6 C は、コンデンサ C_{n5} が、ノード N_5 に接続された第 1 の端子と、発光線 316 に接続された第 2 の端子（すなわち、発光制御信号 EM_3 が提供される端子）とを有する、別の好適な構成を示す。図 6 D は、コンデンサ C_{n5} が、ノード N_5 に接続された第 1 の端子と、走査線 312 に接続された第 2 の端子（すなわち、走査制御信号 $Scan_1$ が提供される端子）とを有する、更に別の好適な構成を示す。

【0074】

追加の容量整合 / バランスコンデンサ C_{n5} がノード N_5 に結合されている図 6 A ~ 図 6 D に示す実施例は、単なる例示である。追加のコンデンサは、常にノード N_5 に結合される必要はない。他の適切な実施形態では、信号 $Scan_1$ がデアサートされた後に、再バランス電流が半導体酸化物トランジスタ T_3 を通って流れることを防ぐための追加の容量再バランスコンデンサを、ノード N_1 に代わりに取り付けることができる（例えば、図 6 E ~ 図 6 G のコンデンサ C_{n1} を参照）。図 6 E は、コンデンサ C_{n1} が、ノード N_1 に接続された第 1 の端子と、走査線 312 に接続された第 2 の端子（すなわち、走査制御信号 $Scan_1$ が提供される端子）とを有する、1 つの好適な構成を示す。図 6 F は、コンデンサ C_{n1} が、ノード N_1 に接続された第 1 の端子と、正の電源線 300 に接続された第 2 の端子（すなわち、正の電源電圧 V_{DD_EL} が提供される端子）とを有する、別の好適な構成を示す。図 6 G は、コンデンサ C_{n1} が、ノード N_1 に接続された第 1 の端子と、接地線 302 に接続された第 2 の端子とを有する、更に別の好適な構成を示す。

【0075】

追加の容量がノードN5及びN1に結合される図6A～図6Gの実施例は、単なる例示に過ぎない。所望であれば、追加の容量がノードN5及びノードN1の両方に結合されてもよい（すなわち、第1の追加のコンデンサがノードN5に取り付けられてもよく、他方、単一の実施形態では、第2の追加のコンデンサがノードN1に取り付けられてもよい）。一般に、トランジスタT3がオフにされ、信号Scan1がデアサートされた後にトランジスタT3を流れる再バランス電流を最小化するように、VN5がVN1に実質的に等しいことを確実にするための他の好適な方法を実装することができる。

【0076】

一般に、駆動トランジスタT2及び半導体酸化物トランジスタT3は、nチャネル薄膜トランジスタとして実装されるべきである。所望であれば、残りのトランジスタT1及びT4～T7は、任意選択的に、pチャネル薄膜トランジスタとして実装することができる。nチャネルトランジスタとは対照的に、pチャネルトランジスタは、アクティブロースイッチである（すなわち、pチャネルトランジスタは、オンになるためにそのゲートにロー電圧信号を受信する必要がある）。したがって、トランジスタT4が（一例として）pチャネルトランジスタとして実装された場合、信号EM2の波形は、図7に示すものの反転バージョンとなり得る。

【0077】

別の好適な構成では、トランジスタT3及びT6は、半導体酸化物トランジスタとして実装されてもよく、残りのトランジスタT1、T2、T4、T5、及びT7は、シリコントランジスタである。両方のトランジスタT3及びT6が両方とも信号Scan1によって制御されるので、同じトランジスタタイプとしてそれらを形成することは、製造の簡略化を助け得る。

【0078】

更に別の好適な構成では、トランジスタT3、T6、及びT2も、半導体酸化物トランジスタとして実装されてもよく、残りのトランジスタT1、T4、T5、及びT7は、シリコントランジスタである。駆動トランジスタT2は、画素22の発光電流に重要な閾値電圧を有する。トップゲート半導体酸化物トランジスタとして駆動トランジスタT2を形成することは、ヒステリシスを低減する（例えば、トップゲートIGZOトランジスタが、シリコントランジスタよりも低い閾値電圧ヒステリシスを経験する）のに役立ち得る。所望であれば、トランジスタT1～T6は全て半導体酸化物トランジスタであってもよい。

【0079】

シリコントランジスタT7が別個の発光制御信号EM3を受信する図6Aの実施例は、単なる例示に過ぎない。この追加の発光線を排除するために、シリコントランジスタT7は、走査制御信号Scan1によって制御することができる（例えば、図8のOLED表示画素22を参照）。図8における画素22の残りの部分は、同様の構成を使用して相互接続されており、本実施形態を不明瞭にすることを避けるために、詳細に反復される必要はない。

【0080】

図9は、図8に示すタイプのOLED表示画素22の動作を示すタイミング図である。時間t1の前に、信号Scan1及びScan2がデアサートされ（例えば、走査制御信号は両方ともVSLにある）、一方、信号EM1及びEM2がアサートされる（例えば、発光制御信号は両方とも正電源電圧レベルにある）。両方の発光制御信号EM1及びEM2がハイの場合、発光電流は、対応する有機発光ダイオード304内に駆動トランジスタT2を通して流れて、発光フェーズ中に光を生成する。

【0081】

時間t1において、発光制御信号EM1は、デアサートされて（例えば、ローに駆動されて）発光フェーズを一時的に中断し、データプログラミングフェーズを開始する。時間t2において、信号Scan1は、ハイにパルス化されてトランジスタT3、T6、及びT7を起動することができ、それによってコンデンサCstにわたる電圧を所定の電圧差

10

20

30

40

50

(例えば、 $V_{DDE L} - V_{ini}$)に初期化する。時間 t_3 において、信号 $S_{can 2}$ がアサートされている間に、かつ、信号 $E_{M 1}$ 及び $E_{M 2}$ が両方ともデアサートされている間に、走査制御信号 $S_{can 1}$ は、ハイにパルス化されて、データ線 310 から表示画素 22 内に所望のデータ信号をロードする。

【0082】

時間 t_4 において、走査制御信号 $S_{can 1}$ はデアサートされ(例えば、ローに駆動され)、データプログラミングフェーズの終了を意味する。走査制御信号 $S_{can 1}$ は、図 8 の実施形態では両方のトランジスタ T_3 及び T_7 を制御するので、トランジスタ T_3 及び T_7 は両方とも、 $S_{can 1}$ の立ち下がりエッジにおいてオフにされ得る。しかしながら、トランジスタ T_3 がオフにされる前にトランジスタ T_7 が最初にオフにされて、半導体酸化物トランジスタ T_3 の寄生効果からノード N_2 を絶縁するのを助けることが一般的に望ましい。トランジスタ T_3 が信号 $S_{can 1}$ の立ち下がりエッジにおいてオフにされる前にトランジスタ T_7 がオフにされることを確実にするために、トランジスタ T_3 及び T_7 に異なる閾値電圧レベルを提供することができる。トランジスタ T_3 及び T_7 が両方とも n チャネルトランジスタとして実装されると仮定すると、トランジスタ T_7 の閾値電圧は、トランジスタ T_7 が最初にオフにされるようにトランジスタ T_3 の閾値電圧よりも大きいことが好ましい。これはまた、図 6 A ~ 図 6 G の実施形態にも当てはまり得る。このイベントのシーケンスを、図 9 の拡大図 900 に示す。例えば、時間 t_4 において V_{SH} から V_{SL} までの信号 $S_{can 1}$ が遷移すると、シリコントランジスタ T_7 は、時間 t_4' において最初にオフにされ、一方、半導体酸化物トランジスタ T_3 は、その後時間 t_4'' においてオフにされる。

【0083】

トランジスタ T_7 が時間 $t_4 \sim t_4'$ にオフにされる前に、トランジスタ T_3 を通って流れる電流 I_{15} が依然として存在しており、トランジスタ T_7 がまだオンであるためノード N_2 における電圧に影響を与えることになる。トランジスタ T_7 がオンである間に、電流 I_{15} がトランジスタ T_3 を通って流れてノード N_1 及び N_5 を再バランスする場合、駆動トランジスタ T_2 のゲート電圧は、 V_{th_ox} における任意のドリフトに敏感であるというリスクにさらされることになる。電流 I_{15} を最小化するのに役立ち、したがって、 V_{th_ox} に対する $OLED$ 電流のこの感度を緩和するために、コンデンサ C_{n5} などの整合コンデンサを、ノード N_5 に取り付けることができる(例えば、図 8 を参照)。コンデンサ C_{n5} は、ノード N_5 における総実効容量を、ノード N_1 における総実効容量と等しくする容量値を有する。換言すれば、コンデンサ C_{n5} は、時間 t_4 における $S_{can 1}$ の立ち下がりエッジの直後に V_{N1} が V_{N5} に相対的に等しくなることを可能にし、それによって半導体酸化物トランジスタ T_3 を通って流れる潜在的な再バランス電流 I_{15} を最小化する値を有するべきである。半導体酸化物トランジスタ T_3 の V_{th_ox} の関数である、トランジスタ T_3 を通る再バランス電流 I_{15} の量を低減することにより、 V_{th_ox} に対する、ノード N_2 における駆動トランジスタゲート電圧の感度を緩和することができる(それによって $OLED$ 発光電流を直接制御する)。更に、コンデンサ C_{n5} の値は、フリッカを低減するように更に調整されてもよい。

【0084】

それゆえ、シリコントランジスタ T_7 の追加は、ノード N_1 と N_5 との間の容量整合を可能にする。図 3 A の画素 22 内の半導体酸化物トランジスタ T_3 のソース端子及びドレイン端子における容量を整合させることは、 C_{st} の容量が比較的大きいため、実現可能ではない。したがって、ノード N_1 における容量を C_{st} に整合させるいかなる試みも、画素面積を劇的に増加させ得る大きなコンデンサを追加することを必要とし得る。半導体酸化物トランジスタ T_3 と比較すると、シリコントランジスタ T_7 は、少なくともクロックフィードスルー及び電荷注入に関して、改善された物理的特性を呈する。

【0085】

一般に、シリコントランジスタ T_7 は、半導体酸化物トランジスタ T_3 と比較して実質的により低いゲートソース間寄生容量 C_{gs} を呈し、これが時間 t_6 において発光制御信

10

20

30

40

50

号がアサートされるときにクロックフィードスルーの影響を低減する。1つの好適な構成では、シリコントランジスタT7は、最小のCgsに対して最適化するために、トップゲートシリコントランジスタ(例えば、LTPS半導体材料の上方に形成された金属ゲート導体を有する薄膜トランジスタ)として実装されてもよい。ディスプレイの寿命にわたってドリフトする閾値電圧 V_{th_ox} を有する半導体酸化物トランジスタT3とは対照的に、シリコントランジスタT7は、経時的に比較的一定のままである閾値電圧 V_{th_ltp} を有する(例えば、図5Aのトレース550を参照)。これは、シリコントランジスタが、一般に、少なくともチャネル整合性に関して、半導体酸化物トランジスタよりも信頼性が高いためである。このように、たとえ時間 t_4' においてトランジスタT7がオフにされても、ノードN2への電荷注入の量、及びトランジスタT7を通してノードN2に流れる再バランス電流I52の量は、経時的に一定かつ予測可能となる。

10

【0086】

このように構成することにより、発光制御信号EM1及びEM2が両方ともハイである時間 t_5 において図8の表示画素22によって生成される対応するOLED電流は、図5Bのトレース552によって示すように、 V_{th_ox} における変化に対して実質的に感度がより低い。トランジスタT3の V_{th_ox} における偏差に対するOLED電流感度を緩和することは、ディスプレイにわたる輝度均一性を提供し、ディスプレイの寿命にわたる輝度低下を低減させ、ディスプレイの寿命にわたる色シフトを低減させ、ディスプレイの他の理想的でない挙動を減少させる。

20

【0087】

図8の例では、コンデンサCn5(例えば、信号Scan1がデアサートされるときに再バランス電流が半導体酸化物トランジスタT3を通して流れるのを防ぐために、ノードN5における総容量をノードN1における総容量と等しくするように構成されているディスプレイコンデンサ回路)が、ノードN5と走査線312との間に結合される。この特定の構成は、単なる例示に過ぎない。所望であれば、1つ以上の追加のコンデンサ構成要素を、任意の好適な方法でノードN5及び/又はノードN1に結合することができる(例えば、図6A~図6Gを参照)。

【0088】

トランジスタT7などのシリコントランジスタ、及びコンデンサCn5又はCn1などのコンデンサを使用して、半導体酸化物トランジスタT3の V_{th_ox} における潜在的な変化に対するOLED発光電流の感度を低減する、図6~図9に関連して説明される様々な実施形態は、単なる例示に過ぎない。一般に、これらの技術は、1つ以上の駆動トランジスタ及び少なくとも3個の付随するスイッチングトランジスタ、少なくとも4個の付随するスイッチングトランジスタ、少なくとも5個の付随するスイッチングトランジスタ、少なくとも6個の付随するスイッチングトランジスタ、1~10個の関連するスイッチングトランジスタ、10個以上の関連するスイッチングトランジスタ、などを含む任意のタイプの表示画素に適用されて、フリッカを低減し、輝度の均一性を提供し、低リフレッシュレートディスプレイの寿命にわたって輝度低下及び色シフトを防止するのに役立つことができる。

30

【0089】

図6Aに示すタイプのピクセル22を制御するための様々な走査制御信号及び発光制御信号は、行ドライバ回路18(図1)の一部として形成されたそれぞれの走査線ドライバ回路及び発光線ドライバ回路を使用して生成されてもよい。図10は、対応する発光及び走査制御信号を生成するように構成されている、例示的なゲートドライバ回路の図である。図10に示すように、行ドライバ回路18は、発光制御信号EM1を生成するように構成されている第1の発光線ドライバ1002と、発光制御信号EM2を生成するように構成されている第2の発光線ドライバ1004と、発光制御信号EM3を生成するように構成されている第3の発光線ドライバ1006と、走査制御信号Scan1を生成するように構成されている第1の走査線ドライバ1008と、走査制御信号Scan2を生成するように構成されている第2の走査線ドライバ1010と、を含んでもよい。

40

50

【 0 0 9 0 】

発光線ドライバは、発光クロック信号のそれぞれのペアを使用してそれぞれ制御されてもよい。例えば、第 1 の発光線ドライバ 1 0 0 2 は、第 1 のクロックペア E M 1 __ C L K 1 及び E M 1 __ C L K 2 を使用して制御されてもよく、第 2 の発光線ドライバ 1 0 0 4 は、第 2 のクロックペア E M 2 __ C L K 1 及び E M 2 __ C L K 2 を使用して制御されてもよい。特に、発光線ドライバ 1 0 0 6 は、発光クロックペアのうちの 1 つを使用して制御されてもよい。図 1 0 の実施例では、発光線ドライバ 1 0 0 6 は、経路 1 0 2 0 及び 1 0 2 2 によって示すように、第 2 のクロック対 E M 2 __ C L K 1 及び E M 2 __ C L K 2 を使用して、それぞれ制御される。発光線ドライバ 1 0 0 6 はまた、フィードバックルーティング経路 1 0 3 0 及び 1 0 3 2 によって示すように、走査制御信号 S c a n 1 及び S c a n 2 を使用して、それぞれ制御されてもよい。このようにして、発光線ドライバ 1 0 0 6 を制御するために、他のゲートドライバから制御信号を使用し共有することにより、回路面積を劇的に低減することができる。更に、ドライバ 1 0 0 2、1 0 0 4、1 0 0 8、及びドライバ 1 0 1 0 は、開始パルス信号をそれぞれ必要とし得るが、ドライバ 1 0 0 6 は別個の開始パルス信号を必要としないため、設計の複雑さを単純化するのにも役立つ。

10

【 0 0 9 1 】

図 1 1 A は、発光線ドライバ 1 0 0 6 の 1 つの好適な実装を示す回路図である。図 1 1 A に示すように、発光線ドライバ 1 0 0 6 は、第 1 の電源線 1 0 4 (例えば、電圧 V S H が設けられる電源線)と第 2 の電源線 1 0 6 (例えば、電圧 V E L が設けられる電源線)との間に直列に結合されたプルアップ出力トランジスタ 1 1 0 及びプルダウン出力トランジスタ 1 1 2 を含んでもよい。電圧 V S H は、走査線ドライバ 1 0 0 8 及び / 又は 1 0 1 0 のうちの 1 つから借用された正の電源線であってもよく、一方、電圧 V E L は、他の発光線ドライバ 1 0 0 2 及び / 又は 1 0 0 4 のうちの 1 つから借用された負の電源線であってもよい。一般に、電圧 V S H は V D D E L より大きくてもよく、電圧 V E L は V S S E L より小さくてもよい。一例として、V D D E L が 8 . 5 V である場合、V S H は 1 0 . 5 V であり得る。別の例として、V S S E L が 0 V である場合、V E L は - 3 V であり得る。これらの例は単なる例示に過ぎず、本実施形態の範囲を限定する役割を果たさない。所望であれば、V S H は、固定された電源電圧である必要はなく、柔軟性の増大のために独立して調整されてもよい。トランジスタ 1 1 0 のゲート端子はノード Q としてラベル付けされてもよく、トランジスタ 1 1 2 のゲート端子はノード Q B としてラベル付けされてもよい。第 1 のコンデンサ C Q は、トランジスタ 1 1 0 のゲート及びソース端子にわたって結合され、一方、第 2 のコンデンサ C Q B は、トランジスタ 1 1 2 のゲート及びソース端子にわたって結合される。

20

30

【 0 0 9 2 】

ノード Q B は、トランジスタ 1 2 6 を使用して、ローに駆動又はデアサートされ得る。トランジスタ 1 2 6 は、E M __ C L K 2 (例えば、図 1 0 の E M 1 __ C L K 2 又は E M 2 __ C L K 2 のいずれか)を受信するゲート端子を有する。他方、ノード Q B は、第 3 の電源線 1 0 2 (例えば、電圧 V E H が提供される電源線)とノード Q B との間に直列に結合されたトランジスタ 1 2 0、1 2 2、及び 1 2 4 を使用して、ハイに駆動又はアサートされ得る。電圧 V E H は、発光線ドライバ 1 0 0 2 及び / 又は 1 0 0 4 のうちの 1 つから借用した正の電源線であってもよい。一般に、電圧 V E H は、V D D E L よりも大きく、また V S H より大きくてもよい。一例として、V S H が 1 0 . 5 V である場合、V E H は 1 2 . 5 V であり得る。トランジスタ 1 2 0 は、E M __ C L K 1 (例えば、図 1 0 の E M 1 __ C L K 1 又は E M 2 __ C L K 1 のいずれか)を受信するゲート端子を有する。トランジスタ 1 2 2 は、S c a n 2 を受信するゲート端子を有する。トランジスタ 1 2 4 は、S c a n 1 を受信するゲート端子を有する。このように直列に接続されることにより、トランジスタ 1 2 0、1 2 2、及び 1 2 4 は、信号 E M __ C L K 1、S c a n 1、及び S c a n 2 の全てが同時にハイである場合にのみ、ノード Q B をハイに駆動する論理 A N D 回路 1 1 9 を形成し得る。

40

【 0 0 9 3 】

50

ノードQは、ノードQと電源線102との間に結合されたトランジスタ130を使用して、ハイに駆動又はアサートされ得る。トランジスタ130は、EMCLK2を受信するゲート端子を有する。他方、ノードQは、ノードQと電源線106との間に直列に結合されたトランジスタ132及び134を使用して、ローに駆動又はデアサートされ得る。トランジスタ132は、電源線102から固定された電源電圧VEHを受信するゲート端子を有する（すなわち、トランジスタ132は常にオンである）。トランジスタ134は、走査制御線Scan1を受信するゲート端子を有する。このようにして構成されることにより、ドライバ1006において受信された全ての制御信号が他のゲートドライバ回路から借用され、それによって表示境界領域の要件が劇的に低減される。

【0094】

10

図11Bは、図11Aに関して説明したタイプの発光線ドライバ1006の動作を示すタイミング図である。図11Aに示すように、信号Scan1及びScan2は異なるパルス幅を有し、信号EMCLK1は信号EMCLK2の遅延バージョンである。時間t1において、信号Scan1は、信号Scan2が既にハイである間に、最初にパルス化され得る。信号Scan1をアサートすることにより、トランジスタ134をオンにし、それによってノードQを電圧VELに向かって駆動し、トランジスタ110をオフにする。これは、トランジスタ112がその後オンにされるときに、任意の潜在的な駆動競合を排除するのに役立つ。

【0095】

20

時間t2において、信号EMCLK1はハイにパルス化され、トランジスタ120をオンにする。信号EMCLK1、Scan1、及びScan2の全てがこの時点でハイであるため、ANDロジック119はノードQBをハイに引き上げるように起動され、プルダウントランジスタ112をオンにして信号EM3を（矢印150によって示すように）ローに駆動する。

【0096】

信号EM3は、信号EMCLK2がハイにパルス化されると、時間t3までデアサートされたままである。信号EMCLK2がハイにパルス化されると、トランジスタ126がオンにされてノードQBをVELに向かって引き寄せ、トランジスタ112をオフにする。これは、トランジスタ110との潜在的な駆動競合を排除するのに役立つ。EMCLK2をアサートすることはまた、トランジスタ130をオンにしてノードQをVEH 30 に向かって引き寄せ、それによってトランジスタ110をオンにして、残りの発光期間、信号EM3を（矢印152によって示すように）ハイに戻すように駆動する。

【0097】

図11Aに示すような発光ゲートドライバ1006の実装は、大きいコンデンサCQがプルアップ出力トランジスタ110のゲート端子に存在するときに、高電圧レベルで信号EM3を維持するのがより容易であるため、低周波数表示動作に特に適し得る。しかしながら、一般に、図11Aの発光ゲートドライバ1006は、任意の好適な周波数の表示動作をサポートするために使用することができる。

【0098】

40

図12は、発光線ドライバ1006の別の好適な実装を示す回路図である。図11Aに関連して既に説明されているものと同じ参照番号及び接続を有する構造的構成要素は、実質的に同様の機能を果たすため、反復される必要はない。しかしながら、ノードQは、2段階サブドライバ回路を使用して制御されることに留意されたい。図12に示すように、ドライバ1006は、第2のサブドライバ段階160-2と直列に接続された第1のサブドライバ段階160-1を含んでもよい。第1の段階160-1は、電源線102と106との間のトランジスタ172と直列に接続されたトランジスタ170を含む。トランジスタ170は、EMCLK2を受信するゲート端子を有し、トランジスタ172は、Scan1を受信するゲート端子を有する。段階160-1の出力は、ノードQ'とラベル付けされる。第2の段階160-2は、電源線102と106との間のトランジスタ182と直列に接続されたトランジスタ180を含む。トランジスタ180は、ノードQ'に 50

直接接続されたゲート端子を有し、トランジスタ182は、Scan1も受信するゲート端子を有する。段階160-2の出力は、ノードQに直接接続される。

【0099】

発光線ドライバ1006を制御する信号は、図11Bに関して既に示され説明されているものと同一であり、その詳細は、簡潔さのために再反復される必要はない。EMCLK2を受信するトランジスタ130がノードQに直接結合される図11Bの設計とは対照的に、図12の2段階実装は、トランジスタ170のゲート端子からのクロック結合をノードQから分離するのに役立ち得る。その結果、ノードQで必要とされる総容量を、はるかに小さくすることができる。特に、図12の設計は、トランジスタ110のゲート及びソース端子にわたってディスクリートコンデンサCQさえも必要としないため、回路面積を大幅に低減することに留意されたい。

10

【0100】

酸化物トランジスタT3に関連する閾値電圧変動を分離するためにトランジスタT7などのシリコントランジスタを使用することを含む図6～図12の実施形態は、単なる例示に過ぎない。別の好適な構成によれば、発光信号のパルス幅は、酸化物トランジスタT3に関連して予想される閾値電圧シフトを補償するのに役立つために、経時的に徐々に調整することができる。発光動作中、発光制御信号（例えば、図3の実施例における発光制御信号EM1及びEM2を参照）は、パルス幅変調（PWM）方式を使用してトグルされて、ディスプレイの輝度を制御することができる。発光制御信号のパルス幅を増大させることにより、PWMデューティサイクルを増加させ、それによってディスプレイの対応する輝度を高め得る。対照的に、発光制御信号のパルス幅を低減することにより、PWMデューティサイクルを減少させ、それによってディスプレイの対応する輝度を低下させ得る。

20

【0101】

図13Aは、一実施形態に係る、輝度低下を補償するために、ディスプレイ14の寿命にわたって発光信号のパルス幅をどのように増加し得るかを示すタイミング図である。図13Aに示すように、発光制御信号EM（PWM方式を使用して制御される任意の数の発光制御信号を表す）は、時間T0（すなわち、ディスプレイがまだ比較的新しいとき）において公称パルス幅PWを有してもよい。

【0102】

いくらかの期間及び時間T1の後、ディスプレイ14の輝度は、酸化物トランジスタT3（一例として）の閾値電圧ドリフト又は何らかの他の一時的な経時効果により、ある程度低下している可能性がある。T0～T1の時間量は、少なくとも50時間、少なくとも100時間、100～500時間、500時間超、又はディスプレイ14が輝度において望ましくない変化を被ったかもしれない他の好適な動作期間であってもよい。輝度低下を緩和するために、発光制御信号EMのパルス幅は、総パルス幅が今、 $(PW + \Delta T)$ に増加するように、パルス幅オフセット量 ΔT によって増大され得る。このようにEMのパルス幅を増大させることにより、デューティサイクルを増大させ、時間T0において、劣化した輝度をその意図されたノ元のレベルに高める。

30

【0103】

いくらかの期間及び時間T2の後、ディスプレイ14の輝度は、酸化物トランジスタT3（一例として）の閾値電圧ドリフト又は何らかの他の一時的な経時効果により、もう少し低下している可能性がある。T1～T2の時間量は、少なくとも50時間、少なくとも100時間、100～500時間、500時間超、又はディスプレイ14が輝度において望ましくない変化を被ったかもしれない他の好適な動作期間であってもよい。輝度低下を緩和するために、発光制御信号EMのパルス幅は、総パルス幅が今、 $(PW + 2 * \Delta T)$ に増加するように、別のパルス幅オフセット量 ΔT によって更に増大され得る。このようにEMのパルス幅を増大させることにより、デューティサイクルを更に増大させ、時間T0において、劣化した輝度をその意図されたノ元のレベルに高める。

40

【0104】

このプロセスは、ディスプレイ14の寿命の終了まで無限に継続してもよい。時間TN

50

において、総パルス幅は、 $(PW + N * \Delta T)$ に拡大されていることに留意されたい。一部の時点では（すなわち、デューティサイクルが100%のその限度に近づいているとき）、デューティサイクルはもはや増加し得ない。それゆえ、時間 T_N は、通常動作用途の少なくとも2年、通常動作の2～5年、通常動作用途の5～10年、又は通常の動作使用の10年超に対応するべきである。

【0105】

図13Bは、一実施形態に係る、発光信号のデューティサイクルを経時的にどのように調節し得るかを示すプロットである。図13Bに示すように、時間 T_0 において、発光制御信号のパルス幅はその公称値にあり、したがってデューティサイクルは公称デューティサイクルレベル DC_{nom} に設定される。時間 T_1 において、発光制御信号のパルス幅は、第1のオフセット量によって増大し、 DC_1 へのデューティサイクルを増加させる。時間 T_2 において、発光制御信号のパルス幅は、第2のオフセット量によって増大し、 DC_2 へのデューティサイクルを増加させる。時間 T_3 において、発光制御信号のパルス幅は、第3のオフセット量によって増大し、 DC_3 へのデューティサイクルを増加させる。このプロセスは、PWMデューティサイクルが100%で最大になるまで無限に継続してもよい。

【0106】

図13Cは、EM信号パルス幅オフセットの経時的な影響を示す図である。トレース1302は、パルス幅が一定レベルに維持された場合（すなわち、デューティサイクルが決して変化しない場合）の経時的な輝度低下の百分率を示す。時間 T_1 において、第1の量のパルス幅オフセット A_1 を公称パルス幅値 PW に適用してもよく、それによって輝度をトレース1304上の第1の対応する点まで連れ戻し得る。時間 T_2 において、第2の量の累積パルス幅オフセット A_2 を公称パルス幅値 PW に適用してもよく、それによって輝度をトレース1304上の第2の対応する点まで押し戻し得る。時間 T_3 において、第3の量の累積パルス幅オフセット A_3 を公称パルス幅値 PW に適用してもよく、それによって輝度をトレース1304上の第3の対応する点まで押し戻し得る。時間 T_4 において、第4の量の累積パルス幅オフセット A_4 を公称パルス幅値 PW に適用してもよく、それによって輝度をトレース1304上の第4の対応する点まで押し戻し得る。このプロセスは、EMのデューティサイクルが100%に達するまで無限に継続してもよい。

【0107】

図13Cの例では、第1の表示輝度帯域（例えば、第1のユーザ選択された又は外部から供給された明るさ設定）に対応してもよい。一般に、パルス幅オフセット量は、異なる表示輝度帯域において変化し得る（すなわち、異なる表示明るさ設定は、異なる量のパルス幅増大を必要とし得る）。図13Cと同様に、図13Dのトレース1302は、パルス幅が第1の輝度帯域で固定レベルに維持された場合の経時的な輝度低下の百分率を示す。図13Dのトレース1306は、パルス幅が第1の輝度帯域よりも高い輝度出力を有する第2の輝度帯域において固定レベルに維持された場合の、経時的な輝度低下の百分率を示す。

【0108】

時間 T_1 において、第1の量のパルス幅オフセット B_1 を公称パルス幅値 PW に適用してもよく、それによって輝度をトレース1304'上の第1の対応する点まで連れ戻し得る。時間 T_2 において、第2の量の累積パルス幅オフセット B_2 を公称パルス幅値 PW に適用してもよく、それによって輝度をトレース1304'上の第2の対応する点まで押し戻し得る。時間 T_3 において、第3の量の累積パルス幅オフセット B_3 を公称パルス幅値 PW に適用してもよく、それによって輝度をトレース1304'上の第3の対応する点まで押し戻し得る。時間 T_4 において、第4の量の累積パルス幅オフセット B_4 を公称パルス幅値 PW に適用してもよく、それによって輝度をトレース1304'上の第4の対応する点まで押し戻し得る。このプロセスは、EMのデューティサイクルが100%に達するまで無限に継続してもよい。

【0109】

トレース 1304' はトレース 1304 と実質的に類似していてもよいことに留意されたい。しかしながら、図 13C 及び図 13D 間の並置で示すように、EM パルス幅オフセット量は、異なる明るさ設定において異なる（すなわち、A1 は B1 に等しくない、A2 は B2 に等しくない、A3 は B3 に等しくない、A4 は B4 に等しくない、A5 は B5 に等しくない、など）。換言すれば、PWM オフセットは、異なる輝度レベルに対して別々に制御されてもよい。所望であれば、PWM オフセット量は、全ての輝度帯域に普遍的に適用されて、ディスプレイ 14 の制御を単純化することができる（すなわち、単一の PWM 増大シーケンスは、全ての外部から供給される明るさ設定に適用される）。

【0110】

一般に、表示輝度を維持するための、図 13A ~ 図 13D に関連して説明する方法は、明るさ / 輝度を制御するためのパルス幅変調方式を使用する任意の好適なタイプのディスプレイに（例えば、OLED ディスプレイ、LCD ディスプレイ、プラズマディスプレイ、又は他のタイプのディスプレイに）適用することができる。

10

【0111】

図 3B に関連して上述したように、OLED 電流量、及びそれゆえのディスプレイ輝度は、酸化物トランジスタ T3 などの問題のあるトランジスタがオフにされているときに生じる電荷注入及びソースドレイン間再バランス電流の関数である。本実施形態では、酸化物トランジスタ T3 は、アクティブハイ走査制御信号によって制御される（すなわち、走査制御信号 Scan1 は、ハイに駆動されてトランジスタ T3 をオンにし、ローに駆動されてトランジスタ T3 をオフにする）。図 14A に示すように、信号 Scan1 は、正電圧レベル VSH から負電圧レベル VSL へとデアサート又は駆動されて、トランジスタ T3 を（他のトランジスタの中で）オフにすることができる。一般に、ゲートノード N2 に注入される電荷の量（例えば、図 3A を参照）は、以下のように表すことができる。

20

【数 1】

$$Q_{ch} = C_{ox}(VSH - V_D - Vth_{ox}) \quad (1)$$

同様に、ソース - ドレイン電荷再バランス電流の量は、以下のように表すことができる。

【数 2】

$$I_{12} = \frac{\mu_n C_{ox}}{2} * \frac{W}{L} [2(VSH - V_S - Vth_{ox}) * V_{DS} - V_{DS}^2] \quad (2)$$

30

【0112】

式 1 及び式 2 の太字部分に示すように、電荷注入量 Qch 及び再バランス電流レベル I12 は両方とも、VSH と Vth_ox との差に少なくとも部分的に比例する。（図 5A の例に示すように）Vth_ox が経時的に減少すると仮定すると、Qch 及び I12 を一定に維持する方法は、次いで、Vth_ox のおけるドリフトと同様のペースで VSH を低減すること含み得る。

【0113】

図 14B は、一実施形態に係る、アクティブハイ走査制御信号 Scan1 の VSH をどのように調節して Vth_ox の変化に適応させ、それによって表示輝度低下を緩和し得るかを示すタイミング図である。時間 T0（すなわち、ディスプレイがまだ比較的新しい場合）において、VSH は公称正電源レベル VSHnom でバイアスされてもよい。

40

【0114】

いくらかの期間及び時間 T1 の後、ディスプレイ 14 の輝度は、酸化物トランジスタ T3 の閾値電圧ドリフトにより、ある程度低下している可能性がある。0 ~ T1 の時間量は、少なくとも 50 時間、少なくとも 100 時間、100 ~ 500 時間、500 時間超、又はディスプレイ 14 が輝度において望ましくない変化を被ったかもしれない他の好適な動作期間であってもよい。輝度低下を緩和するために、VSH が電圧オフセット量 ΔV だけ低減されて、Vth_ox の変化に追従し得る。オフセット量 ΔV は、10 mV、10 ~ 50 mV、50 ~ 100 mV、又は Vth_ox における電圧ドリフトに適応するための

50

他の好適なオフセット量であってもよい。

【0115】

いくらかの期間及び時間 T_2 の後、ディスプレイ 14 の輝度は、酸化物トランジスタ T_3 の閾値電圧ドリフトにおける更なる低減により、もう少し劣化している可能性がある。 $T_1 \sim T_2$ の時間量は、少なくとも 50 時間、少なくとも 100 時間、100 ~ 500 時間、500 時間超、又はディスプレイ 14 が輝度において望ましくない変化を被ったかもしれない他の好適な動作期間であってもよい。輝度低下を緩和するために、 V_{SH} が別の電圧オフセット量 ΔV だけ更に低減されて、 V_{th_ox} の変化に追従し得る。このプロセスは、ディスプレイ 14 の寿命の終了が、通常動作用途の少なくとも 2 年、通常動作の 2 ~ 5 年、通常動作用途の 5 ~ 10 年、又は通常動作使用の 10 年超続くまで、無期限に継続してもよい。

10

【0116】

図 14C は、走査制御信号 S_{can1} の V_{SH} の低減が、どのように表示輝度を高めるのに役立ち得るかを示すプロットである。曲線 1402 に示すように、ディスプレイの寿命にわたって線形又は段階的な様式で V_{SH} を低減することは、 V_{TH_ox} のおける変化によって引き起こされる望ましくない輝度低下を補償するためにその輝度を高めるのに役立ち得る。一般に、図 14B 及び図 14C に示す技術は、ディスプレイの輝度に影響を及ぼし得る、閾値電圧が変動しているトランジスタを有する任意の表示画素に適用されてもよい。

20

【0117】

酸化物トランジスタ T_3 がアクティブハイ走査制御信号によって制御される上記の例は、単なる例示に過ぎず、本実施形態の範囲を限定することを意図するものではない。他の好適な実施形態によれば、酸化物トランジスタ T_3 は、アクティブロー走査制御信号によって制御される p チャネル薄膜トランジスタである（すなわち、走査制御信号 S_{can1} は、ローに駆動されてトランジスタ T_3 をオンにし、ハイに駆動されてトランジスタ T_3 をオフにする）。図 15A に示すように、信号 S_{can1} は、負電圧レベル V_{SL} から正電圧レベル V_{SH} へとデアサート又は駆動されて、トランジスタ T_3 を（他のトランジスタの中で）オフにすることができる。上述の式 1 及び式 2 はまた、極性が切り替えられていることを除いて、p チャネルトランジスタについても当てはまる。換言すれば、 Q_{ch} 及び I_{12} を一定に維持することは、 V_{th_ox} におけるドリフトと同様のペースで V_{SL} を実際に増加させることを含み得る（ V_{t_ox} が p 型トランジスタに対して経時的に増加すると仮定して）。

30

【0118】

図 15B は、一実施形態に係る、アクティブロー走査制御信号 S_{can1} の V_{SL} をどのように調節して V_{th_ox} の変化に適応させ、それによって表示輝度低下を緩和し得るかを示すタイミング図である。時間 T_0 （すなわち、ディスプレイがまだ比較的新しい場合）において、 V_{SL} は公称接地電源レベル V_{SLnom} でバイアスされてもよい。

【0119】

いくらかの期間及び時間 T_1 の後、ディスプレイ 14 の輝度は、酸化物トランジスタ T_3 の閾値電圧ドリフトにより、ある程度低下している可能性がある。 $T_0 \sim T_1$ の時間量は、少なくとも 50 時間、少なくとも 100 時間、100 ~ 500 時間、500 時間超、又はディスプレイ 14 が輝度において望ましくない変化を被ったかもしれない他の好適な動作期間であってもよい。輝度低下を緩和するために、 V_{SL} が電圧オフセット量 ΔV だけ増加されて、 V_{th_ox} の変化に追従し得る。オフセット量 ΔV は、10 mV、10 ~ 50 mV、30 ~ 70 mV、50 ~ 100 mV、又は V_{th_ox} における電圧ドリフトに適応するための他の好適なオフセット量であってもよい。

40

【0120】

いくらかの期間及び時間 T_2 の後、ディスプレイ 14 の輝度は、酸化物トランジスタ T_3 の閾値電圧ドリフトにおける更なる増加により、もう少し劣化している可能性がある。 $T_1 \sim T_2$ の時間量は、少なくとも 50 時間、少なくとも 100 時間、100 ~ 500 時

50

間、500時間超、又はディスプレイ14が輝度において望ましくない変化を被ったかもしれない他の好適な動作期間であってもよい。輝度低下を緩和するために、 V_{SL} が別の電圧オフセット量 ΔV だけ更に増加されて、 V_{th_ox} の変化に追従し得る。このプロセスは、ディスプレイ14の寿命の終了が、通常動作用途の少なくとも2年、通常動作の2~5年、通常動作用途の5~10年、又は通常動作使用の10年超続くまで、無期限に継続してもよい。

【0121】

図15Cは、走査制御信号 $Scan_1$ の V_{SL} を上昇させることが、どのように表示輝度を高めるのに役立ち得るかを示すプロットである。曲線1502に示すように、ディスプレイの寿命にわたって線形又は段階的な様式で V_{SL} を拡大することは、 V_{TH_ox} のおける変化によって引き起こされる望ましくない輝度低下を補償するためにその輝度を高めるのに役立ち得る。一般に、図15B及び図15Cに示す技術は、ディスプレイの輝度に影響を及ぼし得る、閾値電圧が変動しているトランジスタを有する任意の表示画素に適用されてもよい。

10

【0122】

一実施形態によれば、発光ダイオードと、発光ダイオードと直列に結合された駆動トランジスタであって、ドレイン端子とゲート端子とソース端子とを含む、駆動トランジスタと、駆動トランジスタのドレイン端子とゲート端子との間に結合された第1の半導体型のトランジスタであって、駆動トランジスタのゲート端子におけるリークを低減するように構成されており、かつ、閾値電圧を有する、第1の半導体型のトランジスタと、第1の半導体型とは異なる第2の半導体型のトランジスタであって、第1の半導体型のトランジスタと駆動トランジスタのゲート端子との間に介在し、第1の半導体型のトランジスタの閾値電圧に対して、発光ダイオードを通して流れる発光電流の感度を低減するように構成されている、第2の半導体型のトランジスタと、を含む表示画素が提供される。

20

【0123】

別の実施形態によれば、第1の半導体型のトランジスタは、半導体酸化物内に形成されたチャネルを有する半導体酸化物薄膜トランジスタを含む。

【0124】

別の実施形態によれば、第2の半導体型のトランジスタは、シリコン内に形成されたチャネルを有するシリコン薄膜トランジスタを含む。

30

【0125】

別の実施形態によれば、第1の半導体型のトランジスタ及び第2の半導体型のトランジスタは、両方ともnチャネル薄膜トランジスタである。

【0126】

別の実施形態によれば、第1の半導体型のトランジスタはnチャネル薄膜トランジスタであり、第2の半導体型のトランジスタはpチャネル薄膜トランジスタである。

【0127】

別の実施形態によれば、表示画素は、駆動トランジスタのゲート端子に結合された蓄積コンデンサであって、表示画素に対するデータ信号を記憶するように構成されている、蓄積コンデンサと、第1の半導体型のトランジスタと第2の半導体型のトランジスタとの間の中間ノードに結合された整合コンデンサであって、第1の半導体型のトランジスタがオフになると、第1の半導体型のトランジスタを通じて流れる再バランス電流を低減するように構成されている、整合コンデンサと、を含む。

40

【0128】

別の実施形態によれば、整合コンデンサは、蓄積コンデンサよりも小さい。

【0129】

別の実施形態によれば、表示画素は、駆動トランジスタのゲート端子に結合された蓄積コンデンサであって、表示画素に対するデータ信号を記憶するように構成されている、蓄積コンデンサと、駆動トランジスタのドレイン端子に結合された整合コンデンサであって、第1の半導体型のトランジスタがオフになると、第1の半導体型のトランジスタを通じ

50

て流れる再バランス電流を低減するように構成されている、整合コンデンサと、を含む。

【0130】

別の実施形態によれば、第1の半導体型のトランジスタは、走査制御信号を受信するように構成されているゲート端子を有し、第2の半導体型のトランジスタは、走査制御信号とは異なる発光制御信号を受信するように構成されているゲート端子を有する。

【0131】

別の実施形態によれば、第1の半導体型のトランジスタ及び第2の半導体型のトランジスタは、同じ走査制御信号を受信するように構成されているゲート端子を有する。

【0132】

別の実施形態によれば、第1の半導体型のトランジスタは第1の閾値電圧を有し、第2の半導体型のトランジスタは、第1の閾値電圧よりも大きい第2の閾値電圧を有する。

10

【0133】

別の実施形態によれば、表示画素は、駆動トランジスタ及び発光ダイオードと直列に結合された第1の発光トランジスタと、駆動トランジスタ及び発光ダイオードと直列に結合された第2の発光トランジスタと、発光ダイオードに直接結合された初期化トランジスタと、駆動トランジスタのソース端子に直接結合されたデータローディングトランジスタと、を含む。

【0134】

一実施形態によれば、発光フェーズ中に、表示画素内の駆動トランジスタを使用して、表示画素内の発光ダイオードに発光電流を伝達することであって、駆動トランジスタがドレイン端子とゲート端子とを含む、ことと、発光フェーズ中に、駆動トランジスタのドレイン端子とゲート端子との間に結合された第1の半導体型のトランジスタを使用して、駆動トランジスタのゲート端子におけるリークを低減することであって、第1の半導体型のトランジスタが閾値電圧を有する、ことと、第1の半導体型のトランジスタと駆動トランジスタのゲート端子との間に介在する第2の半導体型のトランジスタを使用して、第1の半導体型のトランジスタの閾値電圧に対する発光電流の感度を低減することと、を含む、表示画素を動作させる方法が提供される。

20

【0135】

別の実施形態によれば、第1の半導体型のトランジスタは半導体酸化物薄膜トランジスタを含み、第2の半導体型のトランジスタはシリコン薄膜トランジスタを含む。

30

【0136】

別の実施形態によれば、方法は、第1の半導体型のトランジスタのゲート端子に走査制御信号を提供することと、第2の半導体型のトランジスタのゲート端子に走査制御信号とは異なる発光制御信号を提供することと、走査制御信号の立ち下がりエッジ前に発光制御信号をデアサートし、走査制御信号の立ち下がりエッジ後に発光制御信号をアサートすることと、を含む。

【0137】

別の実施形態によれば、方法は、第1の半導体型のトランジスタのゲート端子に走査制御信号を提供することと、第2の半導体型のトランジスタのゲート端子に走査制御信号を提供することと、走査制御信号の立ち下がりエッジにおいて、第1の半導体型のトランジスタをオフにする前に、第2の半導体型のトランジスタをオフにすることと、を含む。

40

【0138】

一実施形態によれば、表示画素のアレイを有するディスプレイを含む電子デバイスが提供され、表示画素のアレイ内の各表示画素は、発光ダイオードと、発光ダイオードと直列に結合された駆動トランジスタであって、ドレイン端子とゲート端子とソース端子とを含む、駆動トランジスタと、駆動トランジスタのドレイン端子とゲート端子との間に結合された半導体酸化物トランジスタと、半導体酸化物トランジスタと駆動トランジスタのゲート端子との間に結合されたシリコントランジスタと、を含む。

【0139】

別の実施形態によれば、表示画素のアレイ内の各表示画素は、駆動トランジスタのゲー

50

ト端子に直接結合された蓄積コンデンサと、半導体酸化物トランジスタに直接結合された整合コンデンサであって、半導体酸化物トランジスタを通して流れる再バランス電流を低減するように構成されている、整合コンデンサと、を含む。

【0140】

別の実施形態によれば、整合コンデンサは、蓄積コンデンサよりも実質的に小さい。

【0141】

別の実施形態によれば、表示画素のアレイ内の各表示画素は、駆動トランジスタ及び発光ダイオードと直列に結合された第1の発光トランジスタと、駆動トランジスタ及び発光ダイオードと直列に結合された第2の発光トランジスタと、発光ダイオードに直接結合された初期化トランジスタと、駆動トランジスタのソース端子に直接結合されたデータローディングトランジスタと、を含む。

10

【0142】

別の実施形態によれば、電子デバイスは、第1の走査制御信号を半導体酸化物トランジスタのゲート端子及び初期化トランジスタのゲート端子に出力するように構成されている第1の走査線ドライバ回路と、データローディングトランジスタのゲート端子に第2の走査制御信号を出力するように構成されている第2の走査線ドライバ回路と、第1の発光トランジスタのゲート端子に第1の発光制御信号を出力するように構成されている第1の発光線ドライバ回路と、第2の発光トランジスタのゲート端子に第2の発光制御信号を出力するように構成されている第2の発光線ドライバ回路と、シリコントランジスタのゲート端子に第3の発光制御信号を出力するように構成されている第3の発光線ドライバ回路であって、第1の走査線ドライバ回路から第1の走査制御信号を受信し、第2の走査線ドライバ回路から第2の走査制御信号を受信するように構成されている、第3の発光線ドライバ回路と、を含む。

20

【0143】

別の実施形態によれば、第1の発光線ドライバ回路は、第1のクロック信号ペアを受信するように構成されており、第2の発光線ドライバは、第2のクロック信号ペアを受信するように構成されており、第3の発光線ドライバ回路は、第1の発光線ドライバ回路に関連付けられた第1のクロック信号ペア及び第2の発光線ドライバ回路に関連付けられた第2のクロック信号ペアのうちの選択された1つを受信するように更に構成されている。

【0144】

30

別の実施形態によれば、第3の発光線ドライバ回路は、開始パルス信号を受信しない。

【0145】

別の実施形態によれば、第3の発光線ドライバ回路は、プルアップトランジスタと、プルアップトランジスタと直列に接続されたプルダウントランジスタと、選択されたクロック信号ペアにおいて第1のクロック信号を受信するように構成されているゲート端子を有する第1のトランジスタ、及び第1の走査制御信号を受信するように構成されているゲート端子を有する第2のトランジスタ、及び第2の走査制御信号を受信するように構成されているゲート端子を有する第3のトランジスタであって、使用されて、プルダウントランジスタを同時にオンにする、第1、第2、及び第3のトランジスタと、選択されたクロック信号ペアにおいて第2のクロック信号を受信するように構成されているゲート端子を有する第4のトランジスタであって、使用されてプルダウントランジスタをオフにする、第4のトランジスタと、を含む。

40

【0146】

別の実施形態によれば、第3の発光線ドライバ回路は、選択されたクロック信号ペアにおいて第2のクロック信号を受信するように構成されているゲート端子を有する第5のトランジスタであって、使用されてプルアップトランジスタをオンにする、第5のトランジスタと、固定電源電圧を受信するように構成されているゲート端子を有する第6のトランジスタ、及び第1の走査制御信号を受信するように構成されているゲート端子を有する第7のトランジスタであって、使用されてプルアップトランジスタを同時にオフにする、第6及び第7のトランジスタと、を含む。

50

【 0 1 4 7 】

別の実施形態によれば、第3の発光線ドライバ回路は、選択されたクロック信号ペアにおいて第1の走査制御信号及び第2のクロック信号を受信するように構成されている第1の段階と、第1の段階からの第1の走査制御信号及び信号を受信するように構成されている第2の段階であって、プルアップトランジスタのゲート端子に直接接続された出力を有し、プルアップトランジスタのゲート端子に結合されたディスクリートコンデンサが存在しない、第2の段階と、を含む。

【 0 1 4 8 】

一実施形態によれば、輝度を呈するディスプレイを動作させる方法であって、パルス幅変調 (P W M) 方式を使用して、ディスプレイの輝度を制御することと、表示経時変化によりディスプレイの輝度が低下した第1の期間後に、 P W M 方式のデューティサイクルを増加させて、輝度低下を補償することと、を含む方法が提供される。

10

【 0 1 4 9 】

別の実施形態によれば、第1の期間は少なくとも100時間である。

【 0 1 5 0 】

別の実施形態によれば、方法は、第1の期間に続く第2の期間の後に、 P W M 方式のデューティサイクルを更に増加させて、ディスプレイ内の任意の輝度低下を補償することを含み、第2の期間が第1の期間に等しい。

【 0 1 5 1 】

別の実施形態によれば、 P W M 方式を使用することは、パルス幅が変調された発光制御信号を、ディスプレイ上の対応する発光トランジスタに供給することを含む。

20

【 0 1 5 2 】

別の実施形態によれば、 P W M 方式のデューティサイクルを増加させることは、ディスプレイが第1の表示明るさ設定にあるときに、発光制御信号のパルス幅を第1の量だけ増大させること、ディスプレイが第2の表示明るさ設定にあるときに、発光制御信号のパルス幅を、第1の量とは異なる第2の量だけ増大させることと、を含む。

【 0 1 5 3 】

一実施形態によれば、駆動トランジスタと、駆動トランジスタのゲート端子に結合された半導体酸化物トランジスタとを有する表示画素を動作させる方法であって、半導体酸化物トランジスタのゲート端子に走査制御信号を供給することであって、半導体酸化物トランジスタが経時的に変化する閾値電圧を有し、半導体酸化物トランジスタの閾値電圧の変化がディスプレイに対する輝度低下を引き起こす、ことと、走査制御信号をアサートして、走査制御信号を第1の電圧レベルに駆動することによって半導体酸化物トランジスタをオンにすることと、走査制御信号をデアサートして、走査制御信号を第1の電圧レベルから第2の電圧レベルへと駆動することによって、半導体酸化物トランジスタをオフにすることと、走査制御信号の第1の電圧レベルを半導体酸化物トランジスタの閾値電圧の変化に適応させて、輝度低下を補償することと、を含む方法が提供される。

30

【 0 1 5 4 】

別の実施形態によれば、走査制御信号の第1の電圧レベルを適応させることは、通常の表示動作の少なくとも300時間毎に1回、30~70 m V だけ第1の電圧レベルを減少させることを含む。

40

【 0 1 5 5 】

別の実施形態によれば、走査制御信号の第1の電圧レベルを適応させることは、通常の表示動作の少なくとも300時間毎に1回、30~70 m V だけ第1の電圧レベルを増加させることを含む。

【 0 1 5 6 】

前述は、単なる例示に過ぎず、説明された実施形態に対して多様な変更を行うことができる。前述の実施形態は、個別に又は任意の組合せで実施され得る。

【図 1】

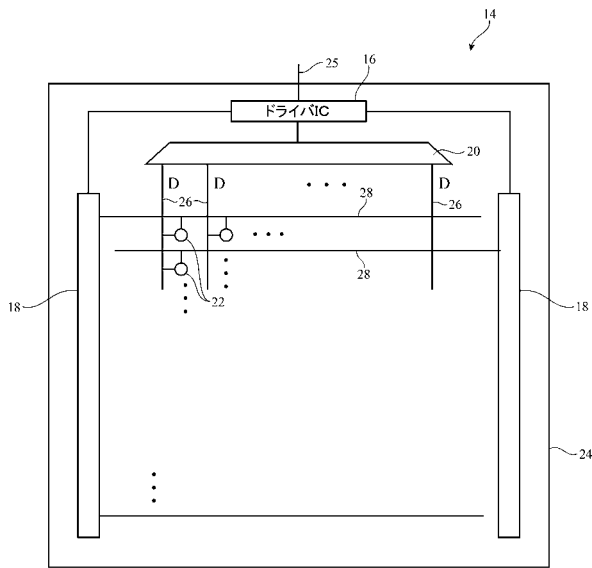


FIG. 1

【図 2】

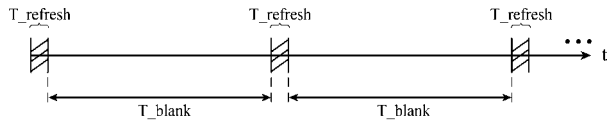


FIG. 2

【図 3 B】

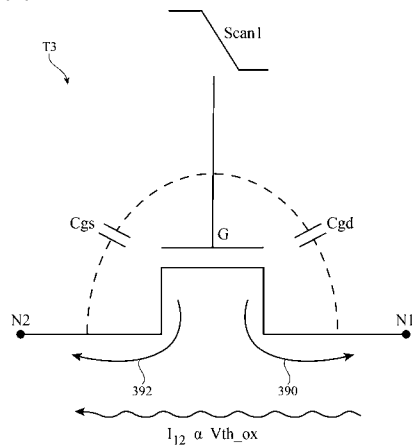


FIG. 3B

【図 4】

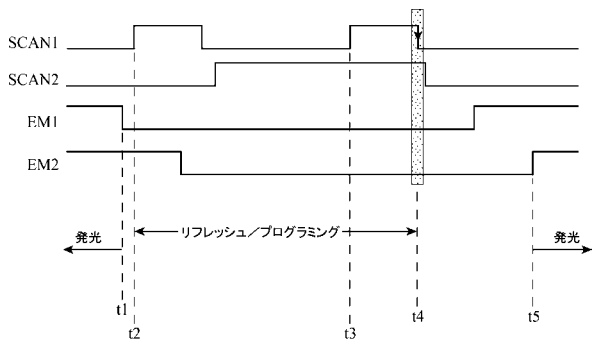


FIG. 4

【図 3 A】

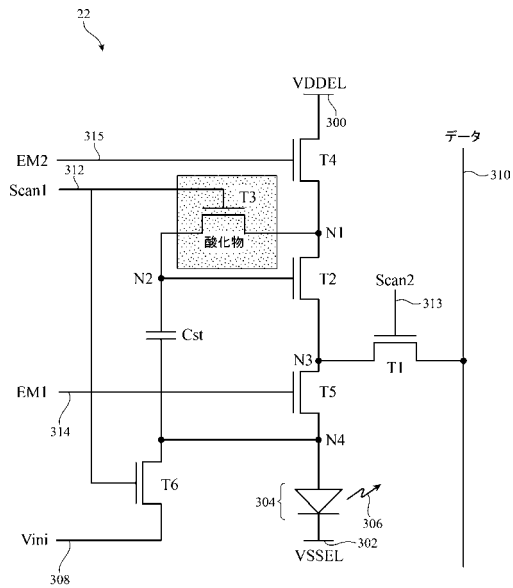


FIG. 3A

【図 5 A】

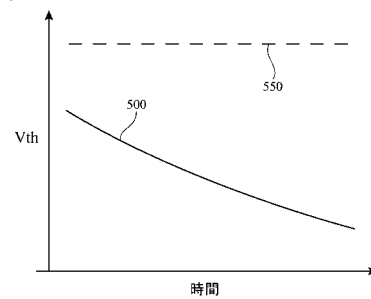


FIG. 5A

【図 5 B】

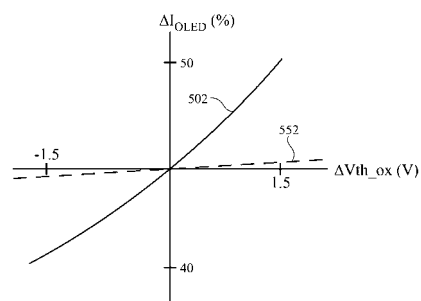


FIG. 5B

22



22

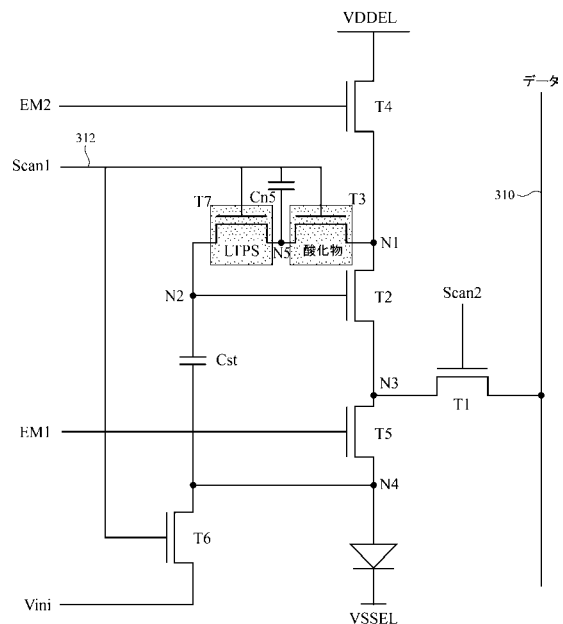


FIG. 8

【図 9】

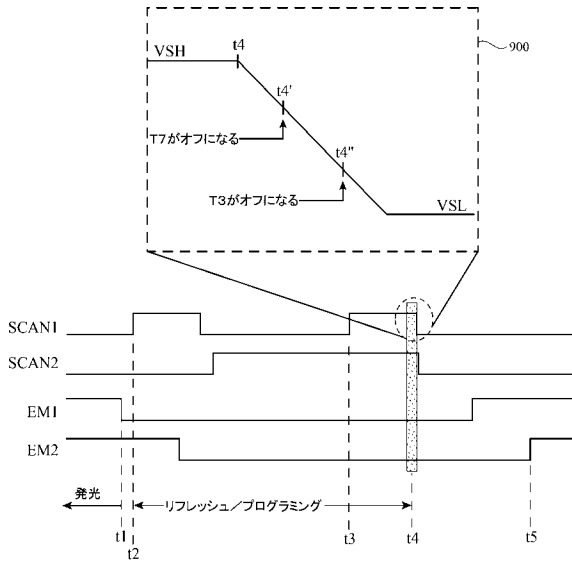


FIG. 9

【図 10】

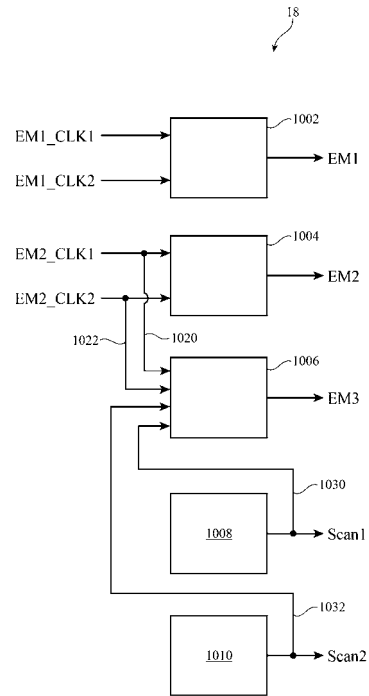


FIG. 10

【図 11 A】

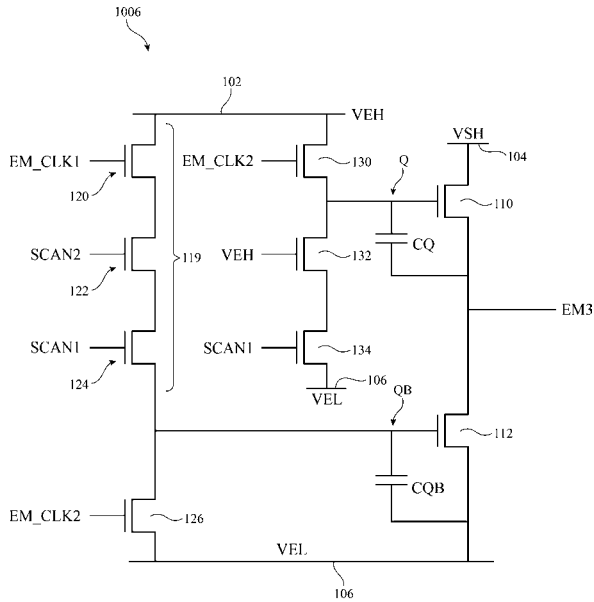


FIG. 11A

【図 11 B】

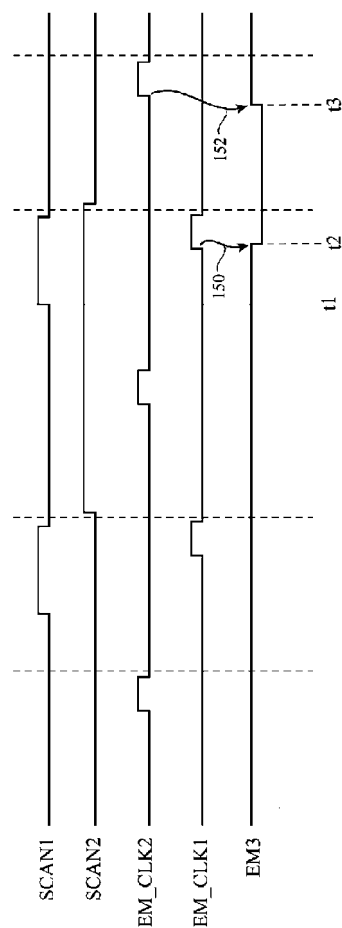


FIG. 11B

【図 15 B】

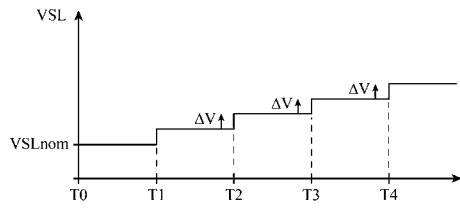


FIG. 15B

【図 15 C】

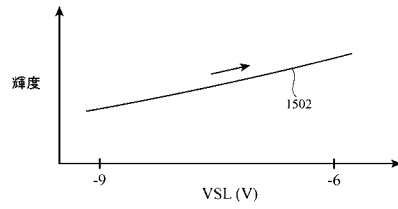


FIG. 15C

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 5 B 33/14 A

(74)代理人 100116894

弁理士 木村 秀二

(74)代理人 100130409

弁理士 下山 治

(74)代理人 100134175

弁理士 永川 行光

(72)発明者 キアン, チュアン

アメリカ合衆国 9 5 0 1 4 カリフォルニア州, クパチーノ, アップル パーク ウェイ
ワン

(72)発明者 ツァイ, ツン - ティン

アメリカ合衆国 9 5 0 1 4 カリフォルニア州, クパチーノ, アップル パーク ウェイ
ワン

(72)発明者 シェイ, チェン - チー

アメリカ合衆国 9 5 0 1 4 カリフォルニア州, クパチーノ, アップル パーク ウェイ
ワン

(72)発明者 ヤン, シュアン

アメリカ合衆国 9 5 0 1 4 カリフォルニア州, クパチーノ, アップル パーク ウェイ
ワン

(72)発明者 チャン, ティン - クオ

アメリカ合衆国 9 5 0 1 4 カリフォルニア州, クパチーノ, アップル パーク ウェイ
ワン

(72)発明者 ジャムシディ ロウドバリ, アッバス

アメリカ合衆国 9 5 0 1 4 カリフォルニア州, クパチーノ, アップル パーク ウェイ
ワン

(72)発明者 チャン, シン - チャン

アメリカ合衆国 9 5 0 1 4 カリフォルニア州, クパチーノ, アップル パーク ウェイ
ワン

F ターム(参考) 3K107 AA01 BB01 CC21 CC33 EE04 FF04 FF15 HH05

5C080 AA05 AA06 AA10 BB05 DD05 DD29 EE29 FF12 JJ02 JJ03

JJ04 JJ05

5C380 AA01 AB06 AB23 AC02 AC07 AC08 AC11 BA01 BA06 BA10

BB05 BD02 CA08 CB01 CB16 CB18 CB26 CB31 CC07 CC26

CC34 CC39 CC65 CC66 CD016 CD017 DA07 DA41 DA47 HA05

HA11

【外国語明細書】

2019211775000001.pdf

专利名称(译)	具有低刷新率显示像素且对氧化物晶体管阈值电压的敏感性降低的电子设备		
公开(公告)号	JP2019211775A	公开(公告)日	2019-12-12
申请号	JP2019100584	申请日	2019-05-29
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
发明人	キアン, チュアン ツアイ, ツン-ティン シェイ, チェン-チー ヤン, シュアン チャン, ティン-クオ ジャムシディ ロウドバリ, アッバス チャン, シン-チャン		
IPC分类号	G09G3/3233 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3266 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/08 G09G2320/0233 G09G2320/0242 G09G2320/045 G09G2320/0214 G09G2320/043 G09G2300/0871 G09G2320/064		
FI分类号	G09G3/3233 G09G3/20.624.B G09G3/20.670.J G09G3/20.641.A G09G3/20.621.A H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC33 3K107/EE04 3K107/FF04 3K107/FF15 3K107 /HH05 5C080/AA05 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD29 5C080/EE29 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AC02 5C380/AC07 5C380/AC08 5C380/AC11 5C380/BA01 5C380/BA06 5C380/BA10 5C380 /BB05 5C380/BD02 5C380/CA08 5C380/CB01 5C380/CB16 5C380/CB18 5C380/CB26 5C380/CB31 5C380/CC07 5C380/CC26 5C380/CC34 5C380/CC39 5C380/CC65 5C380/CC66 5C380/CD016 5C380 /CD017 5C380/DA07 5C380/DA41 5C380/DA47 5C380/HA05 5C380/HA11		
代理人(译)	大冢康弘 下山 治 永川 行光		
优先权	62/680911 2018-06-05 US 16/125449 2018-09-07 US		
外部链接	Espacenet		

摘要(译)

为了应对其中流过OLED的任意发光电流对在半导体氧化物晶体管的阈值电压下的任意潜在电位漂移不敏感的情况。解决方案：每个显示像素包括：发光二极管304；驱动晶体管T2串联连接至发光二极管304。在驱动晶体管T2的漏极端子和栅极端子之间的第一半导体型晶体管T3；在第一半导体型晶体管T3和驱动晶体管T2的栅极端子之间的第二半导体型晶体管T7；第一发光晶体管T5串联连接到驱动晶体管T2和发光晶体管304；第二发光晶体管T4与驱动晶体管T2和电线串联连接；起始晶体管T6直接连接至发光二极管304。数据加载晶体管T1直接连接到驱动晶体管T2的源极端子。图6A

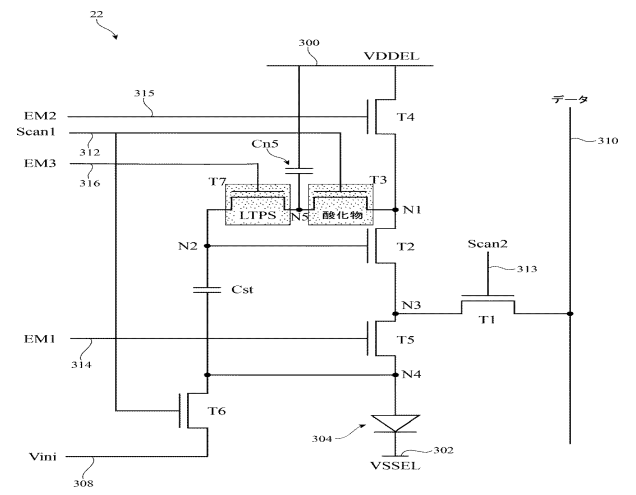


FIG. 6A