

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-210407

(P2013-210407A)

(43) 公開日 平成25年10月10日(2013. 10. 10)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/30 J	5C380
	G09G 3/20 611H	
	H05B 33/14 A	
審査請求 未請求 請求項の数 10 O L (全 25 頁)		

(21) 出願番号 特願2012-78555 (P2012-78555)
 (22) 出願日 平成24年3月30日 (2012. 3. 30)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100114476
 弁理士 政木 良文
 (72) 発明者 山内 祥光
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC21 CC33 DD39
 EE03 HH05
 5C080 AA06 CC03 DD03 EE30 FF11
 JJ02 JJ03 JJ04 JJ06

最終頁に続く

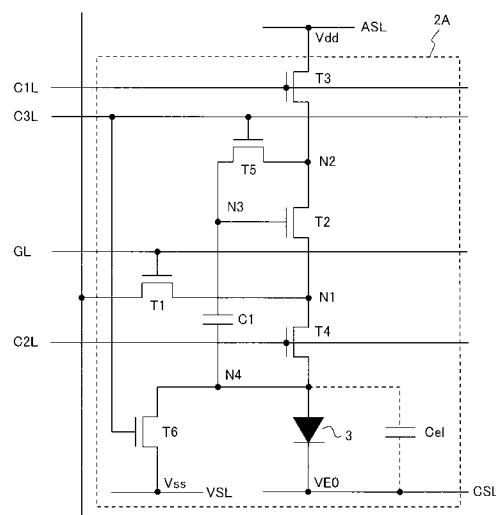
(54) 【発明の名称】 画素回路及び表示装置

(57) 【要約】

【課題】 有機EL素子の駆動トランジスタがnチャネル型の場合の発光輝度を安定的に制御できる画素回路を提供する。

【解決手段】 第1トランジスタT1のドレイン、ソース、ゲートがデータ信号線SL、ノードN1、走査信号線GLに、第2トランジスタT2のドレイン、ソース、ゲートがノードN2、ノードN1、ノードN3に、第3トランジスタT3のドレイン、ソース、ゲートがアノード電源線ASL、ノードN2、第1制御線C1Lに、第4トランジスタT4のドレイン、ソース、ゲートがノードN1、ノードN4、第2制御線C2Lに、第5トランジスタT5のドレイン、ソース、ゲートがノードN2、ノードN3、第3制御線C3Lに、第6トランジスタT6のドレイン、ソース、ゲートがノードN4、第1電源線VSL、第3制御線C3Lに、夫々接続し、容量素子C1がノードN3とノードN4間に介装され、画素回路2Aが構成される。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

アノード電極からカソード電極に発光電流が流れることで発光する発光素子、絶縁ゲート型トランジスタの第 1 トランジスタと、n チャネル型の絶縁ゲート型トランジスタの第 2 トランジスタと、第 1、第 2、第 3 及び第 4 スイッチ回路と、容量素子を備えてなる画素回路であって、

前記第 1 トランジスタのドレイン電極がデータ信号線と、前記第 1 トランジスタのソース電極が第 1 内部ノードと、前記第 1 トランジスタのゲート電極が走査信号線と、夫々接続し、

前記第 2 トランジスタのドレイン電極が第 2 内部ノードと、前記第 2 トランジスタのソース電極が前記第 1 内部ノードと、前記第 2 トランジスタのゲート電極が第 3 内部ノードと、夫々接続し、

前記第 1 スイッチ回路の一端が前記発光電流を供給するアノード電源線と、前記第 1 スイッチ回路の他端が前記第 2 内部ノードと、前記第 1 スイッチ回路の一端と他端間の導通非導通を制御する制御端子が第 1 制御線と、夫々接続し、

前記第 2 スイッチ回路の一端が前記第 1 内部ノードと、前記第 2 スイッチ回路の他端が第 4 内部ノードと、前記第 2 スイッチ回路の一端と他端間の導通非導通を制御する制御端子が第 2 制御線と、夫々接続し、

前記第 3 スイッチ回路の一端が前記第 2 内部ノードと、前記第 3 スイッチ回路の他端が前記第 3 内部ノードと、前記第 3 スイッチ回路の一端と他端間の導通非導通を制御する制御端子が前記走査信号線または第 3 制御線と、夫々接続し、

前記第 4 スイッチ回路の一端が前記第 4 内部ノードと、前記第 4 スイッチ回路の他端が第 1 電源線または前記アノード電源線と、前記第 4 スイッチ回路の一端と他端間の導通非導通を制御する制御端子が前記走査信号線または前記第 3 制御線と、夫々接続し、

前記容量素子の一端が前記第 3 内部ノードと、前記容量素子の他端が前記第 4 内部ノードと、夫々接続し、

前記発光素子のアノード電極が、前記第 4 内部ノードと接続して、構成され、

前記容量素子に 2 階調以上の画素データに応じた電圧を保持させ、前記発光素子に前記画素データに応じた前記発光電流を流して発光させる書き込み発光動作の動作期間が、初期設定期間とデータ書き込み期間と発光期間の 3 つの連続する期間を順番に備え、

前記走査信号線、前記データ信号線、前記第 1 乃至第 3 制御線に印加する電圧を制御することにより、

前記初期設定期間に、前記第 1 及び第 2 トランジスタの少なくとも何れか一方及び前記第 2 スイッチ回路がオフ状態となり、前記第 1、第 3 及び第 4 スイッチ回路がオン状態となり、

前記データ書き込み期間に、前記第 1 トランジスタと前記第 3 及び第 4 スイッチ回路がオン状態となり、前記第 1 及び第 2 スイッチ回路がオフ状態となり、前記データ信号線に前記画素データに対応した輝度電圧が印加され、

前記発光期間に、前記第 1 トランジスタと前記第 3 及び第 4 スイッチ回路がオフ状態となり、前記第 1 及び第 2 スイッチ回路がオン状態となることを特徴とする画素回路。

【請求項 2】

前記初期設定期間に、前記第 3 内部ノードの電圧が前記輝度電圧の最大値に前記第 2 トランジスタの閾値電圧を加えた電圧以上の所定の第 1 初期電圧となり、前記第 4 内部ノードの電圧が所定の第 2 初期電圧となり、

前記データ書き込み期間に、前記第 1 内部ノードの電圧が前記輝度電圧となり、前記第 3 内部ノードの電圧が前記第 1 初期電圧から前記輝度電圧に前記第 2 トランジスタの閾値電圧を加えた書き込み電圧に遷移し、前記容量素子の両端に前記書き込み電圧から前記第 2 初期電圧を差し引いた書き込み差電圧が保持され、

前記発光期間に、前記第 2 トランジスタに前記書き込み差電圧に応じた前記発光電流が流れることを特徴とする請求項 1 に記載の画素回路。

10

20

30

40

50

【請求項 3】

前記初期設定期間に、前記第 1 トランジスタがオン状態となり、前記データ信号線に第 3 初期電圧が印加され、前記第 1 内部ノードの電圧が前記第 3 初期電圧となることで、前記第 2 トランジスタがオフ状態になることを特徴とする請求項 1 または 2 に記載の画素回路。

【請求項 4】

前記第 3 及び第 4 スイッチ回路の制御端子が前記第 3 制御線と夫々接続する回路構成の場合、

前記初期設定期間に、前記走査信号線に印加される電圧によって前記第 1 トランジスタがオフ状態となり、前記第 3 制御線に印加される電圧によって前記第 3 及び第 4 スイッチ回路がオン状態となることを特徴とする請求項 1 または 2 に記載の画素回路。

10

【請求項 5】

前記第 3 及び第 4 スイッチ回路の制御端子が前記走査信号線と夫々接続する回路構成の場合、

前記初期設定期間に、前記走査信号線に印加される電圧によって前記第 1 トランジスタと前記第 3 及び第 4 スイッチ回路がオン状態となることを特徴とする請求項 3 に記載の画素回路。

【請求項 6】

前記第 3 及び第 4 スイッチ回路の何れか一方の制御端子が前記走査信号線と接続し、何れか他方の制御端子が前記第 3 制御線と接続する回路構成の場合、

20

前記初期設定期間に、前記走査信号線に印加される電圧によって前記第 3 及び第 4 スイッチ回路の何れか一方と前記第 1 トランジスタがオン状態となり、前記第 3 制御線に印加される電圧によって前記第 3 及び第 4 スイッチ回路の何れか他方がオン状態となることを特徴とする請求項 3 に記載の画素回路。

【請求項 7】

前記第 4 スイッチ回路の他端が前記アノード電源線と接続する回路構成の場合、

前記初期設定期間と前記データ書き込み期間に、前記発光素子のカソード電極に第 4 初期電圧が印加され、前記発光素子が順バイアス状態とならないことを特徴とする請求項 1 ~ 6 の何れか 1 項に記載の画素回路。

【請求項 8】

30

前記第 1 乃至第 4 スイッチ回路が、絶縁ゲート型トランジスタで構成されていることを特徴とする請求項 1 ~ 7 の何れか 1 項に記載の画素回路。

【請求項 9】

請求項 1 ~ 8 の何れか 1 項に記載の画素回路を行方向及び列方向に夫々複数配置してなる画素回路アレイと、前記画素回路アレイを駆動する駆動回路部を備えてなる表示装置であって、

前記画素回路が、前記第 3 制御線を備えず、前記第 3 及び第 4 スイッチ回路の制御端子が前記走査信号線と夫々接続する回路構成の場合、

前記駆動回路部が、少なくとも、

前記画素回路アレイの行毎に設けられた行方向に延伸する複数の前記走査信号線を各別に駆動する走査信号線駆動回路と、

40

前記画素回路アレイの行毎に設けられた行方向に延伸する複数の前記第 1 制御線を各別に駆動する第 1 制御線駆動回路と、

前記画素回路アレイの行毎に設けられた行方向に延伸する複数の前記第 2 制御線を各別に駆動する第 2 制御線駆動回路と、

前記画素回路アレイの列毎に設けられた列方向に延伸する複数の前記データ信号線を各別に駆動するデータ信号線駆動回路と、を備えて構成され、

前記画素回路が、前記第 3 制御線を備え、前記第 3 及び第 4 スイッチ回路の制御端子が前記第 3 制御線と夫々接続する回路構成の場合、

前記駆動回路部が、更に、前記画素回路アレイの行毎に設けられた行方向に延伸する複

50

数の前記第 3 制御線を各別に駆動する第 3 制御線駆動回路を備えることを特徴とする表示装置。

【請求項 10】

前記画素回路が、前記第 4 スイッチ回路の他端が前記アノード電源線と接続する回路構成の場合、

前記画素回路アレイ内の同一行の前記画素回路の前記カソード電極が行方向に延伸する共通のカソード電源線に接続し、

前記駆動回路部が、更に、前記画素回路アレイの行毎に設けられた行方向に延伸する複数の前記カソード電源線を各別に駆動するカソード電源線駆動回路を備えることを特徴とする請求項 9 に記載の表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アノード電極からカソード電極に発光電流が流れることで発光する発光素子を備えた画素回路及び表示装置に関し、特にアクティブマトリックス型の有機 EL 表示装置に関する。

【背景技術】

【0002】

有機 EL 表示装置では、有機 EL 素子である OLED (Organic Light Emitting Diode) に流れる発光電流を制御することにより、発光輝度が調整される。アクティブマトリックス型の有機 EL 表示装置では、画素回路内に、当該発光電流をゲート電圧によって制御して OLED を駆動する駆動トランジスタと、データ信号線から供給される発光輝度を多階調に調整するための輝度電圧を当該駆動トランジスタのゲート電極に転送する転送トランジスタを備える。駆動トランジスタと転送トランジスタは、絶縁ゲート型の薄膜トランジスタ (TFT) で形成される。

20

【0003】

駆動トランジスタは、図 13 に示すように、p チャネル型 TFT を使用する場合と、n チャネル型 TFT を使用する場合がある。n チャネル型 TFT を使用する場合には、OLED の発光を高効率で安定して実現するために、OLED の透明電極の仕事関数の制約から、一般的に、ソース電極を OLED のアノード電極と接続したソースフォロア回路となる。

30

【0004】

駆動トランジスタが、p チャネル型 TFT の場合は、ゲート・ソース間の電圧を一定に保持し、飽和領域で動作させることで定電流源として機能させることができる。従って、当該 p チャネル型 TFT で駆動される OLED は、OLED の電流電圧特性が経時変化によって変動しても、駆動トランジスタのゲート電圧に応じた一定電流で駆動されるため、OLED を一定の輝度で発光させることができる。

【0005】

一方、駆動トランジスタが、n チャネル型 TFT の場合は、上述のようにソースフォロア回路となるため、OLED の電流電圧特性が経時変化により変動すると、駆動トランジスタのソース電位も変動し、ゲート・ソース間の電圧を一定に保持できなくなる。この結果、駆動トランジスタのゲート電圧に応じた一定電流で OLED を駆動することが困難となる。

40

【0006】

更に、駆動トランジスタが、p チャネル型 TFT と n チャネル型 TFT の何れであっても、TFT の閾値電圧に変動やバラツキが生じると、駆動トランジスタのゲート電圧が同じでも、画素回路によって駆動される発光電流に変動やバラツキが生じ、発光輝度にバラツキが生じてしまう。

【0007】

駆動トランジスタが n チャネル型 TFT の場合は、TFT を構成する半導体材料として

50

多様な選択肢があり、pチャネル型TFTを使用する場合と比較して種々の利点が存在するが、安定的に発光輝度を制御するには、上述のOLEDの電流電圧特性の経時変化やTFTの閾値電圧の変動及びバラツキに対処する必要がある。

【0008】

駆動トランジスタとしてnチャネル型TFTを使用する場合の当該問題を解決するために、例えば、下記の特許文献1に開示された画素回路では、図14（特許文献1の図2、図7に相当）に示す回路構成を採用している。当該従来の画素回路100は、図14に示すように、OLEDと、転送トランジスタQ1、駆動トランジスタQ2、スイッチトランジスタQ3、第1検知トランジスタQ4、第2検知トランジスタQ5、保持容量C1を備えて構成され、当該5つのトランジスタは全てnチャネル型TFTで構成されている。以下、図14に示す画素回路の動作について、図15を参照して簡単に説明する。

10

【0009】

先ず、図15に示すように、初期設定ステップ(S1)において、転送トランジスタQ1をオフ状態にして、第1及び第2検知トランジスタQ4、Q5とスイッチトランジスタQ3をオン状態にして、駆動トランジスタQ2のゲート電圧 V_{Q2g} とソース電圧 V_{Q2s} を夫々、初期電位 V_{ofs} と基準電位 V_{ss} に設定する。引き続き、閾値電圧設定ステップ(S2)において、第1検知トランジスタQ4をオフにすると、駆動トランジスタQ2のソース電極(OLEDのアノード電極)が、スイッチトランジスタQ3とゲート電圧 V_{Q2g} が初期電位 V_{ofs} に設定された駆動トランジスタQ2によって充電され、電圧値が、初期電位 V_{ofs} から駆動トランジスタQ2の閾値電圧 V_{Q2th} だけ低い電圧($V_{ofs} - V_{Q2th}$)に至る。つまり、駆動トランジスタQ2のゲート・ソース間の電圧 V_{Q2gs} が閾値電圧 V_{Q2th} となる。この時点で、スイッチトランジスタQ3と第2検知トランジスタQ5を順次オフ状態にする。引き続き、書き込みステップ(S3)において、転送トランジスタQ1を一定期間オン状態にして、信号線DTLから信号電圧 V_{sig} を駆動トランジスタQ2のゲート電極に書き込む。これにより、駆動トランジスタQ2のゲート・ソース間に設けられた保持容量C1に、電圧($V_{sig} + V_{Q2th} - V_{ofs}$)が保持される。引き続き、発光ステップ(S4)において、スイッチトランジスタQ3をオン状態にすると、OLEDに発光電流が流れ始め、駆動トランジスタQ2のソース電極(OLEDのアノード電極)が、電圧($V_{ofs} - V_{Q2th}$)からOLEDの電流電圧特性と平衡する電圧まで上昇するが、保持容量C1によって、駆動トランジスタQ2のゲート・ソース間の電圧は、電圧($V_{sig} + V_{Q2th} - V_{ofs}$)に維持される。この結果、OLEDの電流電圧特性の経時変化やTFTの閾値電圧の変動及びバラツキに対処でき、安定的にOLEDの発光輝度を制御できる。

20

30

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2006-243525号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

40

しかし、図14に示す従来の画素回路100の回路構成では、以下に指摘する問題がある。図15に示す閾値電圧設定ステップ(S2)において、駆動トランジスタQ2のソース電極(OLEDのアノード電極)の電圧値が、初期電位 V_{ofs} から電圧($V_{ofs} - V_{Q2th}$)まで上昇するが、このとき、駆動トランジスタQ2のソース電極(OLEDのアノード電極)には、保持容量C1以外にOLEDの寄生容量 C_{el} も存在するため、これらの容量を、駆動トランジスタQ2を介して充電する必要がある。しかし、充電対象の容量が保持容量C1と寄生容量 C_{el} の合計となり大きくなるのに対し、OLEDの発光電流が10nAと小さいため、発光電流が必要以上に流れないように、トランジスタサイズの調整等によって、駆動トランジスタQ2の移動度を設定している。この結果、閾値電圧設定ステップ(S2)における当該容量の充電時間が長期化する。

50

【 0 0 1 2 】

更に、図 1 5 に示す書き込みステップ (S 3) において、駆動トランジスタ Q 2 のゲート電極と O L E D のカソード電極間に、保持容量 C 1 と寄生容量 C e 1 が直列に接続されるため、ゲート電極に書き込まれる信号電圧 V s i g の電圧遷移 (V s i g - V o f s) は、当該直列接続した保持容量 C 1 と寄生容量 C e 1 によって容量分割され、駆動トランジスタ Q 2 のソース電極にノイズ成分として重畳される。結果として、駆動トランジスタ Q 2 のゲート・ソース間の電圧を精度良く制御できず、安定的な O L E D の発光輝度制御の阻害要因となる。

【 0 0 1 3 】

本発明は、上記の問題点に鑑みてなされたもので、その目的は、アノード電極からカソード電極に発光電流が流れることで発光する発光素子を駆動するトランジスタが n チャネル型の場合において発光輝度を安定的に制御できる画素回路及び表示装置を提供する点にある。

【課題を解決するための手段】

【 0 0 1 4 】

上記目的を達成するため、本発明は、アノード電極からカソード電極に発光電流が流れることで発光する発光素子、絶縁ゲート型トランジスタの第 1 トランジスタと、 n チャネル型の絶縁ゲート型トランジスタの第 2 トランジスタと、第 1、第 2、第 3 及び第 4 スイッチ回路と、容量素子を備えてなる画素回路であって、

前記第 1 トランジスタのドレイン電極がデータ信号線と、前記第 1 トランジスタのソース電極が第 1 内部ノードと、前記第 1 トランジスタのゲート電極が走査信号線と、夫々接続し、

前記第 2 トランジスタのドレイン電極が第 2 内部ノードと、前記第 2 トランジスタのソース電極が前記第 1 内部ノードと、前記第 2 トランジスタのゲート電極が第 3 内部ノードと、夫々接続し、

前記第 1 スイッチ回路の一端が前記発光電流を供給するアノード電源線と、前記第 1 スイッチ回路の他端が前記第 2 内部ノードと、前記第 1 スイッチ回路の一端と他端間の導通非導通を制御する制御端子が第 1 制御線と、夫々接続し、

前記第 2 スイッチ回路の一端が前記第 1 内部ノードと、前記第 2 スイッチ回路の他端が第 4 内部ノードと、前記第 2 スイッチ回路の一端と他端間の導通非導通を制御する制御端子が第 2 制御線と、夫々接続し、

前記第 3 スイッチ回路の一端が前記第 2 内部ノードと、前記第 3 スイッチ回路の他端が前記第 3 内部ノードと、前記第 3 スイッチ回路の一端と他端間の導通非導通を制御する制御端子が前記走査信号線または第 3 制御線と、夫々接続し、

前記第 4 スイッチ回路の一端が前記第 4 内部ノードと、前記第 4 スイッチ回路の他端が第 1 電源線または前記アノード電源線と、前記第 4 スイッチ回路の一端と他端間の導通非導通を制御する制御端子が前記走査信号線または前記第 3 制御線と、夫々接続し、

前記容量素子の一端が前記第 3 内部ノードと、前記容量素子の他端が前記第 4 内部ノードと、夫々接続し、

前記発光素子のアノード電極が、前記第 4 内部ノードと接続して、構成され、

前記容量素子に 2 階調以上の画素データに応じた電圧を保持させ、前記発光素子に前記画素データに応じた前記発光電流を流して発光させる書き込み発光動作の動作期間が、初期設定期間とデータ書き込み期間と発光期間の 3 つの連続する期間を順番に備え、

前記走査信号線、前記データ信号線、前記第 1 乃至第 3 制御線に印加する電圧を制御することにより、

前記初期設定期間に、前記第 1 及び第 2 トランジスタの少なくとも何れか一方及び前記第 2 スイッチ回路がオフ状態となり、前記第 1、第 3 及び第 4 スイッチ回路がオン状態となり、

前記データ書き込み期間に、前記第 1 トランジスタと前記第 3 及び第 4 スイッチ回路がオン状態となり、前記第 1 及び第 2 スイッチ回路がオフ状態となり、前記データ信号線に

10

20

30

40

50

前記画素データに対応した輝度電圧が印加され、

前記発光期間に、前記第 1 トランジスタと前記第 3 及び第 4 スイッチ回路がオフ状態となり、前記第 1 及び第 2 スイッチ回路がオン状態となることを第 1 の特徴とする画素回路を提供する。

【0015】

上記第 1 の特徴の画素回路では、前記初期設定期間に、前記第 3 内部ノードの電圧が前記輝度電圧の最大値に前記第 2 トランジスタの閾値電圧を加えた電圧以上の所定の第 1 初期電圧となり、前記第 4 内部ノードの電圧が所定の第 2 初期電圧となり、前記データ書き込み期間に、前記第 1 内部ノードの電圧が前記輝度電圧となり、前記第 3 内部ノードの電圧が前記初期電圧から前記輝度電圧に前記第 2 トランジスタの閾値電圧を加えた書き込み電圧に遷移し、前記容量素子の両端に前記書き込み電圧から前記第 2 初期電圧を差し引いた書き込み差電圧が保持され、前記発光期間に、前記第 2 トランジスタに前記書き込み差電圧に応じた前記発光電流が流れる。

10

【0016】

更に、上記第 1 の特徴の画素回路は、前記初期設定期間に、前記第 1 トランジスタがオン状態となり、前記データ信号線に第 3 初期電圧が印加され、前記第 1 内部ノードの電圧が前記第 3 初期電圧となることで、前記第 2 トランジスタがオフ状態になることを第 2 の特徴とする。

【0017】

更に、上記第 1 の特徴の画素回路は、前記第 3 及び第 4 スイッチ回路の制御端子が前記第 3 制御線と夫々接続する回路構成の場合、前記初期設定期間に、前記走査信号線に印加される電圧によって前記第 1 トランジスタがオフ状態となり、前記第 3 制御線に印加される電圧によって前記第 3 及び第 4 スイッチ回路がオン状態となることを第 3 の特徴とする。

20

【0018】

更に、上記第 2 の特徴の画素回路は、前記第 3 及び第 4 スイッチ回路の制御端子が前記走査信号線と夫々接続する回路構成の場合、前記初期設定期間に、前記走査信号線に印加される電圧によって前記第 1 トランジスタと前記第 3 及び第 4 スイッチ回路がオン状態となることを第 4 の特徴とする。

【0019】

30

更に、上記第 2 の特徴の画素回路は、前記第 3 及び第 4 スイッチ回路の何れか一方の制御端子が前記走査信号線と接続し、何れか他方の制御端子が前記第 3 制御線と接続する回路構成の場合、前記初期設定期間に、前記走査信号線に印加される電圧によって前記第 3 及び第 4 スイッチ回路の何れか一方と前記第 1 トランジスタがオン状態となり、前記第 3 制御線に印加される電圧によって前記第 3 及び第 4 スイッチ回路の何れか他方がオン状態となることを第 5 の特徴とする。

【0020】

更に、上記何れかの特徴の画素回路において、前記第 4 スイッチ回路の他端が前記アノード電源線と接続する回路構成の場合、前記初期設定期間と前記データ書き込み期間に、前記発光素子のカソード電極に第 4 初期電圧が印加され、前記発光素子が順バイアス状態とならないことが好ましい。

40

【0021】

更に、上記何れかの特徴の画素回路において、前記第 1 乃至第 4 スイッチ回路が、絶縁ゲート型トランジスタで構成されていることが好ましい。

【0022】

更に、上記目的を達成するため、本発明は、上記何れかの特徴の画素回路を行方向及び列方向に夫々複数配置してなる画素回路アレイと、前記画素回路アレイを駆動する駆動回路部を備えてなる表示装置であって、

前記画素回路が、前記第 3 制御線を備えず、前記第 3 及び第 4 スイッチ回路の制御端子が前記走査信号線と夫々接続する回路構成の場合、

50

前記駆動回路部が、少なくとも、前記画素回路アレイの行毎に設けられた行方向に延伸する複数の前記走査信号線を各別に駆動する走査信号線駆動回路と、前記画素回路アレイの行毎に設けられた行方向に延伸する複数の前記第1制御線を各別に駆動する第1制御線駆動回路と、前記画素回路アレイの行毎に設けられた行方向に延伸する複数の前記第2制御線を各別に駆動する第2制御線駆動回路と、前記画素回路アレイの列毎に設けられた列方向に延伸する複数の前記データ信号線を各別に駆動するデータ信号線駆動回路と、を備えて構成され、

前記画素回路が、前記第3制御線を備え、前記第3及び第4スイッチ回路の制御端子が前記第3制御線と夫々接続する回路構成の場合、

前記駆動回路部が、更に、前記画素回路アレイの行毎に設けられた行方向に延伸する複数の前記第3制御線を各別に駆動する第3制御線駆動回路を備えることを特徴とする表示装置を提供する。

10

【0023】

更に、上記特徴の表示装置において、前記画素回路が、前記第4スイッチ回路の他端が前記アノード電源線と接続する回路構成の場合、前記画素回路アレイ内の同一行の前記画素回路の前記カソード電極が行方向に延伸する共通のカソード電源線に接続し、前記駆動回路部が、更に、前記画素回路アレイの行毎に設けられた行方向に延伸する複数の前記カソード電源線を各別に駆動するカソード電源線駆動回路を備えることが好ましい。

【発明の効果】

【0024】

20

上記画素回路及び表示装置によれば、画素回路が上記した何れの回路構成であっても、初期設定期間に、第1及び第2トランジスタの少なくとも何れか一方がオフ状態となり、前記アノード電源線から前記データ信号線に至る電流経路が遮断されるため、OLEDの駆動トランジスタである第2トランジスタのゲート電極である第3内部ノードの電圧 V_{N3} を、前記アノード電源線の電圧 V_{dd} （第1初期電圧）に設定することができる。電圧 V_{dd} は予め、輝度電圧 V_{pd} の最大値 $V_{pdm\max}$ に第2トランジスタの閾値電圧 V_{th2} を加えた電圧（ $V_{pdm\max} + V_{th2}$ ）に設定することができる。更に、データ書き込み期間において、第2トランジスタのソース電極である第1内部ノードの電圧 V_{N1} を、輝度電圧 V_{pd} に設定し、且つ、第3内部ノードの電圧 V_{N3} を、前記初期設定期間に設定された電圧値から輝度電圧 V_{pd} に第2トランジスタの閾値電圧 V_{th2} を加えた書き込み電圧（ $V_{pd} + V_{th2}$ ）に遷移させることができる。つまり、第1内部ノードへの輝度電圧の書き込みと、第2トランジスタのゲート電極とソース電極間の電圧を閾値電圧 V_{th2} に設定することができる。ところで、第4内部ノードは第1電源線の電圧 V_{ss} またはアノード電源線の電圧 V_{dd} （第2初期電圧）に設定されているので、容量素子の両端には、書き込み電圧（ $V_{pd} + V_{th2}$ ）から第2初期電圧（ V_{ss} または V_{dd} ）を差し引いた書き込み差電圧 V_{hld} （ $= V_{pd} + V_{th2} - V_{ss}$ 、または、 $V_{pd} + V_{th2} - V_{dd}$ ）が保持される。初期設定期間及びデータ書き込み期間を通して第2スイッチ回路が非導通状態であるので、第1内部ノード側からOLEDに発光電流が流れるのが阻止されている。但し、初期設定期間及びデータ書き込み期間を通して、第4内部ノードにアノード電源線の電圧 V_{dd} が供給される場合には、OLEDにカソード電極に第4初期電圧を印加してOLEDに発光電流が流れるのを阻止できる。

30

40

【0025】

更に、発光期間において、第1及び第2スイッチ回路が導通状態となり、アノード電源線から駆動トランジスタである第2トランジスタを介してOLEDに発光電流が流れる。発光電流が流れると、第2スイッチ回路を介して短絡した第1内部ノードと第4内部ノードの電圧が上昇するが、容量素子の両端に電圧 V_{hld} が保持されているので、第4内部ノードの電圧上昇に追従して、第2トランジスタのゲート電圧（第3内部ノードの電圧）も上昇する。第2スイッチ回路に発光電流が流れて電圧降下が発生するが、当該電圧降下を十分に低電圧に抑えておけば、第2トランジスタのゲート電圧（第3内部ノードの電圧）と第2トランジスタのソース電極（第1内部ノード）との間の電圧差（ゲート・ソース

50

間電圧)は、上記電圧 V_{h1d} と略等しい電圧に維持される。アノード電源線に印加する電圧 V_{dd} を調整して、第2トランジスタを飽和領域で動作させると、第2トランジスタに流れる発光電流は、電圧 $(V_{h1d} - V_{th2})$ の二乗、つまり、電圧 $(V_{pd} - V_{ss})$ の二乗、または、電圧 $(V_{pd} - V_{dd})$ の二乗に比例する電流となるため、第2トランジスタの閾値電圧のバラツキ、及び、OLEDの電気的特性のバラツキによるアノード電極(第4内部ノード)の電圧変動の影響を受けずに、輝度電圧 V_{pd} に応じて定まるため、OLEDの発光輝度を、輝度電圧 V_{pd} に応じて安定的に制御することができる。

【図面の簡単な説明】

【0026】

【図1】本発明の表示装置の第1実施形態の概略構成を示すブロック図

10

【図2】本発明の画素回路の第1実施形態の回路構成を示す等価回路図

【図3】図2に示す画素回路に使用される有機EL素子の積層構造の一例を模式的に示す要部断面図

【図4】図1に示す画素回路アレイに対する書き込み発光動作の動作手順を示すタイミング図

【図5】本発明の表示装置の第2実施形態の概略構成を示すブロック図

【図6】本発明の画素回路の第2実施形態の回路構成を示す等価回路図

【図7】図5に示す画素回路アレイに対する書き込み発光動作の動作手順を示すタイミング図

【図8】本発明の表示装置の第3実施形態の概略構成を示すブロック図

20

【図9】本発明の画素回路の第3実施形態の回路構成を示す等価回路図

【図10】図8に示す画素回路アレイに対する書き込み発光動作の動作手順を示すタイミング図

【図11】本発明の画素回路の第4実施形態の回路構成を示す等価回路図

【図12】本発明の表示装置の第4実施形態の概略構成を示すブロック図

【図13】従来の有機EL表示装置の画素回路の一例を示す等価回路図

【図14】特許文献1に開示された有機EL表示装置の画素回路を示す等価回路図

【図15】図14に示す画素回路の動作手順を示すタイミング図

【発明を実施するための形態】

【0027】

30

本発明の表示装置(以下、単に表示装置と称す)と本発明の画素回路(以下、単に画素回路と称す)の各実施形態の回路構成及びその動作について、図面を参照して説明する。

【0028】

[第1実施形態]

図1に、第1実施形態に係る表示装置1Aの概略構成を示す。表示装置1Aは、画素回路アレイ10A、表示制御回路11、ソースドライバ12、ゲートドライバ13、及び、制御線ドライバ14を備える。画素回路アレイ10Aは、アクティブマトリクス基板上に、画素回路2Aを行方向及び列方向に夫々複数配置して構成される。尚、図1では、図面が煩雑になるのを避けるため、画素回路2Aはブロック化して表示している。

【0029】

40

図2に、第1実施形態に係る画素回路2Aの等価回路図を示す。図2に示すように、画素回路2Aは、有機EL素子(以下、「OLED」と称す)3と、第1乃至第6トランジスタ $T_1 \sim T_6$ と、容量素子 C_1 を備えて構成される。各画素回路2Aを構成する上記の各素子は、同じアクティブマトリクス基板上に形成される。

【0030】

第1トランジスタ T_1 は、オン状態において、ソース線 S_L から供給される輝度電圧 V_{pd} を第1内部ノード N_1 に転送するトランジスタで、ドレイン電極がソース線 S_L と、ソース電極が第1内部ノード N_1 と、ゲート電極がゲート線 G_L と、夫々接続している。第2トランジスタ T_2 は、ゲート電極とソース電極間の発光制御電圧 V_{gs2} に応じてOLED3に流れる発光電流を制御する駆動トランジスタで、ドレイン電極が第2内部ノード

50

ドN2と、ソース電極が第1内部ノードN1と、ゲート電極が第3内部ノードN3と、夫々接続している。第3トランジスタ(第1スイッチ回路に相当)T3は、発光電流を供給するアノード電源線ASLと第2内部ノードN2間を短絡するスイッチ素子で、ドレイン電極がアノード電源線ASLと、ソース電極が第2内部ノードN2と、ゲート電極が第1制御線C1Lと、夫々接続している。第4トランジスタ(第2スイッチ回路に相当)T4は、第1内部ノードN1とOLED3のアノード電極と接続する第4内部ノードN4間を短絡するスイッチ素子で、ドレイン電極が第1内部ノードN1と、ソース電極が第4内部ノードN4と、ゲート電極が第2制御線C2Lと、夫々接続している。第5トランジスタ(第3スイッチ回路に相当)T5は、第2内部ノードN2と第3内部ノードN3間を短絡するスイッチ素子で、ドレイン電極が第2内部ノードN1と、ソース電極が第3内部ノードN3と、ゲート電極が第3制御線C3Lと、夫々接続している。第6トランジスタ(第4スイッチ回路に相当)T6は、第4内部ノードN4と第1電源線VSL間を短絡するスイッチ素子で、ドレイン電極が第4内部ノードN4と、ソース電極が第1電源線VSLと、ゲート電極が第3制御線C3Lと、夫々接続している。容量素子C1は、第3内部ノードN3と第4内部ノードN4間に介装されている。OLED3のカソード電極は、他の画素回路2Aと共通に、カソード電源線CSLに接続し、所定の基準電圧VE0が印加される。

10

【0031】

以下の説明では、第1電源線VSLに印加される電圧Vss及びカソード電極に印加される基準電圧VE0が夫々接地電圧(0V)である場合を想定する。アノード電源線ASLに印加される電圧Vddは、図示しない電源回路から供給される。

20

【0032】

本実施形態では、第1乃至第6トランジスタT1~T6は、何れも、アクティブマトリクス基板(TFT基板)上に形成されるnチャネル型の絶縁ゲート型薄膜トランジスタで、特に、InGaZnO等の酸化物半導体の薄膜トランジスタで構成される。

【0033】

図3に、各画素回路2AのOLED3の概略の積層構造を模式的に示す。図3では、隣接する3つの画素回路2Aに、3原色(R, G, B)の各色に割り当てて、フルカラー表示する場合を例示している。各画素回路2AのOLED3は、アクティブマトリクス基板20の上に、下から順に、反射金属層21、ITO(インジウムスズ酸化物)アノード電極層22、有機EL材料層23、半透明のカソード電極層24の積層構造を有し、カソード電極層24の上部にカラーフィルタ25が配置されている。カソード電極層24は、隣接する画素回路2間で相互に接続し、画素回路アレイ10A内で一体化している。カソード電極層24には、カソード電源線CSLを介して画素回路アレイ10Aの外部から上記基準電圧VE0が供給される。

30

【0034】

図3に示すように、3原色(R, G, B)の各色間で、ITOアノード電極層22の膜厚が異なり、反射金属層21の表面からカソード電極層24の裏面までの光路長が各色の波長に応じて設定されている。各画素回路2の有機EL材料層23で発光した光は、直接カソード電極層24を通過する光と、反射金属層21で反射した後にカソード電極層24を通過する光が合成され、カラーフィルタ25を通過して、図中の上方に向けて出射する。尚、反射金属層21とITOアノード電極層22がオーミック接続しており、図示していないが、反射金属層21が、第4内部ノードN4と電氣的に接続している。

40

【0035】

図1に示すように、画素回路アレイ10Aには、列方向に延伸するm本のソース線SL(SL1, SL2, ..., SLm)と、行方向に延伸するn本のゲート線GL(GL1, GL2, ..., GLn)と、行方向に延伸するn本の第1制御線C1L(C1L1, C1L2, ..., C1Ln)と、行方向に延伸するn本の第2制御線C2L(C2L1, C2L2, ..., C2Ln)と、行方向に延伸するn本の第3制御線C3L(C3L1, C3L2, ..., C3Ln)が夫々形成されている。そして、列方向に延伸するm本のソース

50

線 (S L 1 , S L 2 , ... , S L m) と、行方向に延伸する n 本のゲート線 (G L 1 , G L 2 , ... , G L n) が交差する箇所に、画素回路 2 A がマトリクス状に複数形成されている。尚、m、n は夫々 2 以上の自然数である。尚、便宜的に、各ソース線 (S L 1 , S L 2 , ... , S L m) を総称してソース線 S L と称し、各ゲート線 (G L 1 , G L 2 , ... , G L n) を総称してゲート線 G L と称し、各第 1 制御線 (C 1 L 1 , C 1 L 2 , ... , C 1 L n) を総称して第 1 制御線 C 1 L と称し、各第 2 制御線 (C 2 L 1 , C 2 L 2 , ... , C 2 L n) を総称して第 2 制御線 C 2 L と称し、各第 3 制御線 (C 3 L 1 , C 3 L 2 , ... , C 3 L n) を総称して第 3 制御線 C 3 L と称す。

【 0 0 3 6 】

表示制御回路 1 1 は、各画素回路 2 A の容量素子 C 1 の両端間に 2 階調以上の画素データに応じた書き込み差電圧 V h l d を保持させ、O L E D 3 に画素データに応じた発光電流を流して発光させる書き込み発光動作を制御する回路である。書き込み発光動作時には、表示制御回路 1 1 は、外部の信号源から表示すべき画像を表すデータ信号 D v とタイミング信号 C t を受け取り、当該信号 D v , C t に基づき、画像を画素回路アレイ 1 0 A に表示させるための信号として、ソースドライバ 1 2 に与えるデジタル画像信号 D A 及びデータ側タイミング制御信号 S t c と、ゲートドライバ 1 3 と制御線ドライバ 1 4 に与える走査側タイミング制御信号 G t c を、夫々生成する。尚、表示制御回路 1 1 は、その一部または全部の回路が、ソースドライバ 1 2 またはゲートドライバ 1 3 内に形成されるのも好ましい。

10

【 0 0 3 7 】

本実施形態では、書き込み発光動作の動作期間は、初期設定期間 P 1 とデータ書き込み期間 P 2 と発光期間 P 3 の 3 つの連続する期間で構成されている。

20

【 0 0 3 8 】

ソースドライバ 1 2 は、表示制御回路 1 1 からの制御により、各ソース線 S L に、所定のタイミング及び所定の電圧値のソース信号を印加する回路である。ソースドライバ 1 2 は、データ書き込み期間 P 2 には、デジタル画像信号 D A 及びデータ側タイミング制御信号 S t c に基づき、デジタル信号 D A の表わす 1 表示ライン分の画素値に相当する各列の輝度電圧 V p d i j (i = 1 ~ n , j = 1 ~ m) をソース信号 S c 1 , S c 2 , ... , S c m として生成し、対応するソース線 S L 1 , S L 2 , ... , S L m に印加する。当該輝度電圧 V p d i j は、多階調のアナログ電圧 (相互に離散した複数の電圧値) であり、その電圧範囲は、最小輝度電圧 V p d m i n 以上最大輝度電圧 V p d m a x 以下である。ソースドライバ 1 2 は、初期設定期間 P 1 及びデータ書き込み期間 P 2 における上述の動作を、夫々 1 水平期間 (「 1 H 期間 」 と もいう) 毎に繰り返す。

30

【 0 0 3 9 】

尚、ソースドライバ 1 2 は、後述する第 2 及び第 3 実施形態では、初期設定期間において、各ソース線 S L に、カウンタバイアス (第 3 初期電圧に相当) として、アノード電源線 A S L に印加される電圧 V d d を印加する。

【 0 0 4 0 】

ゲートドライバ 1 3 は、表示制御回路 1 1 からの制御により、各ゲート線 G L に、所定のタイミング及び所定の電圧振幅のゲート信号を印加する回路である。ゲートドライバ 1 3 は、走査側タイミング制御信号 G t c に基づき、ソース信号 S c 1 , S c 2 , ... , S c m を各画素回路 2 A に書き込むために、デジタル画像信号 D A の各フレーム期間において、ゲート線 G L 1 , G L 2 , ... , G L n をほぼ 1 水平期間ずつ順次選択する。尚、ゲートドライバ 1 3 は、画素回路 2 A と同様に、アクティブマトリクス基板 2 0 上に、形成されても構わない。第 1 実施形態では、ゲート線 G L の選択は、各水平期間のデータ書き込み期間 P 2 に実行される。

40

【 0 0 4 1 】

制御線ドライバ 1 4 は、表示制御回路 1 1 からの制御により、走査側タイミング制御信号 G t c に基づき、ゲート信号の発生タイミングと同期して、第 1 制御信号 C S 1 1 , C S 1 2 , ... , C S 1 n を生成して、対応する第 1 制御線 C 1 L 1 , C 1 L 2 , ... , C

50

1 L n に夫々印加する第 1 制御線ドライバ 1 4 a と、第 2 制御信号 C S 2 1 , C S 2 2 , ... , C S 2 n を生成して、対応する第 2 制御線 C 2 L 1 , C 2 L 2 , ... , C 2 L n に夫々印加する第 2 制御線ドライバ 1 4 b と、第 3 制御信号 C S 3 1 , C S 3 2 , ... , C S 3 n を生成して、対応する第 3 制御線 C 3 L 1 , C 3 L 2 , ... , C 3 L n に夫々印加する第 3 制御線ドライバ 1 4 c を備えて構成される。尚、制御線ドライバ 1 4 は、画素回路 2 A と同様に、アクティブマトリクス基板 2 0 上に、形成されても構わない。

【 0 0 4 2 】

尚、ソース線 S L が「データ信号線」に対応し、ゲート線 G L が「走査信号線」に対応する。ソースドライバ 1 2 が「データ信号線駆動回路」に、ゲートドライバ 1 3 が「走査信号線駆動回路」に、第 1 制御線ドライバ 1 4 a が「第 1 制御線駆動回路」に、第 2 制御線ドライバ 1 4 b が「第 2 制御線駆動回路」に、第 3 制御線ドライバ 1 4 c が「第 3 制御線駆動回路」に、夫々対応する。

【 0 0 4 3 】

次に、画素回路 2 A に対する書き込み発光動作について説明する。図 4 に、初期設定期間 P 1 とデータ書き込み期間 P 2 と発光期間 P 3 の各期間における、動作対象の 1 つの画素回路 2 A に接続するゲート線 G L、第 1 制御線 C 1 L、第 2 制御線 C 2 L、第 3 制御線 C 3 L、ソース線 S L、第 1 内部ノード N 1 (第 2 トランジスタ T 2 のソース電極)、第 3 内部ノード N 3 (第 2 トランジスタ T 2 のゲート電極)、及び、第 4 内部ノード N 4 (O L E D 3 のアノード電極)の各電圧状態の遷移を模式的に示す。i 行目に配置された画素回路 2 A に対する初期設定期間 P 1 とデータ書き込み期間 P 2 における処理は、或る 1 フレーム期間の i 番目の水平期間内に実行され、次の 1 フレーム期間の i 番目の水平期間が開始するまで、当該 i 行目に配置された画素回路 2 A の発光期間 P 3 が継続する。

【 0 0 4 4 】

以下の説明では、ゲート線 G L 及び第 1 乃至第 3 制御線 C 1 L ~ C 3 L に印加される信号電圧は、高電圧レベルの選択電圧 V H がアノード電源線 A S L に印加される電圧 V d d に各トランジスタ T 1 ~ T 6 の閾値電圧を加えた電圧 (V d d + V t h) より高電圧に、低電圧レベルの非選択電圧 V L が負電圧に、夫々設定されている場合を想定し、また、電圧 V d d は、最大輝度電圧 V p d m a x に第 2 トランジスタ T 2 の閾値電圧 V t h 2 を加えた電圧 (V p d m a x + V t h 2) より高電圧に設定されている場合を想定する。

【 0 0 4 5 】

初期設定期間 P 1 では、第 1 制御線 C 1 L と第 3 制御線 C 3 L に選択電圧 V H が印加され、第 3、第 5 及び第 6 トランジスタ T 3 , T 5 , T 6 がオン状態となり、ゲート線 G L と第 2 制御線 C 2 L に非選択電圧 V L が印加され、第 1 及び第 4 トランジスタ T 1 , T 4 がオフ状態となる。また、第 1 トランジスタ T 1 がオフ状態を維持できる限りにおいて、ソース線 S L には任意の電圧が印加可能である。この結果、第 2 及び第 3 内部ノード N 2 , N 3 は電圧 V d d (第 1 初期電圧に相当)に、第 1 内部ノード N 1 は電圧 V d d から閾値電圧 V t h 2 を差し引いた電圧 (V d d - V t h 2) まで夫々充電される。また、第 4 ノード N 4 (O L E D 3 のアノード電極)の電圧は接地電圧 (0 V、第 2 初期電圧に相当)となり、O L E D 3 は、アノード電極とカソード電極間の電圧が 0 V と順バイアス状態とならず、発光が阻止される。そして、容量素子 C 1 の両端間の電圧は V d d となる。第 1 内部ノード N 1 が電圧 (V d d - V t h 2) まで充電されると第 2 トランジスタ T 2 は自動的にオフ状態となる。

【 0 0 4 6 】

データ書き込み期間 P 2 では、ゲート線 G L と第 3 制御線 C 3 L に選択電圧 V H が印加され、第 1、第 5 及び第 6 トランジスタ T 1 , T 5 , T 6 がオン状態となり、第 1 制御線 C 1 L と第 2 制御線 C 2 L に非選択電圧 V L が印加され、第 3 及び第 4 トランジスタ T 3 , T 4 がオフ状態となる。また、ソース線 S L に輝度電圧 V p d が印加される。この結果、第 1 内部ノード N 1 の電圧が電圧 (V d d - V t h 2) から輝度電圧 V p d に低下し、第 2 トランジスタ T 2 がオン状態となり、第 2 及び第 3 内部ノード N 2 , N 3 の電圧を電圧 V d d から輝度電圧 V p d に閾値電圧 V t h 2 を加えた書き込み電圧 (V p d + V t h

2)まで引き下げる。そして、容量素子C1の両端間の電圧は書き込み差電圧($V_{pd} + V_{th2} - V_{ss}$)となる。本実施形態では、第1電源線VSLに印加される電圧Vssとして接地電圧(0V)を想定しているので、書き込み電圧($V_{pd} + V_{th2}$)と書き込み差電圧($V_{pd} + V_{th2} - V_{ss}$)は同電圧となる。以下、Vssの項を無視する。第3内部ノードN3の電圧が書き込み電圧($V_{pd} + V_{th2}$)まで、第1内部ノードN1の電圧が輝度電圧Vpdまで夫々低下すると第2トランジスタT2は自動的にオフ状態となる。ここで、データ書き込み期間P2において、OLED3のアノード電極とカソード電極間の寄生容量C_{el}の両端間の電圧は0Vに維持されているので、容量素子C1の両端間に上記書き込み差電圧($V_{pd} + V_{th2}$)を印加する動作に影響を与えることはない。

10

【0047】

ここで、注目すべきは、初期設定期間P1において、第1及び第4トランジスタT1, T4が夫々オフ状態に維持されるため、アノード電源線ASLからソース線SLに至る電流経路及びアノード電源線ASLからOLED3に至る電流経路が遮断されるため、第3内部ノードの電圧を確実に最大輝度電圧Vpdmaxに閾値電圧Vth2を加えた電圧以上に初期設定できる点である。これにより、データ書き込み期間P2において、輝度電圧Vpdが、最大輝度電圧Vpdmaxまたはその近傍値であっても、容量素子C1の両端間に上記書き込み差電圧($V_{pd} + V_{th2}$)を確実に印加することが可能となる。

【0048】

発光期間P3では、第1制御線C1Lと第2制御線C2Lに選択電圧VHが印加され、第3及び第4トランジスタT3, T4がオン状態となり、ゲート線GLと第3制御線C3Lに非選択電圧VLが印加され、第1、第5及び第6トランジスタT1, T5, T6がオフ状態となる。また、第1トランジスタT1がオフ状態を維持できる限りにおいて、ソース線SLには任意の電圧が印加可能である。この結果、アノード電源線ASLからOLED3に至る電流経路が形成され、第4内部ノードN4の電圧Vssが接地電圧からOLED3の閾値電圧を超えて電圧VPまで上昇し、OLED3に発光電流が流れる。第4トランジスタT4がオン状態となり、第1内部ノードN1と第4内部ノードN4が短絡し、第4トランジスタT4のドレイン・ソース間の電圧降下Vds4を無視できる程度に小さく設定することで、第1内部ノードN1と第4内部ノードN4が略同電圧の電圧VPとなる。そうすると、容量素子C1の両端間の書き込み差電圧は($V_{pd} + V_{th2}$)を保持している

ので、第3内部ノードN3の電圧は、電圧($V_{pd} + V_{th2} + V_P$)まで上昇するが、第1内部ノードN1の電圧がVPであるので、第2トランジスタT2のゲート・ソース間の発光制御電圧Vgs2は($V_{pd} + V_{th2}$)となる。第2内部ノードN2の電圧(第2トランジスタのドレイン電圧)は、電圧Vddから第3トランジスタT3に流れる発光電流による第3トランジスタT3のドレイン・ソース間の電圧降下Vds3を差し引いた電圧($V_{dd} - V_{ds3}$)となるが、当該バイアス条件で、第2トランジスタが飽和領域で動作するように電圧Vdd及び電圧降下Vds3が調整されている。従って、第2トランジスタT2のドレイン・ソース間に流れる発光電流は、 $\{(V_{pd} + V_{th2}) - V_{th2}\}$ の二乗、つまり、 V_{pd}^2 に比例した電流値となる。つまり、OLED3に流れる発光電流は、第2トランジスタT2の閾値電圧Vth2及びOLED3の電気的特性の影響を受ける第1内部ノードN1及び第4内部ノードN4の電圧の影響を受けることなく、データ書き込み期間P2に第1内部ノードN1に印加された輝度電圧Vpdのみに依存する電流値となる。以上の結果、OLED3は、当該発光電流が流れることによって、輝度電圧Vpdに応じた輝度で発光する。

20

30

40

【0049】

上述したように、或る1行の画素回路2Aの発光期間P3に、他の行の画素回路2Aの初期設定期間P1とデータ書き込み期間P2における処理が順次行われる。このため、或る1行の画素回路2Aの初期設定期間P1とデータ書き込み期間P2における他の行の画素回路2Aのゲート線GL及び第1乃至第3制御線C1L~C3Lに印加される信号電圧は、上記発光期間P3における電圧印加条件と同じである。

50

【 0 0 5 0 】

[第 2 実施形態]

図 5 に、第 2 実施形態に係る表示装置 1 B の概略構成を示す。また、図 6 に、第 2 実施形態に係る画素回路 2 B の等価回路図を示す。以下、表示装置 1 B 及び画素回路 2 B の回路構成及びその動作を説明する。尚、第 1 実施形態と共通する部分については重複する説明は省略する。

【 0 0 5 1 】

表示装置 1 B は、画素回路アレイ 1 0 B、表示制御回路 1 1、ソースドライバ 1 2、ゲートドライバ 1 3、及び、制御線ドライバ 1 4 を備える。画素回路アレイ 1 0 B は、アクティブマトリクス基板上に、画素回路 2 B を行方向及び列方向に夫々複数配置して構成される。尚、図 5 では、図面が煩雑になるのを避けるため、画素回路 2 B はブロック化して表示している。

10

【 0 0 5 2 】

図 6 に示すように、画素回路 2 B は、第 1 実施形態の画素回路 2 A と同様に、有機 E L 素子 (O L E D) 3 と、第 1 乃至第 6 トランジスタ T 1 ~ T 6 と、容量素子 C 1 を備えて構成される。画素回路 2 B の画素回路 2 A からの相違点は、第 5 トランジスタ T 5 と第 6 トランジスタ T 6 の各ゲート電極が第 3 制御線 C 3 L に代えてゲート線 G L に接続している点である。その他の回路構成は、画素回路 2 A と全く同じである。従って、第 2 実施形態では、画素回路アレイ 1 0 B には、行方向に延伸する n 本の第 3 制御線 C 3 L (C 3 L 1 , C 3 L 2 , ... , C 3 L n) が形成されていない。従って、制御線ドライバ 1 4 は、第 1 制御線ドライバ 1 4 a と第 2 制御線ドライバ 1 4 b だけで構成され、第 3 制御線ドライバ 1 4 c を備えていない。上記以外は、第 1 実施形態と全く同じ回路構成である。

20

【 0 0 5 3 】

次に、画素回路 2 B に対する書き込み発光動作について説明する。図 7 に、初期設定期間 P 1 とデータ書き込み期間 P 2 と発光期間 P 3 の各期間における、動作対象の 1 つの画素回路 2 B に接続するゲート線 G L、第 1 制御線 C 1 L、第 2 制御線 C 2 L、ソース線 S L、第 1 内部ノード N 1 (第 2 トランジスタ T 2 のソース電極)、第 3 内部ノード N 3 (第 2 トランジスタ T 2 のゲート電極)、及び、第 4 内部ノード N 4 (O L E D 3 のアノード電極) の各電圧状態の遷移を模式的に示す。i 行目に配置された画素回路 2 B に対する初期設定期間 P 1 とデータ書き込み期間 P 2 における処理は、或る 1 フレーム期間の i 番目の水平期間内に実行され、次の 1 フレーム期間の i 番目の水平期間が開始するまで、当該 i 行目に配置された画素回路 2 B の発光期間 P 3 が継続する。

30

【 0 0 5 4 】

以下の説明では、ゲート線 G L、第 1 及び第 2 制御線 C 1 L , C 2 L に夫々印加される選択電圧 V H と非選択電圧 V L は、第 1 実施形態と同じである。

【 0 0 5 5 】

初期設定期間 P 1 では、ゲート線 G L と第 1 制御線 C 1 L に選択電圧 V H が印加され、第 1、第 3、第 5 及び第 6 トランジスタ T 1 , T 3 , T 5 , T 6 がオン状態となり、第 2 制御線 C 2 L に非選択電圧 V L が印加され、第 4 トランジスタ T 4 がオフ状態となる。また、ソース線 S L に、カウンタバイアス (第 3 初期電圧に相当) として電圧 V d d が印加される。この結果、第 2 及び第 3 内部ノード N 2 , N 3 は電圧 V d d (第 1 初期電圧に相当) に、第 1 内部ノード N 1 は電圧 V d d に、夫々充電される。また、第 4 ノード N 4 (O L E D 3 のアノード電極) の電圧は接地電圧 (0 V、第 2 初期電圧に相当) となり、O L E D 3 は、アノード電極とカソード電極間の電圧が 0 V と順バイアス状態とならず、発光が阻止される。そして、容量素子 C 1 の両端間の電圧は V d d となる。第 1 内部ノード N 1 のドレイン・ソース間電圧が閾値電圧 V t h 2 より低電圧となるので、第 2 トランジスタ T 2 はオフ状態となる。尚、ソース線 S L に印加する当該カウンタバイアスは、第 2 トランジスタ T 2 がオフ状態を維持できる限りにおいて、電圧 V d d に限定されるものではなく、電圧 V d d から閾値電圧 V t h 2 を差し引いた電圧 (V d d - V t h 2) 以上であれば良い。

40

50

【 0 0 5 6 】

データ書き込み期間 P 2 では、ゲート線 G L に選択電圧 V H が印加され、第 1、第 5 及び第 6 トランジスタ T 1, T 5, T 6 がオン状態となり、第 1 制御線 C 1 L と第 2 制御線 C 2 L に非選択電圧 V L が印加され、第 3 及び第 4 トランジスタ T 3, T 4 がオフ状態となる。また、ソース線 S L に輝度電圧 V p d が印加される。この結果、第 1 内部ノード N 1 の電圧が電圧 V d d から輝度電圧 V p d に低下し、第 2 トランジスタ T 2 がオン状態となり、第 2 及び第 3 内部ノード N 2, N 3 の電圧を電圧 V d d から輝度電圧 V p d に閾値電圧 V t h 2 を加えた書き込み電圧 ($V p d + V t h 2$) まで引き下げる。そして、容量素子 C 1 の両端間の電圧は書き込み差電圧 ($V p d + V t h 2 - V s s$) となる。第 2 実施形態でも、第 1 電源線 V S L に印加される電圧 V s s として接地電圧 (0 V) を想定している

10

【 0 0 5 7 】

ここで、注目すべきは、初期設定期間 P 1 において、第 2 及び第 4 トランジスタ T 1, T 4 が夫々オフ状態に維持されるため、アノード電源線 A S L からソース線 S L に至る電流経路及びアノード電源線 A S L から O L E D 3 に至る電流経路が遮断されるため、第 3 内部ノードの電圧を確実に最大輝度電圧 V p d m a x に閾値電圧 V t h 2 を加えた電圧以上に初期設定できる点である。これにより、データ書き込み期間 P 2 において、輝度電圧 V p d が、最大輝度電圧 V p d m a x またはその近傍値であっても、容量素子 C 1 の両端間に上記書き込み差電圧 ($V p d + V t h 2$) を確実に印加することが可能となる。

20

【 0 0 5 8 】

発光期間 P 3 では、第 1 制御線 C 1 L と第 2 制御線 C 2 L に選択電圧 V H が印加され、第 3 及び第 4 トランジスタ T 3, T 4 がオン状態となり、ゲート線 G L に非選択電圧 V L が印加され、第 1、第 5 及び第 6 トランジスタ T 1, T 5, T 6 がオフ状態となる。また、第 1 トランジスタ T 1 がオフ状態を維持できる限りにおいて、ソース線 S L には任意の電圧が印加可能である。この結果、アノード電源線 A S L から O L E D 3 に至る電流経路が形成され、第 4 内部ノード N 4 の電圧 V s s が接地電圧から O L E D 3 の閾値電圧を超えて電圧 V P まで上昇し、O L E D 3 に発光電流が流れる。発光期間 P 3 の状態は、第 1 実施形態と同じであるので、重複する説明は省略する。

30

【 0 0 5 9 】

[第 3 実施形態]

図 8 に、第 3 実施形態に係る表示装置 1 C の概略構成を示す。また、図 9 に、第 3 実施形態に係る画素回路 2 C の等価回路図を示す。以下、表示装置 1 C 及び画素回路 2 C の回路構成及びその動作を説明する。尚、第 1 及び第 2 実施形態と共通する部分については重複する説明は省略する。

40

【 0 0 6 0 】

表示装置 1 C は、画素回路アレイ 1 0 C、表示制御回路 1 1、ソースドライバ 1 2、ゲートドライバ 1 3、及び、制御線ドライバ 1 4 を備える。画素回路アレイ 1 0 C は、アクティブマトリクス基板上に、画素回路 2 C を行方向及び列方向に夫々複数配置して構成される。尚、図 8 では、図面が煩雑になるのを避けるため、画素回路 2 C はブロック化して表示している。

【 0 0 6 1 】

図 9 に示すように、画素回路 2 C は、第 1 実施形態の画素回路 2 A 及び第 2 実施形態の画素回路 2 B と同様に、有機 E L 素子 (O L E D) 3 と、第 1 乃至第 6 トランジスタ T 1 ~ T 6 と、容量素子 C 1 を備えて構成される。画素回路 2 C の画素回路 2 A からの相違点

50

は、第5トランジスタT5と第6トランジスタT6の各ゲート電極が第3制御線C3Lに代えてゲート線GLに接続している点(第1の相違点)、第6トランジスタT6のソース電極が第1電源線VSLに代えてアノード電源線ASLに接続している点(第2の相違点)、及び、OLED3のカソード電極が、行毎に設けられた行方向に延伸するカソード電源線CSL(CSL1, CSL2, ..., CSLn)に接続し、初期設定期間P1及びデータ書き込み期間P2に所定の基準電圧VE0に代えてアノード電源線ASLに印加される電圧Vddが印加される点(第3の相違点)である。その他の回路構成は、画素回路2Aと全く同じである。また、画素回路2Cの画素回路2Bからの相違点は、上記第2及び第3の相違点である。

【0062】

従って、第3実施形態では、第2実施形態と同様に、画素回路アレイ10Cには、行方向に延伸するn本の第3制御線C3L(C3L1, C3L2, ..., C3Ln)が形成されていない。しかし、第1及び第2実施形態と異なり、画素回路アレイ10Cには、行方向に延伸するn本のカソード電源線CSL(CSL1, CSL2, ..., CSLn)が形成されている。従って、制御線ドライバ14は、第2実施形態と同様に、第1制御線ドライバ14aと第2制御線ドライバ14bだけで構成され、第3制御線ドライバ14cを備えていない。また、表示装置1Cは、表示制御回路11から出力される走査側タイミング制御信号Gtcに基づき、各カソード電源線CSLに、電圧Vddと基準電圧VE0を選択的に印加するカソード電源線ドライバ15を別途備える。上記以外は、第1または第2実施形態と全く同じ回路構成である。

【0063】

次に、画素回路2Cに対する書き込み発光動作について説明する。図10に、初期設定期間P1とデータ書き込み期間P2と発光期間P3の各期間における、動作対象の1つの画素回路2Cに接続するゲート線GL、第1制御線C1L、第2制御線C2L、ソース線SL、カソード電源線CSL、第1内部ノードN1(第2トランジスタT2のソース電極)、第3内部ノードN3(第2トランジスタT2のゲート電極)、及び、第4内部ノードN4(OLED3のアノード電極)の各電圧状態の遷移を模式的に示す。i行目に配置された画素回路2Cに対する初期設定期間P1とデータ書き込み期間P2における処理は、或る1フレーム期間のi番目の水平期間内に実行され、次の1フレーム期間のi番目の水平期間が開始するまで、当該i行目に配置された画素回路2Cの発光期間P3が継続する。

【0064】

以下の説明では、ゲート線GL、第1及び第2制御線C1L, C2Lに夫々印加される選択電圧VHと非選択電圧VLは、第1及び第2実施形態と同じである。

【0065】

初期設定期間P1では、ゲート線GLと第1制御線C1Lに選択電圧VHが印加され、第1、第3、第5及び第6トランジスタT1, T3, T5, T6がオン状態となり、第2制御線C2Lに非選択電圧VLが印加され、第4トランジスタT4がオフ状態となる。また、ソース線SLに、第1のカウンタバイアス(第3初期電圧に相当)として電圧Vddが、カソード電源線CSLに、第2のカウンタバイアス(第4初期電圧に相当)として電圧Vddが夫々印加される。この結果、第2及び第3内部ノードN2, N3は電圧Vddに、第1内部ノードN1は電圧Vdd(上記第1のカウンタバイアス)に、夫々充電される。また、第4ノードN4(OLED3のアノード電極)の電圧は電圧Vddとなる。そして、容量素子C1の両端間の電圧はVddとなる。第1内部ノードN1のドレイン・ソース間電圧が閾値電圧Vth2より低電圧となるので、第2トランジスタT2はオフ状態となる。更に、OLED3のカソード電極にも電圧Vdd(上記第2のカウンタバイアス)が、印加されるので、OLED3は、アノード電極とカソード電極間の電圧が0Vと順バイアス状態とならず、発光が阻止される。尚、ソース線SLに印加する当該第1のカウンタバイアスは、第2トランジスタT2がオフ状態を維持できる限りにおいて、電圧Vddに限定されるものではなく、電圧Vddから閾値電圧Vth2を差し引いた電圧(Vd

d - V_{th2}) 以上であれば良い。

【 0 0 6 6 】

データ書き込み期間 P 2 では、ゲート線 G L に選択電圧 V_H が印加され、第 1、第 5 及び第 6 トランジスタ T 1, T 5, T 6 がオン状態となり、第 1 制御線 C 1 L と第 2 制御線 C 2 L に非選択電圧 V_L が印加され、第 3 及び第 4 トランジスタ T 3, T 4 がオフ状態となる。また、ソース線 S L に輝度電圧 V_{pd} が印加され、カソード電源線 C S L に引き続き第 2 のカウンタバイアスとして電圧 V_{dd} が印加される。この結果、第 1 内部ノード N 1 の電圧が電圧 V_{dd} から輝度電圧 V_{pd} に低下し、第 2 トランジスタ T 2 がオン状態となり、第 2 及び第 3 内部ノード N 2, N 3 の電圧を電圧 V_{dd} から輝度電圧 V_{pd} に閾値電圧 V_{th2} を加えた書き込み電圧 ($V_{pd} + V_{th2}$) まで引き下げる。そして、容量素子 C 1 の両端間の電圧は書き込み差電圧 ($V_{pd} + V_{th2} - V_{ss}$) となる。第 2 実施形態でも、第 1 電源線 V S L に印加される電圧 V_{ss} として接地電圧 (0 V) を想定しているの、書き込み電圧 ($V_{pd} + V_{th2}$) と書き込み差電圧 ($V_{pd} + V_{th2} - V_{ss}$) は同電圧となる。以下、 V_{ss} の項を無視する。第 3 内部ノード N 3 の電圧が書き込み電圧 ($V_{pd} + V_{th2}$) まで、第 1 内部ノード N 1 の電圧が輝度電圧 V_{pd} まで夫々低下すると第 2 トランジスタ T 2 は自動的にオフ状態となる。ここで、データ書き込み期間 P 2 において、O L E D 3 のアノード電極とカソード電極間の寄生容量 C_{el} の両端間の電圧は 0 V に維持されているので、容量素子 C 1 の両端間に上記電圧 ($V_{pd} + V_{th2}$) を印加する動作に影響を与えることはない。また、O L E D 3 は、引き続きアノード電極とカソード電極間の電圧が 0 V と順バイアス状態とならず、発光が阻止される。

【 0 0 6 7 】

発光期間 P 3 では、第 1 制御線 C 1 L と第 2 制御線 C 2 L に選択電圧 V_H が印加され、第 3 及び第 4 トランジスタ T 3, T 4 がオン状態となり、ゲート線 G L に非選択電圧 V_L が印加され、第 1、第 5 及び第 6 トランジスタ T 1, T 5, T 6 がオフ状態となる。また、第 1 トランジスタ T 1 がオフ状態を維持できる限りにおいて、ソース線 S L には任意の電圧が印加可能である。カソード電源線 C S L に基準電圧 V_{E0} (0 V) が印加される。この結果、アノード電源線 A S L から O L E D 3 に至る電流経路が形成され、第 4 内部ノード N 4 の電圧が電圧 V_{dd} から電圧 V_P まで低下し、O L E D 3 に発光電流が流れる。発光期間 P 3 の状態は、第 1 実施形態と同じであるので、重複する説明は省略する。

【 0 0 6 8 】

[第 4 実施形態]

上記第 3 実施形態では、画素回路 2 C は、第 1 実施形態の画素回路 2 A とは、上述の第 1 乃至第 3 の相違点で相違し、第 2 実施形態の画素回路 2 B とは、上述の第 2 乃至第 3 の相違点で相違している。そこで、画素回路 2 A ~ 2 C の変形例 (第 4 実施形態) として、図 1 1 に示すように、第 1 実施形態の画素回路 2 A と、上述の第 2 乃至第 3 の相違点で相違している画素回路 2 D も使用することができる。この場合、アクティブマトリクス基板上に、画素回路 2 C を行方向及び列方向に夫々複数配置して構成される画素回路アレイ 1 0 D には、行毎に、行方向に延伸する n 本の第 3 制御線 C 3 L (C_{3L1} , C_{3L2} , ..., C_{3Ln}) と、行方向に延伸する n 本のカソード電源線 C S L (C_{SL1} , C_{SL2} , ..., C_{SLn}) が、夫々形成されることになる。従って、第 4 実施形態では、画素回路アレイ 1 0 D を備える表示装置 1 D は、図 1 2 に示すように、制御線ドライバ 1 4 内に第 3 制御線ドライバ 1 4 c を備え、更に、カソード電源線ドライバ 1 5 も備える構成となる。

【 0 0 6 9 】

ここで、画素回路 2 D に対する書き込み発光動作は、カソード電源線ドライバ 1 5 に対する電圧制御は、第 3 実施形態と同じとなり、カソード電源線ドライバ 1 5 に対する電圧制御以外は、第 1 実施形態と同じであるので、重複する説明は割愛する。

【 0 0 7 0 】

[別実施形態]

以下に、別実施形態につき説明する。

【 0 0 7 1 】

1 上記各実施形態における書き込み発光動作では、初期設定期間 P 1 とデータ書き込み期間 P 2 における処理は、或る 1 フレーム期間の i 番目の水平期間内に実行され、次の 1 フレーム期間の i 番目の水平期間が開始するまで、当該 i 行目に配置された画素回路 2 A ~ 2 C の発光期間 P 3 が継続する場合について説明した。

【 0 0 7 2 】

上述の第 1 及び第 4 実施形態では、初期設定期間 P 1 におけるソース線 S L の印加電圧は、第 1 トランジスタ T 1 がオフ状態を維持できる限りにおいて、任意の電圧を取り得る。つまり、ソース線 S L に印加される輝度電圧 V p d の電圧範囲において、ゲート線 G L に印加される非選択電圧 V L を、第 1 トランジスタ T 1 がオフ状態を維持できる電圧範囲内に設定することで、i 行目に配置された画素回路 2 A , 2 D の初期設定期間 P 1 と (i - 1) 行目に配置された画素回路 2 A , 2 D のデータ書き込み期間 P 2 を、各期間の一部または全部を時間的に重複させて実行することが可能である。従って、(i - 1) 行目に配置された画素回路 2 A , 2 D の初期設定期間 P 1 の終了後に、(i - 1) 行目に配置された画素回路 2 A , 2 D のデータ書き込み期間 P 2 を開始するとともに、i 行目に配置された画素回路 2 A , 2 D の初期設定期間 P 1 を開始するようにしても良い。尚、(i - 1) 行目に配置された画素回路 2 A のデータ書き込み期間 P 2 及び i 行目に配置された画素回路 2 A の初期設定期間 P 1 が夫々開始するのと同様またはその以前に、(i - 2) 行目に配置された画素回路 2 A , 2 D の発光期間 P 3 が開始する。

【 0 0 7 3 】

尚、上記第 2 及び第 3 実施形態では、初期設定期間 P 1 において、ソース線 S L にカウンタバイアスとして電圧 V d d を印加する必要から、i 行目に配置された画素回路 2 B , 2 C の初期設定期間 P 1 と (i - 1) 行目に配置された画素回路 2 B , 2 C のデータ書き込み期間 P 2 を、各期間の一部または全部を時間的に重複させて実行することはできない。

【 0 0 7 4 】

2 上記第 1 実施形態の画素回路 2 A では、第 5 トランジスタ T 5 と第 6 トランジスタ T 6 の各ゲート電極が第 3 制御線 C 3 L に接続し、上記第 2 実施形態の画素回路 2 B では、第 5 トランジスタ T 5 と第 6 トランジスタ T 6 の各ゲート電極がゲート線 G L に接続していた。第 2 実施形態の画素回路 2 B に対して、第 5 トランジスタ T 5 と第 6 トランジスタ T 6 の一方のゲートを第 3 制御線 C 3 L に接続し、他方のゲートをゲート線 G L に接続する構成も可能である。この場合の書き込み発光動作は、ゲート線 G L と第 3 制御線 C 3 L を全く同様に制御することで、第 2 実施形態と同様になる。また、第 3 実施形態の画素回路 2 C に対して、第 5 トランジスタ T 5 と第 6 トランジスタ T 6 の一方のゲートを第 3 制御線 C 3 L に接続し、他方のゲートをゲート線 G L に接続する構成も可能である。この場合の書き込み発光動作は、ゲート線 G L と第 3 制御線 C 3 L を全く同様に制御することで、第 3 実施形態と同様になる。

【 0 0 7 5 】

3 上記各実施形態では、ゲート線 G L 及び第 1 乃至第 3 制御線 C 1 L ~ C 3 L に印加される高電圧レベルの選択電圧 V H と、低電圧レベルの非選択電圧 V L は、夫々、各信号線間で同じ電圧値である場合を想定したが、選択電圧 V H と非選択電圧 V L を、夫々、信号線毎に個別に設定しても良い。一例として、第 1 実施形態の画素回路 2 A では、初期設定期間 P 1 において、ソース線 S L にカウンタバイアスとして電圧 V d d を印加する必要がないので、選択電圧 V H として、必ずしも、電圧 (V d d + V t h) より高電圧に設定しなくても良い。

【 0 0 7 6 】

4 上記第 1 及び第 4 実施形態の画素回路 2 A , 2 D では、初期設定期間 P 1 において、第 1 トランジスタ T 1 をオフ状態にするために、ゲート線 G L に非選択電圧 V L を印加したが、これに代えて、選択電圧 V H を印加して、同時にソース線 S L にカウンタバイアスとして、選択電圧 V H またはその近傍の高電圧を印加して、第 1 トランジスタ T 1 を

オフ状態にしても良い。

【 0 0 7 7 】

更に、上記第 2 及び第 3 実施形態の画素回路 2 B , 2 C では、初期設定期間 P 1 において、第 1 トランジスタ T 1 をオン状態とした上で、ソース線 S L にカウンタバイアスとして電圧 V d d を印加して、第 2 トランジスタ T 2 をオフ状態としたが、これに代えて、ソース線 S L にカウンタバイアスとして、選択電圧 V H またはその近傍の高電圧を印加して、第 1 トランジスタ T 1 をオフ状態にしても良い。

【 0 0 7 8 】

5 上記各実施形態では、画素回路 2 A ~ 2 D を構成する 6 つの薄膜トランジスタ T 1 ~ T 6 は、何れも n チャネル型の酸化物半導体薄膜トランジスタで形成される場合を想定し、特に、酸化物半導体として、I n G a Z n O を想定した。しかし、薄膜トランジスタ T 1 , T 3 ~ T 6 の導電型は必ずしも n チャネル型に限定されるものではない。薄膜トランジスタ T 1 , T 3 ~ T 6 は p チャネル型であっても良い。また、薄膜トランジスタ T 1 ~ T 6 は、必ずしも、酸化物半導体薄膜トランジスタで形成されなくても良い。

10

【 0 0 7 9 】

6 上記各実施形態では、画素回路 2 A ~ 2 D 内に設ける発光素子として有機 E L 素子 (O L E D) の使用を想定したが、当該発光素子としては、第 2 トランジスタ T 2 によって当該発光素子のアノード電極からカソード電極に向けて流れる発光電流を制御することで発光輝度が制御される発光素子であれば、有機 E L 素子に限定されるものではない。また、当該発光素子が整流性を有していることは必要な条件とはならない。

20

【 符号の説明 】

【 0 0 8 0 】

1 A , 1 B , 1 C , 1 D : 表示装置

2 A , 2 B , 2 C , 2 D : 画素回路

3 : 有機 E L 素子 (発光素子)

1 0 A 、 1 0 B , 1 0 C , 1 0 D : 画素回路アレイ

1 1 : 表示制御回路

1 2 : ソースドライバ

1 3 : ゲートドライバ

1 4 : 制御線ドライバ

30

1 4 a : 第 1 制御線ドライバ

1 4 b : 第 2 制御線ドライバ

1 4 c : 第 3 制御線ドライバ

1 5 : カソード電源線ドライバ

2 0 : アクティブマトリクス基板

2 1 : 反射金属層

2 2 : I T O アノード電極層

2 3 : 有機 E L 材料層

2 4 : カソード電極層

2 5 : カラーフィルタ

40

A S L : アノード電源線

C 1 : 容量素子

C 1 L (C 1 L 1 , C 1 L 2 , ... , C 1 L n) : 第 1 制御線

C 2 L (C 2 L 1 , C 2 L 2 , ... , C 2 L n) : 第 2 制御線

C 3 L (C 3 L 1 , C 3 L 2 , ... , C 3 L n) : 第 3 制御線

C e 1 : 有機 E L 素子のアノード電極の寄生容量

C S L (C S L 1 , C S L 2 , ... , C S L n) : カソード電源線

C t : タイミング信号

D A : デジタル画像信号

D v : データ信号

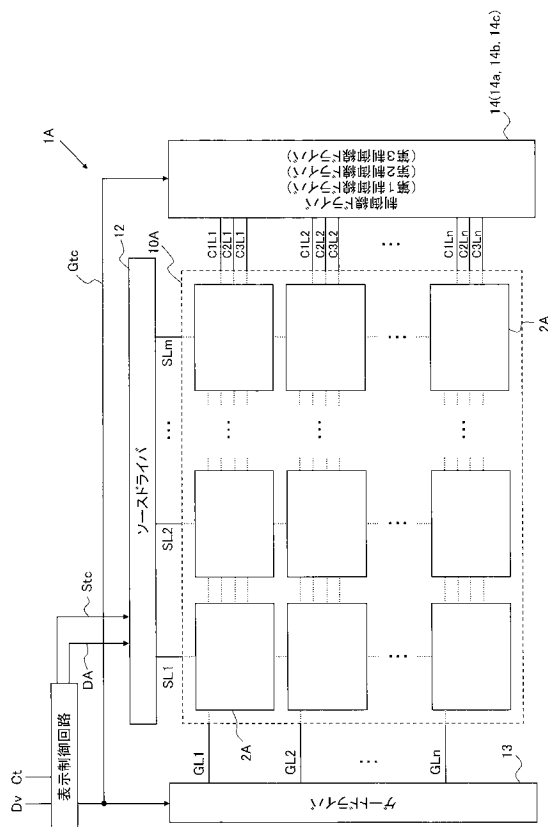
50

$GL (GL1, GL2, \dots, GLn)$: ゲート線
 Gtc : 走査側タイミング制御信号
 $P1$: 初期設定期間
 $P2$: データ書き込み期間
 $P3$: 発光期間
 $N1$: 第1内部ノード (第2トランジスタのソース電極)
 $N2$: 第2内部ノード (第2トランジスタのドレイン電極)
 $N3$: 第3内部ノード (第2トランジスタのゲート電極)
 $N4$: 第4内部ノード (有機EL素子のアノード電極)
 $SL (SL1, SL2, \dots, SLm)$: ソース線
 Stc : データ側タイミング制御信号
 $T1$: 第1トランジスタ (転送トランジスタ)
 $T2$: 第2トランジスタ (駆動トランジスタ)
 $T3$: 第3トランジスタ (第1スイッチ回路)
 $T4$: 第4トランジスタ (第2スイッチ回路)
 $T5$: 第5トランジスタ (第3スイッチ回路)
 $T6$: 第6トランジスタ (第4スイッチ回路)
 $VE0$: 有機EL素子のカソード電極に印加される基準電圧
 Vdd : アノード電源線に印加される電圧
 VH : 選択電圧
 VL : 非選択電圧
 VP : 発光期間中の第1及び第4内部ノードの電圧
 VSL : 第1電源線
 Vss : 第1電源線に印加される電圧 (接地電圧)

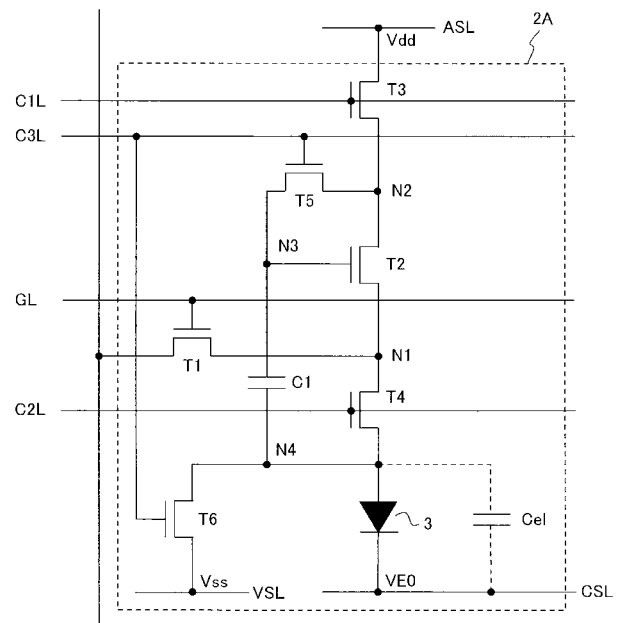
10

20

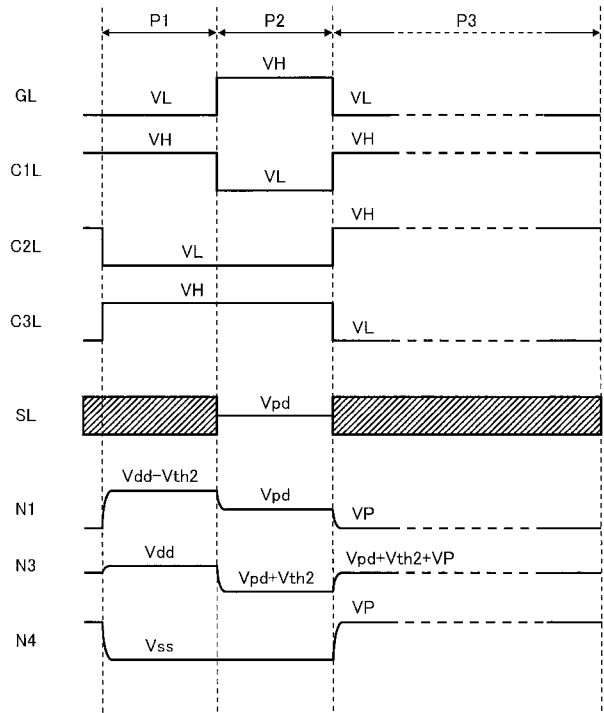
【図1】



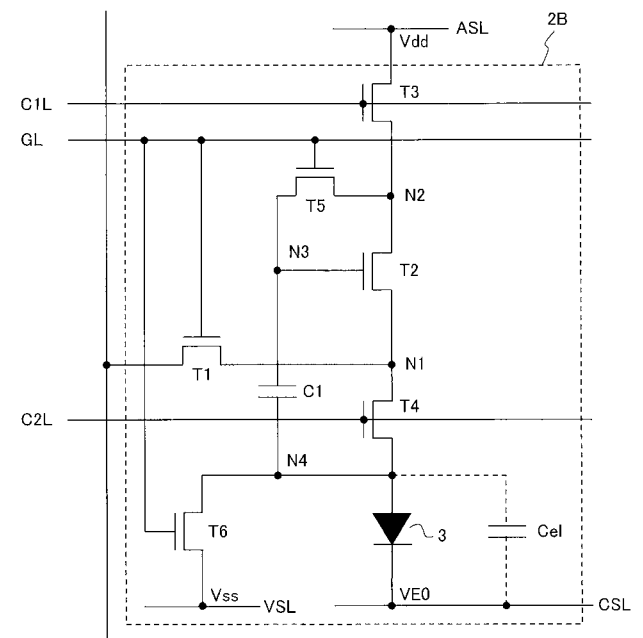
【図2】



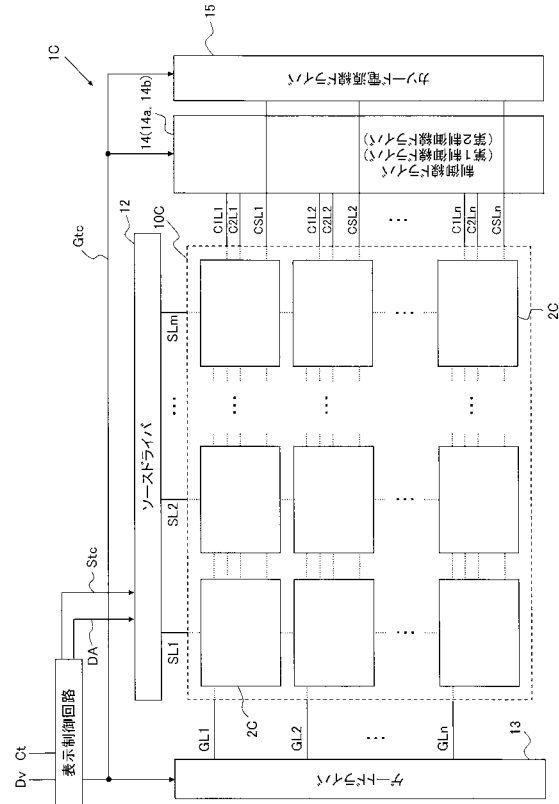
【 図 4 】



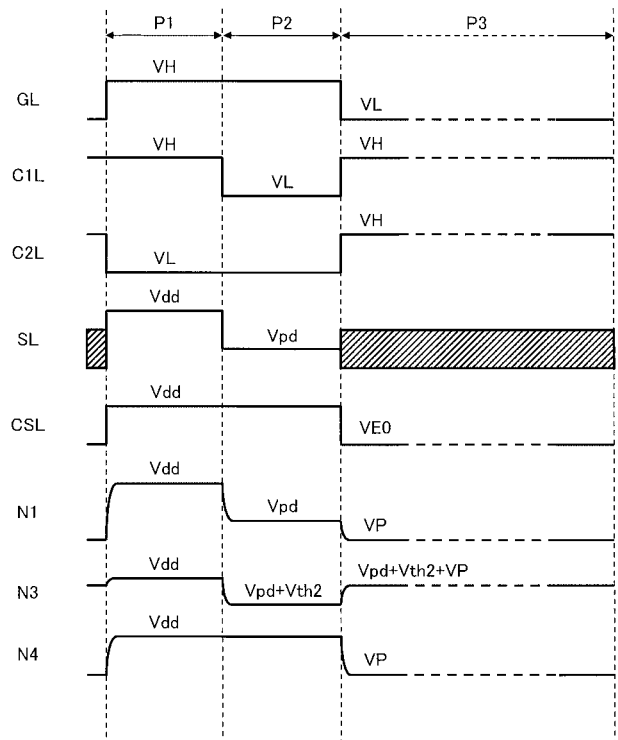
【 図 6 】



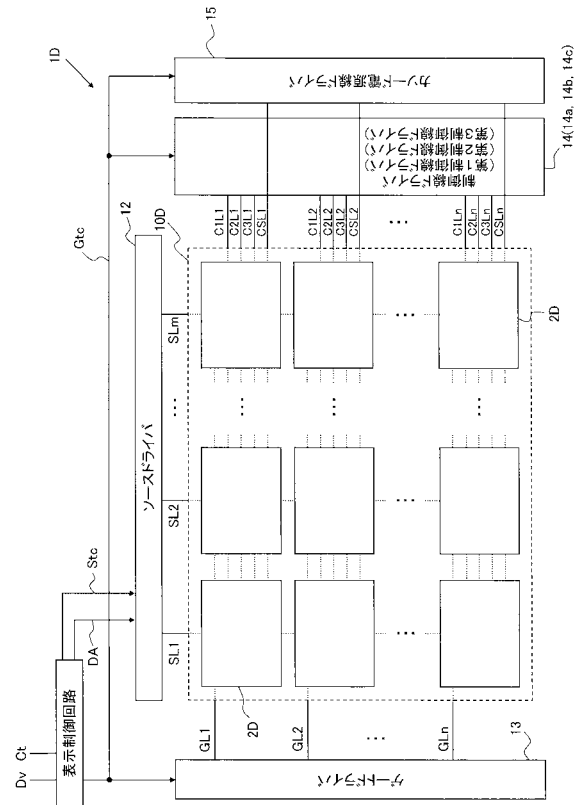
【 図 8 】



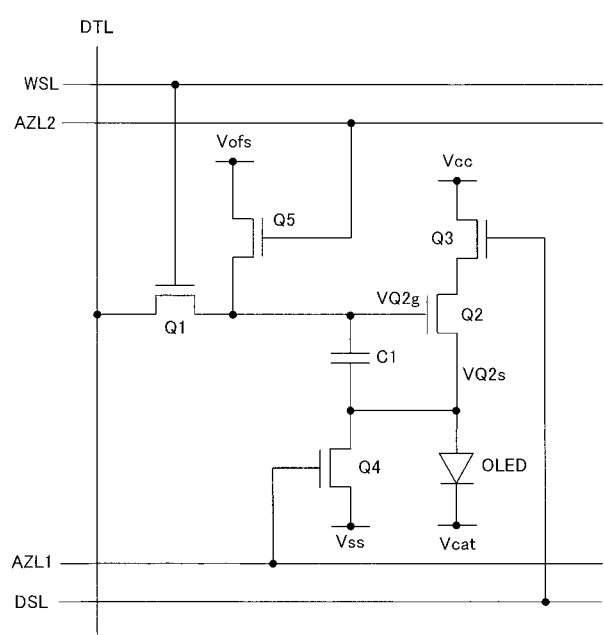
【 ㊦ 1 0 】



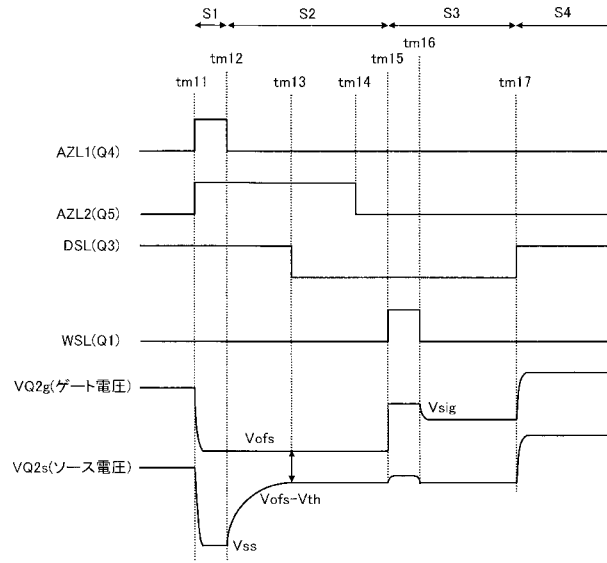
【 図 1 2 】



【 ㊦ 1 4 】



【図 15】



フロントページの続き

F ターム(参考) 5C380 AA01 AB06 AB11 AB34 BA39 BA40 BB02 CA12 CB01 CB16
CB17 CB20 CC01 CC03 CC06 CC07 CC27 CC33 CC39 CC41
CC52 CC63 CC64 CD012 CD015 CD016 DA02 DA06 DA47

专利名称(译)	像素电路和显示设备		
公开(公告)号	JP2013210407A	公开(公告)日	2013-10-10
申请号	JP2012078555	申请日	2012-03-30
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	山内祥光		
发明人	山内 祥光		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.K G09G3/20.624.B G09G3/30.J G09G3/20.611.H H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC33 3K107/DD39 3K107/EE03 3K107/HH05 5C080/AA06 5C080/CC03 5C080/DD03 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB34 5C380/BA39 5C380/BA40 5C380/BB02 5C380/CA12 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB20 5C380/CC01 5C380/CC03 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC63 5C380/CC64 5C380/CD012 5C380/CD015 5C380/CD016 5C380/DA02 5C380/DA06 5C380/DA47		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种当有机EL元件的驱动晶体管为n沟道型时能够稳定地控制发光亮度的像素电路。第一晶体管T1的漏极，源极和栅极连接到数据信号线SL，节点N1和扫描信号线GL，第二晶体管T2的漏极，源极和栅极连接到节点N2，节点N1和节点N3，第三晶体管T3的漏极，源极和栅极在阳极电源线ASL，节点N2和第一控制线C1L上，并且第四晶体管T4的漏极，源极和栅极在节点N1，节点N4和第二控制线C2L上，第五晶体管T5的漏极，源极和栅极连接到节点N2，N3和第三控制线C3L，并且第六晶体管T6的漏极，源极和栅极连接到节点N4，第一电源线VSL和第三控制线C3L。并且电容元件C1插入在节点N3和节点N4之间以形成像素电路2A。[选择图]图2

