

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-14836

(P2009-14836A)

(43) 公開日 平成21年1月22日(2009.1.22)

(51) Int.Cl.	F I	テーマコード(参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
HO1L 51/50 (2006.01)	G09G 3/20 622D	
	G09G 3/20 622C	
	G09G 3/20 641D	
審査請求 未請求 請求項の数 9 O L (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2007-174121 (P2007-174121)
 (22) 出願日 平成19年7月2日(2007.7.2)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100065385
 弁理士 山下 穰平
 (74) 代理人 100130029
 弁理士 永井 道雄
 (72) 発明者 川崎 素明
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 (72) 発明者 郷田 達人
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC12 EE04 HH04
 HH05

最終頁に続く

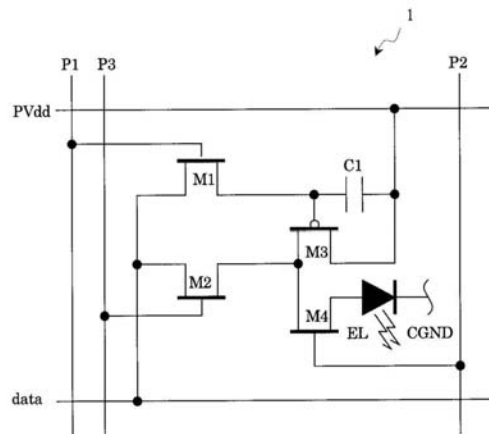
(54) 【発明の名称】 アクティブマトリクス型表示装置及びその駆動方法

(57) 【要約】

【課題】電流書込み型画素回路の低駆動電流(低輝度)領域における電流書込み能力を向上させる画素回路を提供する。

【解決手段】アクティブマトリクス型表示装置には、2次元に配置されたEL素子に電流を供給する信号線と走査線とが接続された画素回路1が配置される。画素回路1は、EL素子への電流注入が可能な駆動トランジスタM3と、M3の制御端子及び第1主導通端子間に接続される容量素子C1とを有し、選択期間に信号線と接続し、非選択期間に信号線とを遮断する。画素回路1は、選択期間の第1の期間に、M3の第2主導通端子と信号線とを接続し、信号線に駆動トランジスタM3を導通可能な第1の電流を供給し、選択期間の第2の期間に、駆動トランジスタM3の第2主導通端子と信号線の接続を遮断し、信号線にEL素子への注入電流に対応した第2の電流を供給する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

2次元状に配置された表示素子に電流を供給するための信号線と走査線が接続された画素回路が配置され、前記画素回路は、定電圧源に接続された第1主導通端子、前記表示素子へ電流を注入する第2主導通端子、および制御端子を有する駆動トランジスタと、前記駆動トランジスタの制御端子及び第1主導通端子の間に接続される容量素子とを有し、選択期間に前記信号線と接続し、非選択期間に前記信号線とを遮断する、アクティブマトリクス型表示装置であって、

前記選択期間は、第1の期間と、第2の期間とを含み、

前記第1の期間に、前記駆動トランジスタの第2主導通端子と前記表示素子とを遮断すると共に前記駆動トランジスタの制御端子及び第2主導通端子と前記信号線とを接続し、前記信号線に前記駆動トランジスタを導通可能な定電流を供給し、

前記第2の期間に、前記駆動トランジスタの第2主導通端子と前記信号線との接続を遮断し、前記信号線に前記表示素子へ注入する電流に対応した信号電流を供給し、

前記非選択期間に、前記駆動トランジスタの第2主導通端子と前記表示素子とを接続し、前記容量素子の両端子間電圧に応じた前記駆動トランジスタの駆動電流を前記表示素子に供給することを特徴とするアクティブマトリクス型表示装置。

【請求項 2】

前記第1の期間から前記第2の期間に遷移する前の所定期間に前記駆動トランジスタの制御端子と前記信号線との接続を遮断することを特徴とする請求項1に記載のアクティブマトリクス型表示装置。

【請求項 3】

前記非選択期間内の所定期間に前記駆動トランジスタの第2主導通端子と前記表示素子との接続を遮断して消灯制御することを特徴とする請求項1又は2に記載のアクティブマトリクス型表示装置。

【請求項 4】

前記画素回路は、前記走査線の制御信号によりオンオフ動作が制御されるトランジスタから成る第1スイッチ、第2スイッチ、及び第3スイッチをさらに有し、

前記第1スイッチは、前記駆動トランジスタの制御端子及び前記容量素子の一方の端子と前記信号線との間に配置され、

前記第2スイッチは、前記駆動トランジスタの第2主導通端子と前記信号線との間に配置され、

前記第3スイッチは、前記駆動トランジスタの第2主導通端子と前記表示素子の一方の端子との間に配置されることを特徴とする請求項1ないし3のいずれか1項に記載のアクティブマトリクス型表示装置。

【請求項 5】

前記走査線は、第1走査線、第2走査線、及び第3走査線を有し、

前記第1走査線は、前記第1スイッチの制御端子に接続され、

前記第2走査線は、前記第2スイッチの制御端子に接続され、

前記第3走査線は、前記第3スイッチの制御端子に接続されることを特徴とする請求項4に記載のアクティブマトリクス型表示装置。

【請求項 6】

前記走査線は、第1走査線及び第2走査線を有し、

前記第2スイッチは、互いに直列に接続された2つの第2スイッチを有し、

前記第3スイッチは、互いに直列に接続された2つの第3スイッチを有し、

前記第1走査線は、前記第1スイッチ、前記2つの第2スイッチの一方、及び前記2つの第3スイッチの一方の各制御端子に接続され、

前記第2走査線は、前記2つの第2スイッチの他方、及び前記2つの第3スイッチの他方の各制御端子に接続されることを特徴とする請求項4に記載のアクティブマトリクス型表示装置。

10

20

30

40

50

【請求項 7】

前記駆動トランジスタ、前記第 1 スイッチ、第 2 スイッチ、及び第 3 スイッチは、いずれも T F T で構成されることを特徴とする請求項 4 ないし 6 のいずれか 1 項に記載のアクティブマトリクス型表示装置。

【請求項 8】

前記駆動トランジスタは、p 型 T F T で構成され、

前記第 1 スイッチ、第 2 スイッチ、及び第 3 スイッチは、いずれも n 型 T F T で構成されることを特徴とする請求項 7 に記載のアクティブマトリクス型表示装置。

【請求項 9】

2 次元状に配置された表示素子に電流を供給するための信号線と走査線が接続された画素回路が配置され、前記画素回路は、定電圧源に接続された第 1 主導通端子、前記表示素子へ電流を注入する第 2 主導通端子、および制御端子を有する駆動トランジスタと、前記駆動トランジスタの制御端子及び第 1 主導通端子の間に接続される容量素子とを有し、選択期間に前記信号線と接続し、非選択期間に前記信号線とを遮断する、アクティブマトリクス型表示装置の駆動方法であって、

10

前記選択期間は、第 1 の期間と、第 2 の期間とを含み、

前記第 1 の期間に、前記駆動トランジスタの第 2 主導通端子と前記表示素子とを遮断すると共に前記駆動トランジスタの制御端子及び第 2 主導通端子と前記信号線とを接続し、前記信号線に前記駆動トランジスタを導通可能な定電流を供給し、

前記第 2 の期間に、前記駆動トランジスタの第 2 主導通端子と前記信号線との接続を遮断し、前記信号線に前記表示素子へ注入する電流に対応した信号電流を供給し、

20

前記非選択期間に、前記駆動トランジスタの第 2 主導通端子と前記表示素子とを接続し、前記容量素子の両端子間電圧に応じた前記駆動トランジスタの駆動電流を前記表示素子に供給することを特徴とするアクティブマトリクス型表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流を注入して発光するエレクトロルミネッセンス素子（以後、E L 素子と言う）を画像表示に使用したアクティブマトリクス型表示装置及びその駆動方法に関する。以後、本明細書では、E L 素子を使用したアクティブマトリクス型表示装置を E L パネルと言う。

30

【背景技術】

【0002】

<アクティブマトリクス型表示装置>

図 8 は、カラー E L パネルの全体構成例を示すものである。同図に示すカラー E L パネルは、表示素子（E L 素子）及びその駆動回路を含む画素回路 1 が配置される表示領域 2 のほか、列制御回路 3、列レジスタ 5、行レジスタ 6、及び制御回路 9 を備えている。

【0003】

表示領域 2 には、行方向及び列方向に沿ってマトリクス状に画素回路 1 が複数配置される。各々の画素回路 1 には、対応する列の信号線 4 と走査線 7 が接続される。該当行の画素回路 1 には、走査線 7 の制御信号（走査信号）によって、一斉に対応する信号線 4 に供給される表示信号が取り込まれる（行選択期間）。そして、走査信号が次行に移行すると、各々の画素回路 1 に含まれる表示素子が、取り込まれた表示信号に応じた輝度で点灯する（点灯期間）。画素回路 1 は、カラー表示するため、R G B 三原色の表示素子をもつ 3 つの組みから構成される。

40

【0004】

各走査線 7 の走査信号は、行クロック K R と行走査開始信号 S P R を入力される行数分のレジスタブロックを有する行レジスタ 6 によって生成される。各信号線 4 に供給される各列の表示信号は、列数分の列制御回路 3 によって生成される。3 列ごとに配列される R G B 三原色の表示素子に対応して列制御回路 3 は 3 個の組みから構成される。各列の列制

50

御回路 3 には、映像信号 V I D E O とサンプリング信号 S P 及び水平制御信号 8 によって所望の表示信号を各列の信号線 4 に供給する。制御回路 9 には、映像信号 V I D E O 9 に対応した水平同期信号 S C が入力され、水平制御信号 8 を生成する。サンプリング信号 S P は、列制御回路 3 の 1 / 3 の数のレジスタからなる列レジスタ 5 によって生成される。列レジスタ 5 には、列クロック K C と列走査開始開始信号 S P C 及び主に列レジスタ 5 のリセット動作を行う水平制御信号 8 が入力される。

【 0 0 0 5 】

< 画素回路 >

画素回路 1 には、使用される T F T (薄膜トランジスタ) 素子の特性バラツキに強い電流書込み型が一般的に採用される。この場合、信号線 4 に供給される表示信号は電流信号である。表示パネルの画素回路 1 は、一般的に T F T で構成される。T F T は、特性バラツキが大きいので、特性バラツキに強い電流書込み型が使用されることが多い。

10

【 0 0 0 6 】

図 9 及び図 1 0 は、各々特許文献 1、2 に記載されている電流書込み型 (「電流プログラミング方式」とも言う。) の画素回路の構成例である。同図に示す画素回路 1 は、表示素子である E L 素子 (図中の E L) と、その E L 素子の駆動回路とを有している。駆動回路は、同図の例では、n 型 T F T から成るスイッチングトランジスタ (以下、トランジスタ) M 1、M 2、M 4 と、p 型 T F T から成る駆動トランジスタ M 3 と、容量素子 (キャパシタ) C 1 とを含む。

20

【 0 0 0 7 】

画素回路 1 には、発光電源線 P V d d と、電流 I d a t a を供給する信号線 d a t a と、走査信号を供給する 2 本の走査線 P 1、P 2 (第 1 走査線及び第 2 走査線) とが接続され、E L 素子の駆動回路を通して、電流書込み動作と点灯動作が行なわれる。E L 素子は、アノード端子 (電流注入端子) が、トランジスタ M 4、駆動トランジスタ M 3 を介して発光電源線 P V d d (第 1 の電源) に接続され、カソード端子が接地線 (第 2 の電源) C G N D に接続されている。

【 0 0 0 8 】

図 1 1 は、走査線 P 1、P 2 の各走査信号のタイムチャートを示す。

【 0 0 0 9 】

まず、電流書込み動作時 (行選択期間 T 1) には、各走査信号が、P 1 = H レベル、P 2 = L レベルになり、トランジスタは、M 1、M 2 がオン、M 4 がオフとなる。そうすると、駆動トランジスタ M 3 は、ドレイン端子が E L 素子の電流注入端子 (図 9、図 1 0 の例ではアノード端子) と遮断される。この状態で、駆動トランジスタ M 3 は、ゲート端子が信号線 d a t a と接続されると共に、ゲート端子とドレイン端子が短絡してダイオード接続状態になる。その結果、信号線 d a t a に供給される電流 I d a t a によって、駆動トランジスタ M 3 の特性によって決定されるゲート電圧が発生して、ゲート端子 - ソース端子間の容量素子 C 1 に充電される。

30

【 0 0 1 0 】

次に、点灯動作時 (点灯期間 T 2) には、各走査信号が、P 1 = L レベル、P 2 = H レベルになり、トランジスタは、M 1、M 2 がオフ、M 4 がオンとなる。そうすると、駆動トランジスタ M 3 は、ドレイン端子が E L 素子の電流注入端子 (図 9、図 1 0 の例ではアノード端子) に接続される。この状態で、駆動トランジスタ M 3 は、ゲート端子が信号線 d a t a と遮断されて開放状態になるので、電流書込み動作時にゲート端子 - ソース端子間の容量素子 C 1 に充電された電圧がそのまま M 3 のゲート電圧になる。これにより、駆動トランジスタ M 3 に流れる電流は概ね信号線 d a t a の電流 I d a t a になるため、E L 素子はその電流 I d a t a に応じた発光輝度で点灯可能となる。

40

【特許文献 1】米国特許第 6 3 7 3 4 5 4 号明細書

【特許文献 2】米国特許第 6 6 6 1 1 8 0 号明細書

【特許文献 3】特開 2 0 0 6 - 0 8 5 1 9 9 号公報

【特許文献 4】特開 2 0 0 5 - 1 5 7 3 2 2 号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0011】

図9で示す画素回路を表示パネルとして基板上に実際に構成する場合、図12で示すように各画素回路に走査線P1、P2と信号線dataの配線交差によって各々寄生容量 $c \times 1$ 及び $c \times 4$ が付随する。また、高精細表示パネルでは、画素回路の上から光取り出しを行なうトップエミッション方式が一般的である。このため、信号線dataは、EL素子のアノード電極との重畳及びアノード電極と重畳しない領域では、表示領域全面に製膜されているカソード透明電極と重畳するため、各々寄生容量 $c \times 2$ 及び $c \times 3$ が付随する。これ以外に信号線dataには、トランジスタM2の制御端子(ゲート端子)と主導通端子(ソース又はドレイン端子)間の容量 $c \times 5$ が付随する。

10

【0012】

各列の信号線dataに付随する寄生容量は、各列の画素回路に付随する寄生容量の総和になる。この信号線に付随する寄生容量値は、パネルサイズ及び表示数に依存する。例えば、3インチ480行の表示パネルにおいて、前記寄生容量値は5pF程度になる。図10の画素回路においても、この信号線に付随する寄生容量は同程度になる。

【0013】

しかしながら、図9及び図10で示す画素回路の電流書込み動作は、前記寄生容量値で大きく影響される。電流書込み動作能力(PRG能力)は、次の(1)式で概略示される。

20

【0014】

$$\text{「PRG能力」} = \text{「書込み電流」} \times \text{「書込み時間」} \div \text{「信号線寄生容量」} \quad \dots (1)$$

この「PRG能力」値を確保しないと、画素回路が一般的に構成されるTFT素子の特性バラツキによって正常な電流書込み動作は実現できない。このため、表示画質を著しく崩してしまう。特に、書込み電流が小さい低輝度の表示画質が悪くなるとともに、画質の重要要素であるコントラスト比を大きくできない。「PRG能力」を大きくするために、「信号線寄生容量」は表示行数及び表示サイズでほとんど決定され、大幅な低減が期待されないとともに、「書込み時間」についても表示画像のリフレッシュレートを維持するため、大きくできない。

【0015】

また、図4及び図5で示す画素回路では、書込み電流と駆動電流が概ね同等である。EL素子に注入する駆動電流は、表示画像を決定するため、走査線P2による発光期間制御しない場合は大きくできないので書込み電流も大きくできない。発光期間制御を使用したとしてもEL素子の瞬時光量を大きくすることになるため、EL素子の大きな課題である輝度劣化を考慮すると、書込み電流は大幅に大きくできない。

30

【0016】

本発明は、このような課題を解決するもので、電流書込み型画素回路の低駆動電流(低輝度)領域における電流書込み能力を向上させる画素回路を提供することを目的とする。

【課題を解決するための手段】

【0017】

上記目的を達成するため、本発明に係るアクティブマトリクス型表示装置は、2次元状に配置された表示素子に電流を供給するための信号線と走査線が接続された画素回路が配置され、前記画素回路は、定電圧源に接続された第1主導通端子、前記表示素子へ電流を注入する第2主導通端子、および制御端子を有する駆動トランジスタと、前記駆動トランジスタの制御端子及び第1主導通端子の間に接続される容量素子とを有し、選択期間に前記信号線と接続し、非選択期間に前記信号線とを遮断する、アクティブマトリクス型表示装置であって、前記選択期間は、第1の期間と、第2の期間とを含み、前記第1の期間に、前記駆動トランジスタの第2主導通端子と前記表示素子とを遮断すると共に前記駆動トランジスタの制御端子及び第2主導通端子と前記信号線とを接続し、前記信号線に前記駆動トランジスタを導通可能な第1の電流を供給し、前記第2の期間に、前記駆動トランジ

40

50

スタの第2主導通端子と前記信号線との接続を遮断し、前記信号線に前記表示素子への注入電流に対応した第2の電流を供給し、前記非選択期間に、前記駆動トランジスタの第2主導通端子と前記表示素子とを接続し、前記容量素子の両端子間電圧に応じた前記駆動トランジスタの駆動電流を前記表示素子に供給することを特徴とする。

【0018】

本発明において、前記第1の期間から前記第2の期間に遷移する前の所定期間に前記駆動トランジスタの制御端子と前記信号線との接続を遮断してもよい。前記非選択期間内の所定期間に前記駆動トランジスタの第2主導通端子と前記表示素子との接続を遮断して消灯制御してもよい。

【0019】

前記画素回路は、前記走査線の制御信号によりオンオフ動作が制御されるトランジスタから成る第1スイッチ、第2スイッチ、及び第3スイッチをさらに有し、前記第1スイッチは、前記駆動トランジスタの制御端子及び前記保持容量の一方の端子と前記信号線との間に配置され、前記第2スイッチは、前記駆動トランジスタの第2主導通端子と前記信号線との間に配置され、前記第3スイッチは、前記駆動トランジスタの第2主導通端子と前記表示素子の一方の端子との間に配置されてもよい。

【0020】

前記走査線は、第1走査線、第2走査線、及び第3走査線を有し、前記第1走査線は、前記第1スイッチの制御端子に接続され、前記第2走査線は、前記第2スイッチの制御端子に接続され、前記第3走査線は、前記第3スイッチの制御端子に接続されてもよい。

【0021】

前記走査線は、第1走査線及び第2走査線を有し、前記第2スイッチは、互いに直列に接続された2つの第2のスイッチを有し、前記第3スイッチは、互いに直列に接続された2つの第3のスイッチを有し、前記第1走査線は、前記第1スイッチ、前記2つの第2スイッチの一方、及び前記2つの第3スイッチの一方の各制御端子に接続され、前記第2走査線は、前記2つの第2スイッチの他方、及び前記2つの第3スイッチの他方の各制御端子に接続されてもよい。

【0022】

前記駆動トランジスタ、前記第1スイッチ、第2スイッチ、及び第3スイッチは、いずれもTFTで構成されてもよい。前記駆動トランジスタは、p型TFTで構成され、前記第1スイッチ、第2スイッチ、及び第3スイッチは、いずれもn型TFTで構成されてもよい。

【0023】

本発明に係るアクティブマトリクス型表示装置の駆動方法は、2次元状に配置された表示素子に電流を供給するための信号線と走査線が接続された画素回路が配置され、前記画素回路は、定電圧源に接続された第1主導通端子、前記表示素子へ電流を注入する第2主導通端子、および制御端子を有する駆動トランジスタと、前記駆動トランジスタの制御端子及び第1主導通端子の間に接続される容量素子とを有し、選択期間に前記信号線と接続し、非選択期間に前記信号線とを遮断する、アクティブマトリクス型表示装置の駆動方法であって、前記選択期間は、第1の期間と、第2の期間とを含み、前記第1の期間に、前記駆動トランジスタの第2主導通端子と前記表示素子とを遮断すると共に前記駆動トランジスタの制御端子及び第2主導通端子と前記信号線とを接続し、前記信号線の電流として前記駆動トランジスタを導通可能な第1の電流を前記信号線に供給し、前記第2の期間に、前記駆動トランジスタの第2主導通端子と前記信号線との接続を遮断し、前記信号線の電流として前記表示素子への注入電流に対応した第2の電流を前記信号線に供給し、前記非選択期間に、前記駆動トランジスタの第2主導通端子と前記表示素子とを接続し、前記容量素子の両端子間電圧に応じた前記駆動トランジスタの駆動電流を前記表示素子に供給することを特徴とする。

【発明の効果】

【0024】

本発明によれば、電流書込み型画素回路の低駆動電流（低輝度）領域における電流書込み能力を向上させる画素回路を提供することができる。

【発明を実施するための最良の形態】

【0025】

以下、本発明の実施例について図面を参照して説明する。

【実施例1】

【0026】

まず、図1～図3を参照して、本発明の第1の実施例について説明する。

【0027】

図1に示す本実施例に係るELパネル（アクティブマトリクス型表示装置）は、前述した図8に示すカラーELパネルの表示領域2に配置される画素回路1として、図10に示す電流書込み型の画素回路1を用いたものである。同図に示す画素回路1は、2次元状に配置された表示素子であるEL素子（「OLED:Organic Light Emitting Diode」とも言う。）と、そのEL素子の駆動回路とを有している。

10

【0028】

駆動回路は、3つのスイッチトランジスタ（以下、第1～第3トランジスタ）M1、M2、M4と、EL素子への電流注入が可能な駆動トランジスタM3と、容量素子（キャパシタ又は保持容量）C1とを含む。第1～第3トランジスタM1、M2、M4は、いずれもn型TFTから成り、駆動トランジスタM3はp型TFTから成る。画素回路1には、発光電源線PVDDと、接地線CGNDと、電流Idataを供給する信号線dataと、3つのトランジスタM1、M2、M4のオンオフ動作を制御するための走査信号を供給する3本の走査線P1～P3とが接続される。

20

【0029】

本実施例の回路構成は、図10と比べると、走査線P3（第3走査線）が追加され、その走査信号によりトランジスタM2が独立にオンオフ動作が制御されている点が相違している。その他の回路構成は、図10と同様である（図の例では、前述した図12に示す信号線dataに付随する寄生容量を省略している）。

【0030】

EL素子は、アノード端子（電流注入端子）が、トランジスタM4、駆動トランジスタM3を介して発光電源線PVDDに接続され、カソード端子が接地線CGNDに接続されている。

30

【0031】

駆動トランジスタM3のゲート端子（制御端子）は、トランジスタM1を介して信号線dataに接続される一方、容量素子C1の一方の端子に接続される。駆動トランジスタM3のソース端子（第1主導通端子）は、発光電源線（定電圧源）PVDDと、容量素子C1の他方の端子に接続される。駆動トランジスタM3のドレイン端子（第2主導通端子）は、トランジスタM2を介して信号線dataに接続される一方、トランジスタM4を介してEL素子に接続される。

【0032】

トランジスタM1（第1スイッチ）のソース及びドレイン端子の一方は、駆動トランジスタM3のゲート端子と、容量素子C1の一方の端子とに接続される。トランジスタM1のソース及びドレイン端子の他方は、信号線dataと、トランジスタM2のソース及びドレイン端子の一方とに接続される。トランジスタM1のゲート端子は、走査線P1に接続され、その走査信号（L及びHレベル）によりオンオフ動作が制御される。

40

【0033】

トランジスタM2（第2スイッチ）のソース端子及びドレイン端子の一方は、信号線dataと、トランジスタM1のソース及びドレイン端子の他方とに接続される。トランジスタM2のソース端子及びドレイン端子の他方は、駆動トランジスタM3のドレイン端子と、トランジスタM4のソース及びドレイン端子の一方とに接続される。トランジスタM2のゲート端子は、走査線P3に接続され、その走査信号（L及びHレベル）によりオン

50

オフ動作が制御される。

【0034】

トランジスタM4（第3スイッチ）のソース端子及びドレイン端子の一方は、駆動トランジスタM3のドレイン端子と、トランジスタM2のソース端子及びドレイン端子の他方とに接続される。トランジスタM2のソース端子及びドレイン端子の他方は、EL素子のアノード端子に接続される。トランジスタM2のゲート端子は、走査線P2に接続され、その走査信号（L及びHレベル）によりオンオフ動作が制御される。

【0035】

次に、本実施例の動作について、図2及び図3を参照して説明する。

【0036】

図2は、(N)行目の走査線P1、P2、P3の各走査信号を示すタイムチャートである。図3は(N)行目～(N+2)行目に渡る信号線dataに供給される電流Idataと、画素回路1の駆動トランジスタM3のゲート端子電圧VGを示すタイムチャートである。

【0037】

まず、(N)行目の電流書込み動作（行選択期間T1）の開始に際し、時刻t1において、図2に示すように各走査信号は、P1 = P3 = Hレベル及びP2 = Lレベルになり、トランジスタは、M1、M2がオン、M4がオフとなる。これにより、(N)行目の画素回路1が電流書込み動作状態になる。

【0038】

そうすると、駆動トランジスタM3は、ドレイン端子がM4を介してEL素子のアノード端子（電流注入端子）と遮断される。この状態で、駆動トランジスタM3は、ゲート端子がM1を介して信号線dataと接続されると共に、ゲート端子とドレイン端子がM2を介して短絡してダイオード接続状態になる。その結果、信号線dataに供給される電流Idataによって、駆動トランジスタM3の特性によって決定されるゲート端子電圧VGが発生して、そのゲート端子電圧VGがゲート端子 - ソース端子間に接続された容量素子C1に充電される。

【0039】

このとき、図3に示すように、信号線dataの電流Idataとして、駆動トランジスタM3を導通可能なシンク電流である電流IREF（第1の電流）が信号線dataに供給される。電流IREFは、高輝度表示に必要な駆動電流に匹敵する電流値であるので、信号線dataに付随する寄生容量Csが存在していても電流書込み動作には十分な電流である。このため、図3に示すように電流書込み動作の収束が速いので、駆動トランジスタM3のゲート端子電圧VGは、電流IREFと(N)行目の駆動トランジスタM3の特性とで決まるゲート端子電圧VG(N)へ速やかに収束する。したがって、P3 = Lに変化する時刻t2までには電流書込み動作は確実に完了する。時刻t1 - t2までの期間が第1の期間T11に対応する。

【0040】

ゲート端子電圧VG(N)は、次の(2)式で示される。

【0041】

$$VG(N) = V_{th}(N) + (IREF / (N))^{0.5} \dots (2)$$

$V_{th}(N)$: (N)行目の該当駆動トランジスタM3の閾値電圧

(N) : (N)行目の該当駆動トランジスタM3の駆動係数

次に、時刻t2において、走査線P3の走査信号がP3 = Lレベルに変化し、トランジスタM2がオフになるので、駆動トランジスタM3のドレイン端子と信号線dataの接続は遮断される。このとき、図3に示すように、信号線dataの電流Idataとして、電流IREFと逆方向の電流IS(N)（第2の電流）が信号線dataに供給される。このため、(N)行目の駆動トランジスタM3のゲート端子電圧VG(N)は上昇を開始し、図2に示すP1 = H及びP2 = Lに変化する時刻t3になるまで、この電圧上昇は継続する。この時刻t2 - t3までの期間が第2の期間T12に対応する。

10

20

30

40

50

【0042】

時刻 $t_2 - t_3$ までの電圧上昇が直線的な理由は、(N) 行目の駆動トランジスタ M3 のゲート負荷が、次の(3)式で示されるように容量負荷 CL であるためである。

【0043】

$$C_L = C_s + C_g \quad \dots (3)$$

C_s : 各列の信号線 data に付随する寄生容量

C_g : 保持容量 C1 と駆動トランジスタ M3 のゲート容量の和

また、(N) 行目の駆動トランジスタ M3 のゲート端子電圧 $V_G(N)$ における電圧上昇 $V(N)$ は、次の(4)式で示される。

【0044】

$$V(N) = I_S(N) \times (t_3 - t_2) / C_L \quad \dots (4)$$

次に、時刻 t_3 において、走査線 P1、P2 の各走査信号が $P1 = L$ 及び $P2 = H$ に変化し、トランジスタは、M1 がオフ、M4 がオンになって、(N) 行目の電流書込み動作が終了する。このとき、駆動トランジスタ M3 のドレイン端子が該当表示素子のアノード端子に接続され、点灯期間(非選択期間 T2)に移行する。

【0045】

そうすると、(N) 行目の駆動トランジスタ M3 は、ゲート端子が M1 を介して信号線 data と遮断されて開放状態になる。このため、電流書込み動作時にゲート端子 - ソース端子間の容量素子 C1 に充電された両端子間電圧がそのまま M3 のゲート端子電圧 $V_G(N)$ になる。

【0046】

このとき、(N) 行目の駆動トランジスタ M3 のソース端子 - ドレイン端子間の駆動電流(ドレイン電流) $I_d(N)$ は、上記(2)式、(4)式を用いて、次の(5)式で示される。

【0047】

$$\begin{aligned} I_d(N) &= (N) \times [V_G(N) - V(N) - V_{th}(N)]^2 \\ &= (N) \times [\{I_{REF} / (N)\}^{0.5} - I_S(N) \times (t_3 - t_2) / C_L]^2 \quad \dots (5) \end{aligned}$$

上記(5)式からわかるように、駆動電流 $I_d(N)$ は、閾値電圧 V_{th} には依存せず、電流 $I_S(N)$ によって制御できる。

【0048】

図3に例示した駆動方法では、(N) 行目の該当画素では、中間輝度に対応した駆動電流を発生するため、電流 $I_S(N)$ は中レベルの電流である。また、(N+1) 行目の該当画素では、低輝度に対応した駆動電流を発生するため、電流 $I_S(N+1)$ は大レベルの電流である。さらに、(N+2) 行目の該当画素では、高輝度に対応した駆動電流を発生するため、電流 $I_S(N+2)$ は電流ゼロである。

【0049】

つまり、電流 I_S を、表示画像を制御する信号電流にすればよい。図3の例では、説明を簡単にするため、高輝度表示に対応する時の電流 $I_S(N+2)$ を電流ゼロにしているが、これに限定されない。例えば、電流 I_{REF} の設定を変更すれば、電流 $I_S(N+2)$ は、図3において正または負方向の電流 $I_S(N+2)$ になる。ここで、高輝度表示に対応する時の電流 $I_S(N+2)$ を正または負方向の電流 $I_S(N+2)$ とする場合には、電流 I_{REF} は各々高輝度時の駆動電流 $I_d(N+2)$ より「大きい」または「小さい」設定となる。

【0050】

また、駆動電流 I_d の電流範囲は、信号線 data に付随する寄生容量 C_s を考慮して、一定電流(第1の電流) I_{REF} 及び一定期間($t_3 - t_2$)(第2の期間 T12)で容易に設定できる。

【0051】

また、上記(5)式からわかるように、駆動電流 I_d は、駆動トランジスタ M3 の閾値

10

20

30

40

50

電圧 V_{th} のバラツキの影響を受けないが、駆動トランジスタ M_3 の駆動係数 のバラツキの影響を受ける。しかしながら、駆動電流 I_d は、電流絶対誤差が大きくなる大駆動電流（高輝度）においては電流 I_S が小さいので駆動係数 の影響はほとんど無い。また、駆動電流 I_d は、電流絶対誤差が小さくなる小駆動電流（低輝度）においては駆動係数に関係するが、駆動電流の絶対値誤差は小さくて済むので表示画質への影響は小さい。電流 I_{REF} を高輝度時の駆動電流 I_d ($N+2$) より「小さい」設定にしておくこと、駆動電流 I_d の広い電流範囲で駆動係数 のバラツキの影響をさらに小さくできる。

【0052】

駆動電流 I_d は、信号線寄生容量 C_s に関係するが、信号線寄生容量 C_s は各行の該当画素回路 1 において信号線 $data$ に付随する寄生容量の総和であるので、表示画質に影響する近接偏差は非常に小さい。信号線寄生容量 C_s の偏差があったとしても、列方向の空間周波数の低いものであり、表示画質に大きな影響は無い。

10

【0053】

以上説明したように、本実施例では、画素回路 1 の書込み動作能力は信号電流 I_S の電流値に関係ないので、上記 (1) 式で示される電流書込み型画素回路における書込み動作能力の問題が基本的に無い。

【0054】

なお、信号電流 I_S は、線順次電流で発生する必要があるが、外部 IC でも発生できるが、小型化及び低コスト化のため、ガラス基板上に TFT 回路で構成するのが望ましい。TFT 回路で安定した線順次の信号電流を発生する方法は、特許文献 3 に示されている。定電流 I_{REF} の発生についても、特許文献 4 に示されている。

20

【0055】

以上説明した本実施例の動作の概要は、次のようになる。

【0056】

1) 選択期間 T_1 の第 1 の期間 T_{11} で、駆動トランジスタ M_3 のドレイン端子を保持容量 C_1 の一方の端子に接続する。この状態で、保持容量 C_1 の両端子を発光電源線 P_{VDD} と信号線 $data$ との間に接続し、信号線 $data$ から駆動トランジスタ M_3 を導通可能な一定電流（第 1 の電流） I_{REF} を供給する。これにより、容量素子 C_1 を充電する。

【0057】

30

2) 選択期間 T_1 の第 2 の期間 T_{12} で、駆動トランジスタ M_3 のドレイン端子を開放した状態で、信号線 $data$ から表示素子への注入電流に対応した信号電流（第 2 の電流） I_S を一定時間供給する。これにより、容量素子 C_1 の両端子間電圧を確定する。

【0058】

3) 選択期間 T_1 の第 2 の期間 T_{12} 終了後、点灯期間 T_2 に、保持容量 C_1 と信号線 $data$ の間を切り離し、駆動トランジスタ M_3 のソース端子およびドレイン端子と表示素子の 2 つの端子を発光電源線 P_{VDD} と接地線 C_{GND} 間に直列に接続する。これにより、確定された容量素子 C_1 の両端子間電圧に応じた駆動電流 I_d を表示素子に供給する。

【0059】

40

以上説明したように、本実施例の EL パネルでは、各画素回路 1 において書込み期間 T_1 の開始から第 1 の期間 T_{11} だけ、一定電流 I_{REF} を信号線 $data$ に供給して電流書込みを行う。そして、第 1 の期間 T_{11} 経過後の第 2 の期間 T_{12} において、各画素回路 1 における電流駆動トランジスタ M_3 の主導通端子（ドレイン端子）と信号線 $data$ との接続を遮断する。さらに、信号線 $data$ に所望駆動電流に対応した信号電流電流 I_S を供給するとともに、第 2 の期間 T_{12} 経過後、駆動トランジスタ M_3 の何れかの主導通端子を表示素子に接続する点灯期間 T_2 に移行するようにする。

【0060】

従って、本実施例によれば、電流書込み型画素回路に対して簡単な変更で実質的に画素回路の駆動トランジスタの閾値電圧バラツキを抑えた電圧書込み型画素回路が実現でき、

50

ELパネルの表示画質を大幅に向上できる。また、画素回路は駆動トランジスタの閾値電圧検出動作を大電流レベルで行うことが可能なため、限られた書込み期間においても閾値電圧検出動作が確実に行うことができる。

【実施例 2】

【0061】

次に、図4を参照して、本発明の第2の実施例について説明する。

【0062】

前述した第1の実施例は、図10の画素回路を適用したものであるが、本実施例は、図9の画素回路を適用したものである。すなわち、本実施例では、トランジスタM2が、トランジスタM1を介して信号線Dataに接続されている。その他の構成は、第1の実施例と同様である。図4に示す本実施例の画素回路1は、図2で示す走査線P1、P2、P3の各走査信号と、図3で示す信号線dataの電流Idataとを用いて、図1の画素回路1と同様な動作を行うことができ、同様の効果を奏することができる。

【実施例 3】

【0063】

次に、図5～図7を参照して、本発明の第3の実施例について説明する。

【0064】

図5に示す本実施例の画素回路1は、図1の画素回路と比べると、走査線P3が無く走査線P1、P2のみであること、トランジスタM2、M4が各々2つのトランジスタM21及びM22、M41及びM42で構成されていることが相違している。本実施例では、トランジスタM21及びM22はn型TFT、トランジスタM21及びM22はp型TFTで構成されている。トランジスタM21、M41及びM22、M42は、各々走査線P1及びP2の各走査信号で制御されている。その他の構成は、第1の実施例と同様である。

【0065】

図5の画素回路1は、図6に示される走査線P1、P2の各走査信号と、図7に示される信号線dataの電流Idataとで動作させることができる。図2及び図3のタイムチャートとの差異は、信号線dataの電流Idataが電流IREFから電流ISに変化するタイミングt2が、タイミングt21及びt22によって切り換わるところにある。

【0066】

すなわち、図6に示すように期間T1から点灯期間T2に遷移する前の所定期間(t21 - t22)において、走査線P1の走査信号がP1 = Lレベルになり、トランジスタM1がオフになる。これにより、信号線dataの電流Idataに対する電流切換え前の時刻t21では、駆動トランジスタM3のゲート端子と信号線dataとの接続は遮断する。そして、時刻t22で、走査線P2の走査信号がP2 = Lレベルになってから、走査線P1の走査信号をP1 = Hレベルとし、トランジスタM1をオンにする。これにより、電流切換え遷移時における容量素子C1への異常電流の書込みが確実に防止できるため、画素書込み動作をより確実に実現できる。

【0067】

また、図5の構成では、画素領域に画素回路を配置するための制約条件としてTFT数以上に問題となる走査線数を従来の電流書込み型画素回路と同じく2本にできる。このことは、ELパネルを高精細化するに当たって重要な条件である。

【0068】

また、図6に示すように点灯期間T2内(非選択期間内)の所定期間(時刻t4 - t5)に走査線P2の走査信号がP2 = Hレベルになり、駆動トランジスタM3のドレイン端子と該当表示素子の接続は遮断される。これにより、消灯制御もできるので、点灯時間の設定によって容易に輝度設定も可能である。

【0069】

なお、上記各実施例では、駆動トランジスタをp型TFTで構成し、スイッチングトラ

10

20

30

40

50

ンジスタ M 1、M 2、M 4 を n 型 T F T で構成しているが、本発明はこれに限定されるものでない。使用する T F T は、n 型、p 型いずれでも適用可能である。T F T の活性層はアモルファスシリコンを用いて構成されてもよく、シリコンを主体とした材料、又は金属酸化物を主体とした材料、或いは有機物を主体とした材料で構成されていてもよい。

【 0 0 7 0 】

また、応用例として、上記 E L パネルを表示装置に用いたテレビや携帯機器等の電子機器を構成することができる。

【産業上の利用可能性】

【 0 0 7 1 】

本発明は、E L パネル及びこれに用いる画素回路並びにその駆動方法の用途に適用できる。

10

【図面の簡単な説明】

【 0 0 7 2 】

【図 1】本発明の第 1 の実施例に係る E L パネルの画素回路の構成を示す回路図である。

【図 2】第 1 の実施例の動作を説明するタイムチャートである。

【図 3】第 1 の実施例の動作を説明するタイムチャートである。

【図 4】本発明の第 2 の実施例に係る E L パネルの画素回路の構成を示す回路図である。

【図 5】本発明の第 3 の実施例に係る E L パネルの画素回路の構成を示す回路図である。

【図 6】第 3 の実施例の動作を説明するタイムチャートである。

【図 7】第 3 の実施例の動作を説明するタイムチャートである。

20

【図 8】カラー E L パネルの全体概念図である。

【図 9】特許文献 1 (米国特許第 6 3 7 3 4 5 4 号明細書) に記載されている電流書込み型画素回路の構成を示す回路図である。

【図 10】特許文献 2 (米国特許第 6 6 6 1 1 8 0 号明細書) に記載されている電流書込み型画素回路の構成を示す回路図である。

【図 11】図 9 及び図 10 の動作を説明するタイムチャートである。

【図 12】図 10 の画素回路の信号線に付随する寄生容量を説明する回路図である。

【符号の説明】

【 0 0 7 3 】

- 1 画素回路
- 2 表示領域
- 3 列制御回路
- 4 信号線
- 5 列レジスタ
- 6 行レジスタ
- 7 走査線
- 8 水平制御信号
- 9 制御回路

30

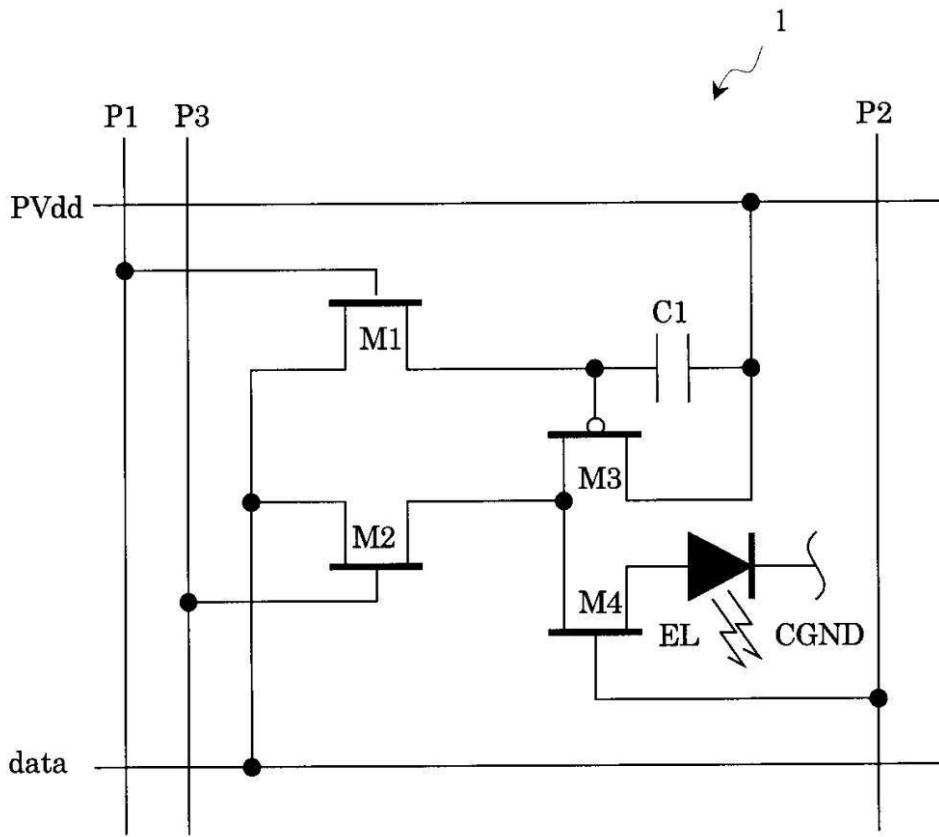
M 1、M 2、M 4 スイッチングトランジスタ

M 3 駆動トランジスタ

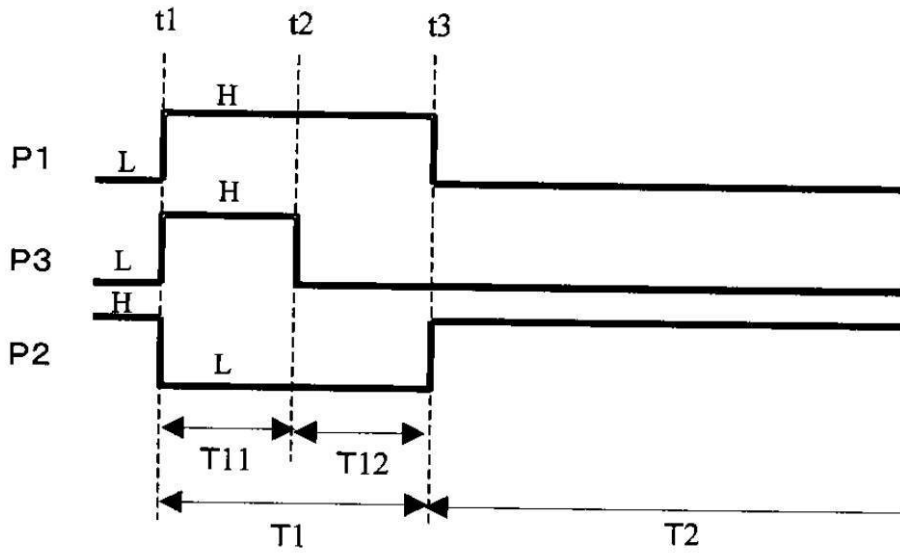
40

C 1 容量素子 (キャパシタ又は保持容量)

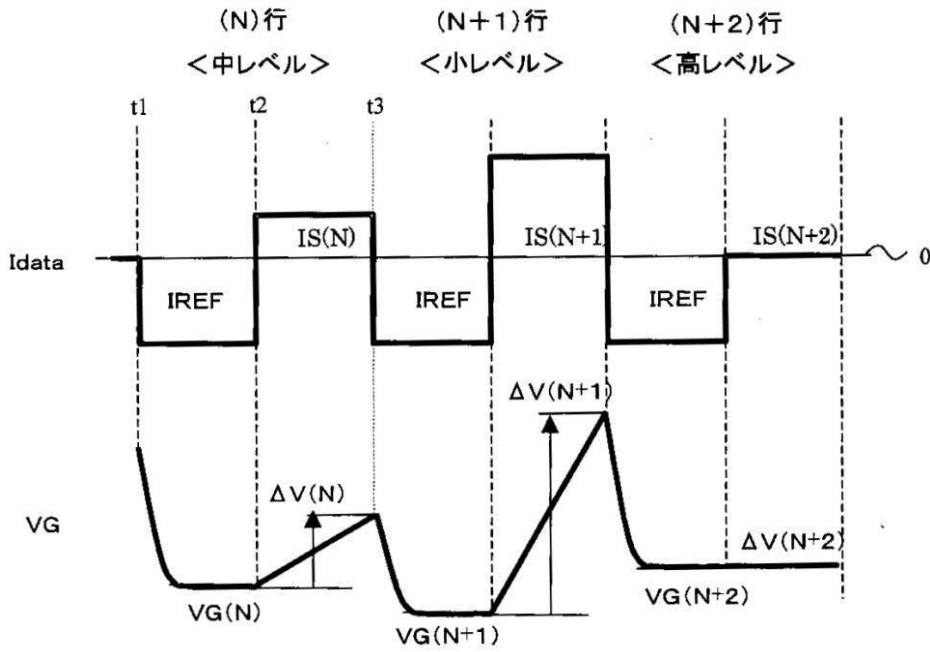
【 図 1 】



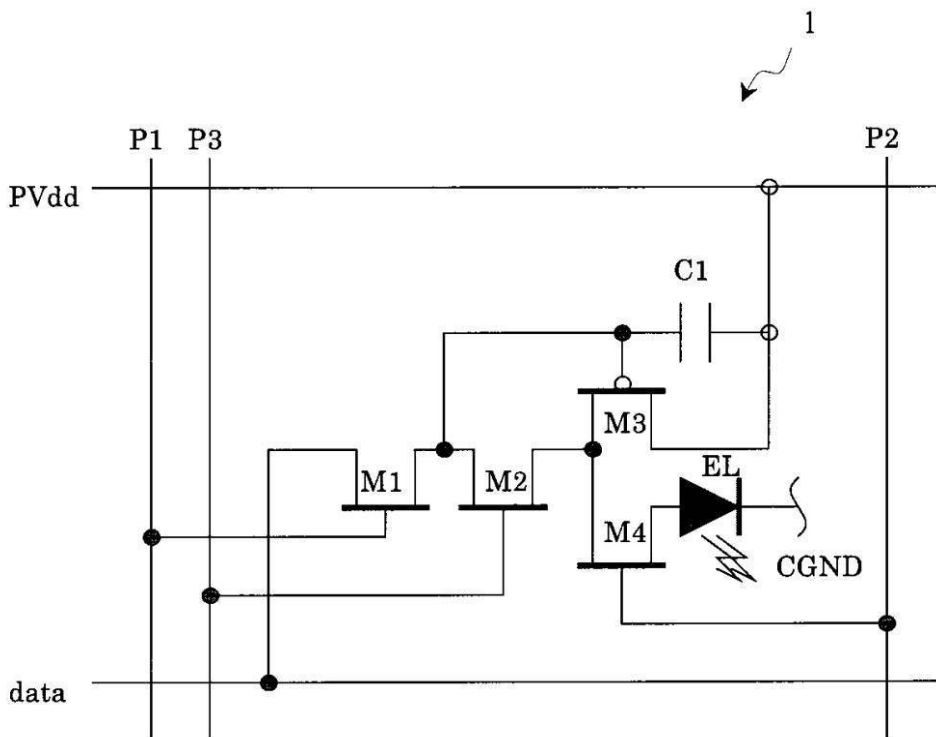
【 図 2 】



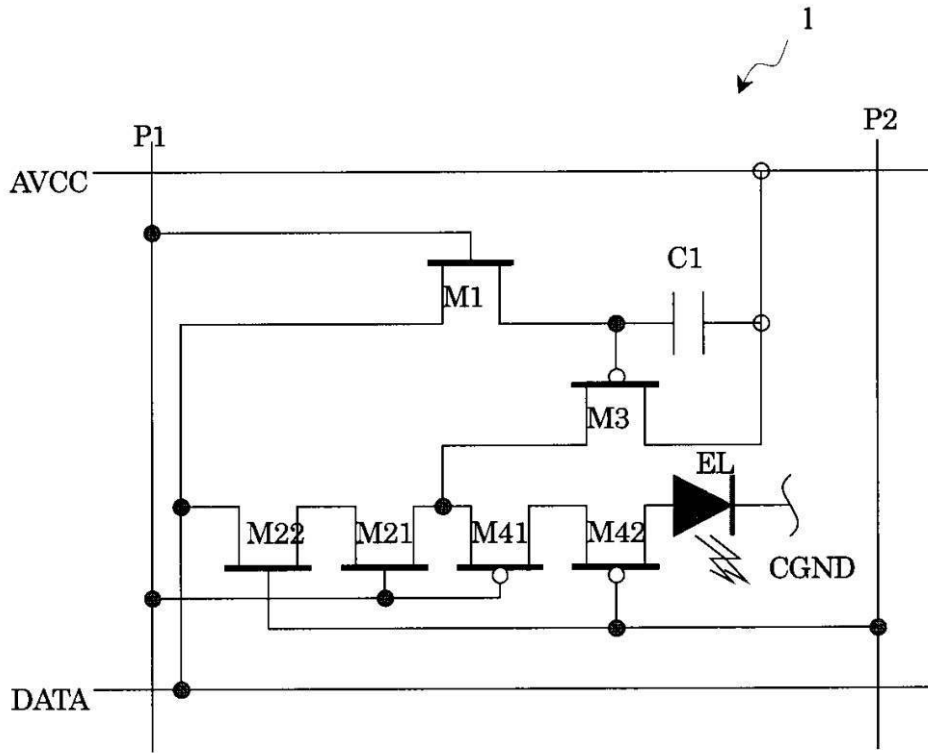
【 図 3 】



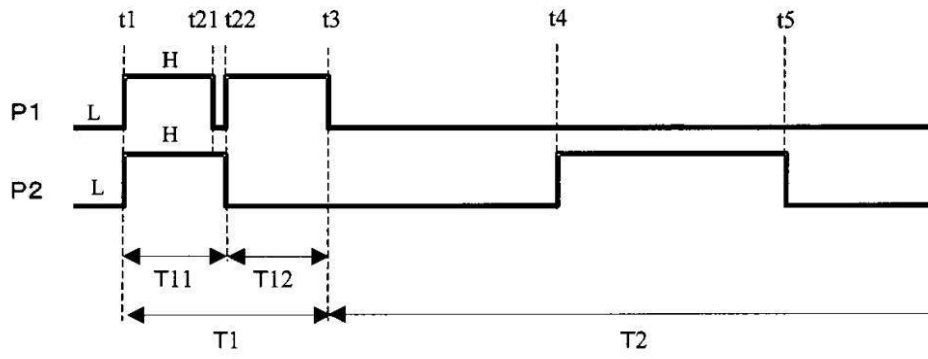
【 図 4 】



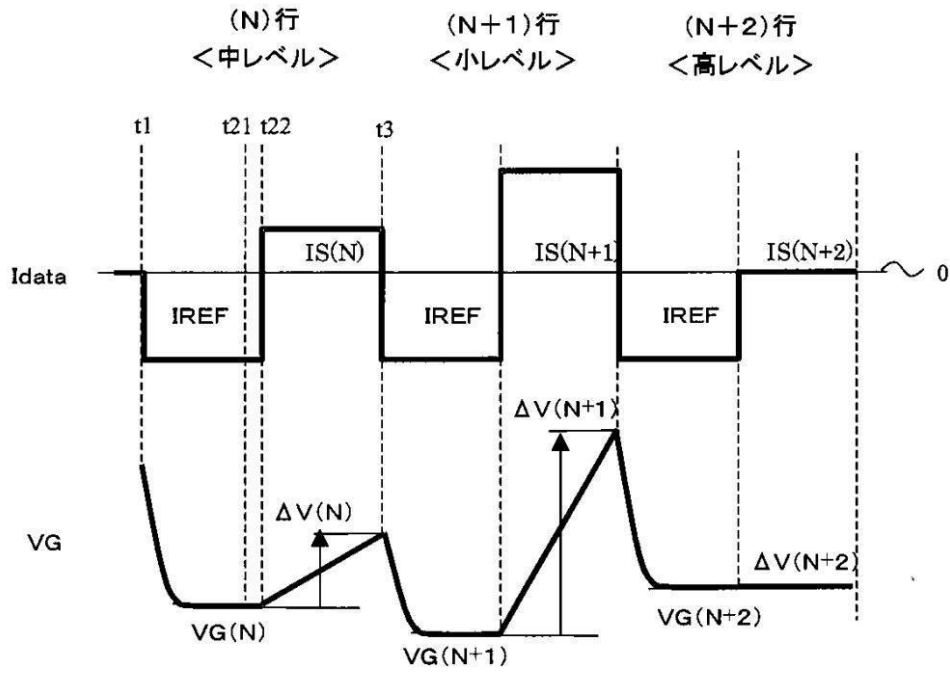
【 図 5 】



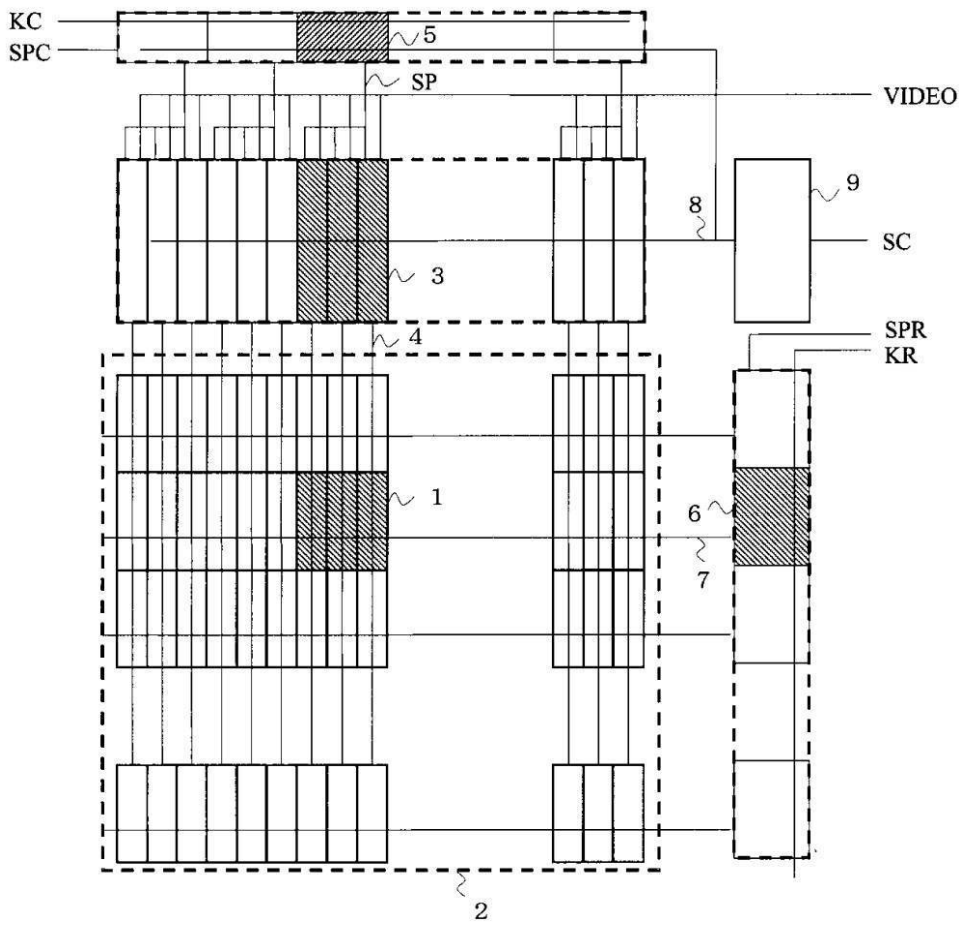
【 図 6 】



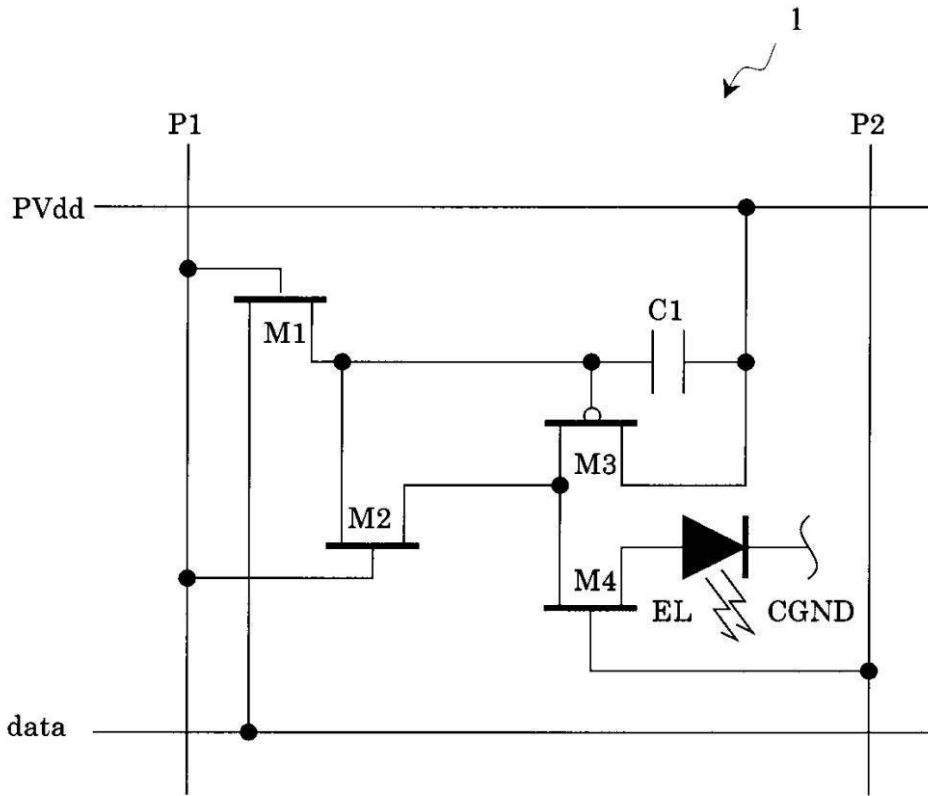
【 図 7 】



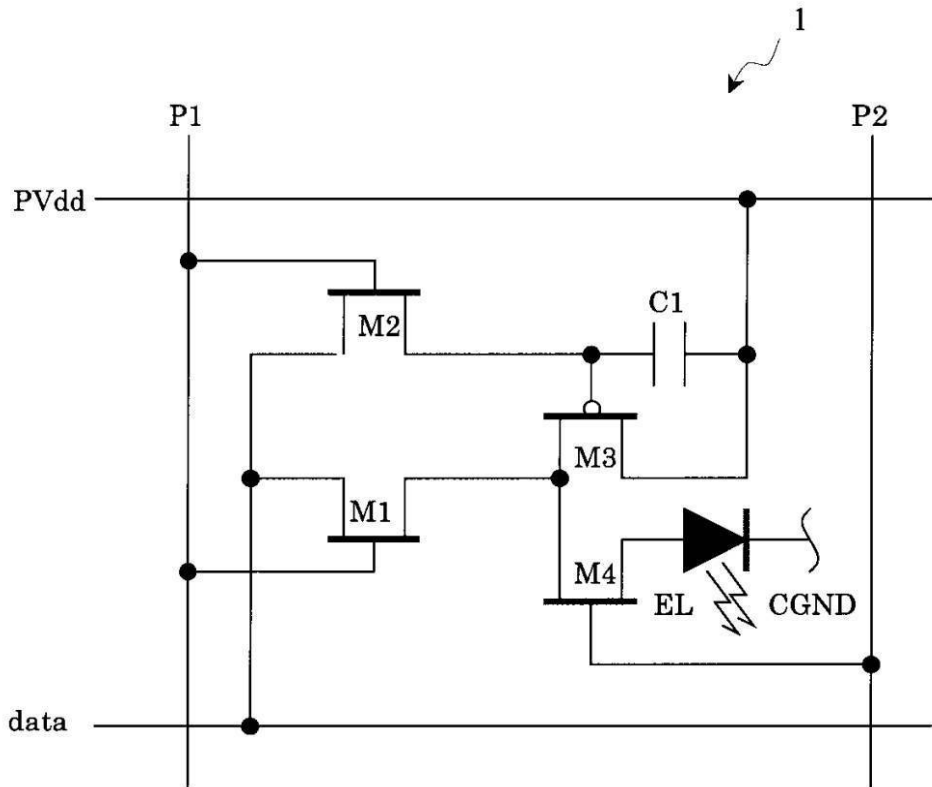
【 図 8 】



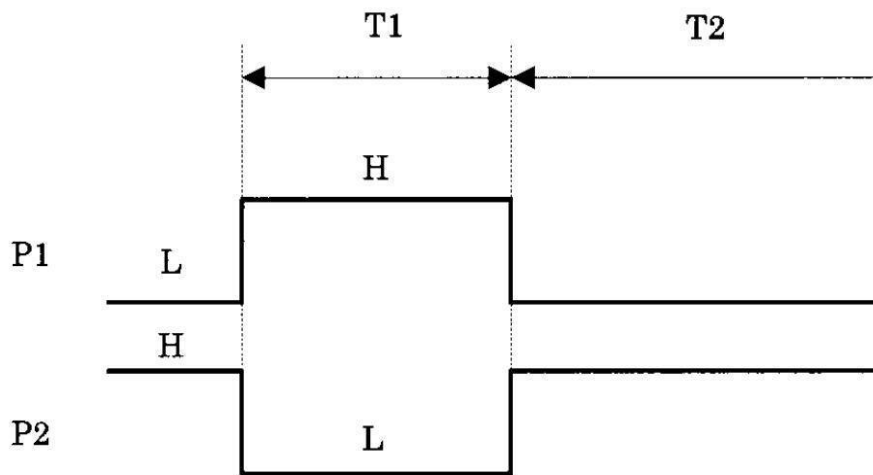
【 図 9 】



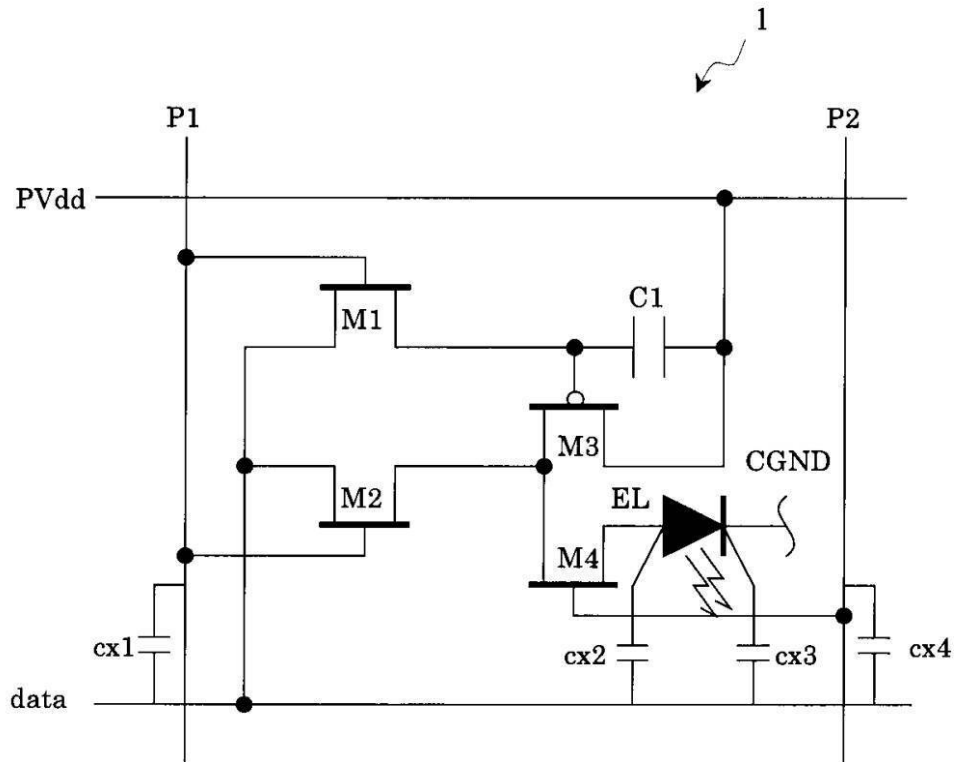
【 図 10 】



【図 1 1】



【図 1 2】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 1 H
H 0 5 B	33/14	A
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 1 F

Fターム(参考) 5C080 AA06 BB05 DD02 DD06 EE28 JJ02 JJ03 JJ04

专利名称(译)	有源矩阵显示装置及其驱动方法		
公开(公告)号	JP2009014836A	公开(公告)日	2009-01-22
申请号	JP2007174121	申请日	2007-07-02
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
[标]发明人	川崎素明 郷田達人		
发明人	川崎 素明 郷田 達人		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/325 G09G2300/0842 G09G2310/0262		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.622.D G09G3/20.622.C G09G3/20.641.D G09G3/20.611.H H05B33/14.A G09G3/20.623.C G09G3/20.623.D G09G3/20.621.F G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC12 3K107/EE04 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD02 5C080/DD06 5C080/EE28 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB18 5C380/AB21 5C380/AB22 5C380/AB25 5C380/AB34 5C380/AC05 5C380/AC07 5C380/AC11 5C380/BA05 5C380/BA11 5C380/BA12 5C380/BA19 5C380/BA20 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB23 5C380/BC02 5C380/BC14 5C380/BC18 5C380/BD02 5C380/CA08 5C380/CA10 5C380/CA13 5C380/CA29 5C380/CA30 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB18 5C380/CB31 5C380/CC13 5C380/CC18 5C380/CC19 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC51 5C380/CC52 5C380/CC53 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CD014 5C380/CD016 5C380/CD044 5C380/CE04 5C380/CE20 5C380/CF07 5C380/CF61 5C380/DA02 5C380/DA06 5C380/DA18 5C380/DA19 5C380/DA20 5C380/DA33		
代理人(译)	永井道雄		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种用于在电流写入型像素电路的低驱动电流（低亮度）区域中提高电流写入能力的像素电路。有源矩阵显示装置设有像素电路1，在像素电路1中连接有用于向二维排列的EL元件供给电流的信号线和扫描线。像素电路1具有能够向EL元件注入电流的驱动晶体管M3，以及在选择期间内连接在M3的控制端子与第一主导通端子之间并与信号线连接的电容元件C1。在非选择期间，信号线被切断。像素电路1在选择时段的第一时段中将M3的第二主导电端子与信号线连接，向信号线提供能够导通驱动晶体管M3的第一电流，并且在第二时段期间，驱动晶体管M3的第二主导电端子与信号线之间的连接被切断，并且向信号线提供与注入电流相对应的第二电流到EL元件。[选型图]图1

