

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-203387

(P2008-203387A)

(43) 公開日 平成20年9月4日(2008.9.4)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
G09F 9/30 (2006.01)	G09G 3/20 611H	5C094
H01L 27/32 (2006.01)	G09G 3/20 622Q	
H01L 51/50 (2006.01)	G09F 9/30 365Z	

審査請求 有 請求項の数 6 O L (全 27 頁) 最終頁に続く

(21) 出願番号 特願2007-37379 (P2007-37379)
 (22) 出願日 平成19年2月19日 (2007.2.19)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100102185
 弁理士 多田 繁範
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 山本 哲郎
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 山下 淳一
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

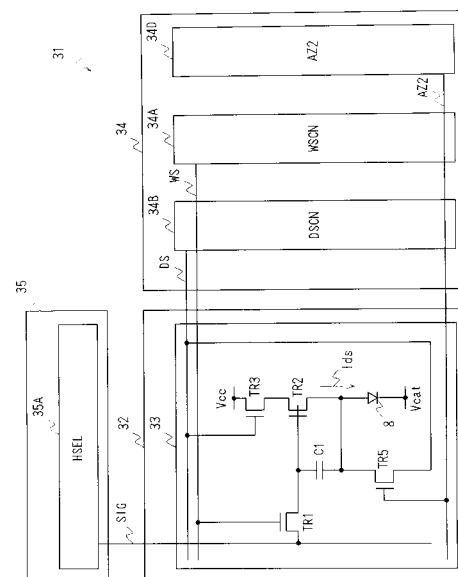
(54) 【発明の名称】 ディスプレイ装置

(57) 【要約】

【課題】本発明は、ディスプレイ装置に関し、例えば有機EL (Electro Luminescence) 素子等の電流駆動による自発光型のディスプレイ装置に適用して、従来に比して固定電位の配線パターン数を少なくすることができるようにする。

【解決手段】本発明は、発光素子8を駆動するトランジスタTR2のソース電圧Vsを固定電位Vs_sに設定して、このトランジスタTR2のしきい値電圧V_{th}のばらつきにより発光輝度のばらつきを補正するようにして、このトランジスタTR2に電源を供給するトランジスタTR3をオンオフ制御する駆動パルス信号DSの信号レベルにより、この固定電位Vs_sを設定する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

画素をマトリックス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置において、

前記画素が、

信号レベル保持用コンデンサと、

書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第 1 のトランジスタと、

前記信号レベル保持用コンデンサの一端をゲートに接続し、前記信号レベル保持用コンデンサの他端をソースに接続する第 2 のトランジスタと、

カソードがカソード電位に保持され、アノードを前記第 2 のトランジスタのソースに接続する電流駆動型の自発光素子と、

駆動パルス信号によりオンオフ動作して、前記第 2 のトランジスタのドレインを電源電圧に接続する第 3 のトランジスタと、

前記信号レベル保持用コンデンサの他端に接続された第 4 のトランジスタとを有し、

前記第 4 のトランジスタは、

ソースに前記駆動パルス信号を入力し、

ドレインを前記信号レベル保持用コンデンサの他端に接続し、

ゲートに入力する制御信号によりオン動作して、前記信号レベル保持用コンデンサの他端を前記駆動パルス信号の信号レベルに設定する

ことを特徴とするディスプレイ装置。

10

20

【請求項 2】

前記駆動回路は、

所定の固定電位の期間を間に挟んで、前記信号線に接続された各画素の階調に対応する信号レベルに前記信号線の信号レベルを順次設定し、

第 1 ～ 第 5 の期間の設定を順次循環的に繰り返して、前記画素部を駆動し、

前記第 1 の期間において、

前記書き込み信号、前記駆動パルス信号、前記制御信号により、前記第 1、第 4 のトランジスタ及び第 3 のトランジスタをオフ状態及びオン状態に設定し、前記信号レベル保持用コンデンサの両端電位によるゲートソース間電圧に応じた電流値により前記第 2 のトランジスタで前記自発光素子を駆動して前記自発光素子を発光させ、

前記第 2 の期間において、

前記駆動パルス信号により前記第 3 のトランジスタをオフ状態に設定して、前記自発光素子の発光を停止させ、

前記第 3 の期間において、

前記制御信号により前記第 4 のトランジスタをオン状態に設定して、前記信号レベル保持用コンデンサの他端を前記駆動パルス信号の信号レベルに設定し、

前記第 4 の期間において、

前記信号線で前記所定の固定電位が複数回繰り返される期間の間、

前記書き込み信号により前記第 1 のトランジスタをオン状態に設定して、前記信号線の信号レベルが前記所定の固定電位に設定される期間で、前記第 3 のトランジスタをオン状態に設定して、前記信号レベル保持用コンデンサの両端電位差を、前記第 2 のトランジスタのしきい値電圧とほぼ等しい電圧に設定し、

前記第 5 の期間において、

前記書き込み信号により、前記第 1 のトランジスタをオン状態からオフ状態に設定して、前記信号レベル保持用コンデンサの一端に前記信号線の信号レベルを設定する

ことを特徴とする請求項 1 に記載のディスプレイ装置。

30

40

【請求項 3】

前記駆動回路は、

前記第 5 の期間において、前記駆動パルス信号により前記第 3 のトランジスタをオン状

50

態に設定した後、一定期間経過して、前記書き込み信号により前記第 1 のトランジスタをオフ状態に設定する

ことを特徴とする請求項 2 に記載のディスプレイ装置。

【請求項 4】

前記駆動回路は、

複数ラインだけ先行する画素に出力する前記書き込み信号を、前記制御信号として出力する

ことを特徴とする請求項 2 に記載のディスプレイ装置。

【請求項 5】

前記駆動回路は、

複数ラインだけ先行する画素に出力する前記書き込み信号を、前記制御信号として出力するようにして、

前記信号線の信号レベルが、前記信号線に接続された画素の階調に対応する信号レベルに保持される期間の間、前記第 1 及び第 4 のトランジスタが同時にオン動作しないように、前記書き込み信号を生成する

ことを特徴とする請求項 1 に記載のディスプレイ装置。

【請求項 6】

前記画素回路、前記駆動回路のトランジスタの全てが、

N チャンネル型のトランジスタであり、

前記画素回路、前記駆動回路が、

アモルファスシリコンプロセスにより絶縁基板上に形成された

ことを特徴とする請求項 1 に記載のディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ディスプレイ装置に関し、例えば有機 E L (Electro Luminescence) 素子等の電流駆動による自発光型のディスプレイ装置に適用することができる。本発明は、発光素子を駆動するトランジスタのソース電圧を固定電位に設定して、このトランジスタのしきい値電圧のばらつきにより発光輝度のばらつきを補正するようにして、このトランジスタに電源を供給するトランジスタをオンオフ制御する駆動パルス信号の信号レベルにより、この固定電位を設定することにより、従来に比して固定電位の配線パターン数を少なくすることができるようにする。

【背景技術】

【0002】

従来、有機 E L 素子を用いたディスプレイ装置に関して、例えば U S P 5 , 6 8 4 , 3 6 5 、特開平 8 - 2 3 4 6 8 3 号公報等に種々の工夫が提案されている。

【0003】

ここで図 1 5 は、従来の有機 E L 素子を用いたいわゆるアクティブマトリックス型のディスプレイ装置を示すブロック図である。ディスプレイ装置 1 において、画素部 2 は、マトリックス状に画素 (P X) 3 が配置されて形成される。また画素部 2 は、このマトリックス状に配置した画素 3 に対して、走査線 S C N がライン単位で水平方向に設けられ、また走査線 S C N と直交するように信号線 S I G が列毎に設けられる。

【0004】

ここで図 1 6 に示すように、各画素 3 は、電流駆動による自発光型の発光素子である有機 E L 素子 8 と、この有機 E L 素子 8 を駆動する各画素 3 の駆動回路 (以下、画素回路と呼ぶ) とで形成される。

【0005】

画素回路は、信号レベル保持用コンデンサ C 1 の一端が一定電位に保持され、書き込み

10

20

30

40

50

信号WSによりオンオフ動作するトランジスタTR1を介して、この信号レベル保持用コンデンサC1の他端が信号線SIGに接続される。これにより画素回路は、書き込み信号WSの立ち上がりによってトランジスタTR1がオン動作し、信号レベル保持用コンデンサC1の他端電位が信号線SIGの信号レベルに設定され、トランジスタTR1がオン状態からオフ状態に切り換わるタイミングで、信号線SIGの信号レベルが信号レベル保持用コンデンサC1の他端にサンプルホールドされる。

【0006】

画素回路は、ソースを電源Vccに接続したPチャンネルトランジスタTR2のゲートに、この信号レベル保持用コンデンサC1の他端が接続され、このトランジスタTR2のドレインが有機EL素子8のアノードに接続される。ここで画素回路は、このトランジスタTR2が常に飽和領域で動作するように設定され、その結果、トランジスタTR2は、次式で表されるドレインソース電流Idsによる定電流回路を構成する。なおここでVgsは、トランジスタTR2のゲートソース間電圧であり、μは移動度である。またWはチャンネル幅、Lはチャンネル長、Coxはゲート容量、VthはトランジスタTR2のしきい値電圧である。これにより各画素回路は、信号レベル保持用コンデンサC1にサンプルホールドされた信号線SIGの信号レベルに応じた駆動電流Idsにより有機EL素子8を駆動する。

【0007】

【数1】

$$I_{ds} = \frac{1}{2} \times \mu \times \frac{W}{L} \times C_{ox} \times (V_{gs} - V_{th})^2 \quad \dots\dots (1)$$

【0008】

ディスプレイ装置1は、垂直駆動回路4のライトスキャン回路(WSCN)4Aにより、所定のサンプリングパルスを順次転送して、各画素3への書き込みを指示するタイミング信号である書き込み信号WSを生成する。また水平駆動回路5の水平セクタ(HSEL)5Aにより、所定のサンプリングパルスを順次転送してタイミング信号を生成し、このタイミング信号を基準にして各信号線SIGを入力信号S1の信号レベルに設定する。これによりディスプレイ装置1は、点順次又は線順次で、各画素部2に設けられた信号レベル保持用コンデンサC1の端子電圧を入力信号S1に応じて設定し、入力信号S1による画像を表示する。

【0009】

ここで有機EL素子8は、図17に示すように、使用により電流が流れ難くなる方向に電流電圧特性が経時変化する。なおこの図17において、符号L1が初期の特性を示し、符号L2が経時変化による特性を示すものである。しかしながら図16に示す回路構成によりPチャンネルトランジスタTR2で有機EL素子8を駆動する場合には、信号線SIGの信号レベルに応じて設定されたゲートソース間電圧VgsによりトランジスタTR2が有機EL素子8を駆動することにより、電流電圧特性の経時変化による各画素の輝度変化を防止することができる。

【0010】

ところで画素回路、水平駆動回路、垂直駆動回路を構成するトランジスタの全てをNチャンネルトランジスタで構成すれば、アモルファスシリコンプロセスでこれらの回路をまとめてガラス基板等の絶縁基板上に作成することができ、ディスプレイ装置を簡易に作成することができる。

【0011】

しかしながら図16との対比により図18に示すように、トランジスタTR2にNチャンネル型を適用して各画素13を形成し、この画素13による画素部12でディスプレイ

10

20

30

40

50

装置 11 を構成した場合、トランジスタ T R 2 のソースが有機 E L 素子 8 に接続されることにより、図 17 に示す電流電圧特性の変化によって、トランジスタ T R 2 のゲートソース間電圧 V_{gs} が変化することになる。これによりこの場合、使用により有機 E L 素子 8 に流れる電流が徐々に減少し、各画素の輝度が徐々に低下することになる。またこの図 18 に示す構成では、トランジスタ T R 2 の特性のばらつきにより画素毎に発光輝度がばらつくことになる。なおこの発光輝度のばらつきは、表示画面における均一性を乱し、表示画面のムラ、ざらつきにより知覚される。

【0012】

このためこのような有機 E L 素子の経時変化による発光輝度の低下、特性のばらつきによる発光輝度のばらつきを防止する工夫として図 19 に示す構成が提案されている。

10

【0013】

ここでこの図 19 に示すディスプレイ装置 21 において、画素部 22 は、画素 23 をマトリックス状に配置して形成される。ここで画素 23 は、信号レベル保持用コンデンサ C 1 の一端が有機 E L 素子 8 のアノードに接続され、書き込み信号 W S に応じてオンオフ動作するトランジスタ T R 1 を介して、この信号レベル保持用コンデンサ C 1 の他端が信号線 S I G に接続される。これにより画素 23 は、書き込み信号 W S に応じて信号レベル保持用コンデンサ C 1 の他端の電圧が、信号線 S I G の信号レベルに設定される。

【0014】

画素 23 は、この信号レベル保持用コンデンサ C 1 の両端がトランジスタ T R 2 のソース及びゲートに接続され、駆動パルス信号 D S によりオンオフ動作するトランジスタ T R 3 を介して、このトランジスタ T R 2 のドレインが電源 V c c に接続される。これにより画素 23 は、ゲート電位が信号線 S I G の信号レベルに設定されたソースフォロワ回路構成のトランジスタ T R 2 により有機 E L 素子 8 を駆動する。なおここで V c a t は、有機 E L 素子 8 のカソード電位である。また駆動パルス信号 D S は、各画素 3 の発光期間を制御するタイミング信号であり、ドライブスキャン回路 (D S C N) 24 B で所定のサンプリングパルスを順次転送して生成される。

20

【0015】

また画素 23 は、それぞれ制御信号 A Z 1、A Z 2 によりオンオフ動作するトランジスタ T R 4、T R 5 を介して、信号レベル保持用コンデンサ C 1 の両端が所定の固定電位 V o f s、V s s に接続される。ここでこれら制御信号 A Z 1、A Z 2 は、それぞれ垂直駆動回路 24 に設けられた制御信号生成回路 (A Z 1、A Z 2) 24 C、24 D で所定のサンプリングパルスを順次転送して生成されるタイミング信号である。

30

【0016】

ここで図 20 は、このディスプレイ装置 21 における 1 つの画素 23 のタイミングチャートである。なおこの図 20 では、対応する信号によりオンオフ動作するトランジスタの符号を各信号に併記して示す。図 21 に示すように、有機 E L 素子 8 を発光させる発光期間 T 1 において、画素 23 は、書き込み信号 W S、制御信号 A Z 1、A Z 2 (図 20 (A) ~ (C)) の信号レベルが立ち下げられてトランジスタ T R 1、T R 4、T R 5 がオフ状態に設定されると共に、駆動パルス信号 D S (図 20 (D)) 信号レベルが立ち上げられてトランジスタ T R 3 がオン状態に設定される。

40

【0017】

これにより画素 23 は、信号レベル保持用コンデンサ C 1 の両端電位差によるゲートソース間電圧 V_{gs} に応じた定電流回路をトランジスタ T R 2、信号レベル保持用コンデンサ C 1 で構成し、このゲートソース間電圧 V_{gs} で決まるドレインソース電流 I_{ds} で有機 E L 素子 8 を発光させ、有機 E L 素子 8 の経時変化による輝度低下が防止される。なおここでこのドレインソース電流 I_{ds} は、図 16 について説明した (1) 式で表される。また以下においては、適宜、トランジスタをスイッチの符号で示す。

【0018】

画素 23 は、発光期間 T 1 が終了すると、続く期間 T 2 において、図 22 に示すように、トランジスタ T R 4、T R 5 がオン状態に設定される。これにより画素 23 では、信号

50

レベル保持用コンデンサC 1の両端電位が所定の固定電位V o f s、V s sに設定され(図20(E)及び(F))、これら固定電位V o f s、V s sの電位差V o f s - V s sによるゲートソース間電圧V g sに応じたドレインソース電流I d sが、トランジスタT R 2からトランジスタT R 5に流れる。なおこの期間T 2の間、有機E L素子8の両端電位差が有機E L素子8のしきい値電圧V t h e lより大きくなって有機E L素子8が発光しないように、またトランジスタT R 2が飽和領域で動作するように、固定電位V o f s、V s sが設定される。

【0019】

続いて画素23は、所定期間T 3の間、図23に示すように、トランジスタT R 5がオフ状態に設定される。これにより画素23は、図23において破線で示すように、トランジスタT R 2のドレインソース電流I d sで信号レベル保持用コンデンサC 1のトランジスタT R 5側端電圧が上昇する。

10

【0020】

ここで図24に示すように、有機E L素子8は、ダイオードと容量C e lのコンデンサとの並列回路で等価回路が表される。これによりトランジスタT R 2のドレインソース電流I d sにより、トランジスタT R 2のソース電圧V sは、この期間T 3において、図25に示すように徐々に上昇してゆく。これにより画素23は、信号レベル保持用コンデンサC 1の両端電位差が、トランジスタT R 2のしきい値電圧V t hに設定され、信号レベル保持用コンデンサC 1のトランジスタT R 5側の端子電圧が、固定電位V o f sからトランジスタT R 2のしきい値電圧V t hを減算した電圧V o f s - V t hに設定される。なおここでこの状態で、有機E L素子8のアノード電位V e lは、 $V e l = V o f s - V t h$ で表され、ディスプレイ装置21では、 $V e l = V c a t + V t h e l$ となるように固定電位V o f sが設定されて、この期間T 3で有機E L素子8が発光しないように設定される。

20

【0021】

続いて画素23は、続く期間T 4で、図26に示すように、トランジスタT R 3、T R 4が順次オフ状態に設定される。なおトランジスタT R 4より先にトランジスタT R 3をオフ状態に設定することで、トランジスタT R 2のゲート電圧V gの変動を抑圧することができる。また画素23は、続いてトランジスタT R 1がオン状態に設定され、これにより信号レベル保持用コンデンサC 1のトランジスタT R 5側の端子電圧を電圧V o f s - V t hに設定した状態で、信号レベル保持用コンデンサC 1のトランジスタT R 5側端の電圧を信号線S I Gの信号レベルV s i gに設定する。

30

【0022】

なおここでこの場合、トランジスタT R 2のゲートソース間電圧V g sは、正確には、次式で表される。ここでC 2は、トランジスタT R 2のゲートソース間容量である。しかしながら有機E L素子8の寄生容量C e lは、信号レベル保持用コンデンサC 1の容量、トランジスタT R 2のゲートソース間容量C 2に比して大きければ、トランジスタT R 2のゲートソース間電圧V g sは、実用上十分な精度で、電圧V s i g + V t hに設定される。

40

【0023】

【数2】

$$V g s = \frac{C e l}{C e l + C 1 + C 2} \times (V s i g - V o f s) + V t h \quad \cdots \cdots (2)$$

【0024】

これにより画素23では、トランジスタT R 2のゲートソース間電圧V g sが、信号線S I Gの信号レベルV s i gにしきい値電圧V t hを加算した電圧V s i g + V t hに設

50

定される。これによりディスプレイ装置 21 では、トランジスタ TR2 の特性の 1 つであるしきい値電圧 V_{th} のばらつきによる発光輝度のばらつきを防止することができる。

【0025】

画素 23 は、続いて一定期間 T_5 の間、図 27 に示すように、トランジスタ TR1 をオン状態に設定したままの状態、トランジスタ TR3 がオン状態に設定される。これにより画素 23 は、信号レベル保持用コンデンサ C1 の両端電圧差によるゲートソース間電圧 V_{gs} によりトランジスタ TR2 がドレインソース電流 I_{ds} を流出させる。このときトランジスタ TR2 のソース電圧 V_s が、有機 EL 素子 8 のしきい値電圧 V_{thel} とカソード電圧 V_{cat} との和電圧より小さく、有機 EL 素子 8 に流出する電流が小さい場合、図 28 に示すように、トランジスタ TR2 のドレインソース電流 I_{ds} によりトランジスタ TR2 のソース電圧 V_s が電圧 V_{s0} から徐々に上昇することになる。なおここで電圧 V_{s0} は次式により表される。

10

【0026】

【数 3】

$$V_{s0} = V_{ofs} - V_{th} + \frac{C1 + C2}{C_{el} + C1 + C2} \times (V_{sig} - V_{ofs})$$

20

…… (3)

【0027】

ここでこのソース電圧 V_s の上昇速度は、トランジスタ TR2 の移動度 μ に依存したものとなり、符号 V_{s1} 及び V_{s2} によりそれぞれ移動度が大きい場合と小さい場合とを示すように、移動度が大きい場合程、ソース電圧 V_s の上昇速度は速くなる。

【0028】

これにより画素 23 は、一定の期間 T_5 の間だけ、トランジスタ TR1 をオン状態に設定したままの状態、トランジスタ TR3 をオン状態に設定して、トランジスタ TR2 の特性の 1 つである移動度のばらつきによる発光輝度のばらつきが防止される。

30

【0029】

その後、画素 23 は、図 21 に示すように、トランジスタ TR1 がオフ状態に設定され、しきい値電圧 V_{th} 、移動度 μ を補正して設定されたゲートソース間電圧 V_{gs} により有機 EL 素子 8 を駆動する。なおこれによりトランジスタ TR2 のソース電圧 V_s は、トランジスタ TR1 のオフにより、有機 EL 素子 8 にトランジスタ TR2 のドレインソース電流 I_{ds} が流れる電圧まで上昇して、有機 EL 素子 8 が発光を開始することになり、これに伴ってトランジスタ TR2 のゲート電圧 V_g も上昇することになる。

【0030】

この図 19 に示す構成によれば、有機 EL 素子 8 の経時変化により発光輝度の低下を防止することができ、またトランジスタ TR2 の特性のばらつきにより発光輝度のばらつきを防止することができる。

40

【0031】

しかしながらこの図 19 に示す構成の場合、1 つの画素 23 に対して、1 本の信号線 SIG、制御信号 AZ2、AZ1、駆動パルス信号 DS、書き込み信号 WS による 4 本の走査線、固定電位 V_{cc} 、 V_{ofs} 、 V_{ss} 、 V_{cat} の 4 本の配線パターンを設ける必要がある。従って赤色、青色、緑色の画素で走査線を共通化し、さらにカソード電圧 V_{cat} を別途、設けるようにしても、赤色、青色、緑色の 1 組の画素に対して、固定電位用に 3×3 本の配線パターンが必要になる。

【0032】

50

これによりNチャンネルトランジスタを用いた従来のディスプレイ装置では、固定電位の配線パターン数が多くなる問題があった。なおこのように固定電位の配線パターン数が多くなると、画素を高密度に効率良く配置することが困難になり、高精細のディスプレイ装置を、高い歩留まりで作成することが困難になる。

【特許文献1】USP5,684,365

【特許文献2】特開平8-234683号公報

【発明の開示】

【発明が解決しようとする課題】

【0033】

本発明は以上の点を考慮してなされたもので、従来に比して固定電位の配線パターン数を少なくすることができるディスプレイ装置を提案しようとするものである。

10

【課題を解決するための手段】

【0034】

上記の課題を解決するため請求項1の発明は、画素をマトリックス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置において、前記画素が、信号レベル保持用コンデンサと、書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第1のトランジスタと、前記信号レベル保持用コンデンサの前記一端をゲートに接続し、前記信号レベル保持用コンデンサの他端をソースに接続する第2のトランジスタと、カソードがカソード電位に保持され、アノードを前記第2のトランジスタのソースに接続する電流駆動型の自発光素子と、駆動パルス信号によりオンオフ動作して、前記第2のトランジスタのドレインを電源電圧に接続する第3のトランジスタと、前記信号レベル保持用コンデンサの他端に接続された第4のトランジスタとを有し、前記第4のトランジスタは、ソースに前記駆動パルス信号を入力し、ドレインを前記信号レベル保持用コンデンサの他端に接続し、ゲートに入力する制御信号によりオン動作して、前記信号レベル保持用コンデンサの他端を前記駆動パルス信号の信号レベルに設定する。

20

【0035】

請求項1の構成によれば、信号レベル保持用コンデンサの他端を、駆動パルス信号の信号レベルで所定電位に設定できることにより、この所定電位用の配線パターンを省略することができる、従来に比して固定電位の配線パターン数を少なくすることができる。

30

【発明の効果】

【0036】

本発明によれば、従来に比して固定電位の配線パターン数を少なくすることができる。

【発明を実施するための最良の形態】

【0037】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0038】

図1は、図19との対比により本発明の実施例1のディスプレイ装置を示すブロック図である。このディスプレイ装置31において、図15、図19等を用いて上述したディスプレイ装置1、11、21と同一の構成は対応する符号を付して示し、重複した説明は省略する。このディスプレイ装置31は、全てのトランジスタがNチャンネル型で形成され、アモルファスシリコンプロセスにより、透明絶縁基板であるガラス基板上に、画素部22、水平駆動回路35、垂直駆動回路34が一体に形成される。

40

【0039】

ここで水平駆動回路35は、水平セレクト(HSEL)35Aにより、所定のサンプリングパルスをクロックで順次転送してタイミング信号を生成し、このタイミング信号を基準にして各信号線SIGを入力信号S1の信号レベルに設定する。このとき図20との対比により図2に示すように、1水平走査期間(1H)のほぼ前半の期間の間、信号線SIGの信号レベルを図19について上述した画素23における所定の固定電位Vofsに設

50

定し、続く 1 水平走査期間のほぼ後半の期間の間、信号線 S I G の信号レベルを対応する画素 3 4 の階調に対応する信号レベル V_{sig} に設定する（図 2（A））。なおこの図 2 においては、対応する信号によりオンオフ動作するトランジスタの符号を各信号に併記して示す。

【0040】

またこの水平駆動回路 3 5 の構成に対応して垂直駆動回路 3 4 は、固定電位 V_{ofs} の制御に係る制御信号 A Z 1 を出力する制御信号生成回路（A Z 1）が省略されて、ライトスキャン回路（W S C N）3 4 A、ドライブスキャン回路（D S C N）3 4 B、制御信号生成回路 3 4 D によりそれぞれ書き込み信号 W S、駆動パルス信号 D S、制御信号 A Z 2 を生成する。また駆動パルス信号 D S については、トランジスタ T R 3 をオンオフ制御可能に、さらに信号レベルを立ち下げた場合の信号レベルが、図 1 9 の構成で説明した固定電位 V_{ss} になるように生成される（図 2（D））。

10

【0041】

画素部 2 2 は、画素 3 3 をマトリックス状に配置して形成される。画素 3 3 は、信号レベル保持用コンデンサ C 1 の一端が有機 E L 素子 8 のアノードに接続され、書き込み信号 W S に応じてオンオフ動作するトランジスタ T R 1 を介して、この信号レベル保持用コンデンサ C 1 の他端が信号線 S I G に接続される。これにより画素 3 3 は、書き込み信号 W S に応じて信号レベル保持用コンデンサ C 1 の他端の電圧が、信号線 S I G の信号レベルに設定される。

20

【0042】

画素 3 3 は、この信号レベル保持用コンデンサ C 1 の両端がトランジスタ T R 2 のソース及びゲートに接続され、駆動パルス信号 D S によりオンオフ動作するトランジスタ T R 3 を介して、このトランジスタ T R 2 のドレインが電源 V_{cc} に接続される。これにより画素 3 3 は、ゲート電位が信号線 S I G の信号レベルに設定されたソースフォロワ回路構成のトランジスタ T R 2 により有機 E L 素子 8 を駆動する。

【0043】

また画素 3 3 は、制御信号 A Z 1 によりオンオフ動作するトランジスタ T R 5 を介して、信号レベル保持用コンデンサ C 1 の有機 E L 素子 8 側端が駆動パルス信号 D S に接続される。すなわち画素 3 3 は、トランジスタ T R 5 のソースに駆動パルス信号 D S が入力され、トランジスタ T R 5 のゲートに制御信号 A Z 2 が入力される。またトランジスタ T R 5 のドレインが信号レベル保持用コンデンサ C 1 の有機 E L 素子 8 側端に接続される。ここで上述したように駆動パルス信号 D S は、信号レベルを立ち下げて固定電位 V_{ss} となることから、画素 3 3 は、駆動パルス信号 D S を立ち下げた状態で制御信号 A Z 2 によりトランジスタ T R 5 がオン動作すると、図 1 9 について上述したトランジスタ T R 5 の接続と同一に、ドレイン電圧が固定電位 V_{ss} に設定される。これによりこの画素 3 3 では、図 1 9 のディスプレイ装置 2 1 に対して固定電位 V_{ss} の配線パターンを省略して、従来に比して固定電位の配線パターン数を少なくすることができるよう構成される。

30

【0044】

図 3 に示すように、有機 E L 素子 8 を発光させる発光期間 T 1 1 において、画素 3 3 は、書き込み信号 W S、制御信号 A Z 2（図 2（B）及び（C））の信号レベルが立ち下げられてトランジスタ T R 1、T R 5 がオフ状態に設定される。また駆動パルス信号 D S（図 2（D））の信号レベルが立ち上げられてトランジスタ T R 3 がオン状態に設定される。画素 3 3 は、この状態で、トランジスタ T R 2 が飽和領域で動作するように設定されている。

40

【0045】

これにより画素 3 3 は、信号レベル保持用コンデンサ C 1 の両端電位差によるゲートソース間電圧 V_{gs} に応じた定電流回路をトランジスタ T R 2、信号レベル保持用コンデンサ C 1 で構成し、ゲートソース間電圧 V_{gs} で決まるドレインソース電流 I_{ds} で有機 E L 素子 8 を発光させる。これによりこのディスプレイ装置 3 1 は、有機 E L 素子 8 の経時変化による輝度低下を防止する。なおここでこのドレインソース電流 I_{ds} は、（1）式

50

で表される。

【 0 0 4 6 】

画素 3 3 は、発光期間 T_{11} が終了すると、続く一定期間 T_{12} において、駆動パルス信号 DS の信号レベルが所定の電位 V_{ss} に立ち下げられ、これにより図 4 に示すように、トランジスタ TR_3 がオフ状態に設定される。これによりこの期間 T_{12} では、電圧 V_{cc} からトランジスタ TR_2 への電源の供給が停止されて有機 EL 素子 8 が発光を停止し、トランジスタ TR_2 のソース電圧 V_s は、有機 EL 素子 8 のカソード電位 V_{cat} に有機 EL 素子 8 のしきい値電圧 V_{thel} を加算した電圧 $V_{cat} + V_{thel}$ に設定される。

【 0 0 4 7 】

画素 3 3 は、続いて期間 T_{13} の間、制御信号 AZ_2 が立ち上げられ、図 5 に示すようにトランジスタ TR_5 がオン状態に設定される。これにより画素 3 3 は、信号レベル保持用コンデンサ C_1 のトランジスタ TR_5 側端の電圧が、駆動パルス信号 DS の電位 V_{ss} に設定される。ここで電圧 V_{ss} は、有機 EL 素子 8 のカソード電位 V_{cat} 、有機 EL 素子 8 のしきい値電圧 V_{thel} との間で、 $V_{ss} = V_{thel} + V_{cat}$ の関係が成立するように設定され、これによりこの期間 T_{13} では、有機 EL 素子 8 が発光を停止するように設定される。

【 0 0 4 8 】

また画素 3 3 は、続く期間 T_{14} において、信号線 SIG の信号レベルが電位 V_{ofs} に設定されている期間で、書き込み信号 WS が立ち上げられ、図 6 に示すように、トランジスタ TR_1 がオン状態に設定される。これにより画素 3 3 は、信号レベル保持用コンデンサ C_1 のトランジスタ TR_2 側端の電圧が、信号線 SIG の信号レベル V_{ofs} に設定される。

【 0 0 4 9 】

続いて画素 3 3 は、制御信号 AZ_2 の信号レベルが立ち下げられてトランジスタ TR_5 がオフ状態に設定された後、発光期間 T_{11} を開始する時点から所定数の水平走査期間だけ逆上った時点の、信号線 SIG の信号レベルが固定電位 V_{ofs} に設定されている期間が開始するタイミングで、駆動パルス信号 DS が立ち上げられ、図 7 に示すようにトランジスタ TR_3 がオン状態に設定される。これにより画素 3 3 は、信号レベル保持用コンデンサ C_1 の両端電位差がトランジスタ TR_2 のしきい値電圧 V_{th} となる方向に、トランジスタ TR_2 のソース電圧 V_s が徐々に上昇する。

【 0 0 5 0 】

なおこの図 7 に示す状態において、画素 3 3 は、 $V_{el} = V_{cat} + V_{thel}$ に保持され、トランジスタ TR_2 のドレインソース電流 I_{ds} に比べて非常に小さい電流が流れる電圧に設定されている。よってトランジスタ TR_2 のドレインソース電流 I_{ds} は、信号レベル保持用コンデンサ C_1 と、有機 EL 素子 8 の容量を充電するために使用され、有機 EL 素子 8 は発光を停止した状態に保持される。

【 0 0 5 1 】

画素 3 3 は、続いて信号線 SIG の信号レベルが階調に対応する信号レベル V_{sig} に立ち上がるタイミングで、駆動パルス信号 DS の信号レベルが立ち下げられ、これにより図 8 に示すように、トランジスタ TR_3 がオフ状態に設定される。なおこの場合も、画素 3 3 は、 $V_{el} = V_{cat} + V_{thel}$ に保持され、有機 EL 素子 8 は発光を停止した状態に保持される。また、この時のトランジスタ TR_2 のソース電圧 V_s の変化は、次式により表されることになる。

【 0 0 5 2 】

10

20

30

40

【数 4】

$$\Delta V_s = \frac{C_1 + C_2}{C_{e1} + C_1 + C_2} \times (V_{sig} - V_{ofs})$$

…… (4)

10

【0053】

また、一定時間経過後、再び信号線SIGの信号レベルは固定電位Vofsに設定され、トランジスタTR2のゲートに入力される。この場合、トランジスタTR2のソース電圧Vsの変化は次式により表されることとなる。

【0054】

【数 5】

$$\Delta V_s = \frac{C_1 + C_2}{C_{e1} + C_1 + C_2} \times (V_{ofs} - V_{sig})$$

20

…… (5)

【0055】

画素33は、駆動パルス信号DSの信号レベルを立ち上げた図7に示す状態と、駆動パルス信号DSの信号レベルを立ち下げた図8に示す状態とが所定回数だけ繰り返され、徐々にトランジスタTR2のソース電圧Vsを立ち上げて、信号レベル保持用コンデンサC1の両端電位差をトランジスタTR2のしきい値電圧Vthに設定する。これにより図2に示す例では、期間TA、TB、TCとで、信号レベル保持用コンデンサC1の両端電位差をトランジスタTR2のしきい値電圧Vthに設定する。なお図9は、信号線SIGの信号レベルを長時間、固定電位Vofsに保持した場合の、トランジスタTR2のソース電圧の変化を示す特性曲線図であり、最終的にトランジスタTR2のゲートソース間電圧Vgsは、電圧Vthとなる。なおこれによりディスプレイ装置31は、信号レベル保持用コンデンサC1の両端電位差をトランジスタTR2のしきい値電圧Vthに設定するのに十分な回数だけ、図7及び図8に示す状態を繰り返すように設定される。

30

【0056】

このようにして画素33は、期間T14において、トランジスタTR2のしきい値電圧Vthを信号レベル保持用コンデンサC1にセットすると、発光期間T11が開始する直前の、信号線SIGの信号レベルが対応する画素の信号レベルVsigに立ち上がるタイミングで、駆動パルス信号DSの信号レベルが立ち下げられ、これにより図10に示すように、トランジスタTR3がオフ状態に設定される。

40

【0057】

また続いて信号線SIGの信号レベルが、対応する画素の信号レベルに設定されている期間で、駆動パルス信号DSの信号レベルが立ち上げられた後、トランジスタTR1がオフ状態に設定されて、信号レベル保持用コンデンサC1に信号線SIGの信号レベルがサンプルホールドされ、図3に示すように、発光期間T11を再開する。

【0058】

なおこの場合も、トランジスタTR2のゲートソース間電圧Vgsは、正確には、(2

50

式で表されるものの、有機EL素子8の寄生容量 C_{e1} が、信号レベル保持用コンデンサ C_1 の容量、トランジスタ T_{R2} のゲートソース間容量 C_2 に比して大きければ、実用上十分な精度で、電圧 $V_{sig} + V_{th}$ に設定される。

【0059】

これにより画素33は、駆動パルス信号 D_S の信号レベルが立ち上げられた後、書き込み信号 W_S が立ち下げられるまでの期間 T_{15} の間で、図11及び図12に示すように、トランジスタ T_{R2} の移動度に依存してトランジスタ T_{R2} のソース電圧 V_s が変化し、トランジスタ T_{R2} の移動度のばらつきが補正される。

【0060】

(2) 実施例の動作

以上の構成において、このディスプレイ装置31では(図2)、垂直駆動回路34による走査線の駆動により順次ライン単位で画素部22の画素33に信号線 SIG の信号レベルが設定されると共に、この設定された信号レベルにより各画素33が発光し、所望の画像が画素部22で表示される。

【0061】

すなわちディスプレイ装置31では、トランジスタ T_{R1} がオン状態に設定され、これにより信号線 SIG の信号レベルが信号レベル保持用コンデンサ C_1 にセットされる。またトランジスタ T_{R1} 、 T_{R5} をオフ状態に設定すると共に、トランジスタ T_{R3} をオン状態に設定し、この信号レベル保持用コンデンサ C_1 にセットされた電圧によりトランジスタ T_{R2} で有機EL素子8を発光させる(図2、期間 T_{11})。

【0062】

このディスプレイ装置31では、この有機EL素子8を駆動するトランジスタ T_{R2} のゲート及びソースに、信号レベル保持用コンデンサ C_1 に両端が接続されて、このトランジスタ T_{R2} のソースが有機EL素子8のアノードに接続されて画素33が形成される。これによりこのディスプレイ装置31では、信号レベル保持用コンデンサ C_1 に信号線 SIG の信号レベルがセットされた後、この信号レベル保持用コンデンサ C_1 の両端電位差によるゲートソース間電圧 V_{gs} により有機EL素子8を駆動し、このディスプレイ装置31を構成する全てのトランジスタをNチャンネル型で構成した場合であっても、有機EL素子8の経時変化による発光輝度の低下が防止される。

【0063】

これに対して有機EL素子8の発光を停止させて信号線 SIG の信号レベルを信号レベル保持用コンデンサ C_1 にセットする際に、トランジスタ T_{R1} 、 T_{R3} 、 T_{R5} のオンオフ制御により、有機EL素子8を駆動するトランジスタ T_{R2} のソース電圧 V_s 及びゲート電圧 V_g を一旦固定電位 V_{ss} 及び V_{ofs} にセットした後、徐々にソース電圧 V_s を立ち上げて、信号レベル保持用コンデンサ C_1 の両端電位差をトランジスタ T_{R2} のしきい値電圧 V_{th} にセットする(期間 T_A 、 T_B 、 T_C)。またその後、信号レベル保持用コンデンサ C_1 に信号線 SIG の信号レベル V_{sig} をセットし、これによりトランジスタ T_{R2} の特性の1つであるしきい値電圧 V_{th} のばらつきにより発光輝度のばらつきが防止される。

【0064】

しかしながらこのように信号レベル保持用コンデンサ C_1 にトランジスタ T_{R2} のしきい値電圧 V_{th} をセットする場合、トランジスタ T_{R2} のゲート及びソースをそれぞれ所定のタイミングで固定電位 V_{ss} 、 V_{ofs} に設定することが必要なことにより、電源電圧 V_{cc} をも含めて、固定電位の配線パターン数が3本必要になる。なお有機EL素子8のカソード電圧 V_{cat} の配線パターンは除く(図19)。

【0065】

そこでこのディスプレイ装置31では、トランジスタ T_{R3} をオンオフ制御して、トランジスタ T_{R2} への電源 V_{cc} を制御する駆動パルス信号 D_S において、信号レベルを立ち下げた電位が、信号レベル保持用コンデンサ C_1 にトランジスタ T_{R2} のしきい値電圧 V_{th} をセットする際の、トランジスタ T_{R2} のソース側電位 V_{ss} に設定されて、この

10

20

30

40

50

駆動パルス信号 $D S$ が、トランジスタ $T R 5$ のソースに供給される。

【0066】

これによりこのディスプレイ装置 31 では、信号レベル保持用コンデンサ $C 1$ にトランジスタ $T R 2$ のしきい値電圧 V_{th} をセットする際に、トランジスタ $T R 2$ のソース側に供給する固定電位 V_{ss} 用の配線パターンを省略することができ、従来に比して固定電位の配線パターン数を低減することができる。

【0067】

またさらに固定電位 V_{ofs} を間に挟んで、信号線 $S I G$ の信号レベルを順次各画素の階調を示す信号レベルに設定するようにし、またこの信号線 $S I G$ の設定に対応するように、書き込み信号 $W S$ 、駆動パルス信号 $D S$ を設定することにより、信号レベル保持用コンデンサ $C 1$ にトランジスタ $T R 2$ のしきい値電圧 V_{th} をセットする際に、信号線 $S I G$ を介してトランジスタ $T R 2$ のゲート側が固定電位 V_{ofs} に設定される。

10

【0068】

これによりこのディスプレイ装置 31 では、トランジスタ $T R 2$ のゲート側に供給する固定電位 V_{ofs} 用の配線パターンを省略することができ、これによっても従来に比して固定電位の配線パターン数を低減することができる。

【0069】

すなわちこのディスプレイ装置 31 では、各画素 33 に、電源電圧 V_{cc} とカソード電位 V_{cat} 用の配線パターンを設けるだけで良いことにより、高密度、かつ効率良く画素 33 を配置して、高い歩留りで高精彩のディスプレイ装置を提供することができる。また画素回路を構成するトランジスタの数も少なくすることができ、これによっても高密度、かつ効率良く画素 33 を配置して、高い歩留りで高精彩のディスプレイ装置を提供することができる。

20

【0070】

これによりこのディスプレイ装置 31 では、第 1 ～ 第 5 の期間の設定を順次循環的に繰り返すように、水平駆動回路 35、垂直駆動回路 34 で各画素 33 が駆動されて、第 1 の期間である発光期間 $T 1 1$ において、書き込み信号 $W S$ 及び駆動パルス信号 $D S$ により、トランジスタ $T R 1$ 及び $T R 3$ をオフ状態及びオン状態に設定して、信号レベル保持用コンデンサ $C 1$ の両端電位によるゲートソース間電圧 V_{gs} に応じた電流値によりトランジスタ $T R 2$ で有機 $E L$ 素子 8 を駆動して有機 $E L$ 素子 8 を発光させる。

30

【0071】

また続く第 2 の期間 $T 1 2$ において、駆動パルス信号 $D S$ によりトランジスタ $T R 3$ をオフ状態に設定して、有機 $E L$ 素子 8 の発光が停止される。また続く第 2 の期間 $T 1 3$ において、制御信号 $A Z 2$ によりトランジスタ $T R 5$ をオン状態に設定して、信号レベル保持用コンデンサ $C 1$ の他端が駆動パルス信号 $D S$ の信号レベルである所定電位 V_{ss} に設定される。

【0072】

また続く第 4 の期間 $T 1 4$ において、信号線 $S I G$ で所定の固定電位 V_{ofs} が複数回繰り返される期間の間、書き込み信号 $W S$ によりトランジスタ $T R 1$ をオン状態に設定して、各固定電位 V_{ofs} の期間で、駆動パルス信号 $D S$ を立ち上げて、信号レベル保持用コンデンサ $C 1$ の両端電位差が、トランジスタ $T R 2$ のしきい値電圧 V_{th} とほぼ等しい電圧に設定される。これによりこのディスプレイ装置では、徐々に信号レベル保持用コンデンサ $C 1$ の端子間電圧をトランジスタ $T R 2$ のしきい値電圧 V_{th} に近づけて、固定電位 V_{ofs} に係る配線パターンを省略しても、さらにはトランジスタ $T R 4$ (図 19) を省略しても、確実にトランジスタ $T R 2$ のしきい値電圧 V_{th} を信号レベル保持用コンデンサ $C 1$ にセットすることができる。これにより各画素 33 における発光輝度のばらつきが防止される。

40

【0073】

また続く第 5 の期間 $T 1 5$ において、書き込み信号 $W S$ により、トランジスタ $T R 1$ をオン状態からオフ状態に設定して、信号レベル保持用コンデンサ $C 1$ の一端に信号線 $S I$

50

Gの信号レベルVsigを設定する。

【0074】

また第5の期間から第1の期間に遷移して発光を開始する際には、駆動パルス信号DSによりトランジスタTR3をオン状態に設定した後、一定期間経過して、書き込み信号WSにより第1のトランジスタをオフ状態に設定し、これによりトランジスタTR2の移動度のばらつきによる発光輝度のばらつきが防止される。

【0075】

(3)実施例の効果

以上の構成によれば、発光素子8を駆動するトランジスタTR2のソース電圧Vsを固定電位Vssに設定して、このトランジスタTR2のしきい値電圧Vthのばらつきにより発光輝度のばらつきを補正するようにして、このトランジスタTR2に電源を供給するトランジスタTR3をオンオフ制御する駆動パルス信号DSの信号レベルにより、この固定電位Vssを設定することにより、従来に比して固定電位の配線パターン数を少なくすることができる。

【0076】

また固定電位Vofsを間に挟んで、信号線の信号レベルを順次各画素の階調を示す信号レベルに設定するようにし、またこの信号線の設定に対応するように、駆動パルス信号DSを切り換えて、信号レベル保持用コンデンサC1にトランジスタTR2のしきい値電圧Vthをセットすることにより、トランジスタTR2のしきい値電圧のばらつきによる発光輝度のばらつきを防止するようにして、さらに一段と走査線の数をも少なくすることができる。また画素回路を構成するトランジスタの数も少なくすることができる。またこの駆動パルス信号の信号レベルの切り換えを複数回、繰り返すことにより、十分な時間をかけてトランジスタTR2のしきい値電圧Vthを信号レベル保持用コンデンサC1にセットすることができ、これにより確実にトランジスタTR2のしきい値電圧Vthのばらつきによる発光輝度のばらつきを防止することができる。

【0077】

また信号レベル保持用コンデンサC1にセットされた電圧により有機EL素子8を発光させる際に、駆動パルス信号DSを立ち上げた後、一定期間経過して、トランジスタTR1をオフ状態に設定することにより、トランジスタTR2の移動度のばらつきによる発光輝度のばらつきを防止することができる。

【0078】

また画素回路、駆動回路のトランジスタの全てをNチャンネル型のトランジスタで形成し、アモルファスシリコンプロセスにより絶縁基板上に形成することにより、簡易な工程でディスプレイ装置を製造することができる。

【実施例2】

【0079】

図13は、図1との対比により本発明の実施例2のディスプレイ装置を示すブロック図である。このディスプレイ装置41は、制御信号AZ2に関する構成が異なる点を除いて、実施例1のディスプレイ装置31と同一に構成される。

【0080】

このディスプレイ装置41において、垂直駆動回路44は、制御信号生成回路が省略され、ライトスキャン回路44Aで制御信号AZ2を生成する。ここで図14に示すように、ライトスキャン回路44Aは、画素部22の走査線への配線により、複数ラインだけ先行する画素33に出力する書き込み信号WS2を、制御信号AZ2として出力する。従ってライトスキャン回路44Aから、1ライン分の書き込み信号WSは、対応する画素33に書き込み信号として出力されると共に、この画素より複数ラインだけ後行する画素33に制御信号AZ2として出力される。

【0081】

これによりこのディスプレイ装置41では、垂直駆動回路44の構成を簡略化して、いわゆる狭額縁化できるように構成される。

10

20

30

40

50

【 0 0 8 2 】

またこのように複数ラインだけ先行する画素 3 3 に出力する書き込み信号 W S 2 を制御信号 A Z 2 として使用するようにして、垂直駆動回路 4 4 は、信号線 S I G の信号レベルが画素 3 3 に対応する信号レベル V s i g に保持されている期間で、制御信号 A Z 2 と書き込み信号 W S とが同時に立ち上がらないように、信号線 S I G の信号レベルが固定電位 V o f s に設定されている期間で書き込み信号 W S の信号レベルが立ち上げられた後、一定期間の間、信号線 S I G の信号レベルが画素 3 3 に対応する信号レベル V s i g に保持されている期間で書き込み信号 W S の信号レベルが立ち下げられる。

【 0 0 8 3 】

これによりディスプレイ装置 4 1 は、制御信号 A Z 2 によりトランジスタ T R 5 をオン状態に設定した状態で、トランジスタ T R 1 がオン動作しないようにし、信号線 S I G の画素に対応する信号レベル V s i g によるトランジスタ T R 2 のゲートソース間電圧 V g s のばらつきを防止する。

10

【 0 0 8 4 】

すなわち制御信号 A Z 2 によりトランジスタ T R 5 をオン状態に設定した状態で、トランジスタ T R 1 がオン動作すると、画素毎に異なる信号レベル V s i g でトランジスタ T R 2 のゲート電圧が充電されることになり、続いて信号線 S I G の信号レベルが固定電位 V o f s となったときに、トランジスタ T R 2 のゲートソース間電圧 V g s は、次式により表されることになる。従ってこの場合、トランジスタ T R 2 のしきい値電圧 V t h を信号レベル保持用コンデンサ C 1 に設定する直前の、信号レベル保持用コンデンサ C 1 の端子間電圧が信号線 S I G の信号レベル V s i g により変動することになる。

20

【 0 0 8 5 】

【数 6】

$$V_{gs} = V_{ofs} - V_{ss} + \frac{C_1 + C_2}{C_{e1} + C_1 + C_2} (V_{sig} - V_{ofs})$$

…… (6)

30

【 0 0 8 6 】

より具体的に、信号線 S I G の信号レベル V s i g が、黒側の低い電圧の場合には、(6) 式における電圧 (V s i g - V o f s) が負の値を取ることも予測され、この場合、トランジスタ T R 2 のゲートソース間電圧 V g s は、電圧 (V o f s - V s s) より低い電圧となる。従って (V o f s - V s s) > V t h となるように固定電位 V o f s 、 V s s を設定していても、信号レベル保持用コンデンサ C 1 へのしきい値電圧 V t h の設定開始時点で、トランジスタ T R 2 のゲートソース間電圧 V g s がしきい値電圧 V t h 以下となり、正しくしきい値電圧 V t h を信号レベル保持用コンデンサ C 1 に設定できなくなり、これにより信号線 S I G の画素に対応する信号レベル V s i g によるトランジスタ T R 2 のゲートソース間電圧 V g s がばらつくようになる。

40

【 0 0 8 7 】

図 1 3 の構成によれば、複数ラインだけ先行する画素 3 3 に出力する書き込み信号 W S 2 を、制御信号 A Z 2 として使用することにより、垂直駆動回路の構成を簡略化することができる。

【 0 0 8 8 】

またこのとき信号線 S I G の信号レベルが画素 3 3 に対応する信号レベル V s i g に保持されている期間で、制御信号 A Z 2 と書き込み信号 W S とが同時に立ち上がらないように書き込み信号 W S を設定することにより、確実にトランジスタ T R 2 のしきい値電圧 V

50

t hを信号レベル保持用コンデンサC 1に設定して、しきい値電圧V t hのばらつきにより発光輝度のばらつきを確実に防止することができる。

【実施例3】

【0089】

なお上述の実施例1、2においては、共にトランジスタTR 4を省略して信号線SIGの信号レベルの設定により、トランジスタTR 2のゲート電圧を固定電位V o f sに設定する場合について述べたが、本発明はこれに限らず、従来例のディスプレイ装置21で説明したようにトランジスタTR 4によりトランジスタTR 2のゲート電圧を固定電位V o f sに設定するようにしてもよい。

【0090】

10

また上述の実施例においては、有機EL素子による発光素子を電流駆動する場合について述べたが、本発明はこれに限らず、電流駆動に係る種々の発光素子によるディスプレイ装置に広く適用することができる。

【産業上の利用可能性】

【0091】

本発明は、ディスプレイ装置に関し、例えば有機EL表示装置等の電流駆動による自発光型素子のディスプレイ装置に適用することができる。

【図面の簡単な説明】

【0092】

20

【図1】本発明の実施例1のディスプレイ装置を示すブロック図である。

【図2】図1のディスプレイ装置のタイミングチャートである。

【図3】図2の期間T 1 1における画素の設定を示す接続図である。

【図4】図2の期間T 1 2における画素の設定を示す接続図である。

【図5】図2の期間T 1 3における画素の設定を示す接続図である。

【図6】図2の期間T 1 4における画素の設定を示す接続図である。

【図7】図6の続きの設定を示す接続図である。

【図8】図7の続きの設定を示す接続図である。

【図9】しきい値電圧の補正の説明に供する特性曲線図である。

【図10】図2の期間T 1 5における画素の設定を示す接続図である。

【図11】図10の続きの設定を示す接続図である。

30

【図12】移動度の補正の説明に供する特性曲線図である。

【図13】本発明の実施例2のディスプレイ装置を示すブロック図である。

【図14】図13のディスプレイ装置のタイミングチャートである。

【図15】従来のディスプレイ装置を示すブロック図である。

【図16】図15のディスプレイ装置を詳細に示すブロック図である。

【図17】有機EL素子の経時変化を示す特性曲線図である。

【図18】図15の構成にNチャンネルトランジスタを使用した場合を示すブロック図である。

【図19】Nチャンネルトランジスタを用いた従来のディスプレイ装置を示すブロック図である。

40

【図20】図19のディスプレイ装置のタイミングチャートである。

【図21】図20の期間T 1における画素の設定を示す接続図である。

【図22】図20の期間T 2における画素の設定を示す接続図である。

【図23】図20の期間T 3における画素の設定を示す接続図である。

【図24】図23の続きを示す接続図である。

【図25】しきい値電圧の補正の説明に供する特性曲線図である。

【図26】図20の期間T 4における画素の設定を示す接続図である。

【図27】図20の期間T 5における画素の設定を示す接続図である。

【図28】移動度の補正の説明に供する特性曲線図である。

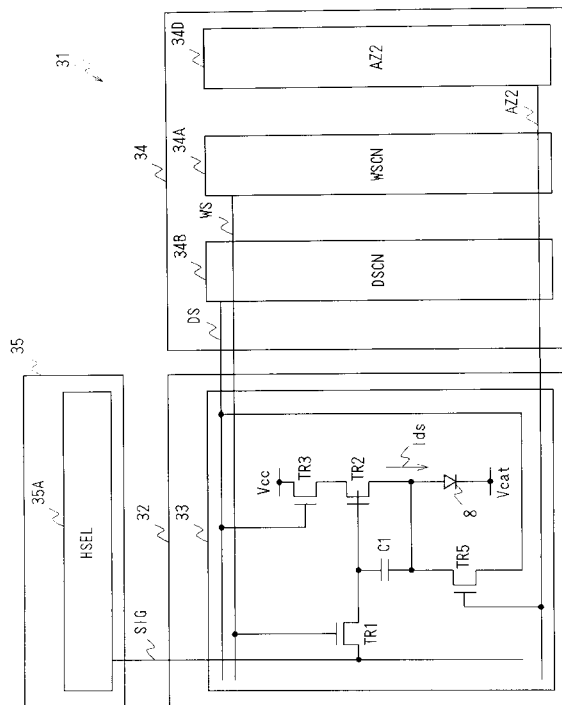
【符号の説明】

50

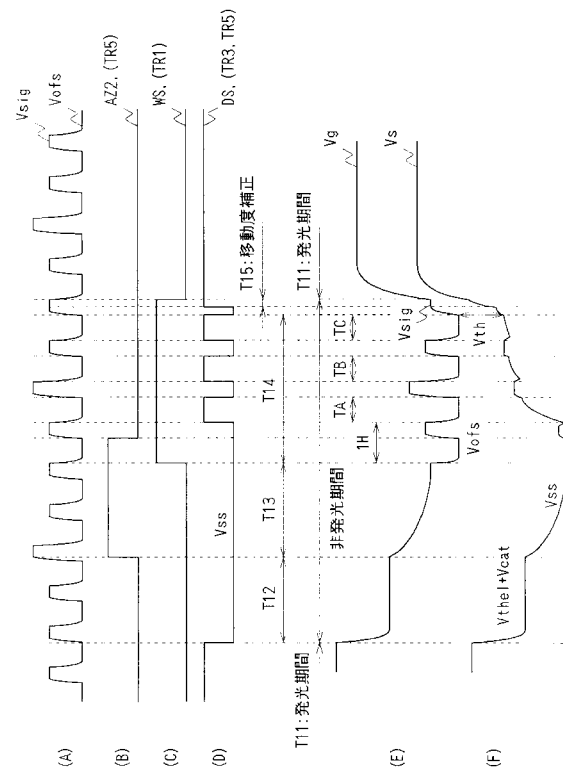
【 0 0 9 3 】

1、1 1、2 1、3 1、4 1 ディスプレイ装置、2、1 2、2 2、3 2 画素部
 2、1 3、2 3、3 3 画素、4、2 4、3 4、4 4 垂直駆動回路、5、3 5、...
 ... 水平駆動回路、8 有機 E L 素子、C 1 信号レベル保持用コンデンサ、T R 1 ~
 T R 5 トランジスタ

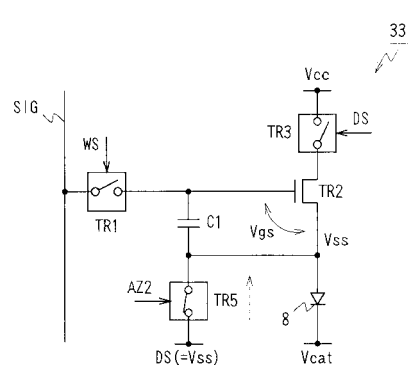
【 図 1 】



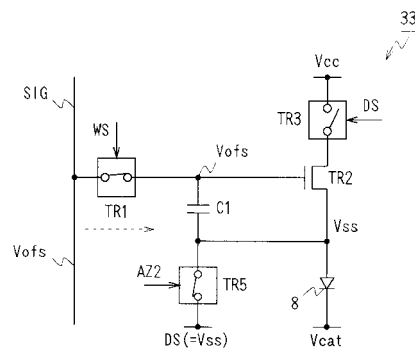
【 図 2 】



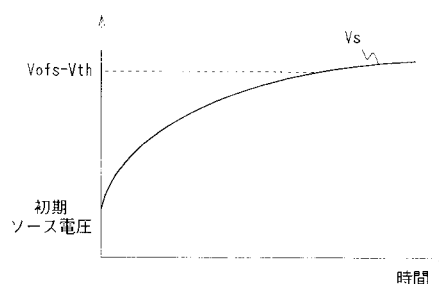
【 図 5 】



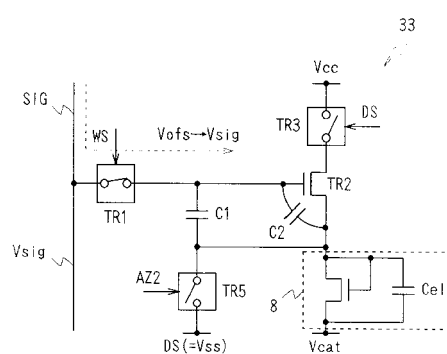
【图 6】



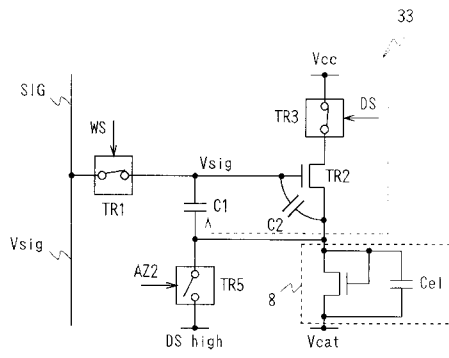
【图 9】



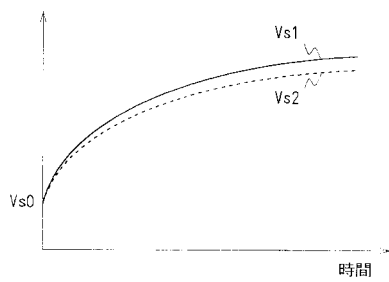
【 図 1 0 】



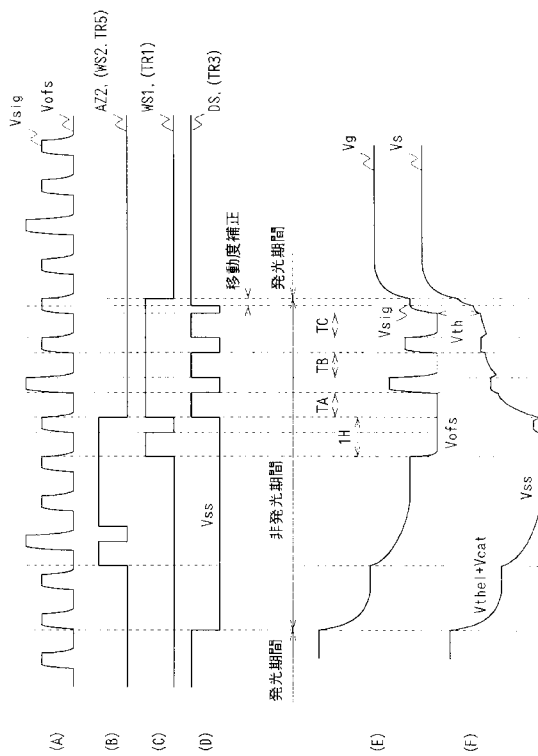
【図 1 1】



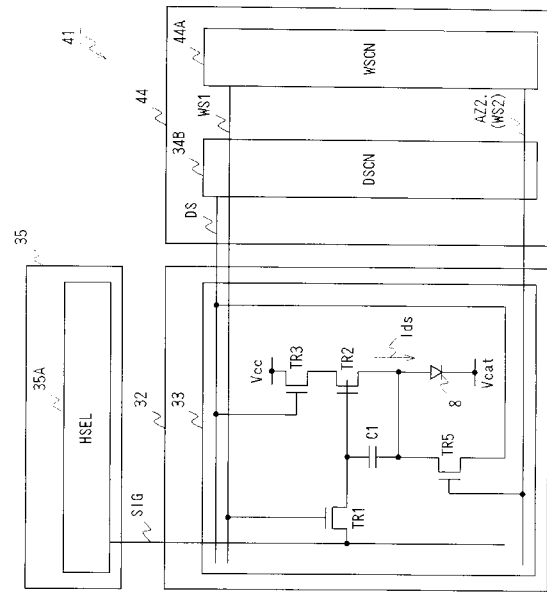
【図 1 2】



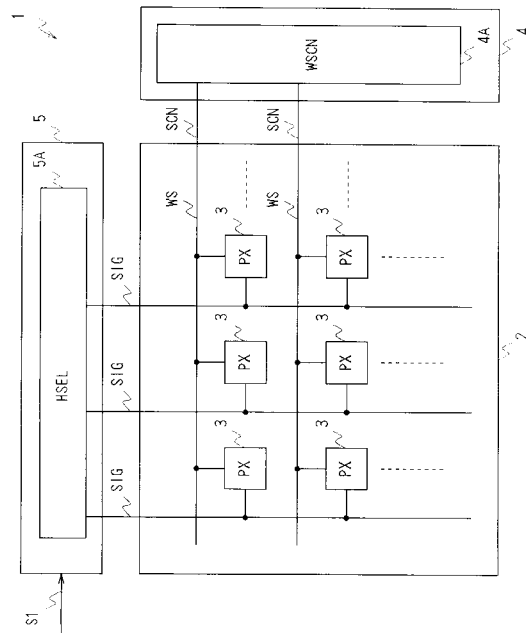
【図 1 4】



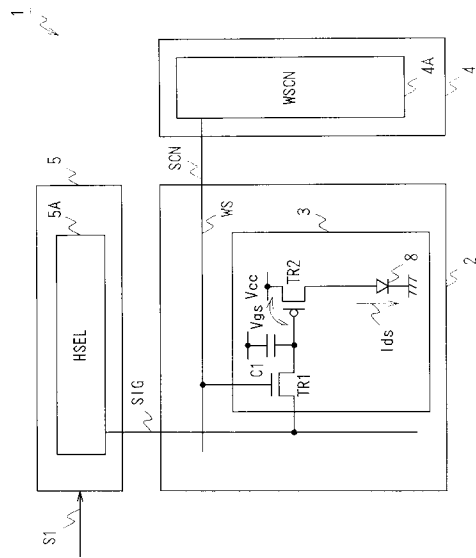
【図 1 3】



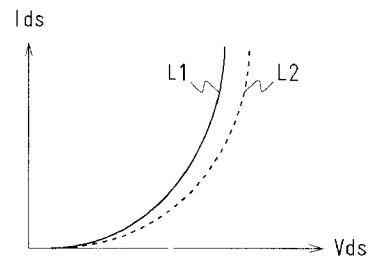
【図 1 5】



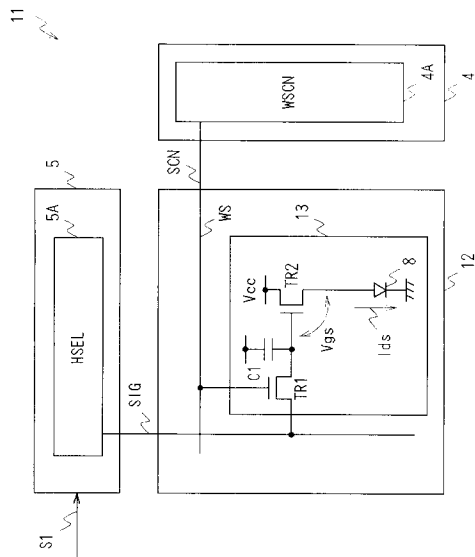
【図 16】



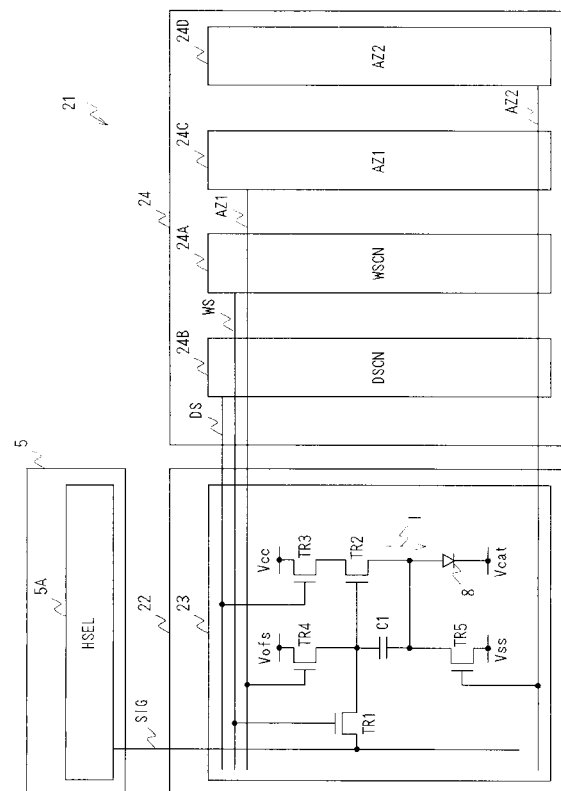
【図 17】



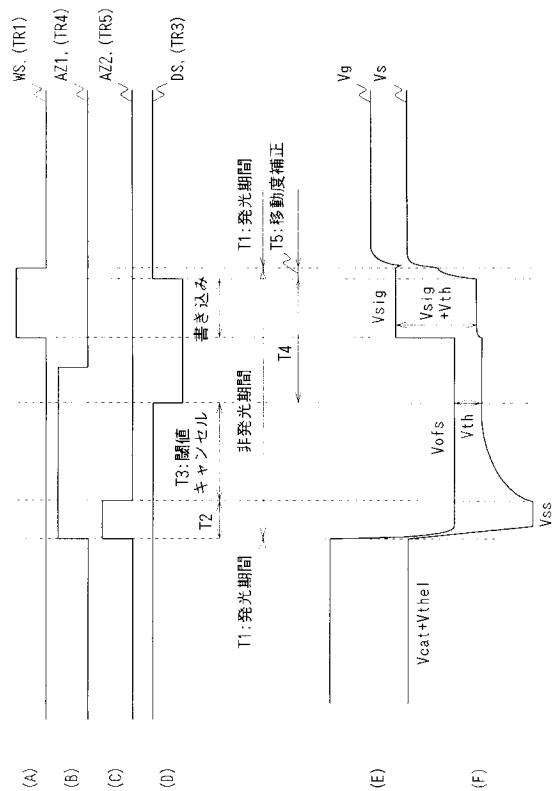
【図 18】



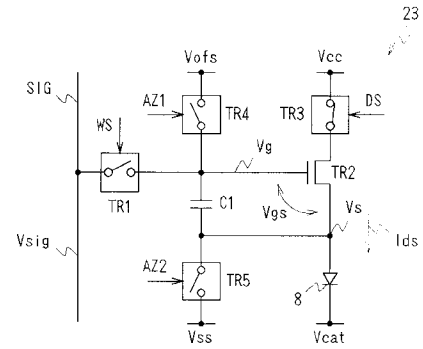
【図 19】



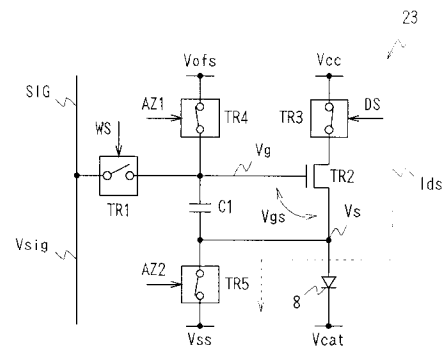
【図 20】



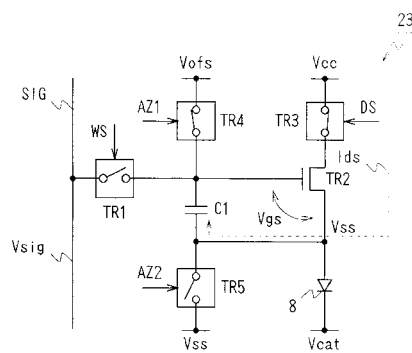
【図 21】



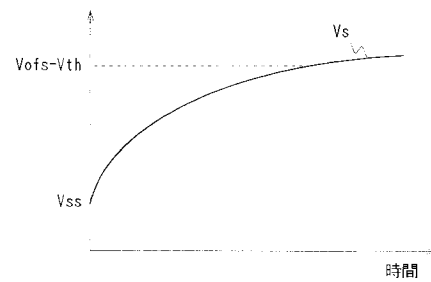
【図 22】



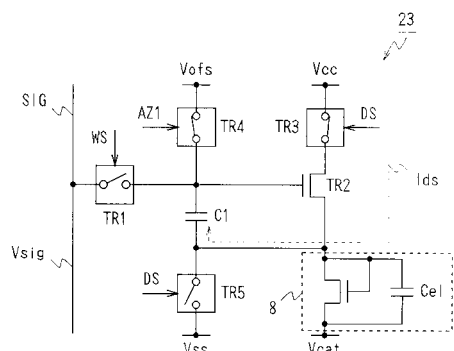
【図 23】



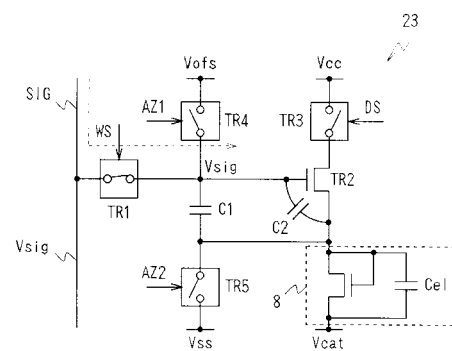
【図 25】



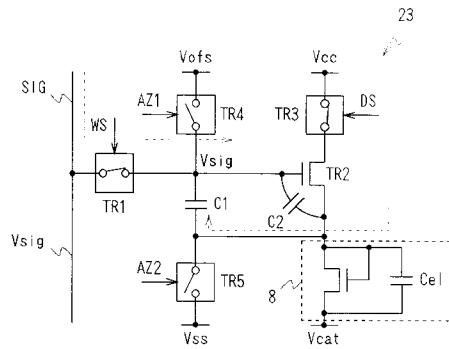
【図 24】



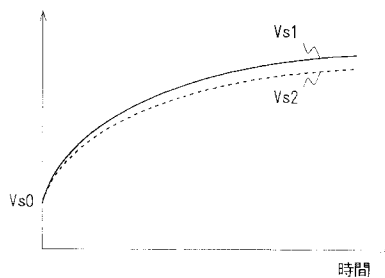
【図 26】



【図 27】



【図 28】



【手続補正書】

【提出日】平成20年4月28日(2008.4.28)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

画素をマトリックス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置において、

前記画素が、

信号レベル保持用コンデンサと、

書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第 1 のトランジスタと、

前記信号レベル保持用コンデンサの一端をゲートに接続し、前記信号レベル保持用コンデンサの他端をソースに接続する第 2 のトランジスタと、

カソードがカソード電位に保持され、アノードを前記第 2 のトランジスタのソースに接続する電流駆動型の自発光素子と、

駆動パルス信号によりオンオフ動作して、前記第 2 のトランジスタのドレインを電源電圧に接続する第 3 のトランジスタと、

前記信号レベル保持用コンデンサの一端に接続された第 4 のトランジスタとを有し、

前記第 4 のトランジスタは、

ソースに前記駆動パルス信号を入力し、

ドレインを前記信号レベル保持用コンデンサの他端に接続し、

ゲートに入力する制御信号によりオン動作して、前記信号レベル保持用コンデンサの他端を前記駆動パルス信号の信号レベルに設定する

ディスプレイ装置。

【請求項 2】

前記駆動回路は、

所定の固定電位の期間を間に挟んで、前記信号線に接続された各画素の階調に対応する信号レベルに前記信号線の信号レベルを順次設定し、

第 1 ～ 第 5 の期間の設定を順次循環的に繰り返して、前記画素部を駆動し、

前記第 1 の期間において、

前記書き込み信号、前記駆動パルス信号、前記制御信号により、前記第 1、第 4 のトランジスタ及び第 3 のトランジスタをオフ状態及びオン状態に設定し、前記信号レベル保持用コンデンサの両端電位差によるゲートソース間電圧に応じた電流値により前記第 2 のトランジスタで前記自発光素子を駆動して前記自発光素子を発光させ、

前記第 2 の期間において、

前記駆動パルス信号により前記第 3 のトランジスタをオフ状態に設定して、前記自発光素子の発光を停止させ、

前記第 3 の期間において、

前記制御信号により前記第 4 のトランジスタをオン状態に設定して、前記信号レベル保持用コンデンサの一端を前記駆動パルス信号の信号レベルに設定し、

前記第 4 の期間において、

前記信号線で前記所定の固定電位が複数回繰り返される期間の間、

前記書き込み信号により前記第 1 のトランジスタをオン状態に設定して、前記信号線の信号レベルが前記所定の固定電位に設定される期間で、前記第 3 のトランジスタをオン状態に設定して、前記信号レベル保持用コンデンサの両端電位差を、前記第 2 のトランジスタのしきい値電圧とほぼ等しい電圧に設定し、

前記第 5 の期間において、

前記書き込み信号により、前記第 1 のトランジスタをオン状態からオフ状態に設定して、前記信号レベル保持用コンデンサの一端に前記信号線の信号レベルを設定する

請求項 1 に記載のディスプレイ装置。

【請求項 3】

前記駆動回路は、

前記第 5 の期間において、前記駆動パルス信号により前記第 3 のトランジスタをオン状態に設定した後、一定期間経過して、前記書き込み信号により前記第 1 のトランジスタをオフ状態に設定する

請求項 2 に記載のディスプレイ装置。

【請求項 4】

前記駆動回路は、

複数ラインだけ先行する画素に出力する前記書き込み信号を、前記制御信号として出力する

請求項 2 に記載のディスプレイ装置。

【請求項 5】

前記駆動回路は、

複数ラインだけ先行する画素に出力する前記書き込み信号を、前記制御信号として出力するようにして、

前記信号線の信号レベルが、前記信号線に接続された画素の階調に対応する信号レベルに保持される期間の間、前記第 1 及び第 4 のトランジスタが同時にオン動作しないように、前記書き込み信号を生成する

請求項 1 に記載のディスプレイ装置。

【請求項 6】

前記画素、前記駆動回路のトランジスタの全てが、

Nチャンネル型のトランジスタであり、
前記画素、前記駆動回路が、
アモルファスシリコンプロセスにより絶縁基板上に形成された
請求項1に記載のディスプレイ装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

画素23は、この信号レベル保持用コンデンサC1の両端がトランジスタTR2のソース及びゲートに接続され、駆動パルス信号DSによりオンオフ動作するトランジスタTR3を介して、このトランジスタTR2のドレインが電源Vccに接続される。これにより画素23は、ゲート電位が信号線SIGの信号レベルに設定されたソースフォロワ回路構成のトランジスタTR2により有機EL素子8を駆動する。なおここでVcatは、有機EL素子8のカソード電位である。また駆動パルス信号DSは、各画素23の発光期間を制御するタイミング信号であり、ドライブスキャン回路(DSCN)24Bで所定のサンプリングパルスを順次転送して生成される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

続いて画素23は、続く期間T4で、図26に示すように、トランジスタTR3、TR4が順次オフ状態に設定される。なおトランジスタTR4より先にトランジスタTR3をオフ状態に設定することで、トランジスタTR2のゲート電圧Vgの変動を抑圧することができる。また画素23は、続いてトランジスタTR1がオン状態に設定され、これにより信号レベル保持用コンデンサC1のトランジスタTR5側の端子電圧を電圧Vofs-Vthに設定した状態で、信号レベル保持用コンデンサC1のトランジスタTR4側端の電圧を信号線SIGの信号レベルVsigに設定する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正の内容】

【0034】

上記の課題を解決するため請求項1の発明は、画素をマトリックス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置において、前記画素が、信号レベル保持用コンデンサと、書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第1のトランジスタと、前記信号レベル保持用コンデンサの前記一端をゲートに接続し、前記信号レベル保持用コンデンサの一端をソースに接続する第2のトランジスタと、カソードがカソード電位に保持され、アノードを前記第2のトランジスタのソースに接続する電流駆動型の自発光素子と、駆動パルス信号によりオンオフ動作して、前記第2のトランジスタのドレインを電源電圧に接続する第3のトランジスタと、前記信号レベル保持用コンデンサの他端に接続された第4のトランジスタとを有し、前記第4のトランジスタは、ソースに前記駆動パルス信号を入力し、ドレインを前記信号レベル保持用コンデンサの他端に接続し、ゲートに入力する制御信号によりオン動作して、前記信号レベル保持用コンデンサの他端を前記駆動パルス信号の信号レベルに設定する。

【手続補正 5】

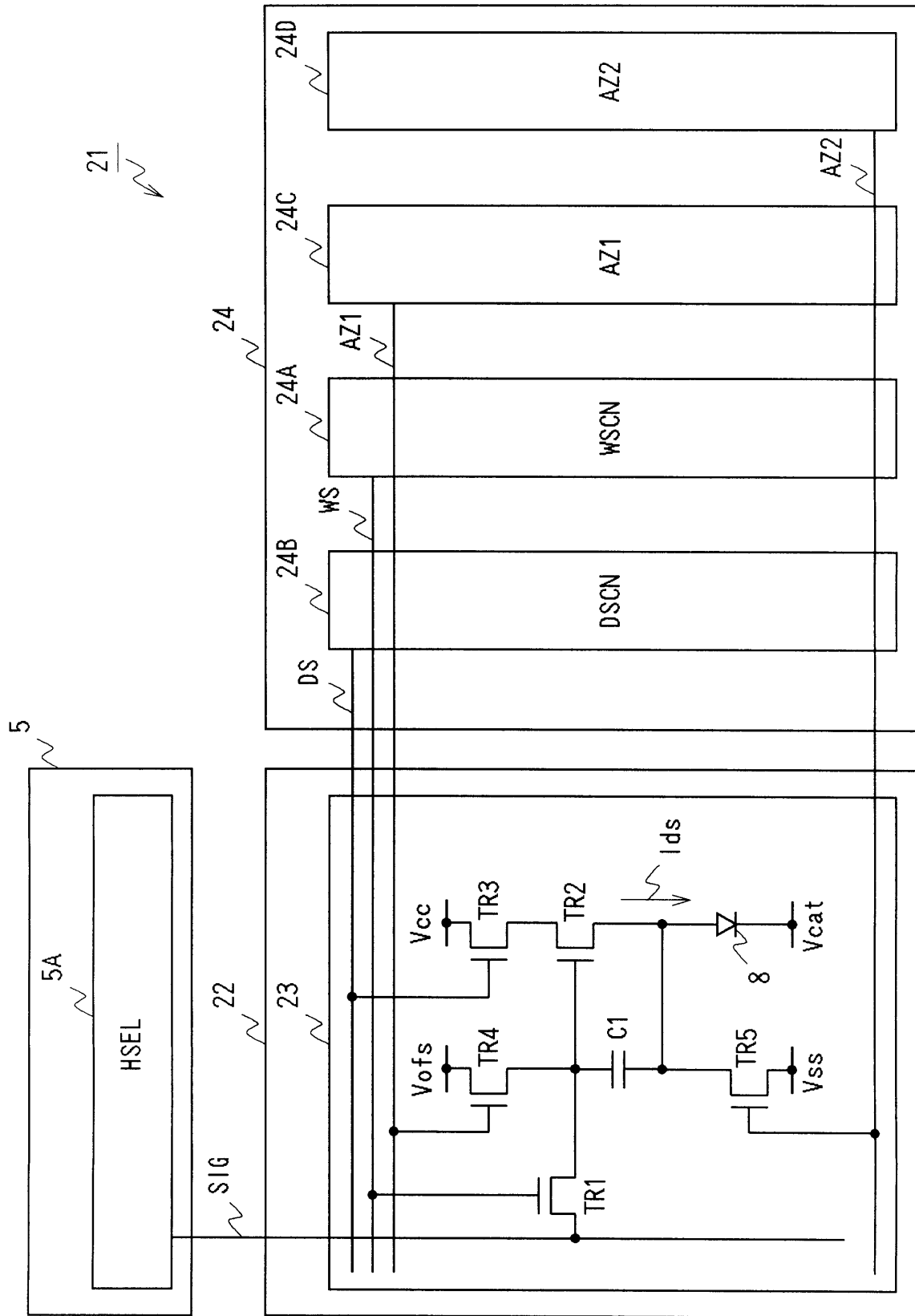
【補正対象書類名】図面

【補正対象項目名】図 1 9

【補正方法】変更

【補正の内容】

【図 19】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 F 9/30 3 3 8
H 0 5 B 33/14 A

F ターム(参考) 3K107 AA01 BB01 CC33 CC35 CC45 EE03 HH04 HH05
5C080 AA06 BB05 DD05 DD23 EE29 FF03 FF11 HH09 JJ02 JJ03
JJ04 JJ05
5C094 AA03 AA45 AA53 BA03 BA27 DB04 EA10

专利名称(译)	显示设备		
公开(公告)号	JP2008203387A	公开(公告)日	2008-09-04
申请号	JP2007037379	申请日	2007-02-19
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山本哲郎 山下淳一		
发明人	内野 勝秀 山本 哲郎 山下 淳一		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3266 G09G3/3291 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/06		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.622.Q G09F9/30.365.Z G09F9/30.338 H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/CC45 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD23 5C080/EE29 5C080/FF03 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C094/AA03 5C094/AA45 5C094/AA53 5C094/BA03 5C094/BA27 5C094/DB04 5C094/EA10 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB34 5C380/BA12 5C380/BA32 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB21 5C380/BD02 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB31 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC61 5C380/CC62 5C380/CC64 5C380/CC65 5C380/CD012 5C380/CD014 5C380/CD015 5C380/DA02 5C380/DA06 5C380/DA47		
其他公开文献	JP4281018B2		
外部链接	Espacenet		

摘要(译)

解决的问题：通过将本发明应用于通过例如有机EL（电致发光）元件的电流驱动来驱动的自发光型显示装置，与现有技术相比，减少具有固定电位的布线图案的数量。为了能够根据本发明，将驱动发光元件8的晶体管TR2的源极电压Vs设定为固定电位Vss，并且通过晶体管TR2的阈值电压Vth的变化来校正发光亮度的变化。然后，通过控制向晶体管TR2供电的晶体管TR3的导通/截止的驱动脉冲信号DS的信号电平来设定固定电位Vss。[选型图]图1

