

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-208746

(P2006-208746A)

(43) 公開日 平成18年8月10日(2006.8.10)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K007
G09G 3/20 (2006.01)	G09G 3/30 J	5C080
H01L 51/50 (2006.01)	G09G 3/20 611D	
	G09G 3/20 612E	
	G09G 3/20 624B	
審査請求 未請求 請求項の数 12 O L (全 26 頁) 最終頁に続く		

(21) 出願番号 特願2005-20688 (P2005-20688)

(22) 出願日 平成17年1月28日 (2005.1.28)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100092336

弁理士 鈴木 晴敏

(72) 発明者 内野 勝秀

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

(72) 発明者 山下 淳一

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

Fターム(参考) 3K007 AB17 AB18 BA06 DB03 GA04

5C080 AA06 BB05 DD01 DD05 DD10

EE28 EE29 FF11 JJ01 JJ02

JJ03 JJ04

(54) 【発明の名称】 画素回路と表示装置及びこれらの駆動方法

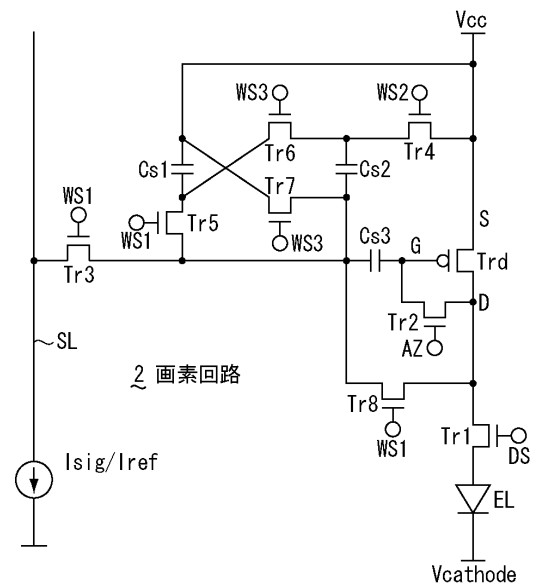
(57) 【要約】

【課題】 黒レベルの微弱な信号電流も充分書き込み可能な画素回路を提供する。

【解決手段】 画素回路2は、トランジスタ $Tr6$ 、 $Tr7$ と一対の画素容量 $Cs1$ 、 $Cs2$ を含んでおり、信号電圧 $Vcs2$ をサンプリングした第1の容量 $Cs2$ と基準電圧 $Vcs1$ をサンプリングした第2の容量 $Cs1$ とを相互に接続して差分 $Vcs2'$ を求め、且つ求めた差分 $Vcs2'$ を制御電圧として第2の容量 $Cs2$ に保持する。駆動トランジスタ Trd は、第2の容量 $Cs2$ に保持された制御電圧 $Vcs2'$ をゲート G に受けてソース S ・ドレイン D 間に流れる駆動電流 I_{ds} を発光素子 EL に供給して発光を行わせる。信号電圧及び基準電圧は両者の相対的な差分が小さい時発光素子の発光量が少なくなる一方、信号電流及び基準電流の絶対的なレベルはサンプリングを可能とする様に大きく設定されている。

。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

信号電流が流れる信号線と制御信号を供給する走査線とが交差する部分に配され、
発光素子と、該発光素子に駆動電流を供給する駆動トランジスタと、該制御信号に応じて動作し該信号電流に基づいて該駆動トランジスタの駆動電流を制御する制御部とからなる画素回路であって、

前記制御部は該信号線に流れる信号電流を該駆動トランジスタに通しその時ゲートに発生する信号電圧を第 1 の容量にサンプリングする第 1 サンプリング手段と、

該信号電流に前後して該信号線に流れる所定の基準電流を該駆動トランジスタに通しその時ゲートに発生する基準電圧を第 2 の容量にサンプリングする第 2 サンプリング手段と

10

、
該信号電圧をサンプリングした第 1 の容量と該基準電圧をサンプリングした第 2 の容量とを相互に接続して差分を求め且つ求めた差分を制御電圧として第 1 又は第 2 の容量の片方に保持する差分手段とを含み、

前記駆動トランジスタは第 1 又は第 2 の容量の片方に保持された該制御電圧をゲートに受けてソース・ドレイン間に流れる駆動電流を該発光素子に供給して発光を行わせることを特徴とする画素回路。

【請求項 2】

前記第 1 及び第 2 サンプリング手段が各々サンプリングする信号電圧及び基準電圧は、
両者の相対的な差分が小さい時該発光素子の発光量が少なくなり且つ差分が大きい時発光
量が多くなる一方、両者の相対的な差分が小さい時でも該信号電流及び基準電流の絶対的
なレベルはサンプリングを可能とする様に大きく設定されていることを特徴とする請求項
1 記載の画素回路。

20

【請求項 3】

前記制御部は、該差分を求める前に該駆動トランジスタの閾電圧を検出してこれを第 3
の容量に保持し、その後該保持された閾電圧を第 1 又は第 2 の容量の片方に保持された該
制御電圧に加える補正手段を有しており、該閾電圧の影響を該駆動電流からキャンセルす
ることを特徴とする請求項 1 記載の画素回路。

【請求項 4】

前記制御部は、該差分を求めた後に該駆動トランジスタの閾電圧を検出してこれを第 1
又は第 2 の容量のもう片方に保持し、且つ該保持された閾電圧を第 1 又は第 2 の容量の片
方に保持された該制御電圧に足し合わせる補正手段を有しており、該閾電圧の影響を該駆
動電流からキャンセルすることを特徴とする請求項 1 記載の画素回路。
画素回路。

30

【請求項 5】

前記制御部は、互いに容量値の等しい第 1 の容量及び第 2 の容量を用いることを特徴と
する請求項 1 記載の画素回路。

【請求項 6】

画素アレイ部とドライバー部とスキヤナ部とからなり、

前記画素アレイ部は、列状の信号線と、行状の走査線と、両者の交差する部分に配され
た行列状の画素回路とからなり、

40

前記ドライバー部は、各信号線に信号電流を流し、

前記スキヤナ部は、各走査線に制御信号を供給し、

各画素回路は、発光素子と、該発光素子に駆動電流を供給する駆動トランジスタと、該
制御信号に応じて動作し該信号電流に基づいて該駆動トランジスタの駆動電流を制御する
画素内制御部とからなる表示装置であって、

前記画素内制御部は、該信号線に流れる信号電流を該駆動トランジスタに通しその時ゲ
ートに発生する信号電圧を第 1 の容量にサンプリングする第 1 サンプリング手段と、

該信号電流に前後して該信号線に流れる所定の基準電流を該駆動トランジスタに通しそ
の時ゲートに発生する基準電圧を第 2 の容量にサンプリングする第 2 サンプリング手段と

50

、
該信号電圧をサンプリングした第1の容量と該基準電圧をサンプリングした第2の容量とを相互に接続して差分を求め且つ求めた差分を制御電圧として第1又は第2の容量の片方に保持する差分手段とを含み、

前記駆動トランジスタは第1又は第2の容量の片方に保持された該制御電圧をゲートに受けてソース・ドレイン間に流れる駆動電流を該発光素子に供給して発光を行わせることを特徴とする表示装置。

【請求項7】

前記第1及び第2サンプリング手段が各々サンプリングする信号電圧及び基準電圧は、
両者の相対的な差分が小さい時該発光素子の発光量が少なくなり且つ差分が大きい時発光
量が多くなる一方、両者の相対的な差分が小さい時でも該信号電流及び基準電流の絶対的
なレベルはサンプリングを可能とする様に大きく設定されていることを特徴とする請求項
6記載の表示装置。

10

【請求項8】

前記画素内制御部は、該差分を求める前に該駆動トランジスタの閾電圧を検出してこれ
を第3の容量に保持し、その後該保持された閾電圧を第1又は第2の容量の片方に保持さ
れた該制御電圧に加える補正手段を有しており、該閾電圧の影響を該駆動電流からキャン
セルすることを特徴とする請求項6記載の表示装置。

【請求項9】

前記画素内制御部は、該差分を求めた後に該駆動トランジスタの閾電圧を検出してこれ
を第1又は第2の容量のもう片方に保持し、且つ該保持された閾電圧を第1又は第2の容
量の片方に保持された該制御電圧に足し合わせる補正手段を有しており、該閾電圧の影響
を該駆動電流からキャンセルすることを特徴とする請求項6記載の表示装置。

20

【請求項10】

前記画素内制御部は、互いに容量値の等しい第1の容量及び第2の容量を用いることを
特徴とする請求項6記載の表示装置。

【請求項11】

信号電流が流れる信号線と制御信号を供給する走査線とが交差する部分に配され、発光
素子と、該発光素子に駆動電流を供給する駆動トランジスタと、該制御信号に応じて動作
し該信号電流に基づいて該駆動トランジスタの駆動電流を制御する制御部とからなる画素
回路の駆動方法であって、

30

該信号線に流れる信号電流を該駆動トランジスタに通しその時ゲートに発生する信号電
圧を第1の容量にサンプリングする第1サンプリング手順と、

該信号電流に前後して該信号線に流れる所定の基準電流を該駆動トランジスタに通しそ
の時ゲートに発生する基準電圧を第2の容量にサンプリングする第2サンプリング手順と

、
該信号電圧をサンプリングした第1の容量と該基準電圧をサンプリングした第2の容量
とを相互に接続して差分を求め且つ求めた差分を制御電圧として第1又は第2の容量の片
方に保持する差分手順と、

該制御電圧を前記駆動トランジスタのゲートに印加しソース・ドレイン間に流れる駆動
電流を該発光素子に供給する発光手順とを行なうことを特徴とする画素回路の駆動方法。

40

【請求項12】

画素アレイ部とドライバー部とスキャナ部とからなり、前記画素アレイ部は、列状の信
号線と、行状の走査線と、両者の交差する部分に配された行列状の画素回路とからなり、
前記ドライバー部は各信号線に信号電流を流し、前記スキャナ部は各走査線に制御信号を
供給し、各画素回路は、発光素子と、該発光素子に駆動電流を供給する駆動トランジスタ
とからなり、該制御信号に応じ該信号電流に基づいて該駆動トランジスタの駆動電流を制
御する表示装置の駆動方法であって、

該信号線に流れる信号電流を該駆動トランジスタに通しその時ゲートに発生する信号電
圧を第1の容量にサンプリングする第1サンプリング手順と、

50

該信号電流に前後して該信号線に流れる所定の基準電流を該駆動トランジスタに通しその時ゲートに発生する基準電圧を第2の容量にサンプリングする第2サンプリング手順と

、
該信号電圧をサンプリングした第1の容量と該基準電圧をサンプリングした第2の容量とを相互に接続して差分を求め且つ求めた差分を制御電圧として第1又は第2の容量の片方に保持する差分手順と、

該制御電圧を前記駆動トランジスタのゲートに印加しソース・ドレイン間に流れる駆動電流を該発光素子に供給する発光手順とを行なうことを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、画素毎に配した発光素子を電流駆動する画素回路及びその駆動方法に関する。またこの画素回路をマトリクス状（行列状）に配列した表示装置であって、特に各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって、有機ELなどの発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置及びその駆動方法に関する。

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度または反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。また、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

20

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行われている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタTFT）によって制御するものであり、以下の特許文献に記載がある。

30

【特許文献1】特開2003-255856公報

【特許文献2】特開2003-271095公報

【特許文献3】特開2004-133240公報

【特許文献4】特開2004-029791公報

【特許文献5】特開2004-093682公報

【0004】

図15は、従来のアクティブマトリクス方式の有機ELディスプレイを示す模式的なブロック図である。図示するように、この表示装置は、主要部となる画素アレイ1と周辺の回路部とで構成されている。周辺の回路部は電流ドライバー3、ライトスキャナ4、ドライブスキャナ5、補正用スキャナ7などを含んでいる。画素アレイ1は行状の走査線WSと列状の信号線SLと両者の交差する部分にマトリクス状に配列した画素R、G、Bとで構成されている。カラー表示を可能とする為、RGBの三原色画素を用意しているが、これに代えて白黒表示の単色画素を用いる事もある。各画素R、G、Bはそれぞれ画素回路2で構成されている。信号線SLは電流ドライバー3によって駆動され、信号電流が流れるようになっている。走査線WSはライトスキャナ4によって走査される。なお、走査線WSと平行に別の走査線DSおよびAZも配線されている。走査線DSはドライブスキャナ5によって走査される。ドライブスキャナ5は各画素に含まれる発光素子の発光期間を

40

50

制御するものである。走査線 A Z は補正用スキャナ 7 によって走査される。ライトスキャナ 4、ドライブスキャナ 5 及び補正スキャナ 7 は全体としてスキャナ部を構成しており、1 水平期間毎に画素の行を順次走査する。

【0005】

図 16 は、図 15 に示した画素回路の構成例を示す回路図である。図示するように、画素回路 2 は 4 個のトランジスタ T r 1, T r 4, T r 5, T r d と 1 個の画素容量 C s と 1 個の発光素子 E L とで構成されている。4 個のトランジスタはいずれも薄膜トランジスタである。この内、トランジスタ T r 1, T r 4 及び T r 5 は制御用のスイッチングトランジスタであり、いずれも N チャンネル型を用いている。これに対し、トランジスタ T r d は発光素子 E L を駆動する為の駆動トランジスタであり、P チャンネル型を用いている。また発光素子 E L はアノード及びカソードを備えた二端子型の自発光素子であり、例えば有機 E L 素子を用いる事ができる。

10

【0006】

駆動トランジスタ T r d のソース S は電源 V c c に接続している。ドレイン D は発光素子 E L のアノード側に位置する。発光素子 E L のカソード側は接地されている。駆動トランジスタ T r d のゲート G は画素容量 C s の一端に接続している。画素容量 C s の他端は電源 V c c に接続している。

【0007】

スイッチングトランジスタ T r 1 のソース / ドレインは信号線 S L と駆動トランジスタ T r d のゲート G との間に接続されている。スイッチングトランジスタ T r 1 のゲートは走査線 W S に接続している。スイッチングトランジスタ T r 4 のソース / ドレインは駆動トランジスタ T r d のゲート G とドレイン D との間に接続されている。このトランジスタ T r 4 のゲートは走査線 A Z に接続している。スイッチングトランジスタ T r 5 のソース / ドレインは駆動トランジスタ T r d のドレイン D と発光素子 E L のアノードとの間に接続されている。このトランジスタ T r 5 のゲートは走査線 D S に接続されている。

20

【0008】

駆動トランジスタ T r d は飽和領域で動作し、その特性は以下の数式 1 で表される。

【数 1】

$$I_{ds} = \frac{k\mu}{2} (V_{gs} - V_{th})^2$$

30

【0009】

数式 1 において、V g s はゲート電圧であり、駆動トランジスタ T r d のソース S とゲート G との間の電圧を表している。I d s はドレイン電流であり、駆動トランジスタ T r d のソース S とドレイン D との間を流れて発光素子 E L に供給される。V t h は駆動トランジスタ T r d の閾電圧を表している。μ は同じく駆動トランジスタ T r d のキャリア移動度を表している。また k は定数であり、C o x ・ W / L で与えられる。ここで C o x は駆動トランジスタ T r d のゲート容量、W はチャネル幅、L はチャネル長である。定数 k はサイズファクタと呼ばれる場合がある。駆動トランジスタ T r d は飽和領域で動作する時、上記数式 1 から明らかなように、ゲート電圧 V g s が閾電圧 V t h を越えた時点からドレイン電流 I d s が流れ始める。ドレイン電流 I d s の大きさはゲート電圧 V g s の 2 乗に比例して増大する。なお、本明細書では、駆動トランジスタの閾電圧 V t h は、駆動トランジスタの閾値電圧の絶対値をとったものとする。ちなみに、P チャンネル型のトランジスタではしきい値電圧は負の値を持つので、その値をそのまま上記数式 1 に入れてしまうと正しくないことになる。その為、本明細書では絶対値をとり、V t h は正の値にて取り扱うことにする。

40

【0010】

駆動トランジスタ T r d は例えば多結晶シリコン薄膜を活性層とする T F T である。多結晶シリコン薄膜としては、レーザーアニールで結晶化された低温ポリシリコンが多用さ

50

れている。一般に、低温ポリシリコンTFTはデバイス毎に閾電圧 V_{th} やキャリア移動度 μ がばらつく傾向にある。換言すると、個々の画素回路2毎に駆動トランジスタ Tr_d の V_{th} や μ が異なっている。

【0011】

画素回路2は大別してサンプリング動作と発光動作を行う。始めのサンプリング動作ではトランジスタ Tr_5 をオフする一方トランジスタ Tr_1 及び Tr_4 をオンする。この状態で信号線 SL を電流ドライバー3で駆動すると、信号電流 I_{sig} が電源 V_{cc} から駆動トランジスタ Tr_d 及びスイッチングトランジスタ Tr_4 、 Tr_1 を通して信号線 SL に流れる。この時の駆動トランジスタ Tr_d の動作特性は以下の数式2で表される。

【数2】

10

$$I_{sig} = \frac{k\mu}{2} (V_{gs} - V_{th})^2$$

上記数式2は数式1のドレイン電流 I_{ds} を信号電流 I_{sig} で置き換えたものとなっている。

【0012】

信号電流 I_{sig} が流れたとき駆動トランジスタ Tr_d のゲート G とソース S との間に現れるゲート電圧 V_{gs} は、数式2を V_{gs} で解くことによって、以下の数式3の様に表される。

20

【数3】

$$V_{gs} = \sqrt{\frac{2I_{sig}}{k\mu}} + V_{th}$$

【0013】

数式3で表されるゲート電圧 V_{gs} は画素容量 C_s に保持される。この様にして、サンプリング動作では電流ドライバー3によって供給される信号電流 I_{sig} のレベルに応じたゲート電圧 V_{gs} が画素容量 C_s に書き込まれる。簡略的に言うと、信号電流 I_{sig} が駆動トランジスタ Tr_d のゲートに書き込まれた事になる。

30

【0014】

続いて発光動作では、トランジスタ Tr_1 及び Tr_4 がオフする一方、 Tr_5 がオンになる。これにより、駆動トランジスタ Tr_d から駆動電流 I_{ds} が発光素子 EL に流れ、所定の輝度で発光する事になる。このとき駆動トランジスタ Tr_d に流れる駆動電流 I_{ds} は以下の数式4で表される。

【数 4】

$$\begin{aligned}
 I_{ds} &= \frac{k\mu}{2} (V_{gs} - V_{th})^2 \\
 &= \frac{k\mu}{2} \left(\sqrt{\frac{2I_{sig}}{k\mu}} + V_{th} - V_{th} \right)^2 \\
 &= I_{sig}
 \end{aligned}$$

10

【0015】

数式 3 で求めた V_{gs} を数式 4 の V_{gs} に代入して整理すると、結局移動度 μ 及び閾電圧 V_{th} の項がキャンセルされ、 $I_{ds} = I_{sig}$ となる。したがって駆動トランジスタ T_{rd} の移動度 μ や閾電圧 V_{th} が画素毎にばらついていても、上述の信号電流書き込み動作を行うことで全てキャンセルされ、画面のユニフォーミティを維持する事ができる。

20

【発明の開示】

【発明が解決しようとする課題】

【0016】

図 16 に示した従来の画素回路は駆動トランジスタの移動度 μ や閾電圧 V_{th} のばらつきに関わらず、信号電流 I_{sig} と同じ駆動電流 I_{ds} を発光素子 EL に供給する事ができるという利点がある。電流ドライバー 3 は信号電流 I_{sig} のレベルを階調制御する事で、発光素子 EL の輝度を黒レベルから中間のグレーレベルを通して白レベルまで変化させる事ができる。黒レベルのとき信号電流 I_{sig} は微弱となって 0 に近づく一方、白レベルでは大きな電流値となる。しかしながら、信号線 SL の寄生容量は数十 pF と比較的大きく、図 16 に示した従来の構成では、電流値の微弱な黒レベルの信号電流 I_{sig} は

30

サンプリング動作に割り当てられた 1 水平映像期間 (1H) 内で十分に書き込む事ができないという課題があった。

【0017】

図 17 は、この問題を模式的に表したものである。画素アレイ 1 は画面を構成しており、黒の背景に白のウィンドウを表示させた場合である。白いウィンドウの下方にグレーの部分が現れている。本来、このグレーの部分は背景に属し、黒色でなければならない。しかしながら、図 16 に示した従来の画素回路構成では、白いウィンドウの下方に位置する画素に黒レベルの信号電流を書き込むことができず、図示のような黒浮きや縦クロストークなどが発生する為、解決すべき課題となっている。

【課題を解決するための手段】

40

【0018】

上述した従来の技術の課題に鑑み、本発明は黒レベルの信号電流も充分書き込み可能な画素回路及び表示装置とこれらの駆動方法を提供することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明は、信号電流が流れる信号線と制御信号を供給する走査線とが交差する部分に配され、発光素子と、該発光素子に駆動電流を供給する駆動トランジスタと、該制御信号に応じて動作し該信号電流に基づいて該駆動トランジスタの駆動電流を制御する制御部とからなる画素回路であって、前記制御部は該信号線に流れる信号電流を該駆動トランジスタに通しその時ゲートに発生する信号電圧を第 1 の容量にサンプリングする第 1 サンプリング手段と、該信号電流に前後して該信号線に流れる所定の基準電流を該駆動トランジスタに通しその時ゲートに発生する基準電圧を第 2 の容

50

量にサンプリングする第2サンプリング手段と、該信号電圧をサンプリングした第1の容量と該基準電圧をサンプリングした第2の容量とを相互に接続して差分を求め且つ求めた差分を制御電圧として第1又は第2の容量の片方に保持する差分手段とを含み、前記駆動トランジスタは第1又は第2の容量の片方に保持された該制御電圧をゲートに受けてソース・ドレイン間に流れる駆動電流を該発光素子に供給して発光を行わせることを特徴とする。

【0019】

具体的に、前記第1及び第2サンプリング手段が各々サンプリングする信号電圧及び基準電圧は、両者の相対的な差分が小さい時該発光素子の発光量が少なくなり且つ差分が大きい時発光量が多くなる一方、両者の相対的な差分が小さい時でも該信号電流及び基準電流の絶対的なレベルはサンプリングを可能とする様に大きく設定されている。一態様では、前記制御部は、該差分を求める前に該駆動トランジスタの閾電圧を検出してこれを第3の容量に保持し、その後該保持された閾電圧を第1又は第2の容量の片方に保持された該制御電圧に加える補正手段を有しており、該閾電圧の影響を該駆動電流からキャンセルする。他の態様では、前記制御部は、該差分を求めた後に該駆動トランジスタの閾電圧を検出してこれを第1又は第2の容量のもう片方に保持し、且つ該保持された閾電圧を第1又は第2の容量の片方に保持された該制御電圧に足し合わせる補正手段を有しており、該閾電圧の影響を該駆動電流からキャンセルする。好ましくは、前記制御部は、互いに容量値の等しい第1の容量及び第2の容量を用いる。

10

【0020】

本発明は又、画素アレイ部とドライバー部とスキャナ部とからなり、前記画素アレイ部は、列状の信号線と、行状の走査線と、両者の交差する部分に配された行列状の画素回路とからなり、前記ドライバー部は、各信号線に信号電流を流し、前記スキャナ部は、各走査線に制御信号を供給し、各画素回路は、発光素子と、該発光素子に駆動電流を供給する駆動トランジスタと、該制御信号に応じて動作し該信号電流に基づいて該駆動トランジスタの駆動電流を制御する画素内制御部とからなる表示装置であって、前記画素内制御部は、該信号線に流れる信号電流を該駆動トランジスタに通しその時ゲートに発生する信号電圧を第1の容量にサンプリングする第1サンプリング手段と、該信号電流に前後して該信号線に流れる所定の基準電流を該駆動トランジスタに通しその時ゲートに発生する基準電圧を第2の容量にサンプリングする第2サンプリング手段と、該信号電圧をサンプリングした第1の容量と該基準電圧をサンプリングした第2の容量とを相互に接続して差分を求め且つ求めた差分を制御電圧として第1又は第2の容量の片方に保持する差分手段とを含み、前記駆動トランジスタは第1又は第2の容量の片方に保持された該制御電圧をゲートに受けてソース・ドレイン間に流れる駆動電流を該発光素子に供給して発光を行わせることを特徴とする。

20

30

【0021】

具体的に、前記第1及び第2サンプリング手段が各々サンプリングする信号電圧及び基準電圧は、両者の相対的な差分が小さい時該発光素子の発光量が少なくなり且つ差分が大きい時発光量が多くなる一方、両者の相対的な差分が小さい時でも該信号電流及び基準電流の絶対的なレベルはサンプリングを可能とする様に大きく設定されている。一態様では、前記画素内制御部は、該差分を求める前に該駆動トランジスタの閾電圧を検出してこれを第3の容量に保持し、その後該保持された閾電圧を第1又は第2の容量の片方に保持された該制御電圧に加える補正手段を有しており、該閾電圧の影響を該駆動電流からキャンセルする。他の態様では、前記画素内制御部は、該差分を求めた後に該駆動トランジスタの閾電圧を検出してこれを第1又は第2の容量のもう片方に保持し、且つ該保持された閾電圧を第1又は第2の容量の片方に保持された該制御電圧に足し合わせる補正手段を有しており、該閾電圧の影響を該駆動電流からキャンセルする。好ましくは、前記画素内制御部は、互いに容量値の等しい第1の容量及び第2の容量を用いる。

40

【0022】

本発明は更に、信号電流が流れる信号線と制御信号を供給する走査線とが交差する部分

50

に配され、発光素子と、該発光素子に駆動電流を供給する駆動トランジスタと、該制御信号に応じて動作し該信号電流に基づいて該駆動トランジスタの駆動電流を制御する制御部とからなる画素回路の駆動方法であって、該信号線に流れる信号電流を該駆動トランジスタに通しその時ゲートに発生する信号電圧を第1の容量にサンプリングする第1サンプリング手順と、該信号電流に前後して該信号線に流れる所定の基準電流を該駆動トランジスタに通しその時ゲートに発生する基準電圧を第2の容量にサンプリングする第2サンプリング手順と、該信号電圧をサンプリングした第1の容量と該基準電圧をサンプリングした第2の容量とを相互に接続して差分を求め且つ求めた差分を制御電圧として第1又は第2の容量の片方に保持する差分手順と、該制御電圧を前記駆動トランジスタのゲートに印加しソース・ドレイン間に流れる駆動電流を該発光素子に供給する発光手順とを行なうことを特徴とする。 10

【0023】

加えて本発明は、画素アレイ部とドライバー部とスキャナ部とからなり、前記画素アレイ部は、列状の信号線と、行状の走査線と、両者の交差する部分に配された行列状の画素回路とからなり、前記ドライバー部は各信号線に信号電流を流し、前記スキャナ部は各走査線に制御信号を供給し、各画素回路は、発光素子と、該発光素子に駆動電流を供給する駆動トランジスタとからなり、該制御信号に応じ該信号電流に基づいて該駆動トランジスタの駆動電流を制御する表示装置の駆動方法であって、該信号線に流れる信号電流を該駆動トランジスタに通しその時ゲートに発生する信号電圧を第1の容量にサンプリングする第1サンプリング手順と、該信号電流に前後して該信号線に流れる所定の基準電流を該駆動トランジスタに通しその時ゲートに発生する基準電圧を第2の容量にサンプリングする第2サンプリング手順と、該信号電圧をサンプリングした第1の容量と該基準電圧をサンプリングした第2の容量とを相互に接続して差分を求め且つ求めた差分を制御電圧として第1又は第2の容量の片方に保持する差分手順と、該制御電圧を前記駆動トランジスタのゲートに印加しソース・ドレイン間に流れる駆動電流を該発光素子に供給する発光手順とを行なうことを特徴とする。 20

【発明の効果】

【0024】

本発明にかかる表示装置は、電流ドライバー側から信号電流ばかりでなく基準電流も供給している。画素回路は前後して信号電流及び基準電流を一对の容量にサンプリングし、さらに容量キャンセル操作で両者の差分を求めて駆動トランジスタのゲート制御電圧としている。これにより、駆動トランジスタは基準電流に対する信号電流の差分に応じて発光素子を駆動する事ができる。その際、黒レベルの発光輝度では差分が0に近くなり、信号電流が基準電流と略同じになる。このような状態でも、信号電流及び基準電流の絶対値は信号線の寄生容量に対して充分高く設定する事ができる。したがって、黒レベルの電流でも各画素に充分高速で書き込むことができ、従来問題となっていた黒浮きや縦クロストークを防ぐ事ができる。表示すべき輝度階調に依存することなく、信号電流及び基準電流のレベルを高く設定できるので、黒表示の電流であっても1水平期間内に充分画素に書き込むことができ、輝度が充分沈んだ黒色を表現でき、高いコントラスト特性を得ることが可能である。また、駆動トランジスタの閾電圧や移動度に依存することなく、信号電流と基準電流の差分を求めて発光素子に対する駆動電流を制御する為、駆動トランジスタの特性ばらつきに影響を受けることなく、高いユニフォームティの画像を表示する事ができる。特に、移動度や閾電圧が大きくばらつく低温ポリシリコンTFTを用いた画素回路で、本発明の効果が大きい。 40

【発明を実施するための最良の形態】

【0025】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明にかかる画素回路の第1実施形態を示す模式的な回路図である。画素回路2は、列状の信号線SLと行状の走査線WS1, WS2, WS3, AZ, DSとが交差する部分に配されている。信号線SLには図示しない電流ドライバーから信号電流I_{sig}と基準電流I_{ref}が前後 50

して流される。走査線 $WS1$, $WS2$, $WS3$, AZ , DS にはそれぞれ対応するスキヤナから制御信号 $WS1$, $WS2$, $WS3$, AZ , DS を供給する。本明細書では表記を簡略化する為、走査線とこれに対応する制御信号は同じ参照符号を用いてある。なお、図 1 に示した画素回路は、例えば図 15 に示した様な表示装置の画素アレイ組み込む事ができる。この場合、走査線 $WS1$, $WS2$, $WS3$ にはライトスキヤナ 4 からそれぞれ対応する制御信号 $WS1$, $WS2$, $WS3$ が供給される。また走査線 AZ には補正用スキヤナ 7 から制御信号 AZ が供給される。さらに走査線 DS にはドライブスキヤナ 5 から制御信号 DS が供給される。

【0026】

画素回路 2 は、8 個のスイッチングトランジスタ $Tr1$ ないし $Tr8$ と、1 個の駆動トランジスタ Trd と、3 個の画素容量 $Cs1$ ないし $Cs3$ と、発光素子 EL とで構成されている。スイッチングトランジスタ $Tr1$ ないし $Tr8$ は全て N チャンネル型の薄膜トランジスタである。駆動トランジスタ Trd は P チャンネル型の薄膜トランジスタである。発光素子 EL はアノード及びカソードを備えた二端子型（ダイオード型）の発光素子であり、例えば有機 EL 素子を用いる事ができる。なお、上記実施例ではトランジスタ $Tr1 \sim Tr8$ は全て N チャンネル型としているが、これらは全て P チャンネル型もしくは N チャンネル型と P チャンネル型が混在していても構わない。

【0027】

駆動トランジスタ Trd はそのソース S が電源 Vcc に接続されており、ドレイン D がスイッチングトランジスタ $Tr1$ を介して発光素子 EL のアノード側に接続され、そのゲート G は画素容量 $Cs3$ の一端に接続されている。駆動トランジスタ Trd と発光素子 EL の間に介在するスイッチングトランジスタ $Tr1$ のゲートには、走査線 DS から制御信号 DS が印加される。駆動トランジスタ Trd のゲート G とドレイン D との間にスイッチングトランジスタ $Tr2$ が接続されている。このトランジスタ $Tr2$ のゲートは走査線 AZ に接続されている。

【0028】

スイッチングトランジスタ $Tr3$ のソース/ドレインは信号線 SL と画素容量 $Cs3$ の他端との間に接続されている。このトランジスタ $Tr3$ のゲートは走査線 $WS1$ に接続している。スイッチングトランジスタ $Tr5$ は画素容量 $Cs3$ の他端と画素容量 $Cs1$ の一端との間に接続されている。このスイッチングトランジスタ $Tr5$ のゲートはトランジスタ $Tr3$ と同じく走査線 $WS1$ に接続されている。画素容量 $Cs1$ の他端は電源 Vcc に接続されている。スイッチングトランジスタ $Tr4$ は電源 Vcc と画素容量 $Cs2$ の一端との間に接続されている。このスイッチングトランジスタ $Tr4$ のゲートは走査線 $WS2$ に接続している。画素容量 $Cs2$ の他端は画素容量 $Cs3$ の他端に接続している。スイッチングトランジスタ $Tr6$ は画素容量 $Cs1$ の一端と画素容量 $Cs2$ の一端との間に接続されている。このトランジスタ $Tr6$ のゲートは走査線 $WS3$ に接続している。またトランジスタ $Tr7$ は画素容量 $Cs1$ の他端と画素容量 $Cs2$ の他端との間に接続されている。このスイッチングトランジスタ $Tr7$ のゲートは、 $Tr6$ と同じく走査線 $WS3$ に接続されている。最後にスイッチングトランジスタ $Tr8$ は駆動トランジスタ Trd のドレイン D と画素容量 $Cs3$ の他端との間に接続されている。このトランジスタ $Tr8$ のゲートは、スイッチングトランジスタ $Tr3$ 及び $Tr5$ と同じく走査線 $WS1$ に接続されている。

【0029】

図 2 は、図 1 に示した画素回路 2 の動作説明に供するタイミングチャートである。時間軸 T に沿って、制御信号 DS , AZ , $WS1$, $WS2$, $WS3$ の波形変化を表している。同時に信号電流 I_{sig} の波形変化も表してある。この信号電流 I_{sig} は 1 水平期間（1H）毎に信号レベルが変化する。また各水平期間内で前半に信号電流 I_{sig} が流れた後後半は所定の基準電流 I_{ref} に切り替わる。基準電流 I_{ref} は固定されているのに対し、信号電流 I_{sig} は映像信号に応じて変化する。本表示装置は 1 フィールドで 1 画面を画素アレイに書き込む。図 2 のタイミングチャートでは、1 フィールドがタイミング

10

20

30

40

50

T 1 から始まるように記載されている。

【 0 0 3 0 】

当該フィールドが開始するタイミング T 1 の前の期間 T 0 で、制御信号 D S がハイレベルにある一方残りの制御信号 A Z , W S 1 , W S 2 , W S 3 はローレベルにある。制御信号 D S がハイレベルなのでスイッチングトランジスタ T r 1 がオンしており、発光素子 E L は駆動トランジスタ T r d によって駆動されており、発光状態にある。

【 0 0 3 1 】

タイミング T 1 で当該フィールドが開始すると、制御信号 A Z 及び W S 3 がローレベルからハイレベルに切り替わる。これにより駆動トランジスタ T r d の閾電圧 V t h を検出する準備状態に入る。続いてタイミング T 2 で制御信号 D S がハイレベルからローレベルに切り替わり、発光素子 E L が発光状態から非発光状態になると共に、駆動トランジスタ T r d の閾電圧 V t h の検出が行われる。続いてタイミング T 3 で制御信号 A Z 及び W S 3 がローレベルになり、検出された閾電圧が保持固定される。この保持固定された V t h は後の発光段階で駆動トランジスタ T r d の閾電圧のばらつきのキャンセルもしくは補正に用いられる。そこで、タイミング T 2 ~ タイミング T 3 までの期間 T 2 - T 3 を V t h 補正期間と呼ぶ場合がある。

10

【 0 0 3 2 】

タイミング T 4 に進むと制御信号 W S 1 及び W S 2 がハイレベルに切り替わる。この時信号線 S L には信号電流 I s i g が流れている。この信号電流 I s i g がサンプリングされて画素回路 2 に書き込まれる。続いてタイミング T 5 で制御信号 W S 2 がローレベルに切り替わると I s i g の書き込みが終了する。タイミング T 4 ~ タイミング T 5 まで I s i g がサンプリングされる期間を I s i g 書き込み期間と呼ぶ場合がある。

20

【 0 0 3 3 】

続いてタイミング T 5 のあと信号線 S L に流れる電流が信号電流 I s i g から I r e f に切り替わると、この基準電流 I r e f のサンプリングが行われる。タイミング T 6 で制御信号 W S 1 がローレベルに戻ると、I r e f の書き込みが終了する。タイミング T 5 ~ タイミング T 6 までの期間 T 5 - T 6 は I r e f 書き込み期間と呼ばれる。

【 0 0 3 4 】

以上の説明から明らかなように、タイミング T 4 ~ T 6 まで制御信号 W S 1 がハイレベルの間に、I s i g 書き込みと I r e f 書き込みが順次行われる。制御信号 W S 1 がハイレベルの期間 T 4 - T 6 は丁度 1 水平期間 (1 H) となっている。当該画素回路 2 に割り当てられた 1 水平期間 1 H で順次 I s i g 及び I r e f をサンプリングする事ができる。

30

【 0 0 3 5 】

この後タイミング T 7 で制御信号 W S 3 が立ち上がり、タイミング T 8 で同じく制御信号 W S 3 が立ち下がる。この制御信号 W S 3 がハイレベルにある期間 T 7 - T 8 で I s i g と I r e f の差分が求められる。この差分は画素容量 C s 1 と C s 2 のキャンセル動作によって行われる。そこでこの期間 T 7 - T 8 を容量キャンセル期間と呼ぶ場合がある。

【 0 0 3 6 】

タイミング T 9 になると、制御信号 D S がハイレベルに変ると共に制御信号 W S 2 もハイレベルになる。これにより、画素容量 C s 2 と C s 3 が結合されると共に、駆動電流 I d s が駆動トランジスタ T r d から発光素子 E L に供給され、発光動作が行われる。

40

【 0 0 3 7 】

図 3 は、図 2 に示した V t h 補正期間 T 2 - T 3 で行われる V t h キャンセル動作を示す模式図である。この期間 T 2 - T 3 で、スイッチングトランジスタ T r 1 、 T r 3 、 T r 4 、 T r 5 、 T r 8 がオフしている一方、T r 2 , T r 6 及び T r 7 がオンしている。この結果画素容量 C s 3 の一端は駆動トランジスタ T r d のゲートに接続する一方、他端はトランジスタ T r 7 を介して電源 V c c に接続している。電源 V c c から発光素子 E L に向かって電流が流れている状態でスイッチ T r 1 をオフすると、電流路が遮断される為トランジスタ T r 2 を介して画素容量 C s 3 を充電していく。この充電に伴い駆動トランジスタ T r d のゲート電位は上昇していく。丁度ゲート電位が駆動トランジスタ T r d の

50

V_{th}となったところで駆動トランジスタT_{rd}がカットオフする。この時点で検出された駆動トランジスタT_{rd}のV_{th}が画素容量C_{s3}の両端に保持される。その後トランジスタT_{r2}がオフして、画素容量C_{s3}に保持されたV_{th}が固定される。この様に保持固定されたV_{th}は後の発光動作で駆動トランジスタT_{rd}の閾電圧のばらつきのキャンセルもしくは補正に用いられる。

【0038】

図4は、図2のタイミングチャートに示した期間T₄ - T₅で行われるI_{sig}書き込み動作を示す模式図である。この期間では、信号線に信号電流I_{sig}が流れている。また、トランジスタT_{r1}, T_{r2}, T_{r6}, T_{r7}がオフしている一方、トランジスタT_{r3}, T_{r4}, T_{r5}, T_{r8}がオンしている。この結果、信号電流I_{sig}が電源V_{cc}から駆動トランジスタT_{rd}, スイッチングトランジスタT_{r8}, スイッチングトランジスタT_{r3}を通して信号線側に流れる。換言すると、I_{sig}がドレイン電流として駆動トランジスタT_{rd}を流れた事になる。よって、数式1で示したトランジスタの基本特性に従い、ドレイン電流I_{sig}は以下の数式5で表される。

10

【数5】

$$I_{sig} = \frac{k\mu}{2} (V_{gs} - V_{th})^2$$

上記数式5において、V_{gs}は駆動トランジスタT_{rd}のゲートソース間に現れるゲート電圧を表し、V_{th}は同じく駆動トランジスタT_{rd}の閾電圧を表し、kは同じく駆動トランジスタT_{rd}のサイズファクタを表し、μは同じく移動度を表している。

20

【0039】

ここで数式5をV_{gs}について整理すると、以下の数式6が得られる。

【数6】

$$V_{gs} = \sqrt{\frac{2I_{sig}}{k\mu}} + V_{th}$$

30

【0040】

ここで図4を参照すると駆動トランジスタT_{rd}のソースとゲートとの間には画素容量C_{s2}とC_{s3}が直列接続されている。ここで画素容量C_{s2}の両端に保持された電圧をV_{cs2}とし画素容量C_{s3}に保持された電圧をV_{cs3}とすると、ゲート電圧V_{gs} = V_{cs2} + V_{cs3}で与えられる。ここで先のV_{th}キャンセル動作により、V_{cs3}はV_{th}に設定されている。したがってV_{gs} = V_{cs2} + V_{th}となる。この式のV_{gs}に数式24で与えられたV_{gs}を代入してまとめると、画素容量C_{s2}に保持された電圧V_{cs2}が以下の数式7により与えられる

40

【数7】

$$V_{cs2} = \sqrt{\frac{2I_{sig}}{k\mu}}$$

【0041】

上記数式7から明らかなように、画素容量C_{s2}に保持された電圧V_{cs2}は信号電流I_{sig}の平方根に比例している。換言すると、期間T₄ - T₅のI_{sig}書き込み動作により、画素容量C_{s2}に信号電流I_{sig}に対応した電圧V_{cs2}がサンプリング保持

50

された事になる。

【 0 0 4 2 】

図 5 は、図 2 に示した期間 T 5 - T 6 で行われる I r e f 書き込み動作を示す模式図である。図 4 に示した I s i g 書き込み動作から本図の I r e f の書き込み動作に進むと、制御線 W S 2 がローレベルになる結果、トランジスタ T r 4 がオフする。その他のスイッチングトランジスタの状態はそのまま維持されている。したがって、図 4 と図 5 を比較すれば明らかなように、画素容量 C s 2 が画素容量 C s 1 に切り替わった関係となっている。より具体的には、図 4 の I s i g 書き込み動作では、駆動トランジスタ T r d のソース / ゲート間には画素容量 C s 2 及び C s 3 が直列に接続されていたのに対し、本図の I r e f 書き込み動作では駆動トランジスタ T r d のソースとゲートとの間に画素容量 C s 1 と画素容量 C s 3 が直列に接続されている。すなわち、回路動作としては単に C s 2 が C s 1 に入れ代わっているに過ぎない。このとき信号線には先の I s i g に代わって I r e f が流れている。より具体的には、基準電流 I r e f は電源 V c c から駆動トランジスタ T r d を通り、さらにスイッチングトランジスタ T r 8 及び T r 3 を介して信号線側に流れる。このとき駆動トランジスタ T r d のソースとゲートとの間に生じるゲート電圧 V g s の一部が画素容量 C s 1 に保持される。この電圧を V c s 1 とすると、数式 7 の場合と全く同様にして、以下の数式 8 のように表される。

10

【数 8】

$$V_{cs1} = \sqrt{\frac{2I_{ref}}{k\mu}}$$

20

【 0 0 4 3 】

ここで数式 7 と数式 8 を比較すれば明らかなように、式の左辺が V c s 2 から V c s 1 に置き換わる一方、式の右辺は I s i g から I r e f に置き換わっている。数式 8 から明らかなように、画素容量 C s 1 に保持された電圧 V c s 1 は基準電流 I r e f の平方根に対応している。換言すると、この I r e f 書き込み動作で、画素容量 C s 1 に基準電流 I r e f に対応した電圧がサンプリングされた事になる。

【 0 0 4 4 】

図 6 は、図 2 に示したタイミングチャートの期間 T 7 - T 8 で行われる容量キャンセル動作を示す模式図である。この動作ではスツチングトランジスタ T r 3 , T r 5 及び T r 8 がオフする一方、T r 6 及び T r 7 がオンする。これにより、画素容量 C s 1 のマイナス側端子と画素容量 C s 2 のプラス側端子が接続され、且つ画素容量 C s 1 のプラス側端子と画素容量 C s 2 のマイナス側端子が接続される。これにより画素容量 C s 1 と C s 2 の容量キャンセルが V c s 1 と V c s 2 との間で行われる。つまり、画素容量 C s 1 に保持された電圧 V c s 1 と画素容量 C s 2 に保持された電圧 V c s 2 の差分が得られ且つこの差分が画素容量 C s 2 の両端に保持される。ここで画素容量 C s 1 と C s 2 の容量が等しい場合、容量キャンセル後の画素容量 C s 2 に保持された電位 V c s 2 ' は以下の数式 9 で与えられる。

30

【数 9】

$$V_{cs2}' = \frac{V_{cs2} - V_{cs1}}{2} = \frac{\sqrt{I_{sig}} - \sqrt{I_{ref}}}{\sqrt{2k\mu}}$$

40

【 0 0 4 5 】

上記数式 9 から明らかなように、V c s 2 ' は信号電流 I s i g と基準電流 I r e f との差分に応じた値となっている。正確には、I s i g の平方根と I r e f の平方根との差に応じた電圧が画素容量 C s 2 に V c s 2 ' として保持される事になる。

50

【 0 0 4 6 】

図 7 は、図 2 に示したタイミング T 9 以降に行われる発光期間における容量結合及び発光動作を示す模式図である。タイミング T 9 に至ると、制御信号 D S と W S 2 がハイレベルになる一方、他の制御信号は全てローレベルである。したがってスイッチングトランジスタ T r 4 及び T r 1 がオン状態になる一方、残りのスイッチングトランジスタ T r 3 , T r 5 , T r 6 , T r 7 , T r 2 , T r 8 はオフ状態である。T r 4 がオンになる為、駆動トランジスタ T r d のソースとゲートとの間で画素容量 C s 2 と C s 3 が結合される。このとき駆動トランジスタ T r d のゲート容量 C g が充分小さいので、画素容量 C s 2 と C s 3 はお互いの電荷を保持した状態で結合される。つまり、発光時における駆動トランジスタ T r d のゲート電圧 V g s は $V_{gs} = V_{cs3} + V_{cs2'} = V_{th} + V_{cs2'}$ となる。

【 0 0 4 7 】

この様にして得られた V g s を先の数式 1 で示したトランジスタの基本特性式に入れると、以下の数式 10 に示すような駆動電流 I d s が得られる。

【 数 1 0 】

$$\begin{aligned} I_{ds} &= \frac{1}{2} k\mu (V_{gs} - V_{th})^2 = \frac{1}{2} k\mu (V_{cs2'})^2 \\ &= \frac{1}{2} k\mu \left(\frac{\sqrt{I_{sig}} - \sqrt{I_{ref}}}{\sqrt{2k\mu}} \right)^2 \\ &= \frac{1}{4} (\sqrt{I_{sig}} - \sqrt{I_{ref}})^2 \end{aligned}$$

【 0 0 4 8 】

上記数式 10 の一段目で、V g s に V t h + V c s 2 ' を代入している。これにより、V t h がキャンセルされ、駆動電流 I d s は V c s 2 ' の 2 乗に比例した形となる。さらに数式 10 の二段目に示すように V c s 2 ' に数式 9 を代入する。このあと分母に現れる移動度 μ と係数部の移動度 μ がキャンセルされ、最終的に数式 10 の三段目で表す形となる。この式から明らかなように、I s i g と I r e f の電流差分値により駆動電流（発光電流）I d s が決定され、駆動トランジスタの V t h や移動度 μ のばらつきによらないユニフォーミティの高い画質を得る事ができる。さらに本発明の画素回路では黒表示時 I s i g = I r e f に設定する。数式 10 から明らかなように、I s i g = I r e f にすると I d s = 0 となり、発光電流はなくなる。この結果完全な黒表示となる。一方黒表示でも I r e f の絶対値は十分に高いレベルに設定する事ができ、1 水平期間（1 H）内で十分に黒信号を書き込む事ができる事になる。これにより、黒浮きや縦クロストークなどの発生を抑制でき、完全に沈んだ黒を表現でき高いコントラスト特性を得る事ができる。

【 0 0 4 9 】

以上説明したように、図 1 に示した本発明の第 1 実施形態にかかる画素回路は、信号電流 I s i g が流れる信号線 S L と、制御信号を供給する走査線 W S 1 , W S 2 , W S 3 , A Z , D S とが交差する部分に配されている。この画素回路 2 は、発光素子 E L と、発光素子 E L に駆動電流 I d s を供給する駆動トランジスタ T r d と、制御信号 W S 1 , W S 2 , W S 3 , A Z , D S に応じて動作し信号電流 I s i g に基づいて駆動トランジスタ T r d の駆動電流 I d s を制御する制御部とで構成されている。この制御部は、第 1 サンプルング手段と第 2 サンプルング手段と差分手段とを含んでいる。第 1 サンプルング手段は、トランジスタ T r 3 , T r 4 , T r 8 と画素容量 C s 2 とで構成されており、信号線 S L に流れる信号電流 I s i g を駆動トランジスタ T r d に流しその時ゲート G に発生する信号電圧 V c s 2 を第 1 の容量 C s 2 にサンプルングする。第 2 サンプルング手段はトラ

10

20

30

40

50

ンジスタ T_{r3} , T_{r5} , T_{r8} と画素容量 C_{s1} とで構成され、信号電流 I_{sig} に前後して信号線 S_L に流れる所定の基準電流 I_{ref} を駆動トランジスタ T_{rd} に通しその時ゲート G に発生する基準電圧 V_{cs1} を第 2 の容量 C_{s1} にサンプリングする。差分手段はトランジスタ T_{r6} , T_{r7} と一対の画素容量 C_{s1} , C_{s2} で構成されており、信号電圧 V_{cs2} をサンプリングした第 1 の容量 C_{s2} と基準電圧 V_{cs1} をサンプリングした第 2 の容量 C_{s1} とを相互に接続して差分 $V_{cs2'}$ を求め、且つ求めた差分 $V_{cs2'}$ を制御電圧として第 1 または第 2 の容量の片方である C_{s2} に保持する。駆動トランジスタ T_{rd} は、第 1 または第 2 の容量の片方である C_{s2} に保持された制御電圧 $V_{cs2'}$ をゲート G に受けてソース (S)・ドレイン (D) 間に流れる駆動電流 I_{ds} を発光素子 E_L に供給して発光を行わせる。

10

【0050】

第 1 及び第 2 サンプリング手段が各々サンプリングする信号電圧 V_{cs2} 及び基準電圧 V_{cs1} は、両者の相対的な差分 $V_{cs2'}$ が小さいとき発光素子 E_L の発光量が小さくなり且つ差分 $V_{cs2'}$ が大きいとき発光量が多くなる一方、両者の相対的な差分 $V_{cs2'}$ が小さい時でも信号電流 I_{sig} 及び基準電流 I_{ref} の絶対的なレベルはサンプリングを可能とするように大きく設定されている。

【0051】

上述した画素回路 2 内の制御部は、第 1 及び第 2 サンプリング手段と差分手段に加え、補正手段を有している。この補正手段はトランジスタ T_{r1} , T_{r2} , T_{r7} と画素容量 C_{s3} とで構成されており、前述した差分 $V_{cs2'}$ を求める前に駆動トランジスタ T_{rd} の閾電圧 V_{th} を検出してこれを第 3 の容量 C_{s3} に保持し、その後保持された閾電圧 V_{th} を第 1 または第 2 の容量の片方である C_{s2} に保持された制御電圧 $V_{cs2'}$ に加える。これにより、閾電圧 V_{th} の影響を駆動電流 I_{ds} からキャンセルする事ができる。

20

【0052】

図 8 は、本発明にかかる画素回路の第 2 実施形態を示す模式的な回路図である。理解を容易にする為、図 1 に示した第 1 実施形態と対応する部分には対応する参照番号を付してある。画素回路 2 は、列状の信号線 S_L と行状の走査線 WS_1 , WS_2 , WS_3 , AZ_1 , AZ_2 , DS とが交差する部分に配されている。信号線 S_L には図示しない電流ドライバから信号電流 I_{sig} と基準電流 I_{ref} が前後して流される。走査線 WS_1 , WS_2 , WS_3 , AZ_1 , AZ_2 , DS にはそれぞれ対応するスキナから制御信号 WS_1 , WS_2 , WS_3 , AZ_1 , AZ_2 , DS を供給する。本画素回路 2 は例えば図 15 に示した表示装置の画素アレイに集積形成する事ができる。その場合、周辺のライトスキナ 4 が制御信号 WS_1 , WS_2 , WS_3 を画素アレイ 1 に供給し、補正用スキナ 7 が制御信号 AZ_1 , AZ_2 を同じく画素アレイ 1 に供給し、ドライブスキナ 5 が制御信号 DS を同じく画素アレイ 1 に供給する。一方、電流ドライバー 3 が画素アレイ 1 の各信号線 S_L に信号電流 I_{sig} と基準電流 I_{ref} を 1 水平周期 (1H) で供給する。

30

【0053】

画素回路 2 は、7 個のスイッチングトランジスタ T_{r1} ないし T_{r7} と、1 個の駆動トランジスタ T_{rd} と、2 個の画素容量 C_{s1} 及び C_{s2} と、発光素子 E_L とで構成されている。図 1 に示した第 1 実施形態と比較すれば明らかなように、図 8 の第 2 実施形態はトランジスタ数が 1 つ少なくまた画素容量の個数も 1 つ少ない。したがって、第 2 実施形態は第 1 実施形態に比べコスト的に有利である。ただし、素子数を削減した分、制御線の本数が 1 本増えている。具体的には、第 1 実施形態が 1 本の制御線 AZ を使っているのに対し、第 2 実施形態は 2 本の制御線 AZ_1 , AZ_2 を使っている。スイッチングトランジスタ T_{r1} ないし T_{r7} は全て N チャネル型の薄膜トランジスタである。一方駆動トランジスタ T_{rd} は P チャネル型の薄膜トランジスタである。ただし本発明はこれに限られるものではなく、デバイス設計に応じて、N チャネル型と P チャネル型の薄膜トランジスタを自由に組み合わせる事ができる。発光素子 E_L はアノード及びカソードを備えた二端子型 (ダイオード型) の発光素子であり、例えば有機 E_L 素子を用いる事ができる。

40

50

【 0 0 5 4 】

駆動トランジスタ T_{rd} はそのソース S が電源 V_{cc} に接続されており、ドレイン D がスイッチングトランジスタ T_{r1} を介して発光素子 E_L のアノード側に接続され、そのゲート G は画素容量 C_{s2} の一端に接続されている。駆動トランジスタ T_{rd} と発光素子 E_L の間に介在するスイッチングトランジスタ T_{r1} のゲートには、走査線 DS から制御信号 DS が印加される。駆動トランジスタ T_{rd} のゲート G とドレイン D との間にスイッチングトランジスタ T_{r2} が接続されている。このトランジスタ T_{r2} のゲートは走査線 $AZ1$ に接続されている。

【 0 0 5 5 】

一方画素回路の入力側に位置するスイッチングトランジスタ T_{r3} は、そのソース / ドレインが信号線 SL と駆動トランジスタ T_{rd} のゲート G との間に接続されている。このトランジスタ T_{r3} のゲートは走査線 $WS1$ に接続している。スイッチングトランジスタ T_{r5} は駆動トランジスタ T_{rd} のゲート G と画素容量 C_{s1} の一端との間に接続されている。このスイッチングトランジスタ T_{r5} のゲートは走査線 $AZ1$ に接続されている。画素容量 C_{s1} の他端は電源 V_{cc} に接続されている。スイッチングトランジスタ T_{r4} は電源 V_{cc} と画素容量 C_{s2} の他端との間に接続されている。このスイッチングトランジスタ T_{r4} のゲートは走査線 $AZ2$ に接続している。スイッチングトランジスタ T_{r6} は画素容量 C_{s1} の一端と画素容量 C_{s2} の他端との間に接続されている。このトランジスタ T_{r6} のゲートは走査線 $WS3$ に接続している。またトランジスタ T_{r7} は画素容量 C_{s1} の他端と画素容量 C_{s2} の一端との間に接続されている。このスイッチングトランジスタ T_{r7} のゲートは走査線 $WS2$ に接続されている。

【 0 0 5 6 】

図 9 は、図 8 に示した画素回路 2 の動作説明に供するタイミングチャートである。時間軸 T に沿って、制御信号 DS , $AZ1$, $WS1$, $AZ2$, $WS2$, $WS3$ の波形変化を表している。同時に信号電流 I_{sig} の波形変化も表してある。この信号電流 I_{sig} は 1 水平期間 (1 H) 毎に信号レベルが変化する。また各水平期間内で前半に信号電流 I_{sig} が流れた後、後半は所定の基準電流 I_{ref} に切り替わる。基準電流 I_{ref} は固定されているのに対し、信号電流 I_{sig} は映像信号に応じて変化する。本表示装置は 1 フィールドで 1 画面を画素アレイに書き込む。図 9 のタイミングチャートは、 1 フィールドがタイミング $T1$ から始まるように描かれている。

【 0 0 5 7 】

当該フィールドが開始するタイミング $T1$ の前の期間 $T0$ で、制御信号 DS 及び $WS3$ がハイレベルにある一方残りの制御信号 $AZ1$, $AZ2$, $WS1$, $WS2$ はローレベルにある。制御信号 DS がハイレベルなのでスイッチングトランジスタ T_{r1} がオンしており、発光素子 E_L は駆動トランジスタ T_{rd} によって駆動されており、発光状態にある。なお制御信号 $WS3$ もハイレベルなのでスイッチングトランジスタ T_{r6} がオンしており、一対の画素容量 C_{s1} , C_{s2} が電源 V_{cc} と駆動トランジスタ T_{rd} のゲート G との間で直列に接続された状態となっている。

【 0 0 5 8 】

タイミング $T1$ で当該フィールドが開始すると、制御信号 DS 及び $WS3$ がハイレベルからローレベルに切り替わる。これによりスイッチングトランジスタ T_{r1} がオフするので、発光が停止する。換言すると当該フィールドがスタートする時点で前のフィールドの発光状態は一旦非発光状態に切り替わる。同時にトランジスタ T_{r6} もオフするので、一対の画素容量 C_{s1} , C_{s2} は互いに切り離される。

【 0 0 5 9 】

タイミング $T2$ に進むと制御信号 $AZ1$, $WS1$, $AZ2$ がハイレベルに切り替わる。この時信号線 SL には信号電流 I_{sig} が流れている。この信号電流 I_{sig} がサンプリングされて画素回路 2 に書き込まれる。続いてタイミング $T3$ で制御信号 $AZ2$ がローレベルに切り替わると I_{sig} の書き込みが終了する。タイミング $T2$ ~ タイミング $T3$ まで I_{sig} がサンプリングされる期間を I_{sig} 書き込み期間と呼ぶ場合がある。続いて

タイミングT4で信号線SLに流れる電流が信号電流I_{sig}からI_{ref}に切り替わると、この基準電流I_{ref}のサンプリングが行われる。タイミングT5で制御信号AZ1及びWS1がローレベルに戻ると、I_{ref}の書き込みが終了する。タイミングT4～タイミングT5までの期間T4 - T5はI_{ref}書き込み期間と呼ばれる。以上の説明から明らかなように、タイミングT2～T5まで制御信号AZ1及びWS1がハイレベルの間に、I_{sig}書き込みとI_{ref}書き込みが順次行われる。制御線号WS1がハイレベルの期間T2 - T5は丁度1水平期間(1H)となっている。当該画素回路2に割り当てられた1水平期間1Hで順次I_{sig}及びI_{ref}をサンプリングすることができる。タイミングT5で制御信号WS1及びAZ1がローレベルに戻ると、I_{ref}の書き込みが終了する。

10

【0060】

この後タイミングT6で制御信号WS2及びWS3が立ち上がり、タイミングT7で同じく制御信号WS2, WS3が立ち下がる。この制御信号WS2, WS3がハイレベルにある期間T6 - T7でI_{sig}とI_{ref}の差分が求められる。この差分は画素容量Cs1とCs2のキャンセル動作によって行われる。そこでこの期間T6 - T7を容量キャンセル期間と呼ぶ場合がある。

【0061】

タイミングT8になると、制御信号DSがローレベルからハイレベルに切り替わる。続くタイミングT9で制御信号AZ1がローレベルからハイレベルに切り替わる。これにより駆動トランジスタTrdの閾電圧V_{th}を検出する準備状態に入る。続いてタイミングT10で制御信号DSがハイレベルからローレベルに戻り、駆動トランジスタTrdの閾電圧V_{th}の検出が行われる。続いてタイミングT11で制御信号AZ1がローレベルに戻り、検出された閾電圧V_{th}が保持固定される。この保持固定されたV_{th}は後続の発光段階で駆動トランジスタTrdの閾電圧のばらつきのキャンセルもしくは補正に用いられる。そこで、タイミングT10～T11までの期間T10 - T11をV_{th}補正期間と呼ぶ場合がある。

20

【0062】

タイミングT12になると、制御信号DSが再びハイレベルに変わると共に制御信号WS3もハイレベルになる。これにより、画素容量Cs1とCs2が結合されると共に、駆動電流I_{ds}が駆動トランジスタTrdから発光素子ELに供給され発光動作が行われる。この発光動作は当該フィールドが終了するまで続く。

30

【0063】

図10は、図9に示したI_{sig}書き込み期間T2 - T3で行われるI_{sig}書き込み動作を示す模式図である。この期間では、信号線に信号電流I_{sig}が流れている。また、トランジスタTr1, Tr6, Tr7がオフしている一方、トランジスタTr3, Tr4, Tr5がオンしている。この結果、信号電流I_{sig}が電源V_{cc}から駆動トランジスタTrd, スwitchングトランジスタTr2, スwitchングトランジスタTr3を通過して信号線側に流れる。換言すると、I_{sig}がドレイン電流として駆動トランジスタTrdを流れた事になる。この様に、信号線に流れる信号電流I_{sig}を駆動トランジスタTrdに通しその時ゲートGに発生する信号電圧V_{gs}を画素容量Cs2にサンプリングする。この信号電圧V_{gs}は先の数式6と同様にして、以下の数式11によって表される。

40

【数11】

$$V_{gs} = V_{th} + \sqrt{\frac{2I_{sig}}{k\mu}} \quad \text{式11}$$

【0064】

図11は、図9に示した期間T4 - T5で行われるI_{ref}書き込み動作を示す模式図

50

である。図 10 に示した I_{sig} 書き込み動作から本図の I_{ref} 書き込み動作に進むと、制御線 $AZ2$ がローレベルになる結果、トランジスタ $Tr4$ がオフする。その他のスイッチングトランジスタの状態はそのまま維持されている。したがって、図 10 と図 11 を比較すれば明らかなように、画素容量 $Cs2$ が画素容量 $Cs1$ に切り替わった関係となっている。より具体的には、図 10 の I_{sig} 書き込み動作では、駆動トランジスタ Trd のソース/ゲート間に画素容量 $Cs2$ が接続されていたのに対し、本図の I_{ref} 書き込み動作では駆動トランジスタ Trd のソース/ゲート間に画素容量 $Cs1$ が接続されている。すなわち、回路動作としては単に $Cs2$ が $Cs1$ に入れ替わっているに過ぎない。この時信号線には先の I_{sig} に代わって I_{ref} が流れている。より具体的には、基準電流 I_{ref} は電源 V_{cc} から駆動トランジスタ Trd を通り、さらにスイッチングトランジスタ $Tr2$ 及び $Tr3$ を介して信号線側に流れる。この時駆動トランジスタ Trd のゲート G に発生する基準電圧 V_{gs}' を画素容量 $Cs1$ にサンプリングする。この基準電圧 V_{gs}' は数式 11 の場合と全く同様にして、以下の数式 12 の様に表される。

【数 12】

$$V_{gs}' = V_{th} + \sqrt{\frac{2I_{ref}}{k\mu}} \quad \text{式12}$$

【0065】

図 12 は、図 9 に示したタイミングチャートの期間 $T6 - T7$ で行われる容量キャンセル動作を示す模式図である。この動作ではスイッチングトランジスタ $Tr1, Tr2, Tr3, Tr4, Tr5$ がオフする一方、 $Tr6$ 及び $Tr7$ がオンする。これにより、画素容量 $Cs1$ のマイナス側端子と画素容量 $Cs2$ のプラス側端子が接続され、且つ画素容量 $Cs1$ のプラス側端子と画素容量 $Cs2$ のマイナス側端子が接続される。これにより画素容量 $Cs1$ と $Cs2$ の容量キャンセルが基準電圧 V_{gs}' と信号電圧 V_{gs} との間で行われる。つまり、画素容量 $Cs1$ に保持された基準電圧 V_{gs}' と画素容量 $Cs2$ に保持された信号電圧 V_{gs} の差分が得られ、且つこの差分が画素容量 $Cs2$ の両端に保持される。ここで画素容量 $Cs1$ と $Cs2$ の容量値が等しい場合、容量キャンセル後の画素容量 $Cs2$ に保持された制御電圧 V_{cs2} は以下の数式 13 で与えられる。

【数 13】

$$V_{cs2} = \frac{V_{gs} - V_{gs}'}{2} = \frac{\sqrt{I_{sig}} - \sqrt{I_{ref}}}{\sqrt{2k\mu}} \quad \text{式13}$$

【0066】

上記数式 13 から明らかなように、制御電圧 V_{cs2} は信号電流 I_{sig} と基準電流 I_{ref} との差分に応じた値となっている。正確には、 I_{sig} の平方根と I_{ref} の平方根との差に応じた電圧が画素容量 $Cs2$ に制御電圧 V_{cs2} として保持された事になる。

【0067】

図 13 は、図 9 に示した V_{th} 補正期間 $T10 - T11$ で行われる V_{th} キャンセル動作を示す模式図である。この期間 $T10 - T11$ で、スイッチングトランジスタ $Tr1, Tr3, Tr4, Tr6, Tr7$ がオフしている一方、スイッチングトランジスタ $Tr2, Tr5$ がオンしている。この結果画素容量 $Cs1$ の一端は駆動トランジスタ Trd のゲート G に接続する一方、他端は電源 V_{cc} に接続している。電源 V_{cc} から発光素子 EL に向かって電流が流れている状態でスイッチ $Tr1$ をオフすると、電流路が遮断される為

トランジスタ T_{r2} を介して画素容量 C_{s1} を充電していく。この充電に伴い駆動トランジスタ T_{rd} のゲート電位は上昇していく。丁度ゲート電位が駆動トランジスタ T_{rd} の V_{th} となった所で駆動トランジスタ T_{rd} がカットオフする。この時点で検出された駆動トランジスタ T_{rd} の V_{th} が画素容量 C_{s1} の両端に保持される。この後トランジスタ T_{r2} がオフして画素容量 C_{s1} に保持された V_{th} が固定される。この様にして保持固定された V_{th} は後の発光動作で駆動トランジスタ T_{rd} の閾電圧のばらつきのキャンセルもしくは補正に用いられる。ここで図1に示した先の第1実施形態と異なり、第2実施形態では検出した V_{th} を保持する為、先の容量キャンセル動作で使用済みとなった画素容量 C_{s1} を利用している。これにより、本実施形態は画素容量の素子数を2に減らす事ができる。一方、先の第1実施形態は信号電圧及び基準電圧の保持用に使う一対の画素容量 C_{s1} 、 C_{s2} の他に、 V_{th} 保持用の画素容量 C_{s3} を備えていた。

【0068】

図14は、図9に示したタイミング T_{12} 以降に行われる発光期間における容量結合及び発光動作を示す模式図である。タイミング T_{12} に至ると、制御信号 DS と WS_3 がハイレベルになる一方、他の制御信号は全てローレベルである。したがってスイッチングトランジスタ T_{r1} 、 T_{r6} がオン状態になる一方、残りのスイッチングトランジスタ T_{r2} 、 T_{r3} 、 T_{r4} 、 T_{r5} 、 T_{r7} はオフ状態である。 T_{r6} がオンになる為、駆動トランジスタ T_{rd} のソース S とゲート G との間で画素容量 C_{s1} と C_{s2} が直列に結合される。この時駆動トランジスタ T_{rd} のゲート容量 C_g が充分小さいので、画素容量 C_{s1} と C_{s2} はお互いの電荷を保持した状態で結合される。つまり、発光時における駆動トランジスタ T_{rd} のゲート電圧 V_{gs} は閾電圧 V_{th} と制御電圧 V_{cs2} の和で表され、 $V_{gs} = V_{th} + V_{cs2}$ となる。

【0069】

この様にして得られた V_{gs} を先の数式1で示したトランジスタの基本特性式に入れると、以下の数式14に示すような駆動電流 I_{ds} が得られる。

【数14】

$$\begin{aligned}
 I_{ds} &= \frac{1}{2} k\mu (V_{gs} - V_{th})^2 \\
 &= \frac{1}{2} k\mu \left(\frac{\sqrt{I_{sig}} - \sqrt{I_{ref}}}{\sqrt{2k\mu}} \right)^2 \\
 &= \frac{1}{4} (\sqrt{I_{sig}} - \sqrt{I_{ref}})^2 \quad \text{式14}
 \end{aligned}$$

【0070】

上記数式14の1段目で、 V_{gs} に $V_{th} + V_{cs2}$ を代入する。これにより V_{th} がキャンセルされ、駆動電流 I_{ds} は V_{cs2} の2乗に比例した型となる。さらに数式14の2段目に示すように V_{cs2} に先の数式13を代入する。この後分母に現れる移動度 μ と係数部の移動度 μ がキャンセルされ、最終的に数式14の3段目で表す形となる。この式から明らかな様に、 I_{sig} と I_{ref} の電流差分値により駆動電流（発光電流） I_{ds} が決定され、駆動トランジスタの V_{th} や移動度 μ のばらつきによらないユニフォーマリティの高い画質を得る事ができる。さらに本発明の画素回路では黒表示時 $I_{sig} = I_{ref}$ に設定する。数式14から明らかな様に、 $I_{sig} = I_{ref}$ にすると $I_{ds} = 0$ となり、発光電流はなくなる。この結果完全な黒表示となる。一方黒表示でも I_{ref} の絶対値は十分に高いレベルに設定する事ができ、1水平期間（1H）内で十分に黒信号を書

き込み事ができる。これにより、黒浮きや縦クロストークなどの発生を抑制でき、完全に沈んだ黒を表現でき高いコントラスト特性を得る事が可能である。

【 0 0 7 1 】

以上説明したように、図 8 に示した本発明の第 2 実施形態にかかる画素回路は、信号電流 I_{sig} が流れる信号線 SL と、制御信号を供給する走査線 $WS1, WS2, WS3, AZ1, AZ2, DS$ とが交差する部分に配されている。この画素回路 2 は、発光素子 EL と、発光素子 EL に駆動電流 I_{ds} を供給する駆動トランジスタ Trd と、制御信号 $WS1, WS2, WS3, AZ1, AZ2, DS$ に応じて動作し信号電流 I_{sig} に基づいて駆動トランジスタ Trd の駆動電流 I_{ds} を制御する制御部とで構成されている。この画素内制御部は、第 1 サンプリグ手段と第 2 サンプリグ手段と差分手段とを含んでいる。第 1 サンプリグ手段はスイッチングトランジスタ $Tr2, Tr3, Tr4, Tr5$ 及び画素容量 $Cs2$ とで構成されており、信号線 SL に流れる信号電流 I_{sig} を駆動トランジスタ Trd に通しその時ゲート G に発生する信号電圧 V_{gs} を第 1 の容量 $Cs2$ にサンプリグする。第 2 サンプリグ手段はスイッチングトランジスタ $Tr2, Tr3, Tr5$ 及び画素容量 $Cs1$ からなり、信号電流 I_{sig} に前後して信号線に流れる所定の基準電流 I_{ref} を駆動トランジスタ Trd に通しその時ゲート G に発生する基準電圧 $V_{gs'}$ を第 2 の容量 $Cs1$ にサンプリグする。差分手段はスイッチングトランジスタ $Tr6, Tr7$ からなり、信号電圧 V_{gs} をサンプリグした第 1 の容量 $Cs2$ と基準電圧 $V_{gs'}$ をサンプリグした第 2 の容量 $Cs1$ とを相互に接続して差分を求め、且つ求めた差分を制御電圧 V_{cs2} として第 1 または第 2 の容量の片方である $Cs2$ に保持する。駆動トランジスタ Trd は第 1 または第 2 の容量の片方である $Cs2$ に保持された制御電圧 V_{cs2} をゲート G に受けてソース (S) ・ドレイン (D) 間に流れる駆動電流 I_{ds} を発光素子 EL に供給して発光を行わせる。さらに制御部はスイッチングトランジスタ $Tr2, Tr5$ からなる補正手段を有しており、前述の差分を求めた後駆動トランジスタ Trd の閾電圧 V_{th} を検出してこれを第 1 または第 2 の容量のもう片方である画素容量 $Cs1$ に保持し、且つ保持された閾電圧 V_{th} を第 1 または第 2 の容量の片方である $Cs2$ に保持された制御電圧 V_{cs2} に足し合わせる。これにより閾電圧 V_{th} の影響を駆動電流 I_{ds} からキャンセルする事ができる。

【 図面の簡単な説明 】

【 0 0 7 2 】

【 図 1 】 本発明にかかる画素回路の第 1 実施形態を示す回路図である。

【 図 2 】 図 1 に示した画素回路の動作説明に供するタイミングチャートである。

【 図 3 】 同じく動作説明に供する模式図である。

【 図 4 】 同じく動作説明に供する模式図である。

【 図 5 】 同じく動作説明に供する模式図である。

【 図 6 】 同じく動作説明に供する模式図である。

【 図 7 】 同じく動作説明に供する模式図である。

【 図 8 】 本発明にかかる画素回路の第 2 実施形態を示す回路図である。

【 図 9 】 図 8 に示した画素回路の動作説明に供するタイミングチャートである。

【 図 10 】 同じく動作説明に供する模式図である。

【 図 11 】 同じく動作説明に供する模式図である。

【 図 12 】 同じく動作説明に供する模式図である。

【 図 13 】 同じく動作説明に供する模式図である。

【 図 14 】 同じく動作説明に供する模式図である。

【 図 15 】 従来の表示装置の一例を示す全体ブロック図である。

【 図 16 】 図 15 に示した従来の表示装置に含まれる画素回路の構成を示す回路図である。

。

【 図 17 】 図 15 に示した従来の表示装置の画面の一例を示す模式図である。

【 符号の説明 】

【 0 0 7 3 】

10

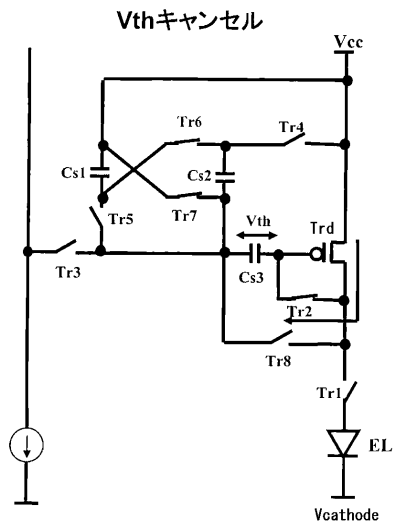
20

30

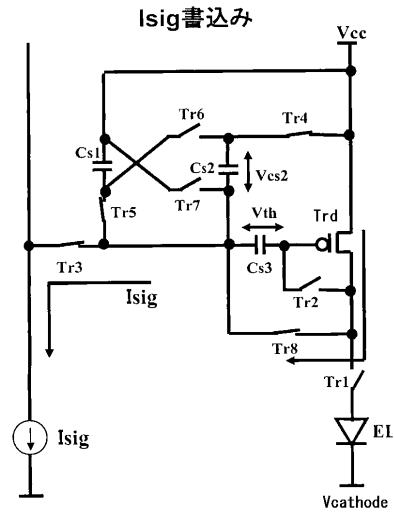
40

50

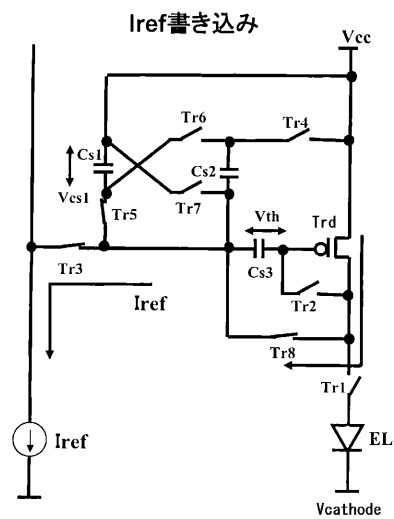
【図 3】



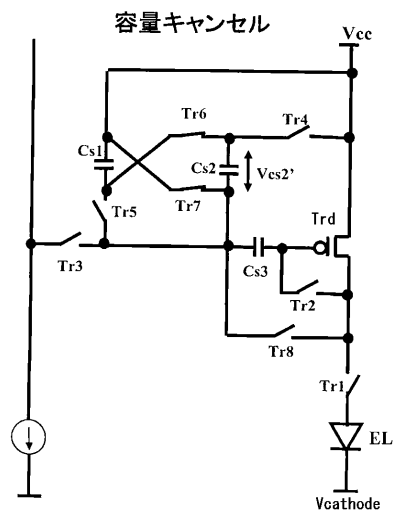
【図 4】



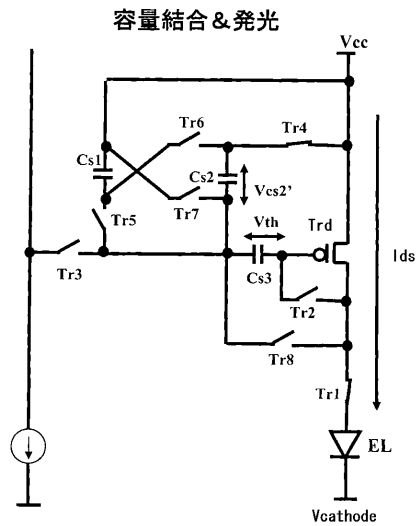
【図 5】



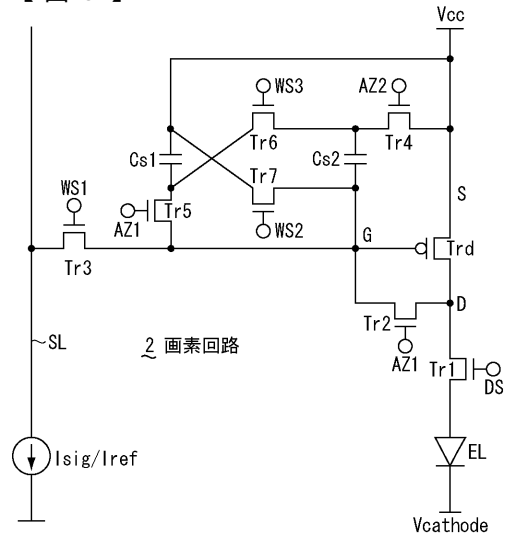
【図 6】



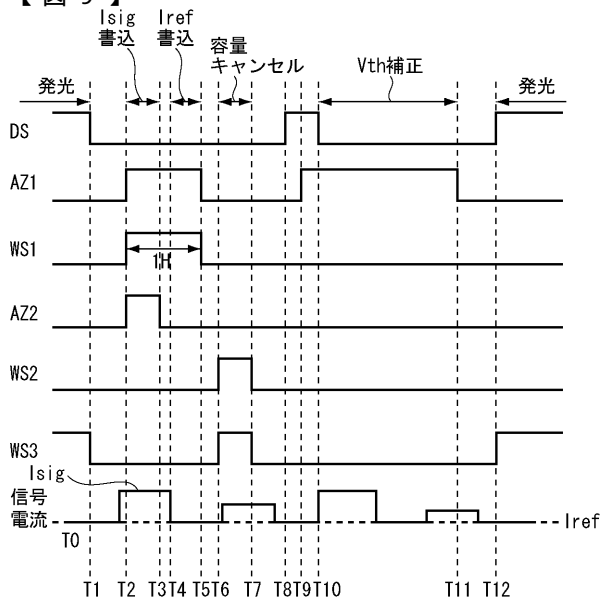
【図 7】



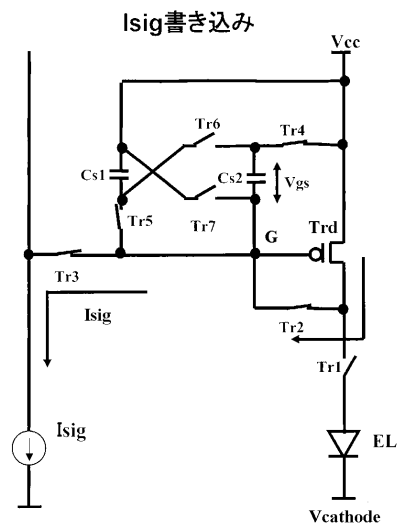
【図 8】



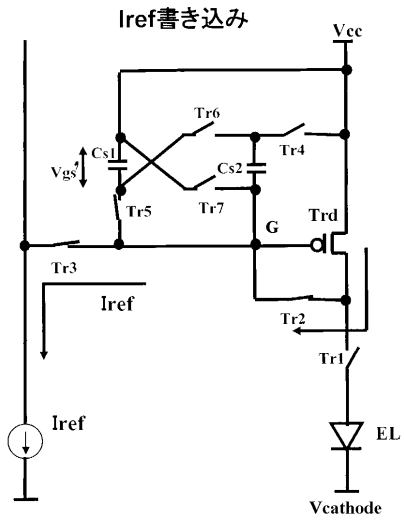
【図 9】



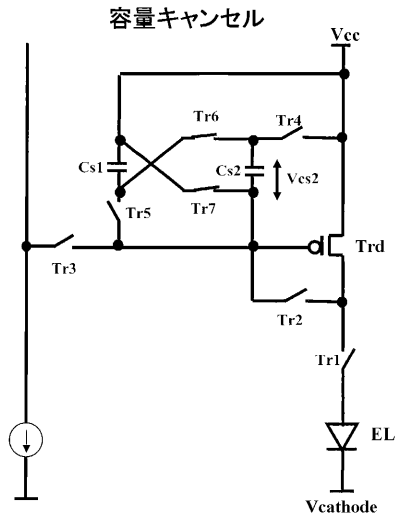
【図 10】



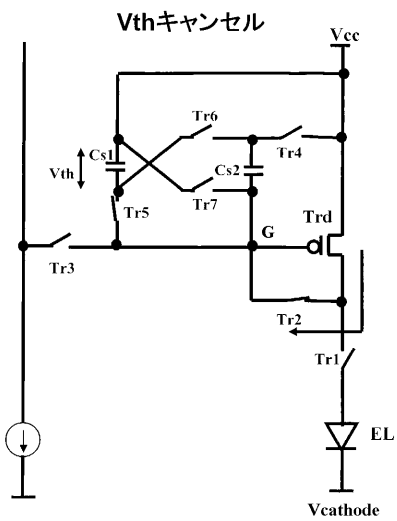
【図 1 1】



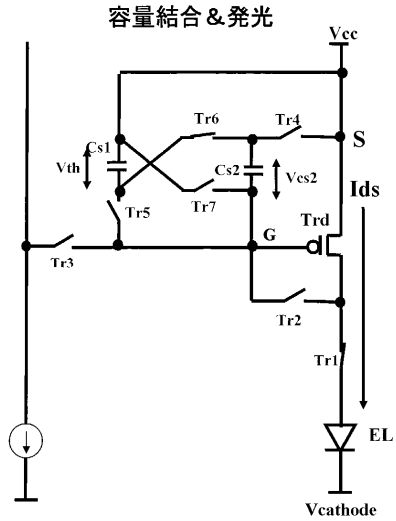
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 1 P
G 0 9 G	3/20	6 4 2 E
H 0 5 B	33/14	A

专利名称(译)	像素电路和显示装置及其驱动方法		
公开(公告)号	JP2006208746A	公开(公告)日	2006-08-10
申请号	JP2005020688	申请日	2005-01-28
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	内野 勝秀 山下 淳一		
发明人	内野 勝秀 山下 淳一		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.K G09G3/30.J G09G3/20.611.D G09G3/20.612.E G09G3/20.624.B G09G3/20.641.D G09G3/20.641.P G09G3/20.642.E H05B33/14.A G09G3/20.621.F G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB17 3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD01 5C080/DD05 5C080/DD10 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 3K107/AA01 3K107/BB01 3K107/CC32 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C380/DD08 5C380/AA01 5C380/AB06 5C380/AB24 5C380/AB34 5C380/BA19 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB08 5C380/BB23 5C380/BC20 5C380/CA13 5C380/CA53 5C380/CA54 5C380/CB16 5C380/CB17 5C380/CC03 5C380/CC13 5C380/CC18 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC49 5C380/CC66 5C380/CD014 5C380/CD028 5C380/CD039 5C380/DA02 5C380/DA06 5C380/HA03 5C380/HA08		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够充分写入甚至黑电平的精细信号电流的像素电路，以及显示装置及其驱动方法。
 SOLUTION：像素电路2包括晶体管Tr6和Tr7以及一对像素电容器Cs1和Cs2，并且其中对信号电压Vcs2进行采样的第一电容器和对其进行采样的参考电压Vcs1的第二电容器Cs1彼此连接以获得差值Vcs2'；其作为第二电容器Cs2中的控制电压保持。驱动晶体管Trd在其栅极G接收保持在第二电容器Cs2中的控制电压Vcs2'；并将在其源极S和漏极D之间流动的驱动电流Ids提供给发光元件EL，发光元件EL发光。当信号电压和参考电压具有小的相对差时，发光元件的发光量变小，并且信号电流和参考电流的绝对电平被设置得足够大以能够采样。
 2 画素回路

