

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-531772

(P2004-531772A)

(43) 公表日 平成16年10月14日(2004.10.14)

(51) Int.Cl.⁷

G09G 3/30

G09G 3/20

H05B 33/14

F I

G09G 3/30

K

テーマコード (参考)

3K007

G09G 3/30

J

5C080

G09G 3/20

624B

G09G 3/20

624C

G09G 3/20

670J

審査請求 有 予備審査請求 有 (全 34 頁) 最終頁に続く

(21) 出願番号 特願2003-507800 (P2003-507800)
 (86) (22) 出願日 平成14年6月21日 (2002.6.21)
 (85) 翻訳文提出日 平成15年12月19日 (2003.12.19)
 (86) 国際出願番号 PCT/US2002/019600
 (87) 国際公開番号 W02003/001496
 (87) 国際公開日 平成15年1月3日 (2003.1.3)
 (31) 優先権主張番号 60/300,216
 (32) 優先日 平成13年6月22日 (2001.6.22)
 (33) 優先権主張国 米国 (US)

(71) 出願人 390009531
 インターナショナル・ビジネス・マシー
 ズ・コーポレーション
 INTERNATIONAL BUSIN
 ESS MACHINES CORPO
 RATION
 アメリカ合衆国10504 ニューヨーク
 州 アーモンク ニュー オーチャード
 ロード
 (74) 代理人 100086243
 弁理士 坂口 博
 (74) 代理人 100091568
 弁理士 市位 嘉宏
 (74) 代理人 100108501
 弁理士 上野 剛史

最終頁に続く

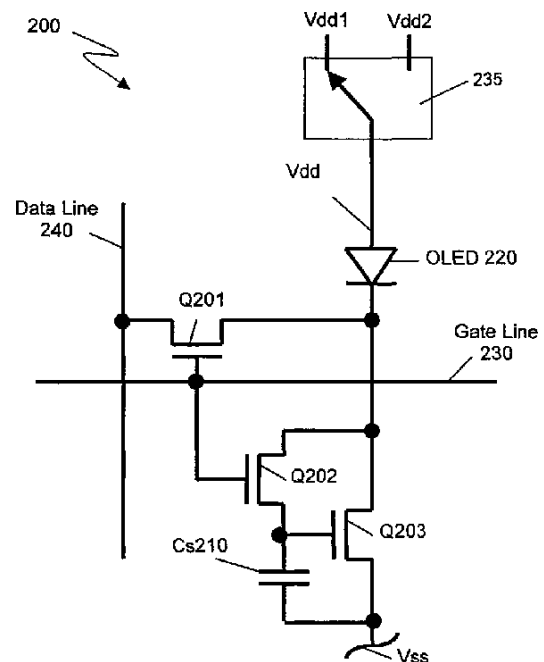
(54) 【発明の名称】 OLED電流駆動画素回路

(57) 【要約】

【課題】有機発光ダイオード (OLED) 画素回路を駆動する方法を提供すること。

【解決手段】この方法は、画素回路 (200) の状態設定時にOLED (220) の端子に第1の信号 (Vdd1) を印加すること、および状態を表示する時にその端子に第2の信号 (Vdd2) を印加することを含む。この方法を用いる、OLED画素回路用のドライバ (235) も提供される。

【選択図】図2



【特許請求の範囲】

【請求項 1】

有機発光ダイオード（O L E D）画素回路を駆動する方法であって、
前記画素回路の状態設定時に前記 O L E D の端子に第 1 の信号を印加すること、および
前記状態を表示する時に前記端子に第 2 の信号を印加すること
を含む方法。

【請求項 2】

前記第 1 の信号により前記 O L E D がオフになる請求項 1 に記載の方法。

【請求項 3】

前記第 1 の信号により前記 O L E D が逆バイアス状態になる請求項 1 に記載の方法。

10

【請求項 4】

前記第 2 の信号により前記 O L E D が順バイアス状態になる請求項 1 に記載の方法。

【請求項 5】

前記状態が電流駆動により設定される請求項 1 に記載の方法。

【請求項 6】

前記第 2 の信号に対する前記第 1 の信号のデューティ・ファクタを変えることをさらに含
む請求項 1 に記載の方法。

【請求項 7】

前記画素回路が複数の画素回路の 1 つであり、前記複数の画素回路の各々の端子に前記第
1 の信号および前記第 2 の信号を印加することをさらに含む請求項 1 に記載の方法。

20

【請求項 8】

有機発光ダイオード（O L E D）画素回路用ドライバであって、
スイッチを備え、

前記画素回路の状態設定時に、前記スイッチが前記 O L E D の端子に第 1 の信号を指し向
け、かつ

前記状態を表示する時に、前記スイッチが前記端子に第 2 の信号を指し向ける
ドライバ。

【請求項 9】

前記第 1 の信号により前記 O L E D がオフになる請求項 8 に記載のドライバ。

【請求項 10】

前記第 1 の信号により前記 O L E D が逆バイアス状態になる請求項 8 に記載のドライバ。

30

【請求項 11】

前記第 2 の信号により前記 O L E D が順バイアス状態になる請求項 8 に記載のドライバ。

【請求項 12】

前記状態が電流駆動により設定される請求項 8 に記載のドライバ。

【請求項 13】

前記スイッチが、前記第 2 の信号に対する前記第 1 の信号のデューティ・ファクタを変え
るように制御される請求項 8 に記載のドライバ。

【請求項 14】

前記画素回路が、アモルファス・シリコン、ポリシリコンおよび結晶シリコンからなる群
から選択される材料で構成される請求項 8 に記載のドライバ。

40

【請求項 15】

前記画素回路が、1 つのトランジスタにより前記 O L E D を流れる電流を供給する請求項
8 に記載のドライバ。

【請求項 16】

前記スイッチが前記第 2 の信号を前記端子に指し向ける時、前記トランジスタが飽和領域
で動作する請求項 15 に記載のドライバ。

【請求項 17】

前記画素回路が複数の画素回路の 1 つであり、前記スイッチが前記複数の画素回路の各々
の端子に前記第 1 の信号および前記第 2 の信号を指し向ける請求項 8 に記載のドライバ。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機発光ダイオード（O L E D）画素回路、より詳細には、O L E Dに電流を供給するT F T素子のストレスの影響を最少化する、画素回路駆動技術に関する。

【背景技術】

【0002】

有機発光ダイオード（O L E D）の画素には、電流が流された時に発光する様々な有機材料の何れかが利用されうる。O L E Dディスプレイは配列されてアレイとなった複数のO L E D画素を備える。

10

【0003】

大型、大画面のO L E Dディスプレイを実現する1つの方法は、アクティブ・マトリックス薄膜トランジスタ（T F T）のバックプレーンを用いることである。ヘッド・マウント・ディスプレイおよび小さな携帯電話用の直視型ディスプレイでさえ、バックプレーンとしてポリシリコンもしくは結晶シリコンを用いる。アモルファス・シリコン・フラット・パネル技術における投資の点で、より大きなO L E Dディスプレイを作るためのバックプレーン技術として、ポリシリコン（p - S i）または結晶シリコン（c - S i）に対抗して、アモルファス・シリコン（a - S i）を用いることに関心が持たれている。大面積の結晶シリコン・バックプレーンは、アモルファスもしくはポリシリコンほどコスト的に有利ではないであろう。

20

【0004】

アモルファス・シリコンは、2つの理由で、ポリシリコンもしくは結晶シリコンでは得られるような相補型素子をもたない。

（1）アモルファス・シリコン・フラット・パネル・ディスプレイ（F P D）の製造では、ポリシリコンに比べて、フォトリソグラフィ・ステップ数が少なく、従って低コストのため、n - チャネル電界効果トランジスタ（N F E T）のみが使用可能である。

（2）p - チャネル電界効果トランジスタ（P F E T）は、作製可能であるが、n - チャネル電界効果トランジスタ（N F E T）より、移動度すなわちドリフトによる電荷移動が実質的に小さく（約5分の1ないし10分の1）、従って駆動電流が少ない。通常の製造ラインでは、N F E Tは、約0.5ないし1.0 cm² / V / s e cの平均移動度をもつ

30

【0005】

O L E Dが処理される方式のために、通常、N F E Tで構成された電流源でO L E Dを駆動することは可能でない。通常、アクティブ・マトリックス・アドレス指定方式では、電圧信号が各画素の明るさを制御するために各画素に書き込まれる。アモルファス・シリコンの、移動度ならびにしきい値電圧および移動度の安定性は、小さな容量性負荷に電気的には似ているねじれネマチック液晶を駆動するのに適しており、この場合、駆動電圧は0.1%ないし0.001%の範囲のデューティ・サイクルで印加される。しかし、動作に連続電流を必要とするO L E Dの駆動では、アモルファス・シリコンの動作電圧は、実質的にかなりの時間、例えば100%に達するデューティ・サイクルでゼロでない。高い電圧と連続電流はアモルファス・シリコンT F Tに激しくストレスを加える。特に、ゲート・ソースの電圧ストレスが、トラップされた電荷、ならびにゲート絶縁体 - 半導体の界面およびT F Tの半導体層での欠陥状態の生成と分子結合の切断などの他の効果により、しきい値電圧の変動を引き起こす。

40

【0006】

T F Tのしきい値電圧が変わると、T F Tを流れる電流が変わるであろう。O L E Dの光出力は電流に比例するので、電流が変わるとO L E Dの明るさも変わる。観察者は画素間の光出力の1%の小さな変化を感知できる。5%のレベルの大きな輝度の変動は通常、許容不可能と考えられている。

【0007】

50

図1は、小さなa-Siバックプレーン・ディスプレイ試験体に用いられる、従来技術の画素回路100の概略図である。回路100にはNFE T Q 1 0 1およびQ 1 0 2、キャパシタC s 1 1 0ならびにO L E D 1 2 0が含まれる。

【0008】

NFE T Q 1 0 1およびC s 1 1 0は画素電圧を蓄える。ゲート線125の高い電圧レベルがNFE T Q 1 0 1をオンにすることにより、データ線130からC s 1 1 0へ電圧を供給する。ある時間の後に、NFE T Q 1 0 2のゲート電圧はデータ線130の電圧と同じになり、ゲート線125の電圧が低く設定される。NFE T Q 1 0 2は電圧フォロアとして動作して、O L E D 1 2 0を駆動する。O L E D 1 2 0を流れる電流は供給電圧V d dから供給され、供給電圧V s sに戻る。O L E D 1 2 0が駆動されると、NFE T Q 1 0 2のしきい値電圧(V t)は時間tと共に変化する。O L E D 1 2 0にかかる電圧は、 $V d d - V c s - V g s(t) - V s s$ であり、 $V c s = C s 1 1 0$ にかかる電圧、 $V g s(t) =$ 時間tの関数としての、NFE T Q 1 0 2のゲート・ソース電圧、および
 $V s s =$ 負の供給電圧すなわちO L E Dのカソード電圧である。

【0009】

NFE T Q 1 0 2は、ドレイン・ソース電圧が $V g s - V t$ 以上である、飽和または一定電流領域にバイアスされているので、O L E D 1 2 0またはNFE T Q 1 0 2を流れる電流は $(V g s - V t)^2$ に比例する。結果として、O L E D 1 2 0にかかる電圧およびO L E D 1 2 0を流れる電流は、NFE T Q 1 0 2のしきい値電圧(V t)が変わると変化する。画素間の駆動履歴の違いで、画素間の電流および輝度に違いが生じる。これは、画素差分エージングとして知られている。動作に連続電流を求められるNFE T Q 1 0 2のしきい値変動は、多くの用途で許容できないと考えられている。しかし、その飽和領域で動作するNFE T Q 1 0 2のストレスは、NFE T Q 1 0 2が、ドレイン・ソース電圧 $< V g s - V t$ であるその線形領域にバイアスされている場合より小さい。

【0010】

a-SiのTF Tのバックプレーンと共に使用する場合、1つのNFE T、すなわちNFE T 1 0 2だけが電源V d dから、供給電圧V s sに接続されているO L E D 1 2 0へと接続されているので、回路100には比較的小さい電力と電圧が必要とされる。O L E D 1 2 0の電流は1つのNFE Tを通して流れるだけなので、電源V d dとV s sの電圧差は最小に、すなわち最大のO L E D 1 2 0電圧およびNFE T Q 1 0 2が飽和領域に入って動作するためのドレイン・ソース電圧に保たれる。

【0011】

回路100の類似回路では、NFE T Q 1 0 1およびNFE T Q 1 0 2がそれぞれ、ポリシリコンもしくは結晶シリコン技術では用いることができる、PFE T Q 1 0 1およびPFE T Q 1 0 2に置き換えられる。PFE T Q 1 0 2は、電圧フォロア電流源として動作する。O L E D 1 2 0を流れる電流が、 $V g s = V c s$ で、 $(V c s - V t)^2$ に比例するので、PFE T Q 1 0 2のしきい値電圧は、O L E D 1 2 0への電流に一層大きな影響がある。相互コンダクタンスが大きい結晶シリコンが用いられる場合、画素寸法が通常非常に小さいので $100 / \text{cd} / \text{m}^2$ の程度の明るさレベルでO L E D 1 2 0を駆動するのに十分なだけ小さい電流を生成するように、電圧V g sはV tより小さくしなければならないであろう。サブスレシールド領域でのしきい値電圧の変動は、しきい値電圧が60ミリボルト変化する毎に1桁の大きさの電流変化があるので、すなわちトランジスタのドレイン電流-ゲート電圧の逆サブスレシールド・スロープ、すなわち約 $60 \text{ mV} / 10$ 進電流、により規定されるように、ドレイン電流の変動に一層大きな影響がある。

【0012】

O L E D電流を供給するTF T素子のストレスの影響を最小化するため、画素回路に蓄えられる電圧の書き込みに電流駆動が用いられる。日本、特141-0001、東京都品川

10

20

30

40

50

区北品川 6 - 7 - 35 のソニー（株）は、対角 13 インチ、800 × 600 カラー・アクティブ・マトリックス OLED（AMOLED）ディスプレイにおいて、ポリシリコンのカレント・ミラー画素を示した。ソニーの回路は、T. Sasaoka 外、"A 13.0-inch AM-OLED Display with top emitting structure and adaptive current mode programmed pixel circuit (TAC)"、2001 SID International Symposium Digest of Technical Papers, volume XXXII, p384-387 に発表された。ソニーの回路では、そのデータ線上のデータは電圧ではなく電流の形態である。しかし、ソニーの回路は OLED 駆動トランジスタのしきい値の変動を補正していない。

【0013】

ポリシリコンを用いる 4PFET トランジスタ回路が、R.M. A. Dawson 外、"The impact of the transient response of organic light emitting diodes on the design of active matrix OLED displays"、IEDM, p875-878、1998 に記載されたように、ニュージャージー州 08543 - 5300、ワシントン・ロード・プリンスストン 201 のサノフ社により開発された。サノフの回路は、データ線電流を用いて、OLED を駆動するトランジスタの電流を直接設定する。しかし、回路はポリシリコンを必要とし、OLED と電源の間に直列に 2 つのトランジスタを用い、さらに高解像度ディスプレイのダーク・グレー・スケール機能のために使用される第 3 の入力制御信号をもつ。第 3 の入力制御は画素回路の物理的設計およびアレイ設計の複雑さを増大させる。

【0014】

代替の 4 ポリシリコン・トランジスタ構成が、T. van de Biggelaar 外、"Passive and active matrix addressed polymer light emitting diode displays"、Flat Panel Display Technology and Display Metrology II of the Proceedings of the SPIE, Vol. 4295, p134-146、2001 に記載されるように、オランダ、アイントホーフ 5656 AA のフィリップス・リサーチにより開発された。この構成は、サノフの回路の第 3 の入力制御信号を無くしているが、やはり電源と OLED の間に直列に 2 つのトランジスタを用いる。第 3 の入力を無くしたために、ダーク・グレー・スケール機能がある高解像度ディスプレイにそれを使用できない。

【0015】

データ線電流を用い、4 つのアモルファス・シリコン NFET トランジスタを用いる類似の回路が、ミシガン州 48109、アン・アーバーのミシガン大学により、より詳細には Yi He 外、"Current-source a-Si:H thin film transistor circuit for active-matrix organic light-emitting displays"、IEEE Electron Device Letters, vol. 21, No. 12, p590-592、2000 により発表された。この回路の 1 つの限界は、第 2 のトランジスタが、OLED 電流生成トランジスタと直列に、電源へ接続されていることである。この画素回路はまた、ダーク・グレー・スケール機能がある高解像度ディスプレイに用いられないであろう。

【非特許文献 1】

T. Sasaoka 外、"A 13.0-inch AM-OLED Display with top emitting structure and adaptive current mode programmed pixel circuit (TAC)"、2001 SID International Symposium Digest of Technical Papers, volume XXXII, p384-387

【非特許文献 2】

R.M. A. Dawson 外、"The impact of the transient response of organic light emitting diodes on the design of active matrix OLED displays"、IEDM, p875-878、1998

【非特許文献 3】

T. van de Biggelaar 外、"Passive and active matrix addressed polymer light emitting diode displays"、Flat Panel Display Technology and Display Metrology II of the Proceedings of the SPIE, Vol. 4295, p134-146、2001

【非特許文献 4】

Yi He 外、"Current-source a-Si:H thin film transistor circuit for active-matrix organic light-emitting displays"、IEEE Electron Device Letters, vol. 21, No. 12, p

590-592、2000

【発明の開示】

【発明が解決しようとする課題】

【0016】

本発明は、有機発光ダイオード（OLED）画素回路を駆動する方法を提供する。本発明はまた、OLED画素回路のドライバを提供する。

【課題を解決するための手段】

【0017】

前記方法は、画素回路の状態設定時にOLEDの端子に第1の信号を印加すること、および状態を表示する時に端子に第2の信号を印加することを含む。前記ドライバは、画素回路の状態設定時に第1の信号をOLEDの端子に伝えるスイッチ、および状態を表示する時に端子に第2の信号を伝えるスイッチを含む。 10

【発明を実施するための最良の形態】

【0018】

本発明は、OLEDに電流を供給するTFT素子のストレスの影響を最少化する、画素回路の駆動技術を提供する。画素回路に蓄えられる電圧の書き込みに、電流駆動が用いられる。回路はTFT素子のしきい値変動を補正する。OLED電流は1個のトランジスタを通して流れ、同時に、高解像度ディスプレイでダーク・グレー・スケール機能を可能にする。

【0019】

図2は、本発明に従って駆動される画素回路200の概略図である。データ線電流を用い、OLEDを流れる電流を、しきい値電圧または移動度の変動に適応できる3NFEET回路を用いて、正確に設定することができる。回路200には、NFEETQ201、Q202およびQ203、データ記憶キャパシタCs210、OLED220ならびにスイッチ235が含まれる。回路200には、ゲート線230、データ線240、および供給電圧VddおよびVssも含まれる。 20

【0020】

スイッチ235は、画素回路200の状態設定時に、第1の信号（Vdd1）をOLED220のアノード端子に印加、すなわち指し向け、状態を表示する時にアノード端子に第2の信号（Vdd2）を印加するように動作する。「状態設定」は、画素回路200にデータを書き込むことを、また「状態を表示する」は、OLED220の発光を観察することを表す。スイッチ235により、回路200へのデータの書き込みでは、Vddはロー、すなわちVdd1に設定され、また回路200のデータを提示または表示するために、ハイ、すなわちVdd2に設定される。Vssは一定の電位または電圧に保たれる。スイッチ235は任意の適切なスイッチング素子でよいが、好ましくは、トランジスタを用いた電気制御スイッチとして構成される。 30

【0021】

ゲート線230の高い電圧が、NFEETQ201およびNFEETQ202をオンにし、一方OLED220はオフである、すなわち全く発光していない状態で、データ線240への電流の形態のデータが、回路200に書き込まれる。OLED220は、Vdd1が、 $V_{ss} + 2V$ である時はオフである。OLED220は、OLED220にかかる電圧が2V以下である時、オフであり、実質的に非導通であると考えられる。OLED220のアノードへのVdd1の印加は、OLED220を実質的に非導通にするが、これは順バイアスまたは逆バイアスのいずれでもよい。OLED220がオフの時、OLED220を流れる電流は非常に小さいので、回路200の動作に影響を与えない。NFEETQ201のオン状態により、電流すなわちデータが、データ線240から、NFEETQ202およびNFEETQ203のドレインに流れる。NFEETQ202のオン状態は、NFEETQ203のドレインおよびゲート端子を互いに接続し、NFEETQ203のドレインおよびゲート電圧を等しくさせる。このことにより、確実に、NFEETQ203は、そのドレイン・ソース電圧が、ゲート・ソース電圧 - しきい値電圧以上である、その飽和または定 40 50

電流領域にあることになる。N F E T Q 2 0 2 のオン状態は、N F E T Q 2 0 2 がいかなる電流も流さなくなり、かつ N F E T Q 2 0 3 のドレイン・ソース電流が、データ線 2 4 0 へのデータまたは電流に一致するまで、データ記憶キャパシタ C s 2 1 0 を充電または放電する。データ記憶キャパシタ C s 2 1 0 にかかる電圧は、N F E T Q 2 0 3 のゲート・ソース電圧を維持する。このことにより、ゲート線 2 3 0 がローで飽和領域で動作する時、N F E T Q 2 0 3 のドレイン・ソース電流が、ゲート線 2 3 0 がハイであった時データ線 2 4 0 に流された電流と、実質的に等しくなる。ゲート線 2 3 0 がローに設定されると、データ線 2 4 0 への電流を、N F E T Q 2 0 3 を流れるドレイン・ソース電流を変更することなく、任意の他の値に設定することができる。

【0022】

ゲート線 2 3 0 の低い電圧は、N F E T Q 2 0 1 および N F E T Q 2 0 2 をオフにする。O L E D 2 2 0 のアノードへの V d d 2 の印加により、O L E D 2 2 0 がオンになる、すなわち発光する。ここで、スイッチ 2 3 5 により、V d d はハイに、V g s - V t + V o l e d (最大) + V s s より大きい電圧 V d d 2 になって、N F E T Q 2 0 3 のドレイン・ソース電圧が確実に、N F E T Q 2 0 3 のピンチ・オフ電圧 V g s - V t より大きくなる。V o l e d (最大) は、最大動作輝度での O L E D 2 2 0 の電圧である。仮にゲート線 2 3 0 のローへのスイッチングおよび V d d の V d d 2 へのスイッチングによる容量カップリング効果がなければ、N F E T Q 2 0 3 には、データ線 2 4 0 からの元の電流に一致する電流が、O L E D 2 2 0 を通して流入するであろう。O L E D 2 2 0 を流れる電流は、N F E T Q 2 0 3 を流れるドレイン・ソース電流である。

【0023】

ゲート線 2 3 0 がローになると、Q 2 0 2 のゲート・ソース容量は記憶キャパシタ C s 2 1 0 の電圧を下げようとする。V d d がハイになると、O L E D 2 2 0 の容量は、N F E T Q 2 0 3 のドレイン端子電圧を上げる傾向があり、そのドレイン・ゲート容量は、記憶キャパシタ C s 2 1 0 の電圧を上げようとする。ゲート線 2 3 0 と供給電圧 V d d は逆向きになるので、N F E T Q 2 0 2 および Q 2 0 3 のチャネル幅と長さを注意深く設計することで、組み合わせさせたカップリングを完全にゼロにすることが可能である。データの書き込みと表示の駆動方法、および記憶キャパシタ C s 2 1 0 への、組み合わせさせた容量電圧カップリングは、ディスプレイの全ての画素で同じであるから、データ線 2 4 0 へのデータすなわち電流を変更することにより、記憶キャパシタ C s 2 1 0 への、この組み合わせさせた容量電圧カップリングを相殺する、すなわち補正することもできる。

【0024】

回路 2 0 0 は、O L E D 2 2 0 のアノードが、供給電圧 V d d への接続により他の O L E D のアノード(示されていない)と共通である、O L E D 2 2 0 の共通アノード構成を組み込んでいる。こうして、スイッチ 2 3 5 は複数の画素回路のアノード端子へ V d d 1 または V d d 2 を選択的に指し向ける。一般に、共通アノード O L E D 構成の製造は共通カソード O L E D 構成より困難である。

【0025】

O L E D 有機層への電子およびホールの効率的な注入のために、仕事関数すなわち、最高被占有分子軌道(H O M O)と最低非占有分子軌道(L U M O)のエネルギーに一致する真空エネルギー・レベルとフェルミ・エネルギー・レベルのエネルギー差をもつアノードおよびカソード材料を選択することが、極めて重要である。典型的な仕事関数はアノードで 4 ~ 5 e V、カソードで 2 . 7 ~ 5 . 3 e V である。

【0026】

効率をより大きくするために、O L E D アノード材料は、隣接する有機層の H O M O への効率的なホールの注入を容易にするために、仕事関数の大きい導体でなければならない。一方、O L E D のカソード材料は、隣接する有機層の L U M O への効率的な電子注入を行うために仕事関数の小さい導体でなければならない。仕事関数の大きい金属は、インジウム・スズ酸化物 I T O、インジウム亜鉛酸化物 I Z O、ニッケル N i などであり、通常、アノード電極と有機ホール輸送層との間の界面において界面酸化物処理を受ける。界面酸化

10

20

30

40

50

物処理は、与えられたアノード電極での仕事関数障壁を、確実に可能な最高の高さにするもので、処理業界におけるいくつかの手段、例えば1分ないし数分の酸素O₂プラズマ処理によりそれを実施することができる。

【0027】

対照的に、OLEDカソード材料は、仕事関数の小さい金属導体、例えば、フッ化リチウムLiF、カルシウムCa、マグネシウム金MgAuなどでなければならず、有機層界面での導体電極の如何なる酸化も電子注入効率を低下させる。上面または下面発光構造が可能であるが、処理は、アノード材料と有機層界面の酸化物処理が、有機層およびカソード材料が存在する前に終わられると、ずっと簡単である。共通のカソードを用いると、有機層を堆積させた後、アクティブ画素領域のパターン形成の必要がないので、処理はさらに簡単になる。 10

【0028】

図3は、本発明に従い、共通カソード構造を組み込む画素回路300の概略図である。データ線電流を用い、OLEDを流れる電流を、しきい値電圧または移動度の変動に適應できる3NFEET回路で正確に設定することができる。

【0029】

回路300は、フローティング電流源/シンク回路構成を組み込んでいる。回路300には、NFEETQ301、Q302およびQ303、データ記憶キャパシタCs310、OLED320ならびにスイッチ325が含まれる。回路300には、ゲート線330およびデータ線340も含まれる。 20

【0030】

スイッチ325により、供給電圧Vssが、回路300にデータを書き込むために、ハイ、すなわちVss2に設定され、回路300に書き込まれたデータを表示するために、ロー、すなわちVss1に設定される。正の供給電圧Vddは、一定に保たれる。スイッチ335は、任意の適切なスイッチング素子でよいが、好ましくは、トランジスタを用いた電気制御スイッチとして構成される。

【0031】

ゲート線330の電圧がハイになった時、NFEETQ301およびQ302がオンになる。Vssはハイに、すなわち $V_{dd} - 2V$ である電圧Vss2に設定される。OLED320のカソードにVss2を印加することにより、OLED320がオフになり、全く発光しない。OLED320がオフの時、OLED320を流れる電流は非常に小さいので、回路300の動作に影響を与えない。電流の形態のデータがデータ線340から流入する、すなわち取り出される。NFEETQ302は、NFEETQ303のゲートをVddに接続し、電流がデータ記憶キャパシタCs310を通して流れることを止め、NFEETQ303を通してだけ流れる時に、確実に、NFEETQ303を飽和領域で動作させる。NFEETQ303は電流源として動作し、データ線340から流入している電流に一致する。 30

【0032】

V_{oled} (最大) を最大輝度での発光時にOLED320にかかる電圧として、OLED320のカソードに、ある電圧 $V_{dd} - V_{gs} + V_t - V_{oled}$ (最大)、Vss1を印加することにより、OLED320がオンになる、すなわち発光する。ゲート線330の電圧がローになり、VssがローのVss1に設定されてNFEETQ303が飽和領域($V_{dd} - V_{gs} + V_t - V_{oled}$)にあることが確實である時に、NFEETQ303のドレイン・ソース電流はOLED320を通して流れるであろう。 40

【0033】

ゲート線330がローに設定されると、NFEETQ302のゲート・ソース容量は、データ記憶キャパシタCs310の電圧を下げようとする。ゲート線330がローに設定されると、NFEETQ301のゲート・ドレイン容量は、データ記憶キャパシタCs310の電圧を上げようとする。VssがローのVss1に設定されると、OLED320の容量およびNFEETQ303のゲート・ドレイン容量は、データ記憶キャパシタCs310の 50

電圧を上げようとする。N F E T Q 3 0 1、Q 3 0 2 および Q 3 0 3 のチャネルの長さおよび幅の注意深い設計により、データ記憶キャパシタ C s 3 1 0 の電圧カップリングをゼロにすることが可能である。データの書き込みと表示の駆動方法、および記憶キャパシタ C s 3 1 0 への、組み合わせさせた容量電圧カップリングは、ディスプレイの全ての画素で同じであるから、データ線 3 4 0 から取り出されたデータすなわち電流を変更することにより、記憶キャパシタ 3 1 0 への、組み合わせさせた容量電圧カップリングを相殺する、すなわち補正することもできる。データ記憶キャパシタ C s 3 1 0 および N F E T Q 3 0 3 を、基準の供給電圧がないフローティング電流源と考えることができる。

【0034】

本発明の別の態様は、表示を効果的に短縮して、画素を大きな書き込み電流で書き込めるようにする。このような回路は、8ビット・グレー・スケール動作を制御することが望ましい。これを実現するためには、O L E D 電流は少なくとも2桁は変化する必要があるであろう。

【0035】

画素回路に電流を適切に書き込むために、低グレー・レベルの電流でデータ線の容量を充電または放電するのに要する時間は、高解像度ディスプレイにおけるゲート線オン時間より長くなりうる。1つの解決策は、より大きな電流をデータ線に使い、画素回路のデータ表示時間を短縮することである。図2の供給電圧 V d d が、ハイの V d d 2 に設定されている時間を調節することにより、また図3の供給電圧 V s s が、ローの V s s 1 に設定されている時間を調節することにより、表示時間を調節することができる。従来技術に示されるような第4のトランジスタおよび第3の画素回路入力信号が無いのは、この様にしてである。このことは、従来技術で用いられる第4のトランジスタでの電圧降下が無くなっているため、電源電圧および電力消費を減らす助けとなる。

【0036】

複数の画素をもつディスプレイでは、O L E D への電源接続、回路 2 0 0 の V d d 、回路 3 0 0 の V s s は、そのディスプレイの全ての画素で同一の接続である。しかし、各々が別のスイッチ、回路 2 0 0 ではスイッチ 2 3 5、回路 3 0 0 ではスイッチ 3 2 5 をもち、各々が個別の表示タイミングをもつ複数の接続に、V d d または V s s の接続を分けると有用でありうる。例えば、表示時刻を互いにずらして、分散させ、ピーク、すなわち最大の V d d および V s s 電流を減らすことができる。電流が小さくなると、V d d または V s s の配電の電圧降下が減少するであろう。

【0037】

通常の動作電圧による、回路 2 0 0 の N F E T Q 2 0 1 および Q 2 0 2 ならびに回路 3 0 0 の N F E T Q 3 0 1 および Q 3 0 2 への電氣的ストレスは、アクティブ・マトリックス液晶ディスプレイのそれと同様である。これらの N F E T は、デューティ・ファクタが非常に小さい電氣的スイッチとして機能する。本発明は、従来技術の回路に比べて、O L E D に電流を供給する N F E T、回路 2 0 0 の Q 2 0 3 および回路 3 0 0 の Q 3 0 3、のストレスの影響を最少化する。本発明では、データ書き込み時、O L E D をオフにするだけでなく、回路 2 0 0 の N F E T Q 2 0 3 および回路 3 0 0 の N F E T Q 3 0 3 の、ドレイン・ソースおよびゲート・ドレイン電圧極性を変えるように、回路 2 0 0 の V d d 1 電圧および回路 3 0 0 の V s s 2 電圧を設定することができる。極性の反転は、ゲート・ドレイン酸化物およびドレイン・ソース・チャネル領域にトラップされた電荷を取り除く助けとなる。回路 2 0 0 の N F E T Q 2 0 3、および回路 3 0 0 の Q 3 0 3 のゲート・ソース電圧極性を反転させることも可能であることが認められるであろう。書き込み時、回路 2 0 0 のデータ線 2 4 0 に V s s より小さい電圧、あるいは回路 3 0 0 のデータ線 3 4 0 に V d d より大きい電圧を印加することができる。回路 2 0 0 の N F E T Q 2 0 3、および回路 3 0 0 の Q 3 0 3 のゲート・ソース電圧を反転するための、データ線上の電圧の書き込みは、前の画素状態の表示後で、画素に次の状態を書き込む前に行われるであろう。

【0038】

アモルファス・シリコン、ポリシリコンまたは結晶シリコンで、回路 2 0 0 および 3 0 0

を実現することができる。回路 200 および回路 300 を、PMOS 素子を使用するように容易に変更することができる。

【0039】

様々な代替と変更が当分野の技術者により考案されることが理解されるであろう。本発明は、添付の特許請求の範囲内にある、このような代替、変更および変形形態の全てを包含すると解釈される。

【図面の簡単な説明】

【0040】

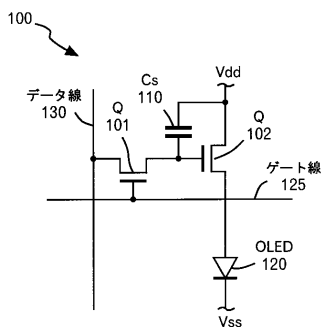
【図 1】 従来技術の画素回路の概略図である。

【図 2】 本発明に従って、共通アノードが駆動される画素回路の概略図である。

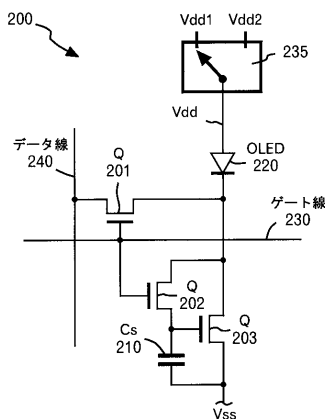
【図 3】 本発明に従って、共通カソードが駆動される画素回路の概略図である。

10

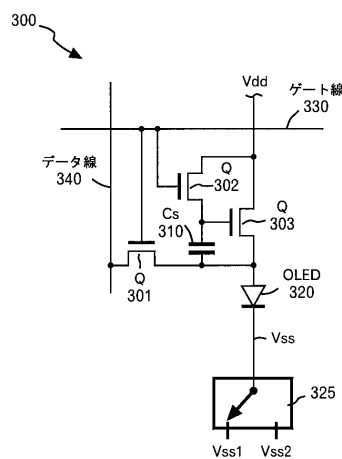
【図 1】



【図 2】



【図 3】



(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)



PCT

WO 03/001496 A1

Lawrence: 2 Fox Run, Hopewell Junction, NY 12533 (US).

(74) **Agent:** UNDERWEISER, Marian; IBM Corporation, T.J. Watson Resource Center, P.O. Box 128, Route 134, Yorktown Heights, NY 10598 (US).

(74) **Agent:** UNDERWEISER, Marian; IBM Corporation, T.J. Watson Resource Center, P.O. Box 128, Route 134, Yorktown Heights, NY 10598 (US).

(30) Priority Data: 60/300,216 22 June 2001 (22.06.2001) US

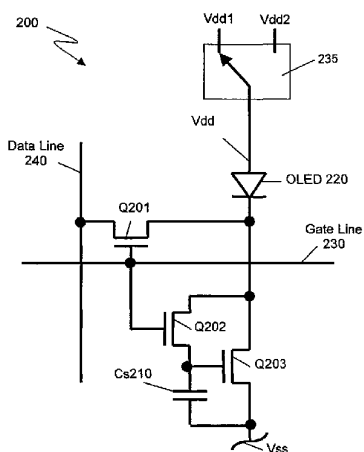
(81) **Designated States (national):** AE, AG, AI, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CI, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GI, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NZ, NT, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW.

(71) **Applicant:** IBM CORPORATION [US/US]; T.J. Watson Research Center, P.O. Box 218, Route 134, Yorktown Heights, NY 10598 (US).

(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM).

[Continued on next page]

(54) Title: OLED CURRENT DRIVE PIXEL CIRCUIT



(57) Abstract: There is provided a method for driving an organic light emitting diode (OLED) pixel circuit. The method includes applying a first signal (Vdd1) to a terminal of the OLED (220) when setting a state of the pixel circuit (200), and applying a second signal (Vdd2) to the terminal when viewing the state. There is also provided a driver (235) for an OLED pixel circuit, where the driver employs this method.

WO 03/001496 A1

WO 03/001496 A1 

European patent (AT, BL, CH, CY, DE, DK, ES, FI, FR, GB, GR, IL, IT, JI, MC, NL, PT, SI, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). *For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*

Published:
with international search report

WO 03/001496

PCT/US02/19600

OLED CURRENT DRIVE PIXEL CIRCUIT

5

BACKGROUND OF THE INVENTION

10

1. Field of the Invention

The present invention relates to an organic light emitting diode (OLED) pixel circuit, and more particularly, to a technique for driving the pixel circuit that minimizes stress effects of a TFT device that provides current to the OLED.

15

2. Description of the Prior Art

An organic light emitting diode (OLED) pixel may utilize any of a variety of organic materials that emit light when an electric current is applied thereto. An OLED display comprises a plurality of OLED pixels organized into an array.

20

One method to achieve a large size and large format OLED display is to use an active matrix thin film transistor (TFT) back plane. A head mount display and even a direct view display for a small mobile application may use polysilicon or crystalline silicon as a back plane. Due to investments in amorphous silicon flat panel technologies, there is interest in using amorphous silicon (a-Si) as opposed to polysilicon (p-Si) or crystalline (c-Si) silicon as a back plane technology to make a larger OLED display. Large area crystalline silicon back planes would not be as cost effective as amorphous or polysilicon.

25

30

WO 03/001496

PCT/US02/19600

Amorphous silicon does not have complimentary devices, as are available in polysilicon or crystalline silicon, for two reasons:

- 5 (1) only n-channel field effect transistors (NFETs) are available in amorphous silicon flat panel display (FPD) manufacturing due to fewer photolithographic steps, and hence lower costs, as compared to polysilicon and
- 10 (2) p-channel field effect transistors (PFETs), although possible to make, exhibit substantially lower mobility or charge transport due to drift (approximately a factor of 5 to 10), and hence lower current drive, than n-channel field effect transistors (NFETs). NFETs have an average mobility approximately 0.5 to 1.0 cm²/V/sec in conventional manufacturing lines.

Due to a manner in which OLEDs are processed, it is not normally possible
15 to drive OLEDs with an NFET configured current source. In conventional active matrix addressing, voltage signals are written into each pixel to control brightness of each pixel. The mobility and the stability characteristics of threshold voltage and mobility of amorphous silicon are suitable for driving twisted nematic liquid crystal, which is electrically similar to a small capacitive load, where a driving
20 voltage is applied with a duty cycle in the range of 0.1% to 0.001%. However, for driving OLEDs requiring continuous current for operation, the amorphous silicon operating voltages are non-zero for a substantially larger percentage of the time, e.g., duty cycles of up to 100%. The higher voltages and continuous current severely stresses the amorphous silicon TFT. In particular, a gate to source
25 voltage stress causes a threshold voltage to vary due to trapped charging and other effects such as creation of defect states and molecular bond breakage at a gate insulator-to-semiconductor interface and in a semiconductor layer of the TFT.

As the TFT's threshold voltage varies, current through the TFT will vary. As
30 the current varies so does brightness of the OLED since light output of the OLED

WO 03/001496

PCT/US02/19600

is proportional to current. A human observer can detect a pixel to pixel light output variation of as little as 1%. A higher level of 5% luminance variation is typically considered to be unacceptable.

5 Fig. 1 is a schematic of a prior art pixel circuit 100 used in a small a-Si backplane display test vehicle. Circuit 100 includes NFETs Q101 and Q102, a capacitor Cs110 and an OLED 120.

NFET Q101 and Cs110 store a pixel voltage. A high voltage level on a gate
 10 line 125 turns NFET Q101 ON, thus providing a voltage from a data line 130 to Cs110. After a period of time, the gate voltage of NFET Q102 is the same as the voltage on data line 130, and voltage on gate line 125 is set low. NFET Q102 operates as a voltage follower to drive OLED 120. Current through OLED 120 is sourced from a supply voltage Vdd and returned to a supply voltage Vss. As
 15 OLED 120 is driven, a threshold voltage (V_t) of NFET Q102 changes with time t . The voltage across OLED 120 is

$$V_{dd} - V_{cs} - V_{gs}(t) - V_{ss},$$

20 where: V_{cs} = voltage across Cs110;
 $V_{gs}(t)$ = voltage gate-to-source of NFET Q102 as function of time t ;
 and
 V_{ss} = negative supply voltage or OLED cathode voltage

25 The current through OLED 120 or NFET Q102 is proportional to $(V_{gs} - V_t)^2$ because NFET Q102 is biased in its saturation or constant current regime in which the drain to source voltage is equal to or greater than $V_{gs} - V_t$. As a result, voltage across OLED 120 and current through OLED 120 changes as the threshold voltage (V_t) of NFET Q102 changes. With different driving histories from pixel to pixel,
 30 pixel to pixel current and luminance vary. This is known as pixel differential

WO 03/001496

PCT/US02/19600

aging. The threshold variation of NFET Q102, which requires continuous current for operation, is considered unacceptable for many applications. However, the stress of NFET Q102 operating in its saturation regime is less than if NFET Q102 was biased in its linear regime, the drain to source voltage $< V_{gs} - V_t$.

5

For use with a-Si TFT back planes, circuit 100 requires relatively low power and voltage since only one NFET, i.e., NFET 102, is connected from power supply Vdd to OLED 120, which is connected to supply voltage Vss. Since OLED 120 current passes through a single NFET, the voltage difference in power supplies Vdd and Vss is kept to a minimum, i.e., a maximum OLED 120 voltage and the drain to source voltage of NFET Q102 for operation just into the saturation regime.

A circuit that is similar to circuit 100 replaces NFET Q101 and NFET Q102 with PFET Q101 and PFET Q102, respectfully, which can be used with polysilicon or crystalline silicon technology. Instead of PFET Q102 operating as a voltage follower, PFET Q102 operates as a current source. PFET Q102's threshold voltage has an even greater impact on the current into OLED 120 since the current through OLED 120 is proportional to $(V_{cs} - V_t)^2$ where $V_{gs} = V_{cs}$. If crystalline silicon, which has a high transconductance, is used, then the V_{gs} voltage would have to be less than V_t in order to produce a current low enough to drive OLED 120 at brightness levels of the order 100/cd/m² since pixel dimensions are usually very small. Threshold voltage variations in the sub-threshold regime have an even greater impact on drain current variations because there is an order of magnitude current change for every 60 millivolt change in threshold voltage, or as dictated by a transistor drain current-gate voltage inverse sub-threshold slope, or approximately 60mV/decade of current.

To minimize stress effects of a TFT device that provides OLED current, current driving is used to write a voltage stored in a pixel circuit. Sony

30

WO 03/001496

PCT/US02/19600

Corporation, 7-35 Kitashinagawa 6-chome, Shinagawa-ku, Tokyo 141-0001, Japan has shown a polysilicon current mirror pixel in a 13" diagonal 800 x 600 color active matrix OLED (AMOLED) display. The Sony circuit was published by T. Sasaoka et al., "A 13.0-inch AM-OLED Display with top emitting structure and adaptive current mode programmed pixel circuit (TAC)", in 2001 SID International Symposium Digest of Technical Papers, volume XXXII, p384-387. In the Sony circuit, data on its data line is in the form of current rather than voltage. However, the Sony circuit does not correct for threshold variation of an OLED driving transistor.

10

A four PFET transistor circuit for use with polysilicon was developed by Sarnoff Corporation, 201 Washington Road Princeton, New Jersey 08543-5300, as described by R.M. A. Dawson et al., "The impact of the transient response of organic light emitting diodes on the design of active matrix OLED displays", in IEDM, p875-878, 1998. The Sarnoff circuit uses a data line current to directly set a current in a transistor that drives an OLED. However, the circuit requires polysilicon and uses two transistors in series between the OLED and a power supply and has a third input control signal that could be used for dark gray scale capability in high resolution displays. The third input control adds complication to the physical design pixel circuit and array design.

20

An alternative four polysilicon transistor arrangement was developed by Phillips Research, 5656 AA Eindhoven, the Netherlands, as described by T. van de Biggelaar et al., "Passive and active matrix addressed polymer light emitting diode displays" in Flat Panel Display Technology and Display Metrology II of the Proceedings of the SPIE, Vol. 4295 p134-146, 2001. This arrangement eliminates the third input control signal of the Sarnoff circuit, but also uses two transistors in series between the power supply and the OLED. The elimination of the third input does not allow its use in high-resolution displays having dark gray scale capability.

30

WO 03/001496

PCT/US02/19600

A similar circuit using four amorphous silicon NFET transistors using data line current was published by the University of Michigan, Ann Arbor, MI 48109, and more specifically by Yi He et al., "Current-source a-Si:H thin film transistor circuit for active-matrix organic light-emitting displays", in IEEE Electron Device Letters, vol.21, No.12, p590-592, 2000. One limitation of this circuit is that a second transistor is connected in series with an OLED current generating transistor to a power supply. This pixel circuit also would not be used in high-resolution displays having dark gray scale capability.

10

SUMMARY OF THE INVENTION

The present invention provides a method for driving an organic light emitting diode (OLED) pixel circuit. The method includes applying a first signal to a terminal of the OLED when setting a state of the pixel circuit, and applying a second signal to the terminal when viewing the state.

15

The present invention also provides a driver for an OLED pixel circuit. The driver includes a switch that directs a first signal to a terminal of the OLED when setting a state of the pixel circuit, and that directs a second signal to the terminal when viewing the state.

20

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a schematic of a prior art pixel circuit.

25

Fig. 2 is a schematic of a pixel circuit with a common anode being driven in accordance with the present invention.

WO 03/001496

PCT/US02/19600

Fig. 3 is a schematic of a pixel circuit with a common cathode being driven in accordance with the present invention.

DESCRIPTION OF THE INVENTION

5

The present invention provides for a technique of driving a pixel circuit that minimizes stress effects of a TFT device that provides current to an OLED. Current driving is used to write a voltage stored in the pixel circuit. The circuit corrects for threshold variation of the TFT device. OLED current passes through a single transistor while allowing dark gray scale capability with high-resolution displays.

Fig. 2 is a schematic of a pixel circuit 200 being driven in accordance with the present invention. Using data line current, a current through an OLED can accurately be established with a 3 NFET circuit that can accommodate threshold voltage or mobility variations. Circuit 200 includes NFETS Q201, Q202 and Q203, a data storage capacitor Cs210, an OLED 220 and a switch 235. Circuit 200 also includes a gate line 230, a data line 240, and supply voltages Vdd and Vss.

20

Switch 235 operates to apply or direct a first signal (Vdd1) to an anode terminal of OLED 220 when setting a state of pixel circuit 200, and to apply a second signal (Vdd2) to the anode terminal when viewing the state. "Setting a state" refers to writing data to pixel circuit 200, and "viewing the state" refers to observing the illumination of OLED 220. Through switch 235, Vdd is set low, i.e., to Vdd1, for writing data into circuit 200 and set high, i.e., to Vdd2, for presenting or viewing the data in circuit 200. Vss is held at a constant potential or voltage. Switch 235 can be any suitable switching device, but is preferably configured as an electrically controlled switch using transistors.

30

WO 03/001496

PCT/US02/19600

- Data in the form of current into data line 240 is written into circuit 200 with a high voltage on gate line 230 turning on NFET Q201 and NFET Q202 while OLED 220 is off or is not emitting any luminance. OLED 220 is off when V_{dd1} is $< V_{ss} + 2V$. OLED 220 is considered off when the voltage across OLED 220 is
- 5 2V or less and is substantially non-conductive. The application of V_{dd1} to the anode of OLED 220 causes OLED 220 to be substantially non-conductive and may forward biased or reverse biased. When OLED 220 is off, the current through OLED 220 is very low so as to not effect the operation of circuit 200. The on state of NFET Q201 allows current or data to flow from data line 240 into
- 10 the drains of NFET Q202 and NFET Q203. The on state of NFET Q202 connects drain and gate terminals of NFET Q203 together forcing the drain and gate voltages of NFET Q203 to be equal. This assures that NFET Q203 is in its saturation or constant current regime in which its drain to source voltage is equal to or greater than its gate to source voltage minus a threshold voltage. The on
- 15 state of NFET Q202 charges or discharges data storage capacitor C_{s210} until NFET Q202 no longer conducts any current and NFET Q203 drain to source current matches the data or current into data line 240. The voltage across data storage capacitor C_{s210} maintains the gate to source voltage of NFET Q203. This allows the drain to source current of NFET Q203, when operating in
- 20 saturation with gate line 230 low, to be substantially the same as the current that was put into data line 240 when gate line 230 was high. With gate line 230 set low, the current into data line 240 can be set to any other value without modifying the drain to source current through NFET Q203.
- 25 A low voltage on gate line 230 turns off NFET Q201 and NFET Q202. The application of V_{dd2} to the anode of OLED 220 allows OLED 220 to be on or to emit luminance. Through switch 235, V_{dd} is then brought high, to V_{dd2} , to a voltage greater than $V_{gs} - V_t + V_{oled(max)} + V_{ss}$ to assure that drain to source voltage of NFET Q203 is greater than a pinch off voltage $V_{gs} - V_t$ of NFET Q203.
- 30 $V_{oled(max)}$ is the voltage of OLED 220 at maximum operating luminance. If

WO 03/001496

PCT/US02/19600

there were no capacitance coupling effects due to switching gate line 230 low and switching Vdd to Vdd2, NFET Q203 would sink a current through OLED 220 matching the original current from data line 240. The current through OLED 220 is the drain to source current through NFET Q203.

5

As the gate line 230 is brought low, the gate to source capacitance of Q202 tends to reduce the voltage on storage capacitor Cs210. As Vdd is brought high, the capacitance of OLED 220 increases the voltage on the drain terminal of NFET Q203, where its drain to gate capacitance tends to increase the voltage of storage capacitor Cs210. Since the gate line 230 and supply voltage Vdd swing in opposite directions, it is possible to completely null out the combined coupling with careful design of channel widths and lengths of NFETs Q202 and Q203. Since the driving method of writing and viewing the data, and the combined capacitance voltage coupling onto storage capacitor Cs210 is the same for all pixels in the display, the combined capacitance voltage coupling onto storage capacitor Cs210 may also be accounted for or corrected by modifying a data or current into data line 240.

Circuit 200 incorporates a common anode arrangement for OLED 220 in which the anode of OLED 220 is common to other OLED anodes (not shown) by connection to supply voltage Vdd. Thus, switch 235 selectively directs Vdd1 or Vdd2 to the anode terminals of a plurality of pixel circuits. In general, fabrication for common anode OLED arrangements is more difficult than that for common cathode OLED arrangements.

25

For efficient electron and hole injection into OLED organic layers, it is essential to select anode and cathode materials with work functions or energy difference from vacuum energy to the Fermi energy levels that match the highest occupied molecular orbital (HOMO) and lowest unoccupied molecular orbital

WO 03/001496

PCT/US02/19600

(LUMO) energies. Typical work functions are 4-5eV for anodes and 2.7-5.3eV for cathodes.

For higher efficiency, an OLED anode material must be a conductor of high work function to aid in an injection of holes efficiently into a HOMO of an adjacent organic layer, while an OLED cathode material must be a conductor of low work function to perform an injection of electrons efficiently into a LUMO of the adjacent organic layer. High work function metals are indium tin oxide ITO, indium zinc oxide IZO, nickel Ni, etc., and usually followed by an interface oxide treatment in an interface between the anode electrode and an organic hole transport layer. The interface oxide treatment ensures a highest work function barrier height possible for a given anode electrode, and can be accomplished by several means in the processing industry, such as oxygen O₂ plasma treatment of one to several minutes.

In contrast, a OLED cathode material must be a conductor of low work function metals, such as lithium fluoride LiF, calcium Ca, magnesium gold MgAu, etc., and any oxygenation of the conductor electrode at the organic layer interface reduces electron injection efficiency. Although top or bottom emission structures are possible, the processing is much simplified if the anode material and organic layer interface oxide treatment are accomplished before the organic layers and cathode material are present. Processing is further simplified if one employs a common cathode since no patterning is needed in an active pixel area after the organic layers have been deposited.

Fig. 3 is a schematic of a pixel circuit 300, in accordance with the present invention and incorporating a common cathode configuration. Using data line current, a current through an OLED can accurately be established with a 3-NFET circuit that can accommodate threshold voltage or mobility variations.

WO 03/001496

PCT/US02/19600

Circuit 300 incorporates a floating current source/sink circuit arrangement. Circuit 300 includes NFETs Q301, Q302 and Q303, a data storage capacitor Cs310, an OLED 320 and a switch 325. Circuit 300 also includes a gate line 330 and a data line 340.

5

Through switch 325, a supply voltage Vss is set high, i.e., to Vss2, for writing data into circuit 300 and set low, i.e., to Vss1, for viewing the data written into circuit 300. A positive supply voltage Vdd is held constant. Switch 335 can be any suitable switching device, but is preferably configured as an electrically controlled switch using transistors.

10

When the voltage on gate line 330 is brought high, NFETs Q301 and Q302 are turned on. Vss is set high, to Vss2, a voltage that is $> Vdd - 2V$. The application of Vss2 to the cathode of OLED 320 causes OLED 320 to be off and to not emit any luminance. When OLED 320 is off, the current through OLED 320 is very low so as to not effect operation of circuit 300. Data in the form of current is sunk or pulled out data line 340. NFET Q302 connects the gate of NFET Q303 to Vdd, assuring that NFET Q303 operates in a saturation regime when current ceases to flow through data storage capacitor Cs310 and only through NFET Q303. NFET Q303 operates as a current source, matching the current being sunk out of data line 340.

15

20

The application of Vss1, a voltage $< Vdd - Vgs + Vt - V_{oled(max)}$, where $V_{oled(max)}$ is the voltage across OLED 320 when emitting at maximum luminance, to the cathode of OLED 320 allows OLED 320 to be turned on or emit luminance. When the voltage of gate line 330 is brought low and Vss is set low, to Vss1, to assure NFET Q303 is in the saturated regime ($Vdd - Vgs + Vt - V_{oled}$), the drain to source current of NFET Q303 will flow through OLED 320.

25

WO 03/001496

PCT/US02/19600

As gate line 330 is set low, gate to source capacitance of NFET Q302 tends to reduce the voltage on data storage capacitor Cs310. As gate line 330 is set low, gate to drain capacitance of NFET Q301 tends to increase the voltage on data storage capacitor Cs310. As Vss is set low, to Vss1, the capacitance of OLED 320 and the gate to drain capacitance of NFET Q303 tends to increase the voltage on data storage capacitor Cs310. With careful design of the channel lengths and widths of NFETs Q301, Q302 and Q303, it is possible to null out the voltage coupling on data storage capacitor Cs310. Since the driving method of writing and presenting data, and the combined capacitive voltage coupling onto storage capacitor Cs310 is the same for all pixels in the display, the combined capacitive voltage coupling onto storage capacitor 310 may also be accounted for or corrected by modifying a data or current pulled out of data line 340. Data storage capacitor Cs310 and NFET Q303 can be regarded as a floating current source without a supply voltage for referencing.

Another aspect of the present invention is that it can effectively reduce the viewing to allow a pixel to be written with a high writing current. It is desirable for such circuits to handle 8-bit gray scale operation. To achieve this, the OLED current would need to vary by at least two orders of magnitude.

Time required to charge or discharge capacitance of a data line with lower gray level currents for proper writing of current into a pixel circuit may exceed a gate line on-time in a high resolution display. One solution is to use higher data line current and to reduce viewing time of the pixel circuit's data. The viewing time can be adjusted by adjusting the time during which supply voltage Vdd in Fig. 2 is set high to Vdd2 and by adjusting the time during which supply voltage Vss in Fig. 3 is set low to Vss1. It is in this manner that the forth transistor and the third pixel circuit input signal, as shown in the prior art, are eliminated. This helps to reduce power supply voltages and power dissipation since the voltage drop across the forth transistor as used in the prior art has been eliminated.

WO 03/001496

PCT/US02/19600

In a display having a plurality of pixels, the power supply connection to the OLED, Vdd in circuit 200 and Vss in circuit 300, is the same connection to all pixels in the display. However, it may be useful to separate the Vdd or Vss connection into multiple connections each having a separate switch, switch 235 in circuit 200 and switch 325 in circuit 300, and each having separate view timing. For example, view times can be staggered in time to spread out to reduce the peak or maximum Vdd and Vss currents. The lower current would reduce the voltage drops in Vdd or Vss voltage distribution.

Electrical stress due to normal operating voltages on NFETs Q201 and Q202 in circuit 200 and NFETs Q301 and Q302 in circuit 300 is similar to that in active matrix liquid crystal displays. These NFETs function as electrical switches with a very low duty factor. The present invention minimizes stress effects of NFETs, Q203 in circuit 200 and Q303 in circuit 300, that provide current to an OLED as compared to prior art circuits. In the present invention, when writing data, the Vdd1 voltage in circuit 200 and Vss2 voltage in circuit 300 can be set to not only turn off the OLED but to change the drain to source and gate to drain voltage polarity on NFETs Q203 in circuit 200, and Q303 in circuit 300. The polarity reversal aids in removing trapped charge in the gate to drain oxide and drain to source channel regions. It should be noted that it is also possible to reverse the gate to source voltage polarity of NFETs Q203 in circuit 200, and Q303 in circuit 300. When writing, a voltage that is less than Vss in circuit 200 on data line 240, or that is greater than Vdd in circuit 300 on data line 340, can be applied. The writing of a voltage on the data line to reverse gate to source voltages of NFETs Q203 in circuit 200, and Q303 in circuit 300 would occur after viewing the previous pixel state and before writing the next state in the pixel.

WO 03/001496

PCT/US02/19600

Circuits 200 and 300 may be implemented in amorphous silicon, polysilicon or crystalline silicon. Circuit 200 and circuit 300 can be readily modified for use with PMOS devices.

- 5 It should be understood that various alternatives and modifications could be devised by those skilled in the art. The present invention is intended to embrace all such alternatives, modifications and variances that fall within the scope of the appended claims.

WO 03/001496

PCT/US02/19600

WHAT IS CLAIMED IS:

1. A method for driving an organic light emitting diode (OLED) pixel circuit comprising:
applying a first signal to a terminal of said OLED when setting a state of said pixel circuit; and
applying a second signal to said terminal when viewing said state.
2. The method of claim 1, wherein said first signal causes said OLED to be off.
3. The method of claim 1, wherein said first signal causes said OLED to be reverse biased.
4. The method of claim 1, wherein said second signal allows said OLED to be forward biased.
5. The method of claim 1, wherein said state is set by a current drive.
6. The method of claim 1, further comprising altering a duty factor of said first signal with respect to said second signal.
7. The method of claim 1, wherein said pixel circuit is one of a plurality of pixel circuits, and wherein said method further comprises applying said first signal and said second signal to a terminal of each of said plurality of pixel circuits.
8. A driver for an organic light emitting diode (OLED) pixel circuit comprising:
a switch,

WO 03/001496

PCT/US02/19600

wherein said switch directs a first signal to a terminal of said OLED when setting a state of said pixel circuit; and
wherein said switch directs a second signal to said terminal when viewing said state.

9. The driver of claim 8, wherein said first signal causes said OLED to be off.

10. The driver of claim 8, wherein said first signal causes said OLED to be reverse biased.

11. The driver of claim 8, wherein said second signal allows said OLED to be forward biased.

12. The driver of claim 8, wherein said state is set by a current drive.

13. The driver of claim 8, wherein said switch is controlled to alter a duty factor of said first signal with respect to said second signal.

14. The driver of claim 8, wherein said pixel circuit is configured of a material selected from the group consisting of amorphous silicon, polysilicon and crystalline silicon.

15. The driver of claim 8, wherein said pixel circuit provides current through said OLED through a single transistor.

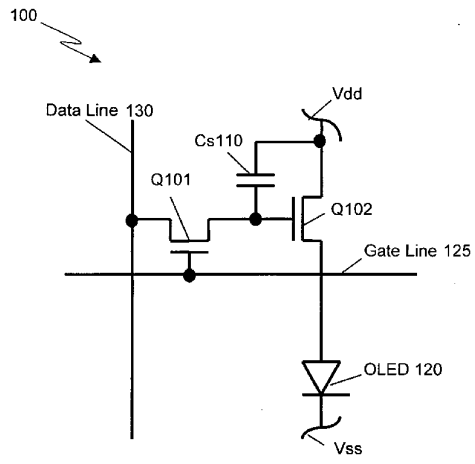
16. The driver of claim 15, wherein said transistor operates in saturation when said switch directs said second signal to said terminal.

17. The driver of claim 8,

WO 03/001496

PCT/US02/19600

wherein said pixel circuit is one of a plurality of pixel circuits, and
wherein said switch directs said first signal and said second signal to a
terminal of each of said plurality of pixel circuits.



(PRIOR ART)

FIG. 1

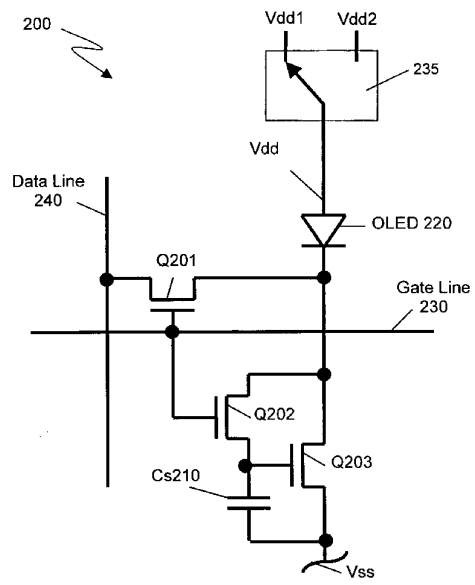


FIG. 2

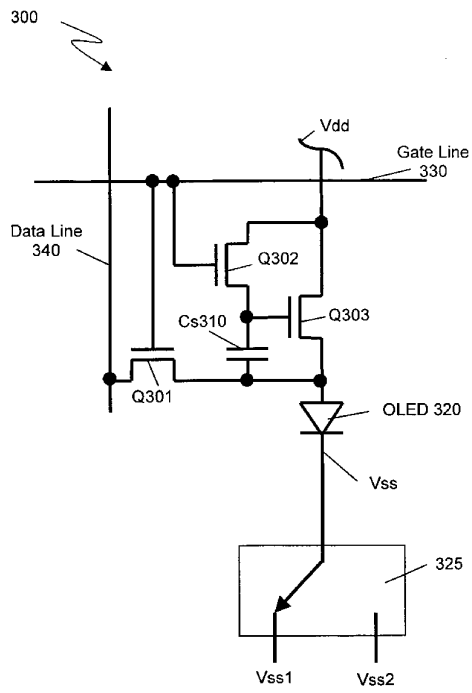


FIG. 3

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US02/19600
A. CLASSIFICATION OF SUBJECT MATTER IPC(T) : G09G 3/36 US CL : 345/92, 91, 88, 89, 76, 77, 82; 315/169.3, 169.1; 313/504, 498 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 345/92, 91, 88, 89, 76, 77, 82; 315/169.3, 169.1; 313/504, 498 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y, P	US 6,380,689 B1 (OKUDA) 30 April 2002 (30.04.2002), see entire document	1-17
Y, P	US 6,373,454 B1 (KNAPP et al) 16 April 2002 (16.04.2002), see entire document	1-17
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents:		
"A" document defining the general state of the art which is not considered to be of particular relevance	"I" later documents published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"B" earlier application or patent published on or after the international filing date	"X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"O" document referring to an oral disclosure, use, exhibition or other means	"A" document member of the same patent family	
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 16 August 2002 (16.08.2002)	Date of mailing of the international search report 16 SEP 2002	
Name and mailing address of the ISA/US Committee of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703)305-3230	Authorized officer Tuyet Vo. <i>Tuyet Vo.</i> Telephone No. 703 306 5497	

フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

H 0 5 B 33/14

A

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN, TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE, GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,OM,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZM,ZW

(72)発明者 リブシュ、フランク、ロバート

アメリカ合衆国 1 0 6 0 5 ニューヨーク州ホワイト・プレーンズ デービス・アベニュー 1 0
0

(72)発明者 サンフォード、ジェームズ、ローレンス

アメリカ合衆国 1 2 5 3 3 ニューヨーク州ホープウェル・ジャンクション フォックス・ラン
2

F ターム(参考) 3K007 AB17 BA06 DB03 GA00 GA04

5C080 AA06 BB05 DD18 DD29 EE29 FF11 JJ03

专利名称(译)	OLED电流驱动像素电路		
公开(公告)号	JP2004531772A	公开(公告)日	2004-10-14
申请号	JP2003507800	申请日	2002-06-21
[标]申请(专利权)人(译)	国际商业机器公司		
申请(专利权)人(译)	国际商业机器公司		
[标]发明人	リブシュフランクロバート サンフォードジェームズローレンス		
发明人	リブシュ、フランク、ロバート サンフォード、ジェームズ、ローレンス		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/32 H05B33/14		
CPC分类号	G09G3/325 G09G2300/0842 G09G2300/0866 G09G2310/0256 G09G2320/02 G09G2320/043		
FI分类号	G09G3/30.K G09G3/30.J G09G3/20.624.B G09G3/20.624.C G09G3/20.670.J H05B33/14.A		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD18 5C080/DD29 5C080/EE29 5C080/FF11 5C080/JJ03		
代理人(译)	坂口 博 上野武		
优先权	60/300216 2001-06-22 US		
其他公开文献	JP4383852B2		
外部链接	Espacenet		

摘要(译)

一种用于驱动有机发光二极管 (OLED) 像素电路的方法。当设置像素电路 (200) 的状态时,该方法将第一信号 (Vdd1) 施加至OLED (220) 的端子,而在显示状态时,将第二信号 (Vdd1) 施加至OLED的端子。包括Vdd2)。还提供了使用该方法的用于OLED像素电路的驱动器 (235)。[选择图]图2

