

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-240400
(P2004-240400A)

(43) 公開日 平成16年8月26日(2004.8.26)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09F 9/30	G09F 9/30 338	3K007
H01L 29/786	H05B 33/14 A	5C094
H05B 33/14	H05B 33/26 Z	5F110
H05B 33/26	H01L 29/78 612C	

審査請求 未請求 請求項の数 17 O L (全 12 頁)

(21) 出願番号	特願2003-354515 (P2003-354515)	(71) 出願人	590002817 三星エスディアイ株式会社
(22) 出願日	平成15年10月15日 (2003.10.15)		大韓民国京畿道水原市靈通区▲しん▼洞5 75番地
(31) 優先権主張番号	2003-007288	(74) 代理人	100072349 弁理士 八田 幹雄
(32) 優先日	平成15年2月5日 (2003.2.5)	(74) 代理人	100102912 弁理士 野上 敦
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100110995 弁理士 奈良 泰男
		(74) 代理人	100111464 弁理士 齋藤 悦子
		(74) 代理人	100114649 弁理士 宇谷 勝幸

最終頁に続く

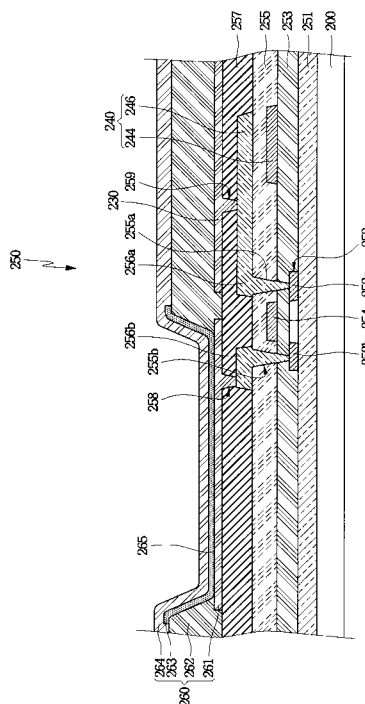
(54) 【発明の名称】 アノード電極層を電源供給層として用いたフラットパネルディスプレイ及びその製造方法

(57) 【要約】 (修正有)

【課題】 隣接した配線のインラインショートのようなライン欠陥を防止し、電源供給ラインを通した電圧降下を防止して、EL素子の発光効率を向上させる。

【解決手段】 薄膜トランジスタ250を含んだ絶縁基板200上に形成されて、ソース電極256a / ドレイン電極256bを各々露出させる第1コンタクトホール255a及び第2コンタクトホール255bを備える絶縁膜255と、第1コンタクトホール255a及び第2コンタクトホール255bのうちの一つを通じてソース電極256a / ドレイン電極256bのうちの一つに連結する画素電極と、絶縁膜255上に形成されて、第1コンタクトホール255a及び第2コンタクトホール255bのうち他の一つを通じてソース電極256a / ドレイン電極256bのうち他の一つに連結する電源供給層230を備える。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

絶縁基板上に形成されたゲートライン、データライン及び電源供給ラインと、
前記ゲートライン、データライン及び電源供給ラインにより限定される画素領域と、
前記画素領域に配列される少なくとも画素電極を備える画素と、
を含み、
前記画素電極は、前記電源供給ラインと同一層上に形成されることを特徴とするフラットパネルディスプレイ。

【請求項 2】

前記電源供給ラインは、ゲートライン及びデータラインと他の層上に形成されることを特徴とする請求項 1 に記載のフラットパネルディスプレイ。 10

【請求項 3】

前記電源供給ラインと画素電極は、同一物質からなることを特徴とする請求項 1 に記載のフラットパネルディスプレイ。

【請求項 4】

前記電源供給層と画素電極は、低抵抗で高い反射率を有する物質で構成されることを特徴とする請求項 3 に記載のフラットパネルディスプレイ。

【請求項 5】

前記画素電極は、Au, Pt, Ni もしくは Cr 等の単一膜または、Ni / Al / Ni もしくは Ag / ITO, Al / ITO 等の積層膜からなることを特徴とする請求項 4 に記載のフラットパネルディスプレイ。 20

【請求項 6】

絶縁基板上に形成されて、ソース電極 / ドレイン電極を備えた薄膜トランジスタと、
前記薄膜トランジスタを含んだ絶縁基板上に形成されて、前記ソース電極 / ドレイン電極を各々露出させる第 1 コンタクトホール及び第 2 コンタクトホールを備える絶縁膜と、
前記絶縁膜上に形成されて、前記第 1 コンタクトホール及び第 2 コンタクトホールのうちの一つを通じて前記ソース電極 / ドレイン電極のうちの一つに連結する画素電極と、
前記絶縁膜上に形成されて、前記第 1 コンタクトホール及び第 2 コンタクトホールのうちの他の一つを通じて前記ソース電極 / ドレイン電極のうちの一つに連結する電源供給層を備えることを特徴とするフラットパネルディスプレイ。 30

【請求項 7】

前記電源供給層と画素電極は、同一物質からなることを特徴とする請求項 6 に記載のフラットパネルディスプレイ。

【請求項 8】

前記電源供給層と画素電極は、低抵抗で高い反射率を有する物質であることを特徴とする請求項 6 に記載のフラットパネルディスプレイ。

【請求項 9】

前記画素電極は、Au, Pt, Ni もしくは Cr 等の単一膜または、Ni / Al / Ni, Ag / ITO もしくは Al / ITO 等のような積層膜からなることを特徴とする請求項 7 に記載のフラットパネルディスプレイ。 40

【請求項 10】

複数の画素領域に区分されて、各画素領域ごとに各々配列される複数の薄膜トランジスタを備える絶縁基板と、
基板全面に形成された絶縁膜と、
前記絶縁膜上に形成されて、前記各画素領域ごとに配列された薄膜トランジスタに連結する複数の画素電極と、
前記複数の画素電極と電氣的に分離されるように前記絶縁膜上に形成されて前記複数の薄膜トランジスタに共通電源を印加する電源供給層を備えることを特徴とするフラットパネルディスプレイ。

【請求項 11】

前記電源供給層は、格子状に形成され、各格子内に画素電極が配列されることを特徴とする請求項10に記載のフラットパネルディスプレイ。

【請求項12】

前記電源供給層は、列方向または行方向に配列された画素電極間に配列される線状に形成されることを特徴とする請求項10に記載のフラットパネルディスプレイ。

【請求項13】

前記電源供給層は、前記画素電極と電気的に分離されて基板全面に形成される全面電極形態を有することを特徴とする請求項10に記載のフラットパネルディスプレイ。

【請求項14】

絶縁基板上にソース電極/ドレイン電極を備えた薄膜トランジスタを形成する段階と、
基板全面に絶縁膜を形成する段階と、

前記絶縁膜をエッチングして前記薄膜トランジスタのソース電極/ドレイン電極を各々露出させる第1コンタクトホール及び第2コンタクトホールを形成する段階と、

基板全面に画素電極物質を蒸着する段階と、

前記画素電極物質をエッチングして前記第1コンタクトホール及び第2コンタクトホールのうちの一つを通じて前記ソース電極/ドレイン電極のうちの一つに連結する画素電極と前記第1コンタクトホール及び第2コンタクトホールのうちの他の一つを通じて前記ソース電極/ドレイン電極のうちの一つに連結する電源供給層を形成する段階を含むことを特徴とするフラットパネルディスプレイの製造方法。

【請求項15】

前記画素電極物質は、仕事関数が4.5以上である物質からなることを特徴とする請求項14に記載のフラットパネルディスプレイの製造方法。

【請求項16】

前記画素電極物質は、低抵抗の反射率が高い物質からなることを特徴とする請求項14に記載のフラットパネルディスプレイの製造方法。

【請求項17】

前記画素電極物質は、Au, Pt, NiもしくはCr等の単一膜、またはNi/Al/Ni, Ag/ITOもしくはAl/ITO等のような積層膜からなることを特徴とする請求項14に記載のフラットパネルディスプレイの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フラットパネルディスプレイに係り、さらに詳細にはアノード電極層を電源供給層として用いてインラインショート及び電圧降下を防止することができる有機電界発光表示装置及びその製造方法に関する。

【背景技術】

【0002】

通常、アクティブマトリクス有機電界発光表示装置は、各単位画素が基本的にスイッチングトランジスタ、駆動トランジスタ及びキャパシターそしてEL素子を備えて、前記駆動トランジスタ及びキャパシターには電源供給ラインから共通電源V_{dd}が提供される。電源供給ラインは駆動トランジスタを通じてEL素子に流れる電流を制御する役割を有するので、均一な輝度を得るためにはマトリクス形態に配列された数多くの画素に均一に共通電源が提供されなければならない。

【0003】

アクティブマトリクス有機電界発光表示装置はゲートライン及びゲート電極、データライン、ソース電極/ドレイン電極及び電源供給層そしてアノード電極などを形成するために複数の導電層が用いられるが、このような導電層間にはゲート絶縁膜、層間絶縁膜と保護膜等のような絶縁層を介在して電気的に絶縁させなければならない。

【0004】

図1は、従来のアクティブマトリクス有機電界発光表示装置の平面構造を示したもの

である。

【0005】

図1を参照すれば、従来のアクティブマトリクス有機電界発光表示装置は複数のゲートライン110、複数のデータライン120及び複数の電源供給ライン130そして前記ゲートライン110、データライン120及び電源供給ライン130に連結構成される複数の画素を備える。

【0006】

前記各画素は、画素電極161を備えたEL素子160と、複数のゲートライン110のうち該当する一つのゲートラインと複数のデータライン120のうち該当する一つのデータラインに連結するスイッチング用薄膜トランジスタ170と、前記電源供給ライン130に連結するEL素子160駆動用薄膜トランジスタ150と、前記薄膜トランジスタ150のゲート-ソース間電圧を維持させるためのキャパシター140の2トランジスタ1キャパシターで構成される。

10

【0007】

図2は、図2のIB-IB線による断面構造を示したのである。図2は一つの単位画素に対する断面構造であって、駆動用薄膜トランジスタ150、キャパシター140及びEL素子160に限定して図示する。

【0008】

図2を参照すれば、絶縁基板100上にバッファ層151が形成されて前記バッファ層151上部にキャパシター140、薄膜トランジスタ150及びEL素子160が形成される。前記キャパシター140はゲート絶縁膜153上に形成された下部電極144及び層間絶縁膜155上に形成された上部電極146で構成される。

20

【0009】

前記薄膜トランジスタ150は、バッファ層151上に形成されてソース領域152a/ドレイン領域152bを備えた半導体層152と、前記ゲート絶縁膜153上に形成されたゲート電極154と、コンタクトホール155a、155bを通じて前記ソース領域152a/ドレイン領域152bに各々連結するように前記層間絶縁膜155上に形成されたソース電極156a/ドレイン電極156bで構成される。

【0010】

前記EL素子160は、保護膜157上に形成されたアノード電極161と、開口部165内のアノード電極161に形成された有機発光層163と、前記開口部165を含んだ画素分離膜162上に形成されたカソード電極164で構成される。

30

【0011】

従来のアクティブマトリクス有機電界発光表示装置において、電源供給ライン130はキャパシター140の上部電極146と薄膜トランジスタ150のソース電極156a/ドレイン電極156bのうちの一つ、例えばソース電極156aに連結して薄膜トランジスタ150を通じてEL素子160のアノード電極161に流れる電流を制御する役割を有するものであって、複数の画素各々に電源電圧V_{dd}を共通的に印加するようになる。

【0012】

しかし、前記電源供給ライン130を通じた電圧降下(I_R drop)により各画素ごとに印加される電源電圧V_{dd}の電圧差が生じるようになって輝度不均一を招くだけでなく電源供給ラインの形成位置、電源供給ラインの線幅及び外部電源と連結するパッドの位置と個数などが薄膜トランジスタの設計及び製造工程に影響を及ぼす問題点があった。

40

【0013】

また、図1に示されたように電源供給ライン130がデータライン120と一緒に層間絶縁膜155上に相互に電氣的に分離されるように形成されたり、またはゲートライン110と一緒にゲート絶縁膜153上に相互に電氣的に分離されたりするように形成される。それゆえ、同一層上に2個の相異なった信号線が形成されるので、相互に隣接するように配列される信号線間のインラインショート180のようなライン欠陥を誘発する問題点

50

があった。

【発明の開示】

【発明が解決しようとする課題】

【0014】

したがって、本発明の目的は、前記したような従来技術の問題点を解決することによって、隣接した配線のインラインショートのようなライン欠陥を防止することができるフラットパネルディスプレイ及びその製造方法を提供することである。

【0015】

本発明の他の目的は電源供給ラインを通じた電圧降下を防止して均一な輝度を得ることができるフラットパネルディスプレイ及びその製造方法を提供することにある。

10

【0016】

本発明のまた他の目的はEL素子の発光効率を向上させることができるフラットパネルディスプレイ及びその製造方法を提供することにある。

【0017】

本発明のまた他の目的は画素電極を電源供給ラインに利用してインラインショート及び電圧降下を防止することができるフラットパネルディスプレイ及びその製造方法を提供することにある。

【課題を解決するための手段】

【0018】

前記したような目的を達成するために、絶縁基板上に形成されたゲートライン、データライン及び電源供給ラインと、前記ゲートライン、データライン及び電源供給ラインにより限定される画素領域と、前記画素領域に配列される少なくとも画素電極を備える画素を含み、前記画素電極は前記電源供給ラインと同一層上に形成されて、ゲートライン及びデータラインとは異なる層上に形成されるフラットパネルディスプレイを提供することを特徴とする。

20

【0019】

また、本発明は絶縁基板上に形成されて、ソース電極/ドレイン電極を備えた薄膜トランジスタと、前記薄膜トランジスタを含んだ絶縁基板上に形成されて、前記ソース電極/ドレイン電極を各々露出させる第1コンタクトホール及び第2コンタクトホールを備える絶縁膜と、前記絶縁膜上に形成されて、前記第1コンタクトホール及び第2コンタクトホールのうちの一つを通じて前記ソース電極/ドレイン電極のうちの一つに連結する画素電極と、前記絶縁膜上に形成されて、前記第1コンタクトホール及び第2コンタクトホールのうちの他の一つを通じて前記ソース電極/ドレイン電極のうちの他の一つに連結する電源供給層を備えるフラットパネルディスプレイを提供することを特徴とする。

30

【0020】

また、本発明は複数の画素領域に区分されて、各画素領域ごとに各々配列される複数の薄膜トランジスタを備える絶縁基板と、基板全面に形成された絶縁膜と、前記絶縁膜上に形成されて、前記各画素領域ごとに配列された薄膜トランジスタに連結する複数の画素電極と、前記複数の画素電極と電氣的に分離されるように前記絶縁膜上に形成されて前記複数の薄膜トランジスタに共通電源を印加する電源供給層を備えるフラットパネルディスプレイを提供することを特徴とする。

40

【0021】

本発明の実施例において、前記電源供給層は格子状に形成され、各格子内に画素電極が配列されたり、または前記電源供給層は列方向または行方向に配列された画素電極間に配列されたりする線状を有する。

【0022】

また、本発明は絶縁基板上にソース電極/ドレイン電極を備えた薄膜トランジスタを形成する段階と、基板全面に絶縁膜を形成する段階と、前記絶縁膜をエッチングして前記薄膜トランジスタのソース電極/ドレイン電極を各々露出させる第1コンタクトホール及び第2コンタクトホールを形成する段階と、基板全面に画素電極物質を蒸着する段階と、前

50

記画素電極物質をエッチングして前記第1コンタクトホール及び第2コンタクトホールのうちの一つを通じて前記ソース電極/ドレイン電極のうちの一つに連結する画素電極と前記第1コンタクトホール及び第2コンタクトホールのうちの他の一つを通じて前記ソース電極/ドレイン電極のうちの一つに連結する電源供給層を形成する段階を含むフラットパネルディスプレイの製造方法を提供することを特徴とする。

【0023】

本発明の実施例において、前記画素電極物質は仕事関数が4.5以上である物質で構成されて、望ましくは低抵抗で反射率が高い物質で構成される。前記画素電極物質はAu, Pt, NiもしくはCr等の単一膜、またはNi/Al/Ni, Ag/ITOもしくはAl/ITO等のような積層膜で構成される。

10

【発明の効果】

【0024】

本発明によれば、抵抗が低く反射率が高い物質を用いてアノード電極と電源供給ラインを同時に形成することによって、追加工程なしに電源供給ラインの電圧降下を減少させて、データライン及びゲートラインと電源供給ライン間のインラインショートを防止することができるだけでなくEL素子の発光効率を向上させることができる。また、電源供給ラインを格子状に形成して電源供給ラインの電圧降下はさらに減少させることができる。

【発明を実施するための最良の形態】

【0025】

以下、本発明の実施例を添付された図面を参照して説明する。

20

【0026】

図3は、本発明の実施例によるアクティブマトリクス有機電界発光表示装置の平面構造を示したものであって、図4は断面構造を示したものである。図4は図3のIIb-IIb線によるアクティブマトリクス有機電界発光表示装置の断面構造であって、単位画素のうち駆動用薄膜トランジスタ、EL素子及びキャパシターに限定して示している。

【0027】

図3及び図4を参照すれば、本発明のアクティブマトリクス有機電界発光表示装置は絶縁基板200上に形成された複数のゲートライン210、前記ゲートライン210と交差するように前記絶縁基板200上に形成された複数のデータライン220、共通電源を供給するための電源供給ライン230及び前記信号ライン210、220と電源供給層230に連結する複数の画素を備える。

30

【0028】

各画素は前記ゲートライン210及びデータライン220に連結するスイッチング用薄膜トランジスタ270と、ピアホール259を通じて電源供給ライン230に連結するキャパシター240と、前記ピアホール259を通じて電源供給ライン230に連結する駆動用薄膜トランジスタ250及びEL素子260を備える。

【0029】

前記キャパシター240が上、下部電極246、244は層間絶縁膜255の上、下部に島状で各々形成される。前記下部電極244は駆動用薄膜トランジスタ250のゲート254に連結して、スイッチング用薄膜トランジスタ270のソース電極/ドレイン電極のうちの一つ、例えばソース電極256aにコンタクトホール255aを通じて連結する。上部電極246はピアホール259を通じて電源供給ライン230に連結する。前記EL素子260の下部電極261は電源供給ライン230と同一層、例えば保護膜257上に形成されてピアホール258を通じて駆動用薄膜トランジスタ250のソース電極256a/ドレイン電極256bのうちの一つ、例えばドレイン電極256bに連結する。

40

【0030】

この時、前記ゲートライン210とデータライン220は、両ライン210、220間に層間絶縁膜255からなった絶縁層を介在して電氣的に相互に分離される。前記電源供給ライン230は保護膜257とゲート絶縁膜からなった絶縁層を介在して電氣的に相互に分離される。したがって、本発明においては電源供給ライン230が下部電極、例えば

50

アノード電極 261 と同一層、すなわち保護膜 257 上に形成される。それゆえ、電源供給ライン 230 がゲートライン 210 またはデータライン 220 とは異なる層上に形成されるので、インラインショートが防止される。

【0031】

次に、前記したような構造を有する本発明のアクティブマトリクス有機電界発光表示装置の製造方法を説明する。

【0032】

絶縁基板 200 上にバッファ層 251 が形成されて、前記バッファ層 251 上に非晶質シリコン膜を蒸着した後にエキシマレーザーアニーリング工程 E L A などと同じ通常の結晶化工程を遂行してポリシリコン膜に結晶化して、前記結晶化されたポリシリコン膜を島状にパターンニングして半導体層 252 を形成する。

10

【0033】

前記半導体層 252 を含んだバッファ層 251 上にゲート絶縁膜 253 を形成して、前記ゲート絶縁膜 253 上にゲート電極物質を蒸着した次にパターンニングしてゲート電極 254 を形成して、これと同時にゲートライン 210 とキャパシター 240 の下部電極 244 を形成する。ゲート電極 244 を形成した後に所定導電性を有する不純物、例えば p 型不純物を前記半導体層 252 にイオン注入してソース領域 252 a / ドレイン領域 252 b を形成する。

【0034】

基板全面にかけて層間絶縁膜 255 を蒸着した後にパターンニングして前記ソース領域 252 a / ドレイン領域 252 b を各々露出させるコンタクトホール 255 a、255 b を形成する。続いて、前記コンタクトホール 255 a、255 b を含んだ前記層間絶縁膜 255 上にソース電極物質 / ドレイン電極物質を蒸着した後にパターンニングして前記コンタクトホール 255 a、255 b を通じて前記ソース領域 255 a / ドレイン領域 255 b と電氣的に連結するソース電極 256 a / ドレイン電極 256 b を形成すると同時に前記下部電極 244 とオーバーラップされて前記ソース電極 256 a に連結するキャパシター 240 の上部電極 246 とデータライン 220 を形成する。これで、駆動用薄膜トランジスタ 250 とキャパシター 240 が形成される。図 2 では図示していないが、前記駆動用薄膜トランジスタ 250 の製造工程中に前記スイッチングトランジスタ 270 が形成される。

20

30

【0035】

基板全面に保護膜 257 を蒸着した後にパターンニングして前記ソース電極 256 a / ドレイン電極 256 b のうちのひとつ、例えばドレイン電極 256 b を露出させるビアホール 258 を形成すると同時に他のひとつ、例えばソース電極 256 a を露出させるビアホール 259 を形成する。

【0036】

続いて、前記ビアホール 258、259 を含んだ前記保護膜 257 上にアノード電極物質を蒸着した後にパターンニングして前記ビアホール 258 を通じて前記薄膜トランジスタのドレイン電極 256 b と連結する島状のアノード電極 261 を形成すると同時に前記ビアホール 259 を通じて前記薄膜トランジスタ 250 のソース電極 256 a 及びキャパシター 240 の上部電極 246 に連結する電源供給ライン 230 を形成する。

40

【0037】

前記アノード電極 261 及び電源供給ライン 230 は、後続工程で形成されるカソード用電極物質より仕事関数が高い導電性物質で構成されて、望ましくは仕事関数が 4.5 以上である導電性物質で構成される。アノード電極 261 と電源供給ライン 230 が同一物質で構成されるので、アノード電極 261 及び電源供給ライン 230 用導電性物質としては電源供給ライン 230 の電圧降下を最少化するために抵抗率が低く後続工程で形成される E L 発光層の反射率を増大させるために反射率が優秀な物質を用いることが望ましい。

【0038】

50

例えば、前記アノード電極 261 及び電源供給ライン 230 用導電性物質としては Au, Pt, Ni, Cr 等のような単一膜、または Ni/Al/Ni, Ag/ITO, Al/ITO 等のような積層膜が用いられる。

【0039】

前記したように、電源供給ライン 230 を前記アノード電極 261 を形成する工程で同時に形成することによって、追加の工程なしに電源供給ライン 230 の電圧降下問題及びゲートライン及びデータラインと電源供給ライン間のインラインショート問題を解決することができる。

【0040】

通常的な背面発光構造の有機電界発光表示装置ではアノード電極に透明電極が用いられなければならないので金属導電物質に比べて抵抗が大きい ITO または IZO のような透明導電物質を用いざるをえなかった。それゆえ、抵抗が高い透明導電物質をアノード電極と電源供給ラインに同時に用いることは不可能であった。しかし、発明では全面発光構造を採択してアノード電極 261 に透明電極を用いなくても良いので、低抵抗で大きい仕事関数を有する物質を利用してアノード電極 261 と電源供給ライン 230 を形成することによって、従来のようなゲートラインまたはデータラインと電源供給ライン間のインラインショートは防止される。

【0041】

図 5 と図 6 は、本発明の実施例によるアノード電極 261 と電源供給ライン 230 の平面構造を示したものである。

【0042】

図 5 では、電源供給ライン 230 が格子状に形成され、電源供給ライン 230 の各格子内にアノード電極 261 が島状を有するように形成される。この時、電源供給ライン 230 が格子状に形成される場合には電源電圧 V_{dd} が 4 方向（矢印表示）から印加されるので、電源供給ライン 230 を通した電圧降下をより減少させることができる。

【0043】

図 6 では、島状のアノード電極 261 が列と行のマトリックス形態に配列されて、列方向に配列された隣接するアノード電極 261 間に線状の電源供給ライン 230 が配列される。この時、電源供給ライン 230 は図 5 のように列方向に配列された隣接するアノード電極 261 間に電源供給ライン 230 が配列される場合もあるが、図 3 のように行方向に配列された隣接するアノード電極 261 間に電源供給ライン 230 が配列される場合もある。

【0044】

本発明の実施例ではゲートライン 210 及びデータライン 220 とは異なる絶縁層、例えば保護膜 257 上に電源供給ライン 230 が形成されてゲートライン及びデータライン間のショート問題が排除されるので、開口率に影響を及ぼさない範囲内でいかなる構造を採択しても関係ない。したがって、前記電源供給ライン 230 は図 5 及び図 6 の格子状及び線状だけでなくアノード電極 261 と電氣的に分離されてビアホール 559 を通じてキャパシター 240 の上部電極 246 及び薄膜トランジスタ 260 のソース電極 256a / ドレイン電極 256b のうちの一つの電極、例えばソース電極 256a に連結する全面電極形態にも形成可能である。

【0045】

続いて、前記アノード電極 261 及び電源供給ライン 230 を含んだ保護膜 557 上に画素分離膜 262 を形成して、前記アノード電極 261 が露出するように前記画素分離膜 262 をエッチングして開口部 265 を形成する。続いて、前記開口部 265 のアノード電極 261 上に有機発光層 263 を形成した次に基板全面にカソード電極 264 を形成する。

【0046】

前記したような本発明の実施例によれば、抵抗が低く反射率が高い物質を用いてアノード電極と電源供給ラインを同時に形成することによって、追加工程なしに電源供給ライン

10

20

30

40

50

の電圧降下を減少させて、データライン及びゲートラインと電源供給ライン間のインラインショートを防止することができるだけでなくEL素子の発光効率を向上させることができる。また、電源供給ラインを格子状に形成して電源供給ラインの電圧降下はさらに減少させることができる利点がある。

【0047】

前記では本発明の望ましい実施例を参照して説明したが、該技術分野の熟練された当業者は特許請求の範囲に記載された本発明の思想及び領域から外れない範囲内で本発明を多様に修正及び変更させることができることを理解できるものである。

【図面の簡単な説明】

【0048】

10

【図1】従来の有機電界発光表示装置の平面構造図。

【図2】図1のI b - I b '線による従来の有機電界発光表示装置の断面構造図。

【図3】本発明の実施例による有機電界発光表示装置の平面構造図。

【図4】図3のI I b - I I b '線による有機電界発光表示装置の断面構造図。

【図5】本発明の実施例による有機電界発光表示装置のアノード電極の平面構造図。

【図6】本発明の実施例による有機電界発光表示装置のアノード電極の平面構造図。

【符号の説明】

【0049】

210、220：ゲート及びデータライン

230：電源供給ライン

20

250、270：薄膜トランジスタ

252：半導体層

252a、252b：ソース領域/ドレイン領域

253：ゲート絶縁膜

254：ゲート

256a、256b：ソース領域/ドレイン領域

257：保護膜

258、259：ビアホール

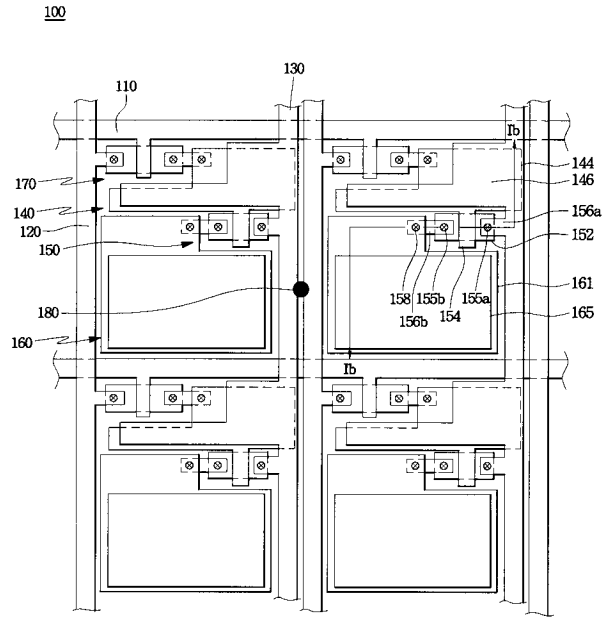
261：アノード電極

262：画素分離膜

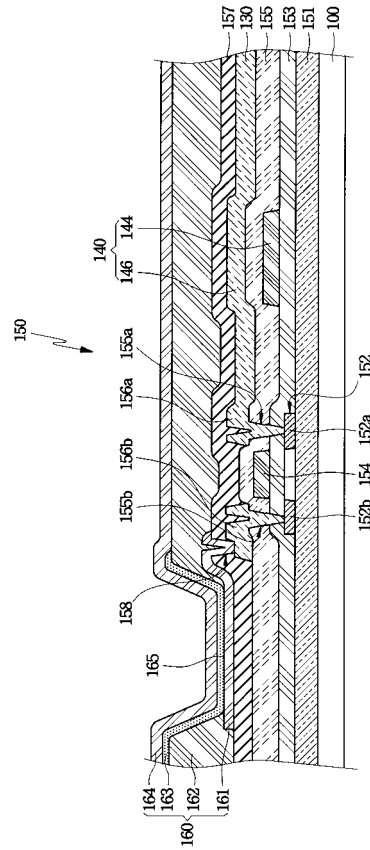
30

263：有機発光層

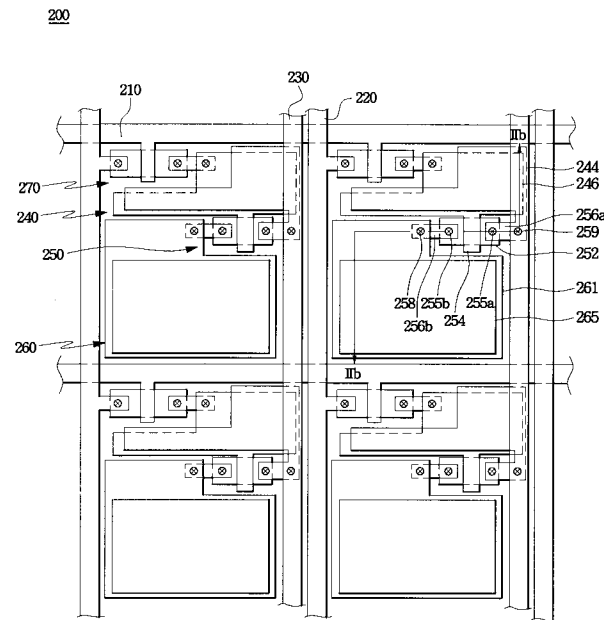
【 図 1 】



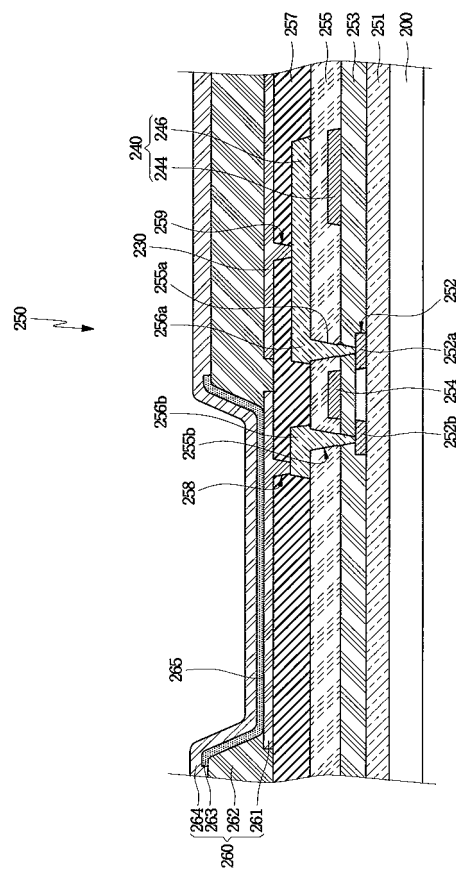
【 図 2 】



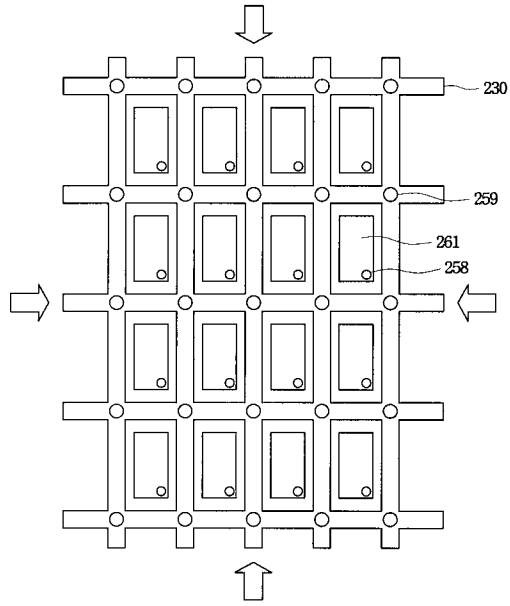
【 図 3 】



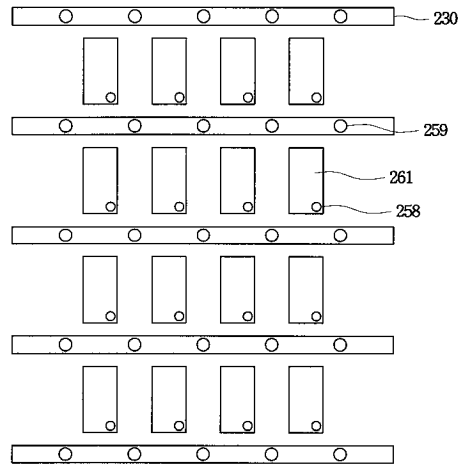
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(74)代理人 100124615

弁理士 藤井 敏史

(72)発明者 具 在 本

大韓民国京畿道龍仁市水池邑豊徳川里 豊林アパート 1 0 5 棟 5 0 4 號

Fターム(参考) 3K007 AB03 AB17 AB18 BA06 CC01 DB03 FA00 FA01 GA00

5C094 AA10 AA23 AA36 BA03 BA27 CA19 DA09 DA13 DB01 EA04
EA07

5F110 AA03 AA26 BB01 CC02 GG02 GG13 GG42 HJ13 HM19 NN71
NN73 PP03

专利名称(译)	使用阳极电极层作为电源层的平板显示器及其制造方法		
公开(公告)号	JP2004240400A	公开(公告)日	2004-08-26
申请号	JP2003354515	申请日	2003-10-15
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星エスディアイ株式会社		
[标]发明人	具在本		
发明人	具 在 本		
IPC分类号	H01L51/50 G09F9/30 H01L27/32 H01L29/786 H05B33/26 H05B33/14		
CPC分类号	H01L27/3279 H01L51/5218 H01L2251/5315		
FI分类号	G09F9/30.338 H05B33/14.A H05B33/26.Z H01L29/78.612.C		
F-TERM分类号	3K007/AB03 3K007/AB17 3K007/AB18 3K007/BA06 3K007/CC01 3K007/DB03 3K007/FA00 3K007/FA01 3K007/GA00 5C094/AA10 5C094/AA23 5C094/AA36 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA09 5C094/DA13 5C094/DB01 5C094/EA04 5C094/EA07 5F110/AA03 5F110/AA26 5F110/BB01 5F110/CC02 5F110/GG02 5F110/GG13 5F110/GG42 5F110/HJ13 5F110/HM19 5F110/NN71 5F110/NN73 5F110/PP03 3K107/AA01 3K107/BB01 3K107/CC04 3K107/CC33 3K107/DD23 3K107/DD24 3K107/DD28 3K107/DD29 3K107/DD39 3K107/DD44X 3K107/DD44Y 3K107/EE04 3K107/FF19 3K107/GG00 3K107/GG04 3K107/GG12		
代理人(译)	野上淳 宇谷 胜幸 藤井敏文		
优先权	1020030007288 2003-02-05 KR		
其他公开文献	JP4177225B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了防止诸如相邻布线之间的线内短路之类的线缺陷，防止通过电源线的电压降，并提高EL元件的发光效率。绝缘膜255具有第一接触孔255a和第二接触孔255b，该绝缘膜255形成在包括薄膜晶体管250的绝缘基板200上并且分别暴露源电极256a和漏电极256b以及第一接触。像素电极通过孔255a和第二接触孔255b以及形成在绝缘膜255上的第一接触孔255a和第二接触孔255a之一连接到源电极256a /漏电极256b中的一个。电源层230通过接触孔255b中的另一个连接到源电极256a和漏电极256b中的另一个。 [选择图]图4

