

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A) (11)特許出願公表番号

特表2003 - 503747

(P2003 - 503747A)

(43)公表日 平成15年1月28日(2003.1.28)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード* (参考)
G 0 9 G 3/30		G 0 9 G 3/30	K 3 K 0 0 7
G 0 9 F 9/30	338	G 0 9 F 9/30	338 5 C 0 8 0
	365		365 Z 5 C 0 9 4
G 0 9 G 3/20	612	G 0 9 G 3/20	612 F
	624		624 B

審査請求 未請求 予備審査請求 (全 18数) 最終頁に続く

(21)出願番号 特願2001 - 506526(P2001 - 506526)

(86)(22)出願日 平成12年6月22日(2000.6.22)

(85)翻訳文提出日 平成13年2月22日(2001.2.22)

(86)国際出願番号 PCT/EP00/05773

(87)国際公開番号 WO01/001383

(87)国際公開日 平成13年1月4日(2001.1.4)

(31)優先権主張番号 9914807.4

(32)優先日 平成11年6月25日(1999.6.25)

(33)優先権主張国 イギリス(GB)

(81)指定国 E P (A T , B E , C H , C Y ,
D E , D K , E S , F I , F R , G B , G R , I E , I
T , L U , M C , N L , P T , S E) , J P , K R(71)出願人 コーニンクレッカ フィリップス エレク
トロニクス エヌ ヴィ

KONINKLIJKE PHILIP

S ELECTRONICS N. V .

オランダ国 5621 ベーアー アイन्दー

フェン フルーネヴァウツウェッハ 1

(72)発明者 マーティン イェー エドワーズ

オランダ国 5656 アーアー アイन्दー

フェン プロフ ホルストラーン 6

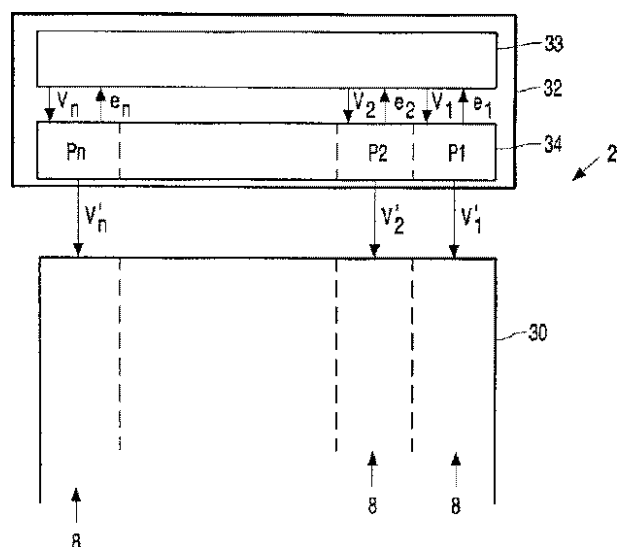
(74)代理人 弁理士 杉村 興作 (外 1 名)

最終頁に続く

(54)【発明の名称】 能動マトリクス・エレクトロルミネセンス表示デバイス

(57)【要約】

能動マトリクス・エレクトロルミネセンス表示デバイスが、行と列とに配置される表示画素のアレイ(30)を有して成り、画素の各行は共通のラインを共有し、該共通のラインを流れて行の表示エレメントを通過する電流がある。エラー値(e)が画素の行の中の各画素に対し駆動信号(V)を修正するために生成されて共通のライン上に現れる種々の異なる電圧について修正を行う。これらの種々の異なる電圧は水平漏話の原因になる。エラー値(e)は、駆動回路(32)に付随して画素の追加行を表す回路(34)から導かれて、更新された駆動信号(V')を結果としてもたらす。



【特許請求の範囲】

【請求項1】 行と列とに配置される表示画素のアレイを有して成る能動マトリクス・エレクトロルミネセンス表示デバイスであって、その各画素は、エレクトロルミネセンス表示エレメントと、該表示エレメントを通る電流を画素に与えられる信号電圧に基づいて制御する切替え手段とを含み、画素の各行は共通のラインを共有し、1つの画素の行の複数の表示エレメントを通る電流が上記共通のラインを通過して流れ、また

上記表示エレメントからの所望の出力に対応する電圧を生成するため、且つ信号電圧を画素の行に順次に与えるための駆動回路を有して成るエレクトロルミネセンス表示デバイスにおいて、該表示デバイスは：

アドレスされようとする1つの画素の行の中の各画素に対し、上記駆動回路に付随する追加された画素の行を表す回路から導かれるエラー値を生成する手段を更に含み、その追加された画素の行を表す回路はアドレスされようとする画素の行に対する信号電圧が与えられる回路であり；また

アドレスされようとする画素の行の中の各画素に対し、必要なときには上記エラー値を用いて信号電圧を更新する手段；及び該更新された信号電圧を画素に供給する手段；をも更に含むことを特徴とする表示デバイス。

【請求項2】 請求項1に記載の表示デバイスにおいて、上記表示エレメント及び切替え手段は、表示エレメントに対する電圧供給ラインと上記共通のラインとの間に直列に配置され、それは電流ドレインとして行動することを特徴とする表示デバイス。

【請求項3】 請求項2に記載のディスプレイにおいて、画素の行の各々にアドレスラインが付随し、また各画素はアドレス用スイッチを含み、該アドレス用スイッチは更新された信号電圧を上記切替え手段に切り替えるために上記アドレスラインにより制御されることを特徴とするディスプレイ。

【請求項4】 請求項1ないし3のうちのいずれか1項に記載のディスプレイにおいて、各画素は、上記切替え手段上の更新された信号電圧から導かれる制御電圧を保持するために電荷蓄積エレメントを更に含むことを特徴とするディスプレイ。

【請求項5】 請求項1ないし4のうちのいずれか1項に記載のディスプレイにおいて、各画素の所在位置における上記追加された画素の行の共通のライン上の電圧は、エラー信号として結合エレメントに供給され、該結合エレメントは信号電圧を更新するものであることを特徴とするディスプレイ。

【請求項6】 請求項1ないし5のうちのいずれか1項に記載のディスプレイにおいて、上記アレイのすべての画素は、共通の電圧源をそれらの画素が共有することを特徴とするディスプレイ。

【請求項7】 行と列とに配置されるエレクトロルミネセンス表示画素のアレイを有して成り、画素の各行は共通のラインを共有し、行の表示画素を通過する電流が上記共通のラインを流れ、それにより種々の異なる電圧が上記共通のライン上の種々の異なる点に存在する能動マトリクス・エレクトロルミネセンス表示デバイスを駆動する方法であって、

画素の行に順次にアドレスすること、及び画素の各行に対し該行の中の画素のために電圧信号を生成することを含み、生成されたそれらの電圧信号は所望の画素出力に対応するものである方法において、

追加された画素の行を表す回路上の電圧信号の効果に基づいてエラー値を生成すること；

その行の中の各画素に対し、必要なときには上記エラー値を用いて信号電圧を更新すること；及び

該更新された信号電圧を画素に供給すること；
をも更に含むことを特徴とする方法。

【発明の詳細な説明】**【0001】**

本発明は、行(rows)と列(columns) とに配置されるエレクトロルミネセンス表示画素のアレイを含む能動マトリクス・エレクトロルミネセンス表示デバイスに関する。本発明は特に、画素の行が共通のラインを共有し、該共通のラインを通り行の表示エレメントを通過して流れる電流を持つ表示デバイスに係わる。

【0002】

エレクトロルミネセンス、発光表示エレメントを用いるマトリクス表示デバイスはよく知られている。それらの表示エレメントは、例えばポリマー素材を用い、又は伝統的な III-V 族半導体化合物を使う他の発光ダイオード(LEDs)を用いる有機薄膜エレクトロルミネセンス・エレメントを含むだろう。有機エレクトロルミネセンス素材の最近の発達、とりわけポリマー素材はビデオ表示デバイスに実用的に使用される能力を証明した。これらの素材は典型的に、1対の電極の間にサンドイッチ状に挿まれた1層又は複数層の半導体共役ポリマーを含み、その電極の一方は透明であり、他方は正孔又は電子をポリマーの層に注入するのに適した素材でできている。

【0003】

このポリマー素材はCVD(化学蒸着) 工程を用いて製造することができ、又は簡単に可溶共役ポリマーの溶液を使うスピン被覆技術によって製造することができる。

【0004】

有機エレクトロルミネセンス素材は、ダイオードと類似の I-V 族の特性を示すので、表示機能と切替え機能との双方を供給する能力があり、従って受動型のディスプレイに用いることができる。

【0005】

しかし、本発明は能動マトリクス表示デバイスに係わるもので、それは表示エレメントと該表示エレメントを通る電流を制御するための切替えデバイスとを含む。能動マトリクス・エレクトロルミネセンス表示ディスプレイの実例は米国特許文献US 5670792に記載され、その内容は参照資料としてここに引用される。

【0006】

このタイプの表示デバイスには、電流で駆動される表示エレメントを持つという事実から問題点が提起される。本発明に係わるこのタイプの表示デバイスは、1つの行の中の全画素からの電流がそれを通る共通のラインを含んでいる。行内の全画素からの電流を複合することは、共通のラインに沿って種々の異なる電圧が生じる原因となる。これらの電圧は行内の全画素を通る電流に依存する、その理由はそれらの電流はすべて共通のラインを通過するからである。これら種々の異なる電圧が好ましくない変化を表示画素の出力に引き起こし、該出力はその行に与えられる信号の全一揃いの関数として変動する。結果として、その行の内部の画素間に漏話が生じる。

【0007】

本発明によれば、行と列とに配置される表示画素のアレイを有して成る能動マトリクス・エレクトロルミネセンス表示デバイスであって、その各画素は、エレクトロルミネセンス表示エレメントと、該表示エレメントを通る電流を画素に与えられる信号電圧に基づいて制御する切替え手段とを含み、画素の各行は共通のラインを共有し、画素の行の表示エレメントを通る電流が上記共通のラインを通過して流れ、また、上記表示エレメントからの所望の出力に対応する電圧を生成するため、且つ信号電圧を画素の行に順次に与えるための駆動回路をも有して成るエレクトロルミネセンス表示デバイスが：

アドレスされようとする1つの画素の行の中の各画素に対し、上記駆動回路に付随する追加された画素の行を表す回路から導かれるエラー値を生成する手段を更に含み、その追加行を表す回路はアドレスされようとする画素の行に対する信号電圧が与えられる回路であり；また、アドレスされようとする画素の行の中の各画素に対し、必要なときには上記エラー値を用いて信号電圧を更新する手段；及び該更新された信号電圧を画素に供給する手段；をも更に含むことを特徴とするエレクトロルミネセンス表示デバイスが提供される。

【0008】

本発明の表示デバイスは、追加された画素の行を表す回路を含むので、信号電圧はその追加された行に与えることができ、また表示エレメントからの実際の出

力を評価することができ、それにより所望の出力と実際の出力との不一致を修正することが可能となる。この不一致は各画素における共通ライン上の異なる電圧から生じ、それは画素の行に対する信号電圧に従属する。従って本発明の表示デバイスは、1つの行の中の画素間の漏話から生じる信号歪みに対し、各画素を個別に補償することができる。

【0009】

各画素の所在位置での追加された画素行の共通のライン上の電圧は、信号電圧を更新する結合エレメントへのエラー信号として供給されることができる。このやり方は特に、上述の漏話を生じさせる共通の信号ラインの抵抗に対して修正を行う。

【0010】

上記表示エレメント及び切替え手段は、表示エレメントに対する電圧供給ラインと上記共通のラインとの間に直列に配置され、それは電流ドレインとして行動することが好適である。

【0011】

各画素は、上記切替え手段上の更新された信号電圧から導かれる制御電圧を保持するために電荷蓄積エレメントを更に含むことがある。

【0012】

本発明はなおまた、行と列とに配置されるエレクトロルミネセンス表示画素のアレイを有して成り、画素の各行は共通のラインを共有し、行の表示エレメントを通過する電流が上記共通のラインを流れ、それにより種々の異なる電圧が上記共通のライン上の種々の異なる点に存在する能動マトリクス・エレクトロルミネセンス表示デバイスを駆動する方法で、画素の行に順次にアドレスすること、及び画素の各行に対し該行の中の画素のために電圧信号を生成することを含み、生成されたそれらの電圧信号は所望の画素出力に対応する方法が：追加された画素の行を表す回路上の電圧信号の効果に基づいてエラー値を生成すること；その行の中の各画素に対し、必要なときには上記エラー値を用いて信号電圧を更新すること；及び該更新された信号電圧を画素に供給すること；を更に含むことを特徴とする方法をも提供する。

【0013】

次に、実施例により、また添付の図面を参照して、本発明を説明する。

これらの図面は単に概略的なものであって、実寸で描かれたものではない。全図面を通じて同じ若しくは類似の部分を表すのには同一の引用番号が用いられている。

【0014】

図1は、エレクトロルミネセンス能動マトリクス表示デバイスに対する既知の画素配列を示す。種々のタイプのエレクトロルミネセンス表示デバイスが既知であって、それらは電流制御エレクトロルミネセンス又は発光ダイオード表示エレメントを利用する。そのようなディスプレイの構成の一例が文献US 5670792中に詳細に記載されている。

【0015】

図1に図式的に示されるように、表示デバイス2が行(rows)6と列(columns)8とに配置される画素4のアレイを含む。各画素4は表示エレメント10及び薄膜トランジスタの形で切替えエレメント12を含み、この切替えエレメント12が表示エレメント10の操作を、画素4に与えられる信号電圧に基づいて制御する。一例として表示エレメント10は有機発光ダイオードを含み、該有機発光ダイオードは1対の電極を含み、その1対の電極の間に有機エレクトロルミネセンス素材の能動層が1個又は複数個サンドイッチ状に挿まれている。電極のうちの少なくとも一方はITOのような透明な素材で形成される。種々のエレクトロルミネセンス素材が利用可能であり、それらは例えば文献EP-A-0717446に記載されている。

【0016】

1つの画素に対する信号電圧は、それぞれの画素列8が共有する制御信号ライン14を介して供給される。この制御信号ライン14は、アドレストランジスタ16を通して切替えトランジスタ12のゲート電極に結合している。画素の1つの行6のアドレストランジスタ16のゲート電極はいずれも、共通のアドレスライン18に結合する。

【0017】

画素4の各行6は、全画素に互る連続的共通電極として通常は与えられる共通

電圧供給ライン20をやはり共有し、また共通信信号ライン22をも共有する。表示エレメント10と切替えエレメント12とは、電圧供給ライン20と共通信信号ライン22との間に直列に配置され、これは表示エレメント10を通して流れる電流に対する電流ドレインとしての役割を果たし、それが矢印24で表されている。表示エレメント10を通して流れる電流は切替えエレメント12により制御され、それはトランジスタ12のゲート電圧の関数であって、制御信号ライン14に供給される制御信号に従属する。

【0018】

画素の或る1行が、それぞれの画素行に対するアドレストランジスタ16をオンに切り替える選択パルスを実アドレスライン18に与えることにより、選定される。ビデオ情報から導かれる電圧レベルが制御信号ライン14に与えられ、それはアドレストランジスタ16によって切替えトランジスタ12のゲート電極に転送される。画素の行がアドレスライン18によりアドレスされていない期間中には、アドレストランジスタ16はオフになっているが、切替えトランジスタ12のゲート電極上の電圧は、切替えトランジスタ12のゲート電極と共通信信号ライン22との間に接続されている画素記憶キャパシタ26により維持される。切替えトランジスタ12のゲート電極と共通信信号ライン22との間の電圧が、画素4の表示エレメント10を通過する電流を定める。従って、表示エレメントを通して流れる電流は、切替えトランジスタ12のゲートソース電圧の関数である（トランジスタ12のソース電極は共通信信号ライン22に接続されており、トランジスタ12のドレイン電極は表示エレメント10に接続されている）。この電流が画素の光出力を順次に制御する。

【0019】

切替えトランジスタ12は飽和状態で動作するようにしてあるから、ゲートソース電圧は、ドレインソース電圧には無関係に、トランジスタを通して流れる電流を支配する。その結果、ドレイン電圧の僅かな変動は表示エレメント10を通して流れる電流に影響しない。それ故に電圧供給ライン20上の電圧は画素の正しい操作に対して決定的なものではない。しかし、切替えトランジスタ12のソース電極のすべてに結合している共通信信号ライン22上の電圧の動揺は、制御信号ライン14上の所与の制御電圧に対し表示エレメント10を通して流れる電流に影響を与

えるであろう。

【0020】

従ってここに問題が生ずるのであって、それは共通信号ライン22の抵抗がこのラインに沿って電圧低下を発生させ、この電圧低下は個別の画素10からこのラインに供給される電流の関数になる、というものである。種々の異なる画素の位置における共通信号ライン22上の電圧は、その行内の全画素を通過する電流に複雑な形で依存するであろう。切替えトランジスタ12のゲートソース電圧はその画素の位置における共通信号ライン22上の電圧に依存するであろうから、これらの電圧の変動は画素の輝度に影響するであろう。その結果としてディスプレイ上に示される画像情報の不均一性及び水平漏話が生ずる。

【0021】

本発明は、制御信号を修正して表示エレメントに与えられる信号を正しく調整するエレクトロルミネセンス表示デバイスを提供する。この制御信号の修正は、適切なゲートソース電圧が切替えトランジスタ12に与えられて所望の表示エレメント出力を生じさせることを保証するものである。画像内の種々の異なる点に生起する電圧、例えば TFTのゲート及びソース電圧は、制御信号ライン14に対する制御信号を生成する列駆動回路にアクセスすることはできないものである。

【0022】

図2は、図示の画素に関連する電流 $i_1, i_2, \dots, i_n$ を持つ共通信号ライン22を示す。これらの電流は画素を流れて流れる電流である。図示のように各画素の位置で電流の合算がなされ、共通信号ライン22の隣り合う画素間の区間の各々に沿って起きる電圧低下は該区間を流れる電流の関数である。

【0023】

図3は、本発明による表示デバイスを示す。このデバイス2は、表示領域30を含み、該表示領域は、例えば図1又は図2に示すような画素を含む。駆動回路32が設けられ、これは、表示エレメントからの所望の出力に対応する信号電圧 $V_1, V_2, \dots, V_n$ を生成するために、通常の列駆動ユニット33を含む。これらの信号値は表示デバイスへのビデオ入力信号から定められる。該ビデオ入力信号は別々の回路から発するもので、データを標準フォーマットに配列している。本発明に

よれば、上記駆動回路32は、画素 $P_1, P_2, \dots, P_n$ を持つ追加の1行を表す追加回路34を含み、信号 $V_1, V_2, \dots, V_n$ はそれに与えられるのである。回路34は駆動回路32内に設けられるのだから、画素 $P_1, P_2, \dots, P_n$ の内部に出現する信号を分析することが可能であり、それによりエラーの値 $e_1, e_2, \dots, e_n$ が回路34の内部で生成されるであろうから、更新された信号電圧 $V'_1, V'_2, \dots, V'_n$ が表示領域30内の画素に供給されることを可能とする。

【0024】

これらのエラーの値 $e_1, e_2, \dots, e_n$ は、更新された信号電圧 V' が各画素における共通信号ライン22上の種々の異なる電圧を考慮に入れることを可能にし、それらの電圧は画素の行に対する信号電圧に依存する。こうして、更新された信号電圧 V' は表示領域内の画素間の漏話が消去されることを可能にする。更にまた、表示エレメント10の両端の不正確な電圧の原因となるその他すべての影響が同様に修正されるであろう。

【0025】

図4は、信号電圧を変更するためにエラーの値 e を生成する回路の1つの可能性を更に一層詳しく示す図である。

【0026】

追加の画素行を表す回路34の内部の唯1個の画素 P_1 が図4に示されている。この画素 P_1 は表示デバイスに用いられる画素と同じ画素構造を含む。図4に示す例では、画素 P_1 は図1に示すエレクトロルミネセンス画素と同じレイアウトを持つ。云うまでもなく追加回路34は液晶表示のための液晶画素を表すものであろう。

【0027】

一連のビデオ信号がデータライン38に供給され、各列に順次に与えられようとする信号はデータライン38から取り込まれて、シフトレジスタ40の制御の下に動作するスイッチ42を通過して回路34に供給される。シフトレジスタ40は個別の列のスイッチ42をを順次に起動させるので、ライン38上の上記一連のビデオ信号は順次各列に引き続いて供給される。一連のデータライン38、シフトレジスタ40及びスイッチ42はそれぞれが在来型の列駆動回路33を含むと考えられてもよい。各ス

イッチ42は電荷蓄積キャパシタ44を伴い、それがスイッチ42と連係して動作し回路を保持する。標本化された電圧は加算増幅器50に供給される。加算増幅器50へのその他の入力は共通の信号ライン22から取り込まれるので、それぞれの画素の位置における共通の信号ライン上の電圧を含む。この電圧は、特に共通の信号ライン22がその一端で接地されている場合には、エラー信号 e_1 と考えてよい。その場合には電圧供給ライン20は例えば5ボルトの供給電圧を有するであろうからそれが矢印24で表す電流の流れを生じさせる。

【0028】

従ってエラー電圧 e_1 は、信号ラインを流下する電流のもたらす共通の信号ライン22上で増加した電圧の結果として切替えトランジスタ12のゲートソース電圧の不適切さを表す量である。これが順次に、図示のエレクトロルミネセンス表示画素配列二対する行内のその他の画素に与えられる電圧の関数となる。エラー電圧 e_1 を初めの信号電圧 V_1 に加算すれば変形更新された信号電圧 V'_1 を生じてそれがディスプレイの画素に与えられる。回路34の内部で或る平衡状態に到達し、該平衡状態で切替えトランジスタ12のゲートソース電圧として電圧 V_1 が存在する、そしてそれが表示領域30内でアドレスされる画素の行に対して繰り返されることになる。

【0029】

この作為の企画のためには、回路34で生成され画素の追加行を表すエラー値 e は、表示領域30内で画素の実際の行に結果としてなるものと同じでなければならない。回路34は画素の行の複写から導かれたのであるから、図4に示す実例の場合も勿論そうになっている。しかし、回路34としては画素回路と全く同一である必要はなく、単にエラー信号を複製すればよいのである。例えば図4の回路の場合に、アドレストランジスタ16、画素記憶キャパシタ26、及びアドレスライン18を除去して、単に切替えトランジスタ12のゲート電極を共通信号に直接結合することもできよう。これらの変更は、アドレストランジスタ16の両端のソースドレイン電圧低下に依存して生成されるエラー信号に影響することはないであろう。

【0030】

茲ではエレクトロルミネセンス表示デバイスに対する特定の画素配列について

述べているが、その他にも種々の画素配列が当業者にとって明らかであろうし、それらの画素配列を用いるデバイスは、画素の各行が行の中の全ての画素からの電流を運ぶ共通のラインを共有するものであれば、本発明により利益を得ることであろう。同様に、エラー値を生成するための1つの特定の回路が図4に示されているけれども、種々の画素配列に対してエラー値を生成するための種々の回路が適切であろうことは勿論である。これらの変形はすべて当業者には明らかであろう。

【図面の簡単な説明】

【図1】 図1は、本発明を適用することができるエレクトロルミネセンス能動マトリクス表示デバイスの一部を示す図である。

【図2】 図2は、エレクトロルミネセンス表示画素の行を流れる電流を図式的に説明し、共通信号ラインから結果的に生じる漏話を説明する図である。

【図3】 図3は、本発明による表示デバイスを示す図である。

【図4】 図4は、図3のデバイスの一部を更に一層詳しく詳細に示す図である。

。

【図1】

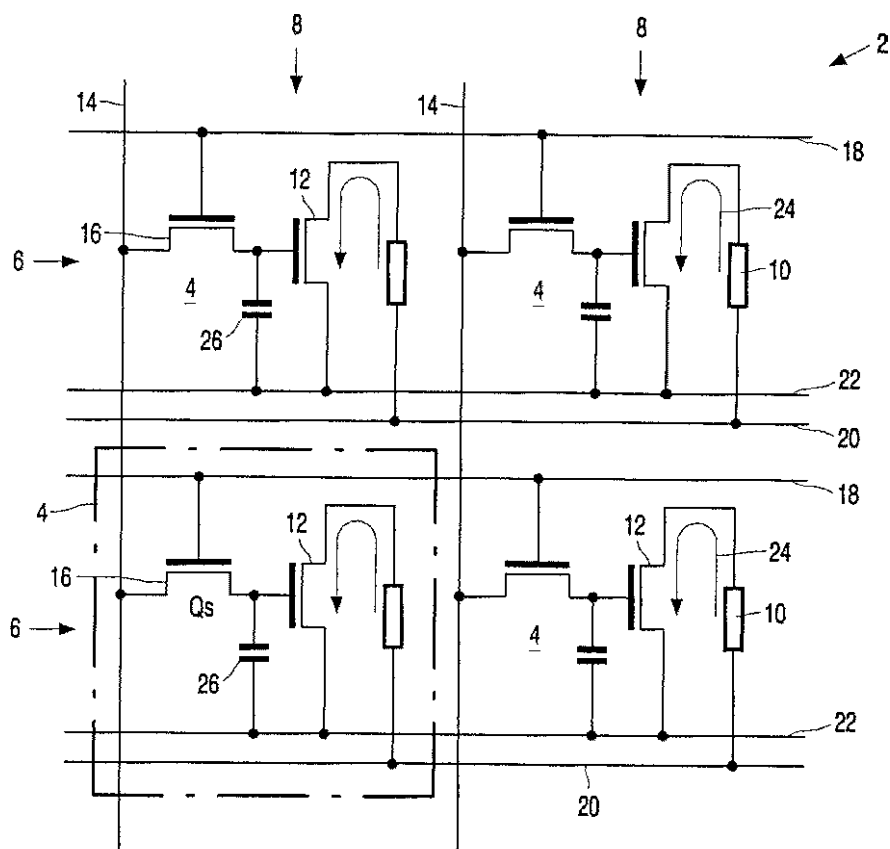


FIG. 1

【図2】

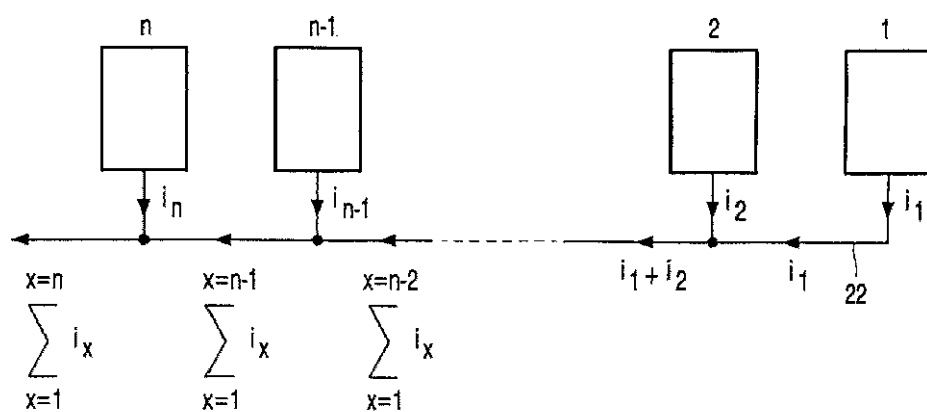


FIG. 2

【図3】

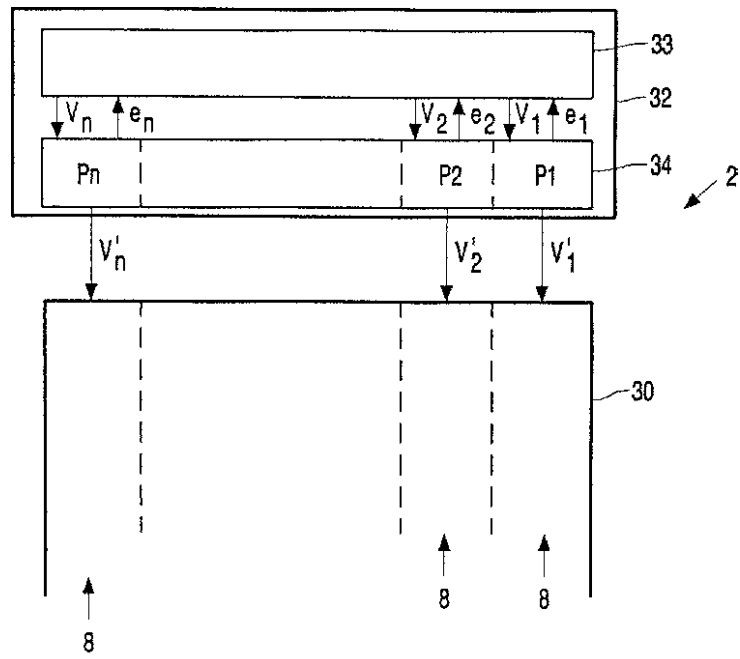


FIG. 3

【図4】

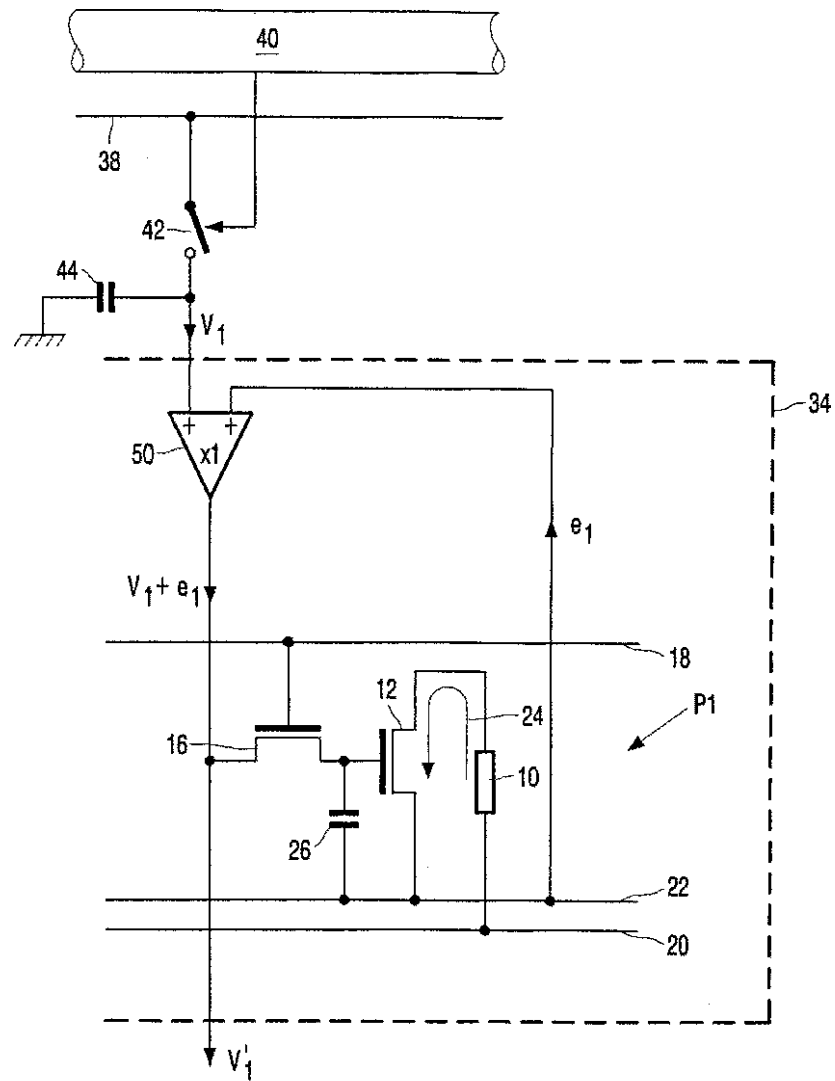


FIG. 4

【国際調査報告】

INTERNATIONAL SEARCH REPORT

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/32 G09G3/20		International Application No. PCT/EP 00/05773
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 903 246 A (DINGWALL ANDREW GORDON FRANCIS) 11 May 1999 (1999-05-11) column 4, line 35 -column 5, line 45; figure 2 -----	1-4,6,7
☐ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "Z" document member of the same patent family		
Date of the actual completion of the international search 2 November 2000		Date of mailing of the international search report 09/11/2000
Name and mailing address of the ISA European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel.: (+31-70) 340-2040, Tx. 31 651 eponl, Fax: (+31-70) 340-3016		Authorized officer Amian, D

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/EP 00/05773

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5903246 A	11-05-1999	NONE	

フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 9 G 3/20	6 4 1 6 4 2	G 0 9 G 3/20	6 4 1 D 6 4 2 A 6 4 2 P
H 0 5 B 33/14		H 0 5 B 33/14	A
F タ-ム(参考)	3K007 AB02 AB17 BA06 BB07 DB03 EB00 GA04 5C080 AA06 BB05 DD05 EE28 FF11 JJ02 JJ03 5C094 AA03 AA07 AA53 AA55 BA03 BA23 BA27 CA19 DA13 DB01 DB04 EA04 FB01 FB12 FB14 FB15 FB20 GA10		

专利名称(译)	有源矩阵电致发光显示装置		
公开(公告)号	JP2003503747A	公开(公告)日	2003-01-28
申请号	JP2001506526	申请日	2000-06-22
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	マーティン イェー エドワーズ		
发明人	マーティン イェー エドワーズ		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 G09G3/32 H01L27/32 H05B33/14		
CPC分类号	G09G3/2011 G09G3/32 G09G3/3233 G09G2300/0842 G09G2320/0209 G09G2320/0223		
FI分类号	G09G3/30.K G09F9/30.338 G09F9/30.365.Z G09G3/20.612.F G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.642.P H05B33/14.A		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/BA06 3K007/BB07 3K007/DB03 3K007/EB00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C094/AA03 5C094/AA07 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA23 5C094/BA27 5C094/CA19 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EA04 5C094/FB01 5C094/FB12 5C094/FB14 5C094/FB15 5C094/FB20 5C094/GA10		
优先权	1999014807 1999-06-25 GB		
外部链接	Espacenet		

摘要(译)

有源矩阵电致发光显示装置包括以行和列布置的显示像素阵列 (30) , 每行像素共享一条公共线并流过该公共线。有电流流经 为像素行中的每个像素产生误差值 (e) 以校正驱动信号 (V) 并校正出现在公共线上的不同电压。这些各种不同的电压会引起水平串扰。误差值 (e) 是从与驱动电路 (32) 相关联的电路 (34) 中得出的, 该电路代表附加的像素行, 从而产生更新的驱动信号 (V_n) 。

