

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5973025号  
(P5973025)

(45) 発行日 平成28年8月17日(2016.8.17)

(24) 登録日 平成28年7月22日(2016.7.22)

(51) Int.Cl.

F I

G09G 3/3233 (2016.01)

G09G 3/20 (2006.01)

H01L 51/50 (2006.01)

G09G 3/3233

G09G 3/20 624B

G09G 3/20 670J

G09G 3/20 642C

H05B 33/14 A

請求項の数 7 (全 42 頁)

(21) 出願番号 特願2015-84719 (P2015-84719)  
 (22) 出願日 平成27年4月17日(2015.4.17)  
 (62) 分割の表示 特願2014-84259 (P2014-84259)  
                   の分割  
           原出願日 平成14年11月11日(2002.11.11)  
 (65) 公開番号 特開2015-172754 (P2015-172754A)  
 (43) 公開日 平成27年10月1日(2015.10.1)  
           審査請求日 平成27年4月17日(2015.4.17)  
 (31) 優先権主張番号 特願2001-348032 (P2001-348032)  
 (32) 優先日 平成13年11月13日(2001.11.13)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
                   株式会社半導体エネルギー研究所  
                   神奈川県厚木市長谷398番地  
 (72) 発明者 木村 肇  
                   神奈川県厚木市長谷398番地 株式会社  
                   半導体エネルギー研究所内  
           審査官 西島 篤宏  
 (56) 参考文献 特開2003-208127(JP, A  
                   )  
                   国際公開第98/048403(WO,  
                   A1)  
                   特許第5448275(JP, B2)

最終頁に続く

(54) 【発明の名称】 表示装置、表示モジュール及び電子機器

(57) 【特許請求の範囲】

【請求項1】

画素を有し、

前記画素は、駆動用TFTと、第1のTFTと、第2のTFTと、第3のTFTと、容量素子と、発光素子と、を有し、

前記駆動用TFTは、Nチャネル型であり、

前記第1のTFT、前記第2のTFT及び前記第3のTFTのそれぞれは、Nチャネル型であり、

前記第1のTFTのソース又はドレインの一方は、前記駆動用TFTのソース又はドレインの一方と電氣的に接続され、

前記第1のTFTのソース又はドレインの他方は、第1の配線と電氣的に接続され、

前記第2のTFTのソース又はドレインの一方は、前記駆動用TFTのソース又はドレインの他方と電氣的に接続され、

前記第2のTFTのソース又はドレインの一方は、前記発光素子の陽極と電氣的に接続され、

前記第2のTFTのソース又はドレインの他方は、第2の配線と電氣的に接続され、

前記第3のTFTのソース又はドレインの一方は、前記駆動用TFTのゲートと電氣的に接続され、

前記第3のTFTのソース又はドレインの他方は、第3の配線と電氣的に接続され、

前記容量素子の第1の電極は、前記駆動用TFTのゲートと電氣的に接続され、

10

20

前記容量素子の第2の電極は、前記駆動用TFTのソース又はドレインの他方と電氣的に接続され、

前記第1のTFTのゲートは、第1のゲート信号線と電氣的に接続され、

前記第2のTFTのゲートは、第2のゲート信号線と電氣的に接続され、

前記第3のTFTのゲートは、第3のゲート信号線と電氣的に接続され、

前記駆動用TFTのゲートとなる領域を有する導電層は、前記容量素子の第1の電極となる領域を有し、

前記駆動用TFTのチャンネル形成領域となる領域を有する半導体層は、前記容量素子の第2の電極となる領域を有することを特徴とする表示装置。

【請求項2】

10

駆動回路と、画素部と、を有し、

前記駆動回路及び前記画素部は、同じ基板に形成され、

前記画素部は、画素を有し、

前記画素は、駆動用TFTと、第1のTFTと、第2のTFTと、第3のTFTと、容量素子と、発光素子と、を有し、

前記駆動用TFTは、Nチャンネル型であり、

前記第1のTFT、前記第2のTFT及び前記第3のTFTのそれぞれは、Nチャンネル型であり、

前記第1のTFTのソース又はドレインの一方は、前記駆動用TFTのソース又はドレインの一方と電氣的に接続され、

20

前記第1のTFTのソース又はドレインの他方は、第1の配線と電氣的に接続され、

前記第2のTFTのソース又はドレインの一方は、前記駆動用TFTのソース又はドレインの他方と電氣的に接続され、

前記第2のTFTのソース又はドレインの一方は、前記発光素子の陽極と電氣的に接続され、

前記第2のTFTのソース又はドレインの他方は、第2の配線と電氣的に接続され、

前記第3のTFTのソース又はドレインの一方は、前記駆動用TFTのゲートと電氣的に接続され、

前記第3のTFTのソース又はドレインの他方は、第3の配線と電氣的に接続され、

前記容量素子の第1の電極は、前記駆動用TFTのゲートと電氣的に接続され、

30

前記容量素子の第2の電極は、前記駆動用TFTのソース又はドレインの他方と電氣的に接続され、

前記第1のTFTのゲートは、第1のゲート信号線と電氣的に接続され、

前記第2のTFTのゲートは、第2のゲート信号線と電氣的に接続され、

前記第3のTFTのゲートは、第3のゲート信号線と電氣的に接続され、

前記駆動用TFTのゲートとなる領域を有する導電層は、前記容量素子の第1の電極となる領域を有し、

前記駆動用TFTのチャンネル形成領域となる領域を有する半導体層は、前記容量素子の第2の電極となる領域を有し、

前記駆動回路は、前記第1のゲート信号線、前記第2のゲート信号線又は前記第3のゲート信号線の一を制御する機能を有することを特徴とする表示装置。

40

【請求項3】

第1の駆動回路と、第2の駆動回路と、画素部と、を有し、

前記第1の駆動回路、前記第2の駆動回路及び画素部は、同じ基板に形成され、

前記画素部は、前記第1の駆動回路と前記第2の駆動回路との間に設けられ、

前記画素部は、画素を有し、

前記画素は、駆動用TFTと、第1のTFTと、第2のTFTと、第3のTFTと、容量素子と、発光素子と、を有し、

前記駆動用TFTは、Nチャンネル型であり、

前記第1のTFT、前記第2のTFT及び前記第3のTFTのそれぞれは、Nチャンネル

50

型であり、

前記第 1 の T F T のソース又はドレインの一方は、前記駆動用 T F T のソース又はドレインの一方と電氣的に接続され、

前記第 1 の T F T のソース又はドレインの他方は、第 1 の配線と電氣的に接続され、

前記第 2 の T F T のソース又はドレインの一方は、前記駆動用 T F T のソース又はドレインの他方と電氣的に接続され、

前記第 2 の T F T のソース又はドレインの一方は、前記発光素子の陽極と電氣的に接続され、

前記第 2 の T F T のソース又はドレインの他方は、第 2 の配線と電氣的に接続され、

前記第 3 の T F T のソース又はドレインの一方は、前記駆動用 T F T のゲートと電氣的に接続され、

前記第 3 の T F T のソース又はドレインの他方は、第 3 の配線と電氣的に接続され、

前記容量素子の第 1 の電極は、前記駆動用 T F T のゲートと電氣的に接続され、

前記容量素子の第 2 の電極は、前記駆動用 T F T のソース又はドレインの他方と電氣的に接続され、

前記第 1 の T F T のゲートは、第 1 のゲート信号線と電氣的に接続され、

前記第 2 の T F T のゲートは、第 2 のゲート信号線と電氣的に接続され、

前記第 3 の T F T のゲートは、第 3 のゲート信号線と電氣的に接続され、

前記駆動用 T F T のゲートとなる領域を有する導電層は、前記容量素子の第 1 の電極となる領域を有し、

前記駆動用 T F T のチャンネル形成領域となる領域を有する半導体層は、前記容量素子の第 2 の電極となる領域を有し、

前記第 1 の駆動回路は、前記第 1 のゲート信号線を制御する機能を有し、

前記第 2 の駆動回路は、前記第 2 のゲート信号線又は前記第 3 のゲート信号線を制御する機能を有することを特徴とする表示装置。

#### 【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項に記載の表示装置と、

F P C と、

を有する表示モジュール。

#### 【請求項 5】

請求項 1 乃至請求項 3 のいずれか一項に記載の表示装置、又は請求項 4 に記載の表示モジュールと、

外部接続ポートと、

を有する電子機器。

#### 【請求項 6】

請求項 1 乃至請求項 3 のいずれか一項に記載の表示装置、又は請求項 4 に記載の表示モジュールと、

音声出力部と、

を有する電子機器。

#### 【請求項 7】

請求項 1 乃至請求項 3 のいずれか一項に記載の表示装置、又は請求項 4 に記載の表示モジュールと、

受像部と、

を有する電子機器。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、トランジスタを有する半導体装置の構成に関する。本発明はまた、ガラス、プラスチック等の絶縁体上に作製される薄膜トランジスタ(以後、T F T と表記する)を有する半導体装置を含むアクティブマトリクス型の表示装置の構成に関する。また、このよ

10

20

30

40

50

うな表示装置を用いた電子機器に関する。

【背景技術】

【0002】

近年、エレクトロルミネッセンス(Electro Luminescence：E L)素子等を始めとした発光素子を用いた表示装置の開発が活発化している。発光素子は、自らが発光するために視認性が高く、液晶表示装置(L C D)等において必要なバックライトを必要としないために薄型化に適しているとともに、視野角にほとんど制限が無い。

【0003】

ここで、E L素子とは、電場を加えることで発生するルミネッセンスが得られる発光層を有する素子を指す。この発光層においては、一重項励起状態から基底状態に戻る際の発光(蛍光)と、三重項励起状態から基底状態に戻る際の発光(燐光)とがあるが、本発明において、発光装置とは、上述したいずれの発光形態であっても良い。

10

【0004】

E L素子は、一对の電極(陽極と陰極)間に発光層が挟まれる形で構成され、通常、積層構造をとっている。代表的には、イーストマン・コダック・カンパニーのT a n gらが提案した「陽極／正孔輸送層／発光層／電子輸送層／陰極」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在研究が進められているE L素子の多くはこの構造が採用されている。

【0005】

また、これ以外にも、陽極と陰極との間に、「正孔注入層／正孔輸送層／発光層／電子輸送層」または「正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層」の順に積層する構造がある。本発明の発光装置に用いるE L素子の構造としては、上述の構造のいずれを採用していても良い。また、発光層に対して蛍光性色素等をドーピングしても良い。

20

【0006】

本明細書においては、E L素子において、陽極と陰極との間に設けられる全ての層を総称してE L層と呼ぶ。よって、上述の正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層は、全てE L素子に含まれ、陽極、E L層、および陰極で構成される発光素子をE L素子と呼ぶ。

【0007】

図2(A)(B)に、一般的な発光装置における画素の構成を示す。なお、代表的な発光装置として、E L表示装置を例とする。図2(A)(B)に示した画素は、ソース信号線201、ゲート信号線202、スイッチング用T F T 203、駆動用T F T 204、容量素子(容量手段)205、電流供給線206、E L素子207、電源線208を有している。図2(A)においては、駆動用T F T 204はPチャンネル型、図2(B)においては、駆動用T F T 204はNチャンネル型を用いている。スイッチング用T F T 203は、映像信号を画素に入力する際のスイッチとして機能するT F Tであるので、ここではその極性は問わない。

30

【0008】

各部の接続関係について説明する。ここで、T F Tはゲート、ソース、ドレインの3端子を有するが、ソース、ドレインに関しては、T F Tの構造上、明確に区別が出来ない。よって、素子間の接続について説明する際は、ソース、ドレインのうち一方を第1の電極、他方を第2の電極と表記する。T F TのO N、O F Fについて、各端子の電位等(あるT F Tのゲート・ソース間電圧等)について説明が必要な際には、ソース、ドレイン等と表記する。

40

【0009】

また、本明細書において、T F TがO Nしているとは、T F Tのゲート・ソース間電圧がそのしきい値を超え、ソース、ドレイン間に電流が流れる状態をいい、T F TがO F Fしているとは、T F Tのゲート・ソース間電圧がそのしきい値を下回り、ソース、ドレイン間に電流が流れていない状態をいう。

50

## 【0010】

スイッチング用TFT203のゲート電極は、ゲート信号線202に接続され、第1の電極はソース信号線201に接続され、第2の電極は駆動用TFT204のゲート電極に接続されている。駆動用TFT204の第1の電極は、電流供給線206に接続され、第2の電極はEL素子207の陽極(Anode)に接続されている。EL素子207の陰極(Cathode)は、電源線208に接続されている。電流供給線206と、電源線208とは、互いに電位差を有している。また、駆動用TFT204のゲート・ソース間電圧を保持するために、駆動用TFT204のゲート電極とある一定電位、例えば電流供給線206との間に、容量素子205を設けても良い。

## 【0011】

10

ゲート信号線202にパルスが入力されてスイッチング用TFT203がONすると、ソース信号線201に出力されてきている映像信号は、駆動用TFT204のゲート電極へと入力される。入力された映像信号の電位に従って、駆動用TFT204のゲート・ソース間電圧が決定し、駆動用TFT204のソース・ドレイン間を流れる電流(以下、ドレイン電流と表記)が決定する。この電流はEL素子207に供給されて発光する。

## 【0012】

またTFT等を基板上に作り込み、画素部と周辺回路とを一体形成した表示装置は、小型、軽量という利点を活かし、普及著しいモバイル機器に応用されている。反面、TFTの作製は、成膜、エッチングの繰り返しによる素子形成と、半導体に導電性を与えるための不純物元素の添加等、多くの工程を経てなされるため、工程削減による低コスト化が課題となる。

20

## 【0013】

そこで、画素部および周辺回路を、単一極性のTFTによって構成すれば、不純物元素の添加工程の一部を省略することが出来る。単一極性のTFTを用いて構成した画素の例としては、図8に示すものが提案されている(例えば、非特許文献1参照)。

## 【先行技術文献】

## 【非特許文献】

## 【0014】

【非特許文献1】カニッキほか(J.Kanicki,J-H.Kim,J.Y.Nahm,Y.He,and R.Hattori)"アクティブOLEDにおけるアモルファスシリコン薄膜トランジスタ(Amorphous Silicon Thin-Film Transistors Based Active-Matrix Organic Light-Emitting Displays)"アジアディスプレイ/アイディーダブリュ(ASIA DISPLAY/IDW)2001 p. 315-318

30

## 【0015】

図8に示した画素は、ソース信号線801、ゲート信号線802、スイッチング用TFT803、駆動用TFT804、アクティブ抵抗TFT805、容量素子806、電流供給線807、EL素子808、電源線809を有し、TFT803~805にはNチャネル型TFTを用いている。

## 【0016】

スイッチング用TFT803のゲート電極は、ゲート信号線802に接続され、第1の電極は、ソース信号線801に接続され、第2の電極は、駆動用TFT804のゲート電極に接続されている。駆動用TFT804の第1の電極は、EL素子808の陽極に接続され、第2の電極は、アクティブ抵抗TFT805の第1の電極に接続されている。アクティブ抵抗TFT805のゲート電極および第2の電極は互いに接続され、電流供給線807に接続されている。EL素子808の陰極は、電源線809に接続され、電流供給線807とは互いに電位差を有する。容量素子806は、駆動用TFT804のゲート電極と電流供給線807との間に設けられ、駆動用TFT804のゲート電極に印加される信号の電位を保持する。

40

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0017】

50

ここで図2(A)、図8のように、駆動用TFTにNチャネル型TFTを用いた場合の動作について考える。図2(C)は、図2(A)(B)に示した画素において、電流供給線206－駆動用TFT204－EL素子207－電源線208の構成部分のみを図示したものである。駆動用TFT204はNチャネル型としているので、EL素子207の陽極に接続されている側をソース、電流供給線に接続されている側をドレインとする。

#### 【0018】

今、電流供給線206の電位が $V_{DD}$ 、EL素子207の陽極の電位が $V_A$ 、同じく陰極の電位が $V_C$ 、駆動用TFT204のゲート電極の電位が $V_{Sig}$ であるとき、駆動用TFT204のゲート・ソース間電圧 $V_{GS}$ は、 $V_{GS} = (V_{Sig} - V_A)$ であり、EL素子207の陽極・陰極間電圧 $V_{EL}$ は、 $V_{EL} = (V_A - V_C)$ である。

10

#### 【0019】

図2(D)は、駆動用TFT204およびEL素子207の電圧・電流特性を示したものである。駆動用TFT204の電圧・電流曲線と、EL素子207の電圧・電流曲線との交点が動作点であり、EL素子207を流れる電流値や、EL素子の陽極の電位 $V_A$ が決定する。今、EL素子207の電圧・電流曲線が211、TFT204の電圧・電流曲線が213で表されるとき、動作点は215にあたり、これによって電流値および $V_A = V_{A1}$ が決定する。なお、このときの駆動用TFT204のゲート・ソース間電圧 $V_{GS}$ は、 $V_{GS} = (V_{Sig} - V_{A1})$ で表される。

#### 【0020】

EL素子207が劣化した場合について考える。EL素子207が劣化すると、点灯開始電圧が上昇して、曲線は右にシフトして212で示されるようになる。ここで、仮に駆動用TFT204が飽和領域で動作しており、かつEL素子207の劣化によってゲート・ソース間電圧が変化しないとすると、動作点は216に移る。つまり、 $V_A = V_{A2}$ となる。この場合、駆動用TFT204のソース・ドレイン間電圧が変化しても、電流値には大きな変化はないため、それほど輝度も変わらない。ところが、今、駆動用TFT204にはNチャネル型TFTを用いており、EL素子207の陽極に接続されている側がソースであるから、駆動用TFT204のゲート・ソース間電圧 $V_{GS}$ は、 $V_{GS} = (V_{Sig} - V_{A2})$ と、小さくなってしまう。よってこのときの駆動用TFT204の電圧・電流曲線は214で示されるようになる。従って動作点は217となる。つまり、EL素子207の劣化によって、駆動用TFT204のソース電位が上昇し、ゲート・ソース間電圧が小さくなってしまったため、電流値が大きく変化し、輝度低下につながる。

20

30

#### 【0021】

よって本発明においては、EL素子に電流を供給するための駆動用TFTにNチャネル型TFTを用いて構成し、かつ前述のようなEL素子の劣化による不具合を解決することの出来る半導体装置を提供することを課題とする。

#### 【課題を解決するための手段】

#### 【0022】

前述の課題の要点は、EL素子の劣化によって、EL素子の陽極の電位、すなわち駆動用TFTのソース電位が上昇し、それに伴って駆動用TFTのゲート・ソース間電圧が小さくなる点にあった。

40

#### 【0023】

EL素子が劣化した場合にも、電流値が変化しないようにするには、EL素子が劣化してEL素子の陽極の電位が上昇したとしても、駆動用TFTのゲート・ソース間電圧に変化が生じないようにする必要がある。

#### 【0024】

そこで本発明においては、ブートストラップ動作を応用した構成を画素に適用した。駆動用TFTのゲート・ソース間に容量素子（電圧保持手段）を設け、ゲート電極に映像信号が入力されている間は、ソースの電位をある値に固定する。

そして、映像信号の入力後、ゲート電極を浮遊状態とする。このとき、駆動用TFTのゲート・ソース間電圧がしきい値を上回っていれば、駆動用TFTがONし、容量素子は映

50

像信号の電位 ( $V_{\text{Sig}}$ ) と電源線の電位 ( $V_{\text{SS}}$ ) との電位差を保持している。ここで、駆動用 T F T のソース電位の固定を解除してやると、E L 素子 (発光素子) に電流が流れて、陽極の電位、すなわち駆動用 T F T のソース電位が上昇する。すると、駆動用 T F T のゲート・ソース間に配置された容量素子による結合によって、浮遊状態となっている駆動用 T F T のゲート電極の電位も同じだけ上昇することになる。よって、E L 素子の劣化によって陽極の電位上昇の値が異なってくる場合にも、その上昇分をゲート電極の電位にそのまま上乘せし、駆動用 T F T のゲート・ソース間電圧を一定とすることが出来る。

#### 【0025】

本発明の構成を以下に記す。

#### 【0026】

本発明の表示装置は、発光素子と、映像信号に基づく電圧を保持する電圧保持手段と、少なくとも1つのスイッチング素子を介して前記発光素子及び前記電圧保持手段に接続される電源線と、を有する表示装置であって、前記電圧保持手段は前記発光素子に供給する電流を制御する機能を有し、前記電流は前記映像信号の電位と前記電源線の電位との電位差であることを特徴とする。

10

#### 【0027】

本発明の表示装置は、発光素子と、映像信号に基づく電圧を保持する電圧保持手段と、前記電圧保持手段に接続されるスイッチング素子と、前記スイッチング素子に接続される電源線と、前記発光素子及び前記電圧保持手段とに接続されるトランジスタと、前記トランジスタに接続される電流供給線と、を有する表示装置であって、前記電圧保持手段は前記映像信号の電位と前記電源線の電位との電位差を保持し、且つ前記トランジスタのゲート・ソース間電圧を制御し、前記トランジスタのゲート・ソース間電圧に基づく電流が前記電流供給線から前記発光素子に供給されることを特徴とする。

20

#### 【0028】

本発明の表示装置は、発光素子と、映像信号に基づく電圧を保持する電圧保持手段と、前記電圧保持手段と電源線との間に接続されるスイッチング素子と、前記スイッチング素子に接続される電源線と、前記発光素子及び前記電圧保持手段とに接続されるトランジスタと、前記トランジスタに接続される電流供給線と、を有する表示装置であって、前記電圧保持手段は前記映像信号の電位と前記電源線の電位との電位差を保持し、且つ前記トランジスタのゲート・ソース間電圧を制御し、前記トランジスタのゲート・ソース間電圧に基づく電流が前記電流供給線から前記発光素子に供給されることを特徴とする。

30

#### 【0029】

本発明の表示装置は、第1および第2のスイッチング素子と、トランジスタと、容量素子と、発光素子とを有し、前記第1のスイッチング素子の第1の電極はソース信号線と、且つ第2の電極は前記トランジスタのゲート電極とそれぞれ電氣的に接続され、前記トランジスタの第1の電極は前記第2のスイッチング素子の第1の電極および、前記発光素子の第1の電極と、且つ第2の電極は電流供給線とそれぞれ電氣的に接続され、前記第2のスイッチング素子の第2の電極は、第1の電源線と電氣的に接続され、前記発光素子の第2の電極は、第2の電源線と電氣的に接続され、前記容量素子は、前記トランジスタのゲート電極と第1の電極との間に設けられている画素を有することを特徴とする。

40

#### 【0030】

本発明の表示装置は、第1乃至第3のスイッチング素子と、トランジスタと、容量素子と、発光素子とを有し、前記第1のスイッチング素子の第1の電極はソース信号線と、且つ第2の電極は前記トランジスタのゲート電極とそれぞれ電氣的に接続され、前記トランジスタの第1の電極は前記第2のスイッチング素子の第1の電極および、前記発光素子の第1の電極と、且つ第2の電極は電流供給線とそれぞれ電氣的に接続され、前記第2のスイッチング素子の第2の電極は、第1の電源線と電氣的に接続され、前記発光素子の第2の電極は、第2の電源線と電氣的に接続され、前記容量素子は、前記トランジスタのゲート電極と第1の電極との間に設けられている画素を有することを特徴とする。

#### 【0031】

50

本発明の表示装置は、第1乃至第3のスイッチング素子と、トランジスタと、容量素子と、発光素子とを有し、前記第1のスイッチング素子の第1の電極はソース信号線と、且つ第2の電極は前記トランジスタのゲート電極とそれぞれ電氣的に接続され、前記トランジスタの第1の電極は前記第2のスイッチング素子の第1の電極および、前記発光素子の第1の電極と、且つ第2の電極は電流供給線とそれぞれ電氣的に接続され、前記第2のスイッチング素子の第2の電極は、第1の電源線と電氣的に接続され、前記発光素子の第2の電極は、第2の電源線と電氣的に接続され、前記容量素子は、前記トランジスタのゲート電極と第1の電極との間に設けられ、前記第3のスイッチング素子の第1の電極は前記トランジスタのゲート電極と、且つ第2の電極は前記トランジスタの第1の電極、前記第2のスイッチング素子の第1の電極及び前記発光素子の第1の電極と、それぞれ電氣的に接続されている画素を有することを特徴とする。

10

**【0032】**

本発明の表示装置は、第1乃至第3のスイッチング素子と、トランジスタと、容量素子と、発光素子とを有し、前記第1のスイッチング素子の第1の電極はソース信号線と、且つ第2の電極は前記トランジスタのゲート電極とそれぞれ電氣的に接続され、前記トランジスタの第1の電極は前記第2のスイッチング素子の第1の電極および、前記発光素子の第1の電極と、且つ第2の電極は電流供給線とそれぞれ電氣的に接続され、前記第2のスイッチング素子の第2の電極は、第1の電源線と電氣的に接続され、前記発光素子の第2の電極は、第2の電源線と電氣的に接続され、前記容量素子は、前記トランジスタのゲート電極と第1の電極との間に設けられ、前記第3のスイッチング素子の第1の電極は前記発光素子の第1の電極と、且つ第2の電極は前記第1の電源線と電氣的に接続されている画素を有することを特徴とする。

20

**【0033】**

本発明の表示装置は、前記トランジスタの導電型がNチャネル型であるとき、前記電流供給線 $V_1$ 、前記第1の電源線の電圧 $V_2$ 、前記第2の電源線電圧 $V_3$ は $V_1 > V_2$ 、かつ $V_1 > V_3$ であってもよい。更に、 $V_2 < V_3$ であっても良い。

**【0034】**

また本発明の表示装置は、前記トランジスタの導電型がPチャネル型であるとき、前記電流供給線 $V_1$ 、前記第1の電源線の電位 $V_2$ 、前記第2の電源線の電位 $V_3$ は $V_1 < V_2$ 、かつ $V_1 < V_3$ であってもよい。更に、 $V_2 > V_3$ であっても良い。

30

**【0035】**

本発明の表示装置は、ソース信号線と、ゲート信号線と、電流供給線と、第1乃至第3のトランジスタと、容量素子と、発光素子とを有する画素がマトリクス状に設けられた表示装置であって、前記第1のトランジスタのゲート電極は前記第1のゲート信号線と電氣的に接続され、第1の電極は前記第2のトランジスタの第1の電極及び前記発光素子の第1の電極と電氣的に接続され、第2の電極は第1の電源線、及び当該画素を含まない行に設けられたゲート信号線のいずれかと電氣的に接続され、前記第2のトランジスタのゲート電極は、前記第3のトランジスタの第1の電極と電氣的に接続され、第2の電極は、前記電流供給線と電氣的に接続され、前記第3のトランジスタのゲート電極は、前記第2のゲート信号線と電氣的に接続され、第2の電極は、前記ソース信号線と電氣的に接続され、前記発光素子の第2の電極は第2の電源線と電氣的に接続され、前記容量素子は前記第2のトランジスタのゲート電極と第1の電極との間に設けられていることを特徴とする。

40

**【0036】**

本発明の表示装置は、ソース信号線と、第1および第2のゲート信号線と、電流供給線と、第1乃至第3のトランジスタと、容量素子と、発光素子とを有する画素がマトリクス状に設けられた表示装置であって、前記第1のトランジスタのゲート電極は前記第1のゲート信号線と電氣的に接続され、第1の電極は前記第2のトランジスタの第1の電極及び前記発光素子の第1の電極と電氣的に接続され、第2の電極は第1の電源線、及び当該画素を含まない行に設けられた第1のゲート信号線若しくは第2のゲート信号線のいずれかと電氣的に接続され、前記第2のトランジスタのゲート電極は、前記第3のトランジスタ

50



の第1の電極と電氣的に接続され、第2の電極は、前記電流供給線と電氣的に接続され、前記第3のトランジスタのゲート電極は、前記第2のゲート信号線と電氣的に接続され、第2の電極は、前記ソース信号線と電氣的に接続され、前記発光素子の第2の電極は第2の電源線と電氣的に接続され、前記容量素子は前記第2のトランジスタのゲート電極と第1の電極との間に設けられていることを特徴とする。

#### 【0037】

本発明の表示装置は、ソース信号線と、第1乃至第3のゲート信号線と、電流供給線と、第1乃至第4のトランジスタと、容量素子と、発光素子とを有する画素がマトリクス状に設けられた表示装置であって、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電氣的に接続され、第1の電極は、前記第2のトランジスタの第1の電極および、前記発光素子の第1の電極と電氣的に接続され、第2の電極は、第1の電源線、当該画素を含まない行に設けられた第1乃至第3のゲート信号線、及び当該画素を含む行に設けられた第2のゲート信号線若しくは第3のゲート信号線のいずれかと電氣的に接続され、前記第2のトランジスタのゲート電極は前記第3のトランジスタの第1の電極と電氣的に接続され、第2の電極は前記電流供給線と電氣的に接続され、前記第3のトランジスタのゲート電極は前記第2のゲート信号線と電氣的に接続され、第2の電極は前記ソース信号線と電氣的に接続され、前記発光素子の第2の電極は第2の電源線と電氣的に接続され、前記容量素子は、前記第2のトランジスタのゲート電極と第1の電極との間に設けられ、前記第4のトランジスタのゲート電極は前記第3のゲート信号線と電氣的に接続され、第1の電極は前記第2のトランジスタのゲート電極と電氣的に接続され、第2の電極は前記第2のトランジスタの第1の電極、前記第1の電源線及び前記第2の電源線のいずれかと電氣的に接続されていることを特徴とする。

#### 【0038】

本発明の表示装置は、ソース信号線と、第1および第2のゲート信号線と、電流供給線と、第1乃至第4のトランジスタと、容量素子と、発光素子とを有する画素がマトリクス状に設けられた表示装置であって、前記第1のトランジスタのゲート電極は前記第1のゲート信号線と電氣的に接続され、第1の電極は前記第2のトランジスタの第1の電極及び前記発光素子の第1の電極と電氣的に接続され、第2の電極は第1の電源線、当該画素を含まない行に設けられた第1のゲート信号線若しくは第2のゲート信号線、及び当該画素を含む行に設けられた第2のゲート信号線のいずれかと電氣的に接続され、前記第2のトランジスタのゲート電極は、前記第3のトランジスタの第1の電極と電氣的に接続され、第2の電極は前記電流供給線と電氣的に接続され、前記第3のトランジスタのゲート電極は、前記第1のゲート信号線と電氣的に接続され、第2の電極は前記ソース信号線と電氣的に接続され、前記発光素子の第2の電極は、第2の電源線と電氣的に接続され、前記容量素子は、前記第2のトランジスタのゲート電極と第1の電極との間に設けられ、前記第4のトランジスタのゲート電極は前記第2のゲート信号線と電氣的に接続され、第1の電極は前記第2のトランジスタのゲート電極と電氣的に接続され、第2の電極は、前記第2のトランジスタの第1の電極、前記第1の電源線、及び前記第2の電源線のいずれかと電氣的に接続されていることを特徴とする。

#### 【0039】

本発明の表示装置は、ソース信号線と、第1乃至第3のゲート信号線と、電流供給線と、第1乃至第4のトランジスタと、容量素子と、発光素子とを有する画素がマトリクス状に設けられた表示装置であって、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電氣的に接続され、第1の電極は前記第2のトランジスタの第1の電極及び前記発光素子の第1の電極と電氣的に接続され、第2の電極は第1の電源線、当該画素を含まない行に設けられた第1乃至第3のゲート信号線、及び当該画素を含む行に設けられた第2のゲート信号線若しくは第3のゲート信号線のいずれかと電氣的に接続され、前記第2のトランジスタのゲート電極は前記第3のトランジスタの第1の電極と電氣的に接続され、第2の電極は前記電流供給線と電氣的に接続され、前記第3のトランジスタのゲート電極は前記第2のゲート信号線と電氣的に接続され、第2の電極は前記ソース信号線と

電氣的に接続され、前記発光素子の第2の電極は第2の電源線と電氣的に接続され、前記容量素子は前記第2のトランジスタのゲート電極と第1の電極との間に設けられ、前記第4のトランジスタのゲート電極は前記第3のゲート信号線と電氣的に接続され、第1の電極は前記発光素子の第1の電極と電氣的に接続され、第2の電極は前記第1の電源線と電氣的に接続されていることを特徴とする。

**【0040】**

本発明の表示装置は、ソース信号線と、第1および第2のゲート信号線と、電流供給線と、第1乃至第4のトランジスタと、容量素子と、発光素子とを有する画素がマトリクス状に設けられた表示装置であって、前記第1のトランジスタのゲート電極は前記第1のゲート信号線と電氣的に接続され、第1の電極は前記第2のトランジスタの第1の電極及び前記発光素子の第1の電極と電氣的に接続され、第2の電極は第1の電源線、当該画素を含まない行に設けられた第1乃至第3のゲート信号線、及び当該画素を含む行に設けられた第2のゲート信号線若しくは第3のゲート信号線のいずれかと電氣的に接続され、前記第2のトランジスタのゲート電極は前記第3のトランジスタの第1の電極と電氣的に接続され、第2の電極は前記電流供給線と電氣的に接続され、前記第3のトランジスタのゲート電極は前記第1のゲート信号線と電氣的に接続され、第2の電極は前記ソース信号線と電氣的に接続され、前記発光素子の第2の電極は前記電流供給線と互いに電位差を有する第2の電源と電氣的に接続され、前記容量素子は前記第2のトランジスタのゲート電極と第1の電極との間に設けられ、前記第4のトランジスタのゲート電極は前記第2のゲート信号線と電氣的に接続され、第1の電極は前記発光素子の第1の電極と電氣的に接続され、第2の電極は前記第1の電源線と電氣的に接続されていることを特徴とする。

**【0041】**

本発明の表示装置は、ソース信号線と、第1乃至第3のゲート信号線と、電流供給線と、第1乃至第4のトランジスタと、容量素子と、発光素子とを有する画素がマトリクス状に設けられた表示装置であって、前記第1のトランジスタのゲート電極は前記第1のゲート信号線と電氣的に接続され、第1の電極は前記第2のトランジスタの第1の電極及び前記発光素子の第1の電極と電氣的に接続され、第2の電極は第1の電源線、当該画素を含まない行に設けられた第1乃至第3のゲート信号線、及び当該画素を含む行に設けられた第2のゲート信号線若しくは第3のゲート信号線のいずれかと電氣的に接続され、前記第2のトランジスタのゲート電極は前記第3のトランジスタの第1の電極と電氣的に接続され、第2の電極は前記電流供給線と電氣的に接続され、前記第3のトランジスタのゲート電極は前記第2のゲート信号線と電氣的に接続され、第2の電極は前記ソース信号線と電氣的に接続され、前記発光素子の第2の電極は第2の電源線と電氣的に接続され、前記容量素子は、前記第2のトランジスタのゲート電極と第1の電極との間に設けられ、前記第2のトランジスタのゲート電極と第1の電極との間の電圧を保持し、前記第4のトランジスタは、前記第2のトランジスタの第2の電極と前記電流供給線との間、又は前記第2のトランジスタの第1の電極と前記発光素子の第1の電極との間に配置され、当該第4のトランジスタのゲート電極は前記第3のゲート信号線と電氣的に接続されていることを特徴とする。

**【0042】**

本発明の表示装置は、ソース信号線と、第1および第2のゲート信号線と、電流供給線と、第1乃至第4のトランジスタと、容量素子と、発光素子とを有する画素がマトリクス状に設けられた表示装置であって、前記第1のトランジスタのゲート電極は前記第1のゲート信号線と電氣的に接続され、第1の電極は前記第2のトランジスタの第1の電極及び前記発光素子の第1の電極と電氣的に接続され、第2の電極は第1の電源線、当該画素を含まない行に設けられた第1のゲート信号線若しくは第2のゲート信号線、及び当該画素を含む行に設けられた第2のゲート信号線のいずれかと電氣的に接続され、前記第2のトランジスタのゲート電極は前記第3のトランジスタの第1の電極と電氣的に接続され、第2の電極は前記電流供給線と電氣的に接続され、前記第3のトランジスタのゲート電極は前記第1のゲート信号線と電氣的に接続され、第2の電極は前記ソース信号線と電氣的に

接続され、前記発光素子の第2の電極は第2の電源線と電氣的に接続され、前記容量素子は前記第2のトランジスタのゲート電極と第1の電極との間に設けられ、前記第2のトランジスタのゲート電極と第1の電極との間の電圧を保持し、前記第4のトランジスタは、前記第2のトランジスタの第2の電極と前記電流供給線との間、又は前記第2のトランジスタの第1の電極と前記発光素子の第1の電極との間に配置され、当該第4のトランジスタのゲート電極は前記第3のゲート信号線と電氣的に接続されていることを特徴とする。

【0043】

本発明の表示装置において、前記第1および第3のトランジスタは同一導電型であっても良い。

【0044】

本発明の表示装置において、前記画素に含まれるトランジスタは同一導電型であっても良い。

【0045】

本発明の表示装置において、前記第2のトランジスタの導電型がNチャネル型であるとき、前記電流供給線の電位 $V_1$ 、前記第1の電源線の電位 $V_2$ 、前記第2の電源線の電位 $V_3$ は、 $V_1 > V_2$ 、かつ $V_1 > V_3$ であっても良い。更に、 $V_2 > V_3$ であっても良い。

【0046】

本発明の表示装置は、前記第2のトランジスタの導電型がPチャネル型であるとき、前記電流供給線の電位 $V_1$ 、前記第1の電源線の電位 $V_2$ 、前記第2の電源線の電位 $V_3$ は、 $V_1 < V_2$ 、かつ $V_1 < V_3$ であっても良い。更に、 $V_2 < V_3$ であっても良い。

【0047】

本発明の表示装置の駆動方法は、第1および第2のスイッチング素子と、トランジスタと、容量素子と、発光素子とを有し、前記第1のスイッチング素子の第1の電極はソース信号線と電氣的に接続され、第2の電極は前記トランジスタのゲート電極と電氣的に接続され、前記トランジスタの第1の電極は前記第2のスイッチング素子の第1の電極及び前記発光素子の第1の電極と電氣的に接続され、第2の電極は電流供給線と電氣的に接続され、前記第2のスイッチング素子の第2の電極は第1の電源線と電氣的に接続され、前記発光素子の第2の電極は第2の電源線と電氣的に接続され、前記容量素子は、前記トランジスタのゲート電極と第1の電極との間に設けられている画素を有する表示装置の駆動方法であって、前記第1および第2のスイッチング素子を導通し、前記ソース信号線から前記トランジスタに映像信号を入力し、かつ前記トランジスタの第1の電極の電位を固定し、前記第1および第2のスイッチング素子を非導通として、前記トランジスタのゲート電極を浮遊状態とし、前記トランジスタのゲート電極に印加された電位に応じた電流を前記発光素子に供給し、前記容量素子により、前記トランジスタのゲート・ソース間電圧を保持し、前記トランジスタの第1の電極の電位変化量と、前記トランジスタのゲート電極の電位変化量とを等しくすることを特徴とする。

【0048】

本発明の表示装置の駆動方法は、第1乃至第3のスイッチング素子と、トランジスタと、容量素子と、発光素子とを有し、前記第1のスイッチング素子の第1の電極はソース信号線と電氣的に接続され、第2の電極は前記トランジスタのゲート電極と電氣的に接続され、前記トランジスタの第1の電極は前記第2のスイッチング素子の第1の電極及び前記発光素子の第1の電極と電氣的に接続され、第2の電極は電流供給線と電氣的に接続され、前記第2のスイッチング素子の第2の電極は第1の電源線と電氣的に接続され、前記発光素子の第2の電極は第2の電源線と電氣的に接続され、前記容量素子は、前記トランジスタのゲート電極と第1の電極との間に設けられ、前記第3のスイッチング素子の第1の電極は、前記トランジスタのゲート電極と電氣的に接続され、第2の電極は前記トランジスタの第1の電極、前記第1の電源線及び前記第2の電源線のいずれかと電氣的に接続されている画素を有する表示装置の駆動方法であって、前記第1および第2のスイッチング素子を導通し、前記ソース信号線から前記トランジスタに映像信号を入力し、かつ前記トランジスタの第1の電極の電位を固定し、前記第1および第2のスイッチング素子を非導

10

20

30

40

50

通として、前記トランジスタのゲート電極を浮遊状態とし、前記トランジスタのゲート電極に印加された電位に応じた電流を前記発光素子に供給し、前記容量素子により、前記トランジスタのゲート・ソース間電圧を保持し、前記トランジスタの第1の電極の電位変化量と、前記トランジスタのゲート電極の電位変化量とを等しくし、前記第3のスイッチング素子を導通して、前記トランジスタのゲート・ソース間電圧をしきい値電圧の絶対値以下とし、前記発光素子への電流の供給を停止することを特徴とする。

#### 【0049】

本発明の表示装置の駆動方法は、第1乃至第3のスイッチング素子と、トランジスタと、容量素子と、発光素子とを有し、前記第1のスイッチング素子の第1の電極はソース信号線と電氣的に接続され、第2の電極は前記トランジスタのゲート電極と電氣的に接続され、前記トランジスタの第1の電極は前記第2のスイッチング素子の第1の電極及び前記発光素子の第1の電極と電氣的に接続され、第2の電極は電流供給線と電氣的に接続され、前記第2のスイッチング素子の第2の電極は、第1の電源線と電氣的に接続され、前記発光素子の第2の電極は、第2の電源線と電氣的に接続され、前記容量素子は、前記トランジスタのゲート電極と第1の電極との間に設けられ、前記第3のスイッチング素子の第1の電極は、前記発光素子の第1の電極と電氣的に接続され、第2の電極は前記第1の電源線と電氣的に接続されている画素を有する表示装置の駆動方法であって、前記第1および第2のスイッチング素子を導通し、前記ソース信号線から前記トランジスタへ前記映像信号を入力し、かつ前記トランジスタの第1の電極の電位を固定し、前記第1および第2のスイッチング素子を非導通として、前記トランジスタのゲート電極を浮遊状態とし、前記トランジスタのゲート電極に印加された電位に応じた電流を前記発光素子に供給し、前記容量素子により、前記トランジスタのゲート・ソース間電圧を保持し、前記トランジスタの第1の電極の電位変化量と、前記トランジスタのゲート電極の電位変化量とを等しくし、前記第3のスイッチング素子を導通して、前記トランジスタのゲート・ソース間電圧をしきい値電圧の絶対値以下とし、前記発光素子への電流の供給を停止することを特徴とする。

#### 【0050】

本発明の表示装置の駆動方法は、第1乃至第3のスイッチング素子と、トランジスタと、容量素子と、発光素子とを有し、前記第1のスイッチング素子の第1の電極はソース信号線と電氣的に接続され、第2の電極は前記トランジスタのゲート電極と電氣的に接続され、前記トランジスタの第1の電極は、前記第2のスイッチング素子の第1の電極及び前記発光素子の第1の電極と電氣的に接続され、第2の電極は前記第3のスイッチング素子を介して電流供給線と電氣的に接続され、前記第2のスイッチング素子の第2の電極は、第1の電源線と電氣的に接続され、前記発光素子の第2の電極は第2の電源線と電氣的に接続され、前記容量素子は、前記トランジスタのゲート電極と第1の電極との間に設けられている画素を有する表示装置の駆動方法であって、前記第1および第2のスイッチング素子を導通し、前記ソース信号線から前記トランジスタに映像信号を入力し、かつ前記トランジスタの第1の電極の電位を固定し、前記第1および第2のスイッチング素子を非導通として、前記トランジスタのゲート電極を浮遊状態とし、前記第3のスイッチング素子を導通して、前記トランジスタのゲート電極に印加された電位に応じた電流を前記発光素子に供給し、前記容量素子により、前記トランジスタのゲート・ソース間電圧を保持し、前記トランジスタの第1の電極の電位変化量と、前記トランジスタのゲート電極の電位変化量とを等しくし、前記第3のスイッチング素子を非導通として、前記発光素子への電流の供給を停止することを特徴とする。

#### 【0051】

また本発明において、スイッチング素子はトランジスタを使用することができる。そして本発明のトランジスタとしては、薄膜トランジスタ(TFT)又はSOI技術を用いて形成されたトランジスタとすることができる。そして、活性層に有機物を利用したトランジスタ、多結晶半導体を用いたものでも、非晶質半導体を用いたものでもよい。例えば、ポリシリコンを用いたTFTや、アモルファスシリコンを用いたTFTを用いることが可能

10

20

30

40

50

である。

【発明の効果】

【0052】

本発明によって、単極性のTFT、特に素子としての電気的特性に優れるNチャネル型TFTを用いて構成した半導体装置において、EL素子の劣化による駆動用TFTのゲート・ソース間電圧の変動を生じない構成とし、よってEL素子が劣化した場合にも輝度の低下を生じにくくすることが可能となった。また、本発明で提案した構成は、特に複雑な構成とすることもなく、画素を構成する素子数を大きく増加させるものでもないため、開口率の低下等のデメリットを負うことなく、適用出来るため、大変有用であるといえる。

【図面の簡単な説明】

10

【0053】

【図1】本発明の一実施形態と、その動作を説明する図。

【図2】従来構成でTFTを単極性化した場合の動作を説明する図。

【図3】図1の構成による回路の動作を説明する図。

【図4】本発明の一実施形態と、その動作を説明する図。

【図5】本発明の一実施形態と、その動作を説明する図。

【図6】本発明の一実施形態と、その動作を説明する図。

【図7】駆動用TFTのゲート電極およびソース領域周辺の電位の変化について、本発明と従来例とを比較する図。

【図8】単極性のTFTによって構成された画素の一例を紹介する図。

20

【図9】本発明の一実施形態を示す図。

【図10】時間階調方式について説明する図。

【図11】時間階調方式について説明する図。

【図12】本発明の一実施形態と、その動作を説明する図。

【図13】半導体装置の作製工程について説明する図。

【図14】半導体装置の作製工程について説明する図。

【図15】半導体装置の上面図および断面図。

【図16】アナログ映像信号を用いて表示を行う半導体装置の構成を示す図。

【図17】図16の装置におけるソース信号線駆動回路およびゲート信号線駆動回路の例を示す図。

30

【図18】デジタル映像信号を用いて表示を行う半導体装置の構成を示す図。

【図19】図18の装置におけるソース信号線駆動回路の例を示す図。

【図20】本発明が適用可能な電子機器の例を示す図。

【図21】本発明の一実施形態と、その動作を説明する図。

【図22】本発明の画素構成の上面図を示す図。

【発明を実施するための形態】

【0054】

【実施の形態1】 図1(A)に、本発明の実施の一形態を示す。本発明の画素は、ソース信号線101、ゲート信号線102、第1乃至第3のTFT103～105、容量素子106、電流供給線107、EL素子108、電源線109、110（第1の電源線、第2の電源線）とを有する。TFT103のゲート電極は、ゲート信号線102に接続され、第1の電極は、ソース信号線101に接続され、第2の電極は、TFT104のゲート電極に接続されている。TFT104の第1の電極は、電流供給線107に接続され、第2の電極は、TFT105の第1の電極および、EL素子の第1の電極に接続されている。TFT105のゲート電極は、ゲート信号線102に接続され、第2の電極は、電源線110に接続されている。EL素子108の第2の電極は、電源線109に接続されている。容量素子106は、TFT104のゲート電極と第2の電極との間に設けられ、TFTのゲート・ソース間電圧を保持する。

40

【0055】

今、TFT103～105はいずれもNチャネル型TFTであり、そのゲート・ソース

50

間電圧がしきい値を上回ったとき、ONするものとする。また、EL素子108においては、第1の電極を陽極、第2の電極を陰極とし、陽極の電位を $V_A$ 、陰極の電位、すなわち電源線109の電位を $V_C$ とする。さらに、電流供給線107の電位を $V_{DD}$ とし、電源線110の電位を $V_{SS}$ とする。映像信号の電位は $V_{Sig}$ とする。

#### 【0056】

回路の動作について、図1および図3を用いて説明する。ここで、TFT104のゲート(G)、ソース(S)、ドレイン(D)を図3(A)のように定義する。

#### 【0057】

ある行において、ゲート信号線102が選択されてTFT103、105がONする。ソース信号線101より、映像信号が図3(A)に示すように、TFT104のゲート電極 10  
に入力されて、その電位が $V_{Sig}$ となる。一方、TFT105がONしているので、 $V_A = V_{SS}$ となる。このとき、 $V_{SS} \leq V_C$ としておくと、映像信号の書き込み時にはEL素子108に電流が流れない。ただし、 $V_{SS} > V_C$ となっており、EL素子108に電流が流れても構わない。ここで重要となるのは、 $V_A$ が一定電位に固定されていることである。この動作により、容量素子106の両電極間の電圧は、 $(V_{Sig} - V_{SS})$ となる。やがて、ゲート信号線102の選択期間が終了し、TFT103、105がOFFすると、容量素子106に貯まった電荷の移動経路がなくなり、TFT104のゲート・ソース間電圧( $V_{Sig} - V_{SS}$ )が保持される(図3(B))。

#### 【0058】

ここで、 $(V_{Sig} - V_{SS})$ がTFT104のしきい値を上回っているとき、TFT104 20  
がONして電流供給線107からEL素子に電流が流れ始めて発光が始まり(図3(C))、TFT104のソース電位が上昇する。このとき、TFT104のゲート電極は浮遊状態にあり、容量素子106によって、TFT104のゲート・ソース間電圧が保持されているので、ソース電位の上昇に伴って、ゲート電極の電位も上昇する。このとき、TFT104、105においては、そのゲート電極と半導体層(ソース領域あるいはドレイン領域)との間には容量成分が存在するが、容量素子106の容量値を、当該容量成分に対して十分に支配的としておくことにより、TFT104のソース電位の上昇幅と、TFT104のゲート電位の上昇幅とをおおむね等しくすることが出来る。

#### 【0059】

これらの動作を踏まえ、図1(B)を用いてEL素子の劣化の有無による動作について考 30  
える。図1(B)において、151はゲート信号線102の電位、152、153はTFT104のゲート電極の電位 $V_G$ 、154、155はEL素子108の陽極 $V_A$ すなわちTFT104のソース電位、156はTFT104のゲート・ソース間電圧 $V_{GS}$ をそれぞれ模式的に表したものである。

#### 【0060】

今、図1(B)に(i)で示した区間において、ゲート信号線102が選択され、Hレベルとなる。よってこの区間では、映像信号の書き込みが行われてTFT104のゲート電位 $V_G$ が上昇する。また、TFT105がONしているので、EL素子108の陽極の電位 $V_A$ 、つまりTFT104のソース電位は、 $V_{SS}$ に等しくなる。よって、TFT104のゲート・ソース間電圧 $V_{GS}$ が大きくなる。またこの区間では、 $V_A = V_{SS} < V_C$ となってい 40  
る場合には、映像信号 $V_{Sig}$ の値に関係なく、EL素子108は発光しない。

#### 【0061】

(ii)で示したタイミングにおいて、ゲート信号線102の選択が終了してLレベルとなり、TFT103、105がOFFする。このときの $V_{GS} = (V_{Sig} - V_A)$ が、容量素子106に保持される。

#### 【0062】

続いて、(iii)で示した区間に入り、発光が始まる。このとき、TFT104のゲート・ソース間電圧 $V_{GS}$ がそのしきい値を上回っていれば、TFT104がONしてドレイン電流が流れ、EL素子108が発光する。同時に、TFT104のソース電位も上昇する。ここで、前述のとおり、TFT104のゲート電極は浮遊状態となっており、TFT1 50

04のソース電位の上昇と同様に上昇する。

【0063】

ここで、EL素子108が劣化した場合を考える。EL素子が劣化すると、前述のとおりある値の電流をEL素子108に流そうとすると、陽極・陰極間の電圧が大きくなるため、155で示すように $V_A$ が上昇する。しかし本発明の場合、 $V_A$ の上昇分だけ、 $V_G$ も上昇するため、結果として $V_{GS}$ に変化がないことがわかる。

【0064】

一方、図7に示すように、図2(B)に示したような従来の構成の場合、一旦映像信号が入力されてその電位が $V_{Sig}$ となると、その後TFT204のゲート電位 $V_G$ は変化しない。よって、EL素子207が劣化して $V_A$ が上昇すると、TFT204のゲート・ソース間電圧は劣化前よりも小さくなってしまう(図7(G)(H))。このような場合、TFT204を飽和領域で動作させたとしても、動作点における電流値は変化してしまうことになる。よって、EL素子207が劣化し、電圧・電流特性が変化すると、EL素子207に流れる電流が小さくなり、輝度が低下する。

【0065】

以上のように、本発明においては、EL素子の劣化に対しても電流値に変化を与えないようにして、EL素子の劣化の影響を除去することが出来る。

【0066】

また、電源線の電位 $V_{SS}$ 、 $V_C$ はいずれも任意に設定出来るので、 $V_{SS} < V_C$ としておくことによって、EL素子に逆バイアスを印加することも容易である。

【0067】

なお、TFT103、105は、単なるスイッチング素子として機能すればよく、その極性は問わない。すなわち、画素を構成するTFTを全て単極性としても正常動作が可能となる。図1においては、TFT103、105を同極性とし、ゲート信号線102のみによって制御しているが、異なる第1、第2のゲート信号線を用いて、それぞれのTFTを制御するようにしても良い。この場合はTFT103、105が互いに極性が異なっても構わない。ただし、画素の開口率等を考えると、配線数は可能な限り少ない本数とするのが望ましい。

【0068】

【実施の形態2】 図1に示した構成によると、画素部に引き回す配線は、ソース信号線、ゲート信号線、電流供給線( $V_{DD}$ )、電源線( $V_C$ )、電源線( $V_{SS}$ )の5本を必要としていた。本実施形態においては、配線を共用することによって1画素あたりの配線の本数を減らし、高開口率化を得られる構成について説明する。

【0069】

図9に、本実施形態の構成を示す。実施形態1と異なる点は、TFT906の第2の電極が電源線( $V_{SS}$ )に接続されていたのに対し、本実施形態では、次行のゲート信号線に接続されている点のみである。点線枠900で示された画素が*i*行目であるとする、TFT906の第2の電極は、*i*+1行目のゲート信号線に接続されている。

【0070】

ゲート信号線を選択するパルスの条件としては、Hレベルのときは、TFT904のゲート・ソース間電圧が十分にしきい値を上回ればよい。すなわち、映像信号 $V_{Sig}$ の最大値に対し、さらにしきい値分以上高い電位であれば良い。これに対し、Lレベルのときは、TFT904が確実にOFFする電位であれば良い。よって、ゲート信号線において、Lレベルの電位を $V_{SS}$ に等しくしておく。

【0071】

*i*行目のゲート信号線が選択されてHレベルとなり、TFT904、906がONするとき、*i*+1行目のゲート信号線はまだ選択されていない。すなわちLレベルであり、その電位は $V_{SS}$ である。よって、TFT906を介して、EL素子の陽極の電位 $V_A$ は、実施形態と同じく $V_{SS}$ に等しくなる。よって、本実施形態に従って配線を共用した場合にも、実施形態1と同様の動作を得ることが出来る。

## 【0072】

なお、 $i$  行目のゲート信号線が選択されてHレベルとなり、TFT906がONしている期間に、一定の電位 $V_{SS}$ を与えることの出来る場所であれば、TFT906の第2の電極の接続先は、 $i+1$  行目のゲート信号線に限定されず、例えば $i-1$  行目のゲート信号線であっても良いし、それ以外であっても良い。隣接行の信号線を共用する場合には、当該信号線のパルスが互いに重ならないようにするのが望ましい。

## 【0073】

また、実施形態1に記載したように、TFT904、906は単なるスイッチング素子として機能すればよいので、その極性は問わず、図9のように、1本のゲート信号線902によって制御されることに限定はしない。

10

## 【0074】

【実施の形態3】 駆動用TFTのゲート・ソース間電圧を制御して、EL素子に流れる電流値をアナログ量で制御して表示を行う方式をアナログ階調方式と呼ぶ。これに対し、EL素子を輝度100%、0%の2つの状態のみで駆動するデジタル階調方式が提案されている。この方式では、白、黒の2階調しか表現出来ないが、TFTの特性ばらつきの影響を受けにくいというメリットがある。デジタル階調方式によって多階調化を図るには、時間階調方式と組み合わせた駆動方法を用いる。時間階調方式とは、素子が発光している時間の長短によって、階調を表現する方法である。

## 【0075】

デジタル階調方式と時間階調方式とを組み合わせた場合、図10(A)に示すように、1フレーム期間を複数のサブフレーム期間に分割する。各サブフレーム期間は、図10(B)に示すように、アドレス(書き込み)期間と、サステイン(発光)期間と、消去期間とを有する。表示ビット数に応じた数のサブフレーム期間を設け、各サブフレーム期間におけるサステイン(発光)期間の長さを、 $2^{(n-1)} : 2^{(n-2)} : \dots : 2 : 1$ とし、各サステイン(発光)期間でEL素子の発光、もしくは非発光の選択をし、EL素子が発光している合計期間の長さの差を利用して階調表現を行う。発光している期間が長ければ輝度が高く、短ければ輝度が低くなる。なお、図10においては4ビット階調の例を示しており、1フレーム期間は4つのサブフレーム期間に分割され、サステイン(発光)期間の組み合わせによって、 $2^4=16$ 階調を表現出来る。なお、サステイン期間の長さの比は、特に2のべき乗の比としなくても、階調表現は可能である。また、あるサブフレーム期間をさらに分割

20

30

## 【0076】

時間階調方式を用いて多階調化を図る場合、下位ビットのサステイン(発光)期間の長さがより短くなるため、サステイン(発光)期間の終了後、直ちに次のアドレス期間を開始しようとする、異なるサブフレーム期間のアドレス(書き込み)期間が重複する期間が生ずる。その場合、ある画素に入力される映像信号が、同時に異なる画素にも入力されてしまうため、正常な表示が出来なくなる。消去期間は、このような問題を解決するために設けられており、図10(B)に示すように、Ts3の後、およびTs4の後で、異なる2つのアドレス(書き込み)期間が重複しないように設けられる。よって、サステイン(発光)期間が十分に長く、異なる2つのアドレス(書き込み)期間の重複が生ずる心配の無いSF1、SF2においては、消去期間は設けられていない。

40

## 【0077】

このように、デジタル階調方式と時間階調方式とを組み合わせた方法によって駆動するには、EL素子の発光を強制的に停止して消去期間を設ける動作を追加しなければならない場合がある。

## 【0078】

図4(A)は、実施形態1において示した構成の画素に、第2のゲート信号線403、消去用TFT407を追加し、デジタル階調方式と時間階調方式とを組み合わせた駆動方法に対応したものの一例である。消去用TFT407のゲート電極は、第2のゲート信号線403に接続され、第1の電極は、TFT405のゲート電極および容量素子408の第

50



1の電極に接続され、第2の電極は、TFT405の第2の電極および、容量素子408の第2の電極に接続されている。

【0079】

第1のゲート信号線402が選択され、映像信号が入力される動作は、実施の形態1にて示したものと同様であるのでここでは省略する。なお、映像信号の入力が行われている期間においては、第2のゲート信号線はLレベルであり、消去用TFT407はOFFしている。このとき、 $V_{sig}$ は、TFT405が確実にONするだけの電位もしくは、TFT405がOFFする電位のいずれかの電位をとる。

【0080】

ここで、サステイン(発光)期間から消去期間における動作について、図4および図11を用いて説明する。図11(A)は、図10(A)に示したものと同様であり、1フレーム期間は、図11(B)に示すように、4つのサブフレーム期間を有する。サステイン(発光)期間が短いサブフレーム期間SF3、SF4においては、それぞれ消去期間Te3、Te4を有している。ここでは、SF3での動作を例として説明する。

【0081】

映像信号の入力が終了した後、図10(B)に示すように、TFT405のゲート・ソース間電圧 $V_{GS}$ に応じた電流がEL素子410に流れて発光する。その後、当該サステイン(発光)期間の終了するタイミングに達すると、第2のゲート信号線403にパルスが入力されてHレベルとなり、消去用TFT407がONし、図4(C)に示すように、TFT907のゲート・ソース間電圧 $V_{GS}$ を0とする。よってTFT405がOFFし、EL素子410への電流が遮断され、強制的にEL素子410は非発光となる。

【0082】

これらの動作をタイミングチャートとして、図11(C)に示した。サステイン(発光)期間Ts3の後、第3のゲート信号線403にパルスが入力されてEL素子410が非発光となってから、再び第1のゲート信号線402にパルスが入力されて、次の映像信号が入力され始めるまでの期間が消去期間Te3となる。

【0083】

また、図4(A)に示した構成において、TFT406の第2の電極は、電源線412に接続されているが、この電源線412を、実施形態2に示したように、隣接行のゲート信号線で代用することも出来る。また、本実施形態においては、消去用のTFT407を制御するために、第2のゲート信号線403があるので、TFT406の第2の電極は、第2のゲート信号線403に接続されていても良い。

【0084】

また、TFT404、406は同一のゲート信号線402によって制御されているが、一本ゲート信号線を追加し、異なるゲート信号線によってTFT404、406をそれぞれ制御しても構わない。

【0085】

[実施の形態4] 図5(A)に、実施形態3とは異なる位置に消去用TFTを設けた例を示す。本実施形態においては、消去用TFT507は、TFT505のゲート電極および容量素子508の第1の電極と、電源線512との間に設けられている。

【0086】

駆動方法において、映像信号の入力～発光に関しては、実施形態3と同様、デジタル階調方式と時間階調方式とを組み合わせた方法によれば良いので、ここでは説明を省略し、消去期間における動作について説明する。

【0087】

サステイン(発光)期間の終了するタイミングに達すると、第2のゲート信号線503にパルスが入力されてHレベルとなり、消去用TFT507がONし、図5(C)に示すように、TFT505のゲート電極の電位が $V_{SS}$ となる。つまり、消去期間においては、TFT505のゲート・ソース間電圧 $V_{GS}$ が、しきい値を下回るようにしてやれば良い。

【0088】

10

20

30

40

50

TFT505のソース電位は、少なくとも $V_{SS}$ に等しいかそれ以上の電位にある。よって、前述の消去用TFT507の動作により、TFT505のゲート・ソース間電圧 $V_{GS}$ は、 $V_{GS} \leq 0$ となり、TFT505がOFFする。よってEL素子510が非発光となり、再び第1のゲート信号線502にパルスが入力されて、次の映像信号が入力され始めるまでの期間が消去期間となる。

#### 【0089】

また、図5(A)に示した構成において、TFT506の第2の電極は、電源線512に接続されているが、この電源線512を、実施形態2に示したように、隣接行のゲート信号線で代用することも出来る。また、本実施形態においては、消去用のTFT507を制御するために、第2のゲート信号線503があるので、TFT506の第2の電極は、第2のゲート信号線503に接続されていても良い。

10

#### 【0090】

[実施の形態5] 図6(A)に、実施形態3、4とは異なる位置に消去用TFTを設けた例を示す。本実施形態においては、消去用TFT607は、TFT605の第1の電極と、電流供給線との間に設けられている。

#### 【0091】

回路の動作について説明する。第1のゲート信号線602が選択されてHレベルとなり、TFT604がONして、ソース信号線601より映像信号が画素に入力される。一方、TFT606もONし、EL素子610の陽極の電位 $V_A$ を $V_{SS}$ に等しくする。このとき、 $V_{SS} \leq V_C$ としておくと、映像信号の書き込み時にはEL素子610に電流が流れないため、TFT607はONでもOFFでも構わない。

20

#### 【0092】

映像信号の入力が完了し、第1のゲート信号線602が非選択となると、TFT605のゲート電極は浮遊状態となり、容量素子608においては、貯まった電荷の移動経路が遮断されるため、ゲート・ソース間電圧 $V_{GS}$ は容量素子608に保持される。

#### 【0093】

続いて、第2のゲート信号線603が選択されてHレベルとなり、TFT607がONすることによって図6(D)に示すように電流が流れ、EL素子610の陽極の電位 $V_A$ が上昇して陰極の電位 $V_C$ と電位差を生じ、電流が流れて発光する。なお、映像信号の入力を行っている段階からTFT607がONしていても良い。この場合は、第1のゲート信号線602が非選択となった瞬間、TFT607、605を経てEL素子610に電流が供給され、EL素子610の陽極の電位 $V_A$ が上昇して陰極の電位 $V_C$ と電位差を生じ、電流が流れて発光する。

30

#### 【0094】

サステイン(発光)期間の終了するタイミングに達すると、第2のゲート信号線603が非選択となってLレベルとなり、TFT607がOFFし、電流供給線609からEL素子610への電流経路を遮断する。これによりEL素子610には電流が流れなくなって非発光となる。その後、再び第1のゲート信号線602にパルスが入力されて、次の映像信号が入力され始めるまでの期間が消去期間となる。

#### 【0095】

なお、TFT607は、TFT605の第1の電極と、EL素子610の陽極との間に配置されていても良い。すなわち、電流供給線609からEL素子610への電流経路の間に配置し、消去期間においてEL素子610への電流供給をカットできれば良い。

40

#### 【0096】

[実施の形態6] 実施形態3～5においては、TFTを追加して消去期間を設ける例について説明してきたが、本実施形態においては、消去用TFTを追加することなく、同様の動作を行う例について説明する。

#### 【0097】

図21(A)に、構成を示す。構成はおおむね実施形態1等に示したものと同様であるが、TFT2104、2106がそれぞれ別のゲート信号線2102、2103によって制

50

御される点が異なる。

#### 【0098】

サステイン(発光)期間においては、図21(B)に示したように、容量素子2107によってTF T 2105のゲート・ソース間電圧が固定され、それに伴った電流がEL素子2109に流れて発光する。

#### 【0099】

続いて、消去期間に移ると、第2のゲート信号線2103にパルスが入力されてTF T 2106がONする。このとき、TF T 2106の第2の電極が接続されている電源線2111の電位を、EL素子2109の陰極の電位、すなわち電源線2110の電位よりも低くしておくことによって、EL素子2109には電流が流れなくなる。よって、このときの電流は、図21(C)に示したように流れる。

10

#### 【0100】

なお、電源線2111は、他の実施形態においても述べたように、隣接行のゲート信号線を用いても良い。

#### 【0101】

[実施の形態7] EL素子に電流を供給するTF Tには、Nチャネル型TF Tを用いてきたが、本発明は、駆動用TF TにPチャネル型TF Tを用いての実施も可能である。図12(A)に構成例を示す。

#### 【0102】

回路構成は図1(A)にて示したNチャネル型TF Tを用いたものと同様であるが、EL素子1208の構成が逆となっており、TF T 1204の第2の電極に接続された側が陰極となり、電源線1209に接続された側が陽極となっている点と、電流供給線1207の電位が $V_{SS}$ 、電源線1209の電位が $V_A$ 、電源線1210の電位が $V_{DD}$ である点と異なる。ここで、 $V_{SS} < V_{DD}$ かつ $V_A < V_{DD}$ である。

20

#### 【0103】

回路の動作について、図12(B)～(D)を用いて説明する。なおここでは、TF Tの極性はPチャネル型であり、ゲート電極にLレベルが入力されてONし、Hレベルが入力されてOFFするものとする。

#### 【0104】

ある行において、ゲート信号線1202が選択されてLレベルとなり、TF T 1203、1205がONする。ソース信号線1201より、映像信号が図12(B)に示すように、TF T 1204のゲート電極に入力されて、その電位が $V_{Sig}$ となる。一方、TF T 1205がONしているため、EL素子1208の陰極の電位 $V_C$ は、 $V_C = V_{DD}$ となる。このとき、 $V_A \leq V_{DD}$ としておくと、映像信号の書き込み時にはEL素子1208には電流が流れない。この動作により、容量素子1206の両電極間の電圧、つまりTF T 1204のゲート・ソース間電圧は、 $(V_{Sig} - V_{DD})$ となる。やがて、ゲート信号線1202の選択期間が終了してHレベルとなり、TF T 1203、1205がOFFすると、容量素子1206に貯まった電荷の移動経路がなくなり、TF T 1204のゲート・ソース間電圧( $V_{Sig} - V_{DD}$ )が保持される(図12(C))。

30

#### 【0105】

ここで、 $(V_{Sig} - V_{DD})$ がTF T 1204のしきい値よりも低くなっているとき、TF T 1204がONし、電源線1209～EL素子1208～電流供給線1207間を電流が流れて発光が始まり(図12(D))、TF T 1204のソース電位が下降する。このとき、TF T 1204のゲート電極は浮遊状態にあり、容量素子1206によって、TF T 1204のゲート・ソース間電圧が保持されているので、ソース電位の下降に伴って、ゲート電極の電位も下降する。

40

#### 【0106】

図12(A)では、画素を構成するTF Tには全てPチャネル型TF Tを用いているが、TF T 1203、1205に関しては、他の実施形態でも述べたように、単なるスイッチング素子として機能すれば良いので、その極性は問わない。また、ゲート信号線1202

50

のみによって、T F T 1 2 0 3、1 2 0 5が駆動される必要はなく、それぞれのT F Tを別のゲート信号線によって制御する構成としていても構わない。

【0107】

以下に、本発明の実施例について記載する。

【実施例1】

【0108】

本実施例においては、映像信号にアナログ映像信号を用いて表示を行う発光装置の構成について説明する。図16(A)に、発光装置の構成例を示す。基板1601上に、複数の画素がマトリクス状に配置された画素部1602を有し、画素部周辺には、ソース信号線駆動回路1603および、第1、第2のゲート信号線駆動回路1604、1605を有して

10

【0109】

ソース信号線駆動回路1603、第1、第2のゲート信号線駆動回路1604、1605に入力される信号は、フレキシブルプリント基板(Flexible Print Circuit: FPC)1606を介して外部より供給される。

【0110】

図16(B)に、ソース信号線駆動回路の構成例を示す。これは、映像信号にアナログ映像信号を用いて表示を行うためのソース信号線駆動回路であり、シフトレジスタ1611、バッファ1612、サンプリング回路1613を有している。特に図示していないが、必要に応じてレベルシフタ等を追加しても良い。

20

【0111】

ソース信号線駆動回路の動作について説明する。図17(A)に、より詳細な構成を示したので、そちらを参照する。

【0112】

シフトレジスタ1701は、フリップフロップ回路(F F)1702等を複数段用いてなり、クロック信号(S - C L K)、クロック反転信号(S - C L K b)、スタートパルス(S - S P)が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが

30

【0113】

シフトレジスタ1701より出力されたサンプリングパルスは、バッファ1703等を通して増幅された後、サンプリング回路へと入力される。サンプリング回路1704は、サンプリングスイッチ(S W)1705を複数段用いてなり、サンプリングパルスが入力されるタイミングに従って、ある列で映像信号のサンプリングを行う。具体的には、サンプリングスイッチにサンプリングパルスが入力されると、サンプリングスイッチ1705がONし、そのときに映像信号が有する電位が、サンプリングスイッチを介して各々のソース信号線へと出力される。

【0114】

続いて、ゲート信号線駆動回路の動作について説明する。図16(C)に示した、第1、第2のゲート信号線駆動回路1604、1605についての詳細な構成の一例を図17(B)に示した。第1のゲート信号線駆動回路は、シフトレジスタ回路1711、バッファ1712を有し、クロック信号(G - C L K 1)、クロック反転信号(G - C L K b 1)、スタートパルス(G - S P 1)に従って駆動される。第2のゲート信号線駆動回路1605も構成は同様で良い。

40

【0115】

シフトレジスタ～バッファの動作については、ソース信号線駆動回路の場合と同様である。バッファによって増幅された選択パルスは、それぞれのゲート信号線を選択する。第1のゲート信号線駆動回路によって、第1のゲート信号線 $G_{11}$ 、 $G_{21}$ 、 $\dots$ 、 $G_{m1}$ が順

50

次選択され、第2のゲート信号線駆動回路によって、第2のゲート信号線 $G_{12}$ 、 $G_{22}$ 、 $\cdots$ 、 $G_{m2}$ が順次選択される。図示していないが、第3のゲート信号線駆動回路についても第1、第2のゲート信号線駆動回路と同様であり、第3のゲート信号線 $G_{13}$ 、 $G_{23}$ 、 $\cdots$ 、 $G_{m3}$ が順次選択される。選択された行において、実施形態にて説明した手順により、画素に映像信号が書き込まれて発光する。

#### 【0116】

なお、ここではシフトレジスタの一例として、Dフリップフロップを複数段用いてなるものを図示したが、デコーダ等によって、信号線を選択出来るような構成としていても良い。

#### 【実施例2】

10

#### 【0117】

本実施例においては、映像信号にデジタル映像信号を用いて表示を行う発光装置の構成について説明する。図18(A)に、発光装置の構成例を示す。基板1801上に、複数の画素がマトリクス状に配置された画素部1802を有し、画素部周辺には、ソース信号線駆動回路1803および、第1、第2のゲート信号線駆動回路1804、1805を有している。図18(A)においては、2組のゲート信号線駆動回路を用いているが、図1に示した画素のようにゲート信号線が1本である場合には、両側からゲート信号線を同時に制御する。図4、図5に示した画素のように、2本のゲート信号線を有する場合は、それぞれのゲート信号線駆動回路が、それぞれのゲート信号線を制御する。

#### 【0118】

20

ソース信号線駆動回路1803、第1、第4のゲート信号線駆動回路1804、1805に入力される信号は、フレキシブルプリント基板(Flexible Print Circuit: FPC)1806を介して外部より供給される。

#### 【0119】

図18(B)に、ソース信号線駆動回路の構成例を示す。これは、映像信号にデジタル映像信号を用いて表示を行うためのソース信号線駆動回路であり、シフトレジスタ1811、第1のラッチ回路1812、第2のラッチ回路1813、D/A変換回路1814を有している。特に図示していないが、必要に応じてレベルシフタ等を追加しても良い。

#### 【0120】

第1、第2のゲート信号線駆動回路1804、1805については、実施例1にて示したものと同様で良いので、ここでは図示および説明を省略する。

30

#### 【0121】

ソース信号線駆動回路の動作について説明する。図19(A)に、より詳細な構成を示したので、そちらを参照する。

#### 【0122】

シフトレジスタ1901は、フリップフロップ回路(FF)1910等を複数段用いてなり、クロック信号(S-CLK)、クロック反転信号(S-CLKb)、スタートパルス(S-SP)が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

#### 【0123】

40

シフトレジスタ1901より出力されたサンプリングパルスは、第1のラッチ回路1902に入力される。第1のラッチ回路1902には、デジタル映像信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各段でデジタル映像信号を保持していく。ここでは、デジタル映像信号は3ビット入力されており、各ビットの映像信号を、それぞれの第1のラッチ回路において保持する。1つのサンプリングパルスによって、ここでは3つの第1のラッチ回路が並行して動作する。

#### 【0124】

第1のラッチ回路1902において、最終段までデジタル映像信号の保持が完了すると、水平帰線期間中に、第2のラッチ回路1903にラッチパルス(Latch Pulse)が入力され、第1のラッチ回路1902に保持されていたデジタル映像信号は、一斉

50

に第2のラッチ回路1903に転送される。その後、第2のラッチ回路1903に保持されたデジタル映像信号は、1行分が同時に、D/A変換回路1904へと入力される。

【0125】

第2のラッチ回路1903に保持されたデジタル映像信号がD/A変換回路1904に

【0126】

D/A変換回路1904においては、入力されるデジタル映像信号をデジタルーアナログ変換し、アナログ電圧を有する映像信号としてソース信号線に出力する。

【0127】

前記の動作が、1水平期間内に、全段にわたって同時に行われる。よって、全てのソース信号線に映像信号が出力される。

【0128】

なお、実施例1においても述べたとおり、シフトレジスタの代わりにデコーダ等を用いて、信号線を選択出来るような構成としていても良い。

【実施例3】

【0129】

実施例2においては、デジタル映像信号はD/A変換回路によってデジタルーアナログ変換を受け、画素に書き込まれるが、本発明の半導体装置は、時間階調方式によって階調表現を行うことも出来る。この場合には、図19(B)に示すように、D/A変換回路を必要とせず、階調表現は、EL素子の発光時間の長短によって制御されるので、各ビットの映像信号を並列処理する必要がないため、第1および第2のラッチ回路も1ビット分で良い。このとき、デジタル映像信号は、各ビットが直列に入力され、順次ラッチ回路に保持され、画素に書き込まれる。勿論、必要ビット数分だけのラッチ回路を並列配置していても構わない。

【実施例4】

【0130】

本明細書では、駆動回路と、スイッチング用TFT及び駆動用TFTを有する画素部とが同一基板上に形成された基板を便宜上アクティブマトリクス基板と呼ぶ。そして本実施例では前記アクティブマトリクス基板を、単極性のTFTによって作製する工程について、図13、図14を用いて説明する。

【0131】

基板5000は、石英基板、シリコン基板、金属基板又はステンレス基板の表面に絶縁膜を形成したものをを用いる。また本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いても良い。本実施例ではバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等のガラスからなる基板5000を用いた。

【0132】

次いで、基板5000上に酸化珪素膜、窒化珪素膜又は酸化窒化珪素膜などの絶縁膜から成る下地膜5001を形成する。本実施例の下地膜5001は2層構造で形成したが、前記絶縁膜の単層構造又は前記絶縁膜を2層以上積層させた構造であっても良い。

【0133】

本実施例では、下地膜5001の1層目として、プラズマCVD法を用いて、SiH<sub>4</sub>、NH<sub>3</sub>、及びN<sub>2</sub>Oを反応ガスとして成膜される窒化酸化珪素膜5001aを10～200[nm](好ましくは50～100[nm])の厚さに形成する。本実施例では、窒化酸化珪素膜5001aを50[nm]の厚さに形成した。次いで下地膜5001の2層目として、プラズマCVD法を用いて、SiH<sub>4</sub>及びN<sub>2</sub>Oを反応ガスとして成膜される酸化窒化珪素膜5001bを50～200[nm](好ましくは100～150[nm])の厚さに形成する。本実施例では、酸化窒化珪素膜5001bを100[nm]の厚さに形成した。

【0134】

続いて、下地膜5001上に半導体層5002～5005を形成する。半導体層500

10

20

30

40

50

2～5005は公知の手段(スパッタ法、LPCVD法、プラズマCVD法等)により25～80[nm](好ましくは30～60[nm])の厚さで半導体膜を成膜する。次いで前記半導体膜を公知の結晶化法(レーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法等)を用いて結晶化させる。そして、得られた結晶質半導体膜を所望の形状にパターンニングして半導体層5002～5005を形成する。なお前記半導体膜としては、非晶質半導体膜、微結晶半導体膜、結晶質半導体膜、又は非晶質珪素ゲルマニウム膜などの非晶質構造を有する化合物半導体膜などを用いても良い。

#### 【0135】

本実施例では、プラズマCVD法を用いて、膜厚55[nm]の非晶質珪素膜を成膜した。そして、ニッケルを含む溶液を非晶質珪素膜上に保持させ、この非晶質珪素膜に脱水素化(500[°C]、1時間)を行った後、熱結晶化(550[°C]、4時間)を行って結晶質珪素膜を形成した。その後、フォトリソグラフィ法を用いたパターンニング処理によって半導体層5002～5005を形成した。

#### 【0136】

なおレーザ結晶化法で結晶質半導体膜を作製する場合のレーザは、連続発振またはパルス発振の気体レーザ又は固体レーザを用いれば良い。前者の気体レーザとしては、エキシマレーザ、YAGレーザ、YVO<sub>4</sub>レーザ、YLFレーザ、YAlO<sub>3</sub>レーザ、ガラスレーザ、ルビーレーザ、Ti：サファイアレーザ等を用いることができる。また後者の固体レーザとしては、Cr、Nd、Er、Ho、Ce、Co、Ti又はTmがドーピングされたYAG、YVO<sub>4</sub>、YLF、YAlO<sub>3</sub>などの結晶を使ったレーザを用いることができる。当該レーザの基本波はドーピングする材料によって異なり、1[μm]前後の基本波を有するレーザ光が得られる。基本波に対する高調波は、非線形光学素子を用いることで得ることができる。なお非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波を適用するのが好ましい。代表的には、Nd：YVO<sub>4</sub>レーザー(基本波1064[nm])の第2高調波(532[nm])や第3高調波(355[nm])を適用する。

#### 【0137】

また出力10[W]の連続発振のYVO<sub>4</sub>レーザから射出されたレーザ光は、非線形光学素子により高調波に変換する。さらに、共振器の中にYVO<sub>4</sub>結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面に矩形または楕円形状のレーザ光に成形して、被処理体に照射する。このときのエネルギー密度は0.01～100[MW/cm<sup>2</sup>]程度(好ましくは0.1～10[MW/cm<sup>2</sup>])が必要である。そして、10～2000[cm/s]程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射する。

#### 【0138】

また上記のレーザを用いる場合には、レーザ発振器から放射されたレーザビームを光学系で線状に集光して、半導体膜に照射すると良い。結晶化の条件は適宜設定されるが、エキシマレーザを用いる場合はパルス発振周波数300[Hz]とし、レーザーエネルギー密度を100～700[mJ/cm<sup>2</sup>](代表的には200～300[mJ/cm<sup>2</sup>])とすると良い。またYAGレーザを用いる場合には、その第2高調波を用いてパルス発振周波数1～300[Hz]とし、レーザーエネルギー密度を300～1000[mJ/cm<sup>2</sup>](代表的には350～500[mJ/cm<sup>2</sup>])とすると良い。そして幅100～1000[μm](好ましくは幅400[μm])で線状に集光したレーザ光を基板全面に渡って照射し、このときの線状ビームの重ね合わせ率(オーバーラップ率)を50～98[%]として行っても良い。

#### 【0139】

しかしながら本実施例では、結晶化を助長する金属元素を用いて非晶質珪素膜の結晶化を行ったため、前記金属元素が結晶質珪素膜中に残留している。そのため、前記結晶質珪素膜上に50～100[nm]の非晶質珪素膜を形成し、加熱処理(RTA法やファーネスアニール炉を用いた熱アニール等)を行って、該非晶質珪素膜中に前記金属元素を拡散させ

、前記非晶質珪素膜は加熱処理後にエッチングを行って除去する。その結果、前記結晶質珪素膜中の金属元素の含有量を低減または除去することができる。

#### 【0140】

なお半導体層5002～5005を形成した後、TFEのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

#### 【0141】

次いで、半導体層5002～5005を覆うゲート絶縁膜5006を形成する。ゲート絶縁膜5006はプラズマCVD法やスパッタ法を用いて、膜厚を40～150[nm]として珪素を含む絶縁膜で形成する。本実施例では、ゲート絶縁膜5006としてプラズマCVD法により酸化窒化珪素膜を115[nm]の厚さに形成した。勿論、ゲート絶縁膜5006は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

10

#### 【0142】

なおゲート絶縁膜5006として酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO<sub>2</sub>とを混合し、反応圧力40[Pa]、基板温度300～400[°C]とし、高周波(13.56[MHz])電力密度0.5～0.8[W/cm<sup>2</sup>]で放電させて形成しても良い。上記の工程により作製される酸化珪素膜は、その後400～500[°C]の熱アニールによって、ゲート絶縁膜5006として良好な特性を得ることができる。

#### 【0143】

次いで、ゲート絶縁膜5006上に膜厚20～100[nm]の第1の導電膜5007と、膜厚100～400[nm]の第2の導電膜5008とを積層形成する。本実施例では、膜厚30[nm]のTa<sub>2</sub>N膜からなる第1の導電膜5007と、膜厚370[nm]のW膜からなる第2の導電膜5008を積層形成した。

20

#### 【0144】

本実施例では、第1の導電膜5007であるTa<sub>2</sub>N膜はスパッタ法で形成し、Taのターゲットを用いて、窒素を含む雰囲気内でスパッタ法で形成した。また第2の導電膜5008であるW膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン(WF<sub>6</sub>)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μΩcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW(純度99.9999[%])のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20[μΩcm]を実現することができた。

30

#### 【0145】

なお本実施例では、第1の導電膜5007をTa<sub>2</sub>N膜、第2の導電膜5008をW膜としたが、第1の導電膜5007及び第2の導電膜5008を構成する材料は特に限定されない。第1の導電膜5007及び第2の導電膜5008は、Ta、W、Ti、Mo、Al、Cu、Cr、Ndから選択された元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜やAgPdCu合金で形成してもよい。

40

#### 【0146】

次いで、フォトリソグラフィ法を用いてレジストからなるマスク5009を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。(図13(B))

#### 【0147】

本実施例では第1のエッチング条件として、ICP(Inductively Coupled Plasma：誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とを用い、それぞれのガス流量比を25：25：10[sccm]とし、1.0[Pa]の圧力でコイル型の

50



電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも150[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加した。そしてこの第1のエッチング条件によりW膜をエッチングして第1の導電層5007の端部をテーパ形状とした。

#### 【0148】

続いて、レジストからなるマスク5009を除去せずに第2のエッチング条件に変更し、エッチング用ガスに $\text{CF}_4$ と $\text{Cl}_2$ とを用い、それぞれのガス流量比を30:30[sccm]とし、1.0[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して15秒程度のエッチングを行った。基板側(試料ステージ)にも20[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加した。第2のエッチング条件では第1の導電層5007及び第2の導電層5008とも同程度にエッチングを行った。なお、ゲート絶縁膜5006上に残渣を残すことなくエッチングするためには、10~20[%]程度の割合でエッチング時間を増加させると良い。

10

#### 【0149】

上記の第1のエッチング処理では、レジストからなるマスクの形状を適したものとするにより、基板側に印加するバイアス電圧の効果により第1の導電層5007及び第2の導電層5008の端部がテーパ形状となる。こうして、第1のエッチング処理により第1の導電層5007と第2の導電層5008から成る第1の形状の導電層5010~5014を形成した。ゲート絶縁膜5006においては、第1の形状の導電層5010~5014で覆われない領域が20~50nm程度エッチングされたため、膜厚が薄くなった領域が形成された。

20

#### 【0150】

次いで、レジストからなるマスク5009を除去せずに第2のエッチング処理を行う。(図13(C))第2のエッチング処理では、エッチングガスに $\text{SF}_6$ と $\text{Cl}_2$ と $\text{O}_2$ を用い、それぞれのガス流量比を24:12:24(sccm)とし、1.3Paの圧力でコイル側の電力に700WのRF(13.56MHz)電力を投入してプラズマを生成して25秒程度のエッチングを行った。基板側(試料ステージ)にも10WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加した。こうして、W膜を選択的にエッチングして、第2の形状の導電層5015~5019を形成した。このとき、第1の導電層5015a~5018aは、ほとんどエッチングされない。

30

#### 【0151】

そして、レジストからなるマスク5009を除去せずに第1のドーピング処理を行い、半導体層5002~5005にN型を付与する不純物元素を低濃度に添加する。第1のドーピング処理はイオンドープ法又はイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} [\text{atoms}/\text{cm}^2]$ とし、加速電圧を40~80[keV]として行う。本実施例ではドーズ量を $5.0 \times 10^{13} [\text{atoms}/\text{cm}^2]$ とし、加速電圧を50[keV]として行った。N型を付与する不純物元素としては、15族に属する元素を用いれば良く、代表的にはリン(P)又は砒素(As)を用いられるが、本実施例ではリン(P)を用いた。この場合、第2の形状の導電層5015~5019がN型を付与する不純物元素に対するマスクとなって、自己整合的に第1の不純物領域(N--領域)5020~5023を形成した。そして第1の不純物領域5020~5023には $1 \times 10^{18} \sim 1 \times 10^{20} [\text{atoms}/\text{cm}^3]$ の濃度範囲でN型を付与する不純物元素が添加された。

40

#### 【0152】

続いてレジストからなるマスク5009を除去した後、新たにレジストからなるマスク5024を形成して、第1のドーピング処理よりも高い加速電圧で第2のドーピング処理を行う。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 3 \times 10^{15} [\text{atoms}/\text{cm}^2]$ とし、加速電圧を60~120[keV]として行う。本実施例では、ドーズ量を $3.0 \times 10^{15} [\text{atoms}/\text{cm}^2]$ とし、加速電圧を65[keV]として行った。第2のドーピング処理は第2の導電層5015b~5018bを不純物元素に対するマスクとして用い、第1の導電層5015a~5018aのテーパ部の下方の半導体層に不純物元素が添加されるようにドーピ

50

ングを行う。

#### 【0153】

上記の第2のドーピング処理を行った結果、第1の導電層と重なる第2の不純物領域(N-領域、Lov領域)5026、5029には $1 \times 10^{18} \sim 5 \times 10^{19}$  [atoms/cm<sup>3</sup>]の濃度範囲でN型を付与する不純物元素が添加された。また第3の不純物領域(N+領域)5025、5028、5031、5034には $1 \times 10^{19} \sim 5 \times 10^{21}$  [atoms/cm<sup>3</sup>]の濃度範囲でN型を付与する不純物元素が添加された。また、第1、第2のドーピング処理を行った後、半導体層5002~5005において、不純物元素が全く添加されない領域又は微量の不純物元素が添加された領域が形成された。本実施例では、不純物元素が全く添加されない領域又は微量の不純物元素が添加された領域をチャンネル領域5027、5030、5033、5036とよぶ。また前記第1のドーピング処理により形成された第1の不純物領域(N--領域)5020~5023のうち、第2のドーピング処理においてレジスト5024で覆われていた領域が存在するが、本実施例では、引き続き第1の不純物領域(N--領域、LDD領域)5032、5035とよぶ。

10

#### 【0154】

なお本実施例では、第2のドーピング処理のみにより、第2の不純物領域(N-領域)5026、5029及び第3の不純物領域(N+領域)5025、5028、5031、5034を形成したが、これに限定されない。ドーピング処理を行う条件を適宜変えて、複数回のドーピング処理で形成しても良い。

#### 【0155】

20

次いで図14(A)に示すように、レジストからなるマスク5024を除去して第1の層間絶縁膜5037を形成する。この第1の層間絶縁膜5037としては、プラズマCVD法またはスパッタ法を用い、厚さを100~200 [nm]として珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚100 [nm]の酸化窒化珪素膜を形成した。勿論、第1の層間絶縁膜5037は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

#### 【0156】

次いで、加熱処理(熱処理)を行って、半導体層の結晶性の回復、半導体層に添加された不純物元素の活性化を行う。この加熱処理はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1 [ppm]以下、好ましくは0.1 [ppm]以下の窒素雰囲気中で400~700 [°C]で行えばよく、本実施例では410 [°C]、1時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

30

#### 【0157】

また、第1の層間絶縁膜5037を形成する前に加熱処理を行っても良い。ただし、第1の導電層5015a~5019a及び、第2の導電層5015b~5019bを構成する材料が熱に弱い場合には、本実施例のように配線等を保護するため第1の層間絶縁膜5037(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で熱処理を行うことが好ましい。

#### 【0158】

40

上記の様に、第1の層間絶縁膜5037(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後に熱処理することにより、活性化処理と同時に、半導体層の水素化も行うことができる。水素化の工程では、第1の層間絶縁膜5037に含まれる水素により半導体層のダングリングボンドが終端される。

#### 【0159】

なお、活性化処理のための加熱処理とは別に、水素化のための加熱処理を行っても良い。

#### 【0160】

ここで、第1の層間絶縁膜5037の存在に関係なく、半導体層を水素化することもできる。水素化の他の手段として、プラズマにより励起された水素を用いる手段(プラズマ

50

水素化)や、3～100[%]の水素を含む雰囲気中において、300～450[℃]で1～12時間の加熱処理を行う手段でも良い。

#### 【0161】

次いで、第1の層間絶縁膜5037上に、第2の層間絶縁膜5038を形成する。第2の層間絶縁膜5038としては、無機絶縁膜を用いることができる。例えば、CVD法によって形成された酸化珪素膜や、SOG(Spin On Glass)法によって塗布された酸化珪素膜等を用いることができる。また、第2の層間絶縁膜5038として、有機絶縁膜を用いることができる。例えば、ポリイミド、ポリアミド、BCB(ベンゾシクロブテン)、アクリル等の膜を用いることができる。

また、アクリル膜と酸化窒化珪素膜の積層構造を用いても良い。

10

#### 【0162】

本実施例では、膜厚1.6[μm]のアクリル膜を形成した。第2の層間絶縁膜5038によって、基板上5000に形成されたTF Tによる凹凸を緩和し、平坦化することができる。特に、第2の層間絶縁膜5038は平坦化の意味合いが強いので、平坦性に優れた膜が好ましい。

#### 【0163】

次いで、ドライエッチングまたはウエットエッチングを用い、第2の層間絶縁膜5038、第1の層間絶縁膜5037、およびゲート絶縁膜5006をエッチングし、不純物領域5025、5028、5031、5034に達するコンタクトホールを形成する。

#### 【0164】

次いで、透明導電膜からなる画素電極5039を形成する。透明導電膜としては、酸化インジウムと酸化スズの化合物(Indium Tin Oxide: ITO)、酸化インジウムと酸化亜鉛の化合物、酸化亜鉛、酸化スズ、酸化インジウム等を用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いてもよい。

画素電極がEL素子の陽極に相当する。

20

#### 【0165】

本実施例では、ITOを110[nm]厚さで成膜、その後パターニングし、画素電極5039を形成した。

#### 【0166】

次いで、各不純物領域とそれぞれ電氣的に接続される配線5040～5046を形成する。なお本実施例では、配線5040～5046は、膜厚100[nm]のTi膜と、膜厚350[nm]のAl膜と、膜厚100[nm]のTi膜との積層膜をスパッタ法で連続形成し、所望の形状にパターニングして形成する。

30

#### 【0167】

もちろん、三層構造に限らず、単層構造あるいは二層構造でもよいし、四層以上の積層構造にしてもよい。また配線の材料としては、AlとTiに限らず、他の導電膜を用いても良い。例えば、Ta N膜上にAlやCuを形成し、さらにTi膜を形成した積層膜をパターニングして配線を形成してもよい。

#### 【0168】

ここで、画素電極5039上の一部と、配線5045の一部を重ねて形成することによって、配線5045と画素電極5039の電氣的接続をとっている(図14(B))。

40

#### 【0169】

以上の工程により図14(B)に示すように、Nチャネル型TF Tを有する駆動回路部と、スイッチング用TF T、駆動用TF Tとを有する画素部を同一基板上に形成することができる。

#### 【0170】

駆動回路部のNチャネル型TF Tは、ゲート電極の一部を構成する第1の導電層5015aと重なる低濃度不純物領域5026(Lov領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域5025とを有している。

#### 【0171】

50

画素部において、Nチャネル型のスイッチング用TFTは、ゲート電極の外側に形成される低濃度不純物領域5032(Loff領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域5031とを有している。

#### 【0172】

次いで、第3の層間絶縁膜5047を形成する。第3の層間絶縁膜5047としては、無機絶縁膜や有機絶縁膜を用いることができる。無機絶縁膜としては、CVD法によって形成された酸化珪素膜や、SOG(Spin On Glass)法によって塗布された酸化珪素膜、あるいは、スパッタ法によって形成された窒化酸化珪素膜等を用いることができる。また、有機絶縁膜としては、アクリル樹脂膜等を用いることができる。

#### 【0173】

第2の層間絶縁膜5038と第3の層間絶縁膜5047の組み合わせの例を以下に挙げる。

#### 【0174】

第2の層間絶縁膜5038として、アクリルとスパッタ法によって形成された窒化酸化珪素膜の積層膜を用い、第3の層間絶縁膜5047として、スパッタ法によって形成された窒化酸化珪素膜を用いる組み合わせがある。また、第2の層間絶縁膜5038として、SOG法によって形成した酸化珪素膜を用い、第3の層間絶縁膜5047としてもSOG法によって形成した酸化珪素膜を用いる組み合わせがある。また、第2の層間絶縁膜5038として、SOG法によって形成した酸化珪素膜とプラズマCVD法によって形成した酸化珪素膜の積層膜を用い、第3の層間絶縁膜5047としてプラズマCVD法によって形成した酸化珪素膜を用いる組み合わせがある。また、第2の層間絶縁膜5038として、アクリルを用い、第3の層間絶縁膜5047としてもアクリルを用いる組み合わせがある。また、第2の層間絶縁膜5038として、アクリルとプラズマCVD法によって形成した酸化珪素膜の積層膜を用い、第3の層間絶縁膜5047としてプラズマCVD法によって形成した酸化珪素膜を用いる組み合わせがある。また、第2の層間絶縁膜5038として、プラズマCVD法によって形成した酸化珪素膜を用い、第3の層間絶縁膜5047としてアクリルを用いる組み合わせがある。

#### 【0175】

第3の層間絶縁膜5047の画素電極5039に対応する位置に開口部を形成する。第3の層間絶縁膜は、バンクとして機能する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分にならなければ段差に起因するEL層の劣化が顕著な問題となってしまうため、注意が必要である。

#### 【0176】

第3の層間絶縁膜5047中に、カーボン粒子や金属粒子を添加し、抵抗率を下げ、静電気の発生を抑制してもよい。この際、抵抗率は、 $1 \times 10^6 \sim 1 \times 10^{12} [\Omega m]$  (好ましくは、 $1 \times 10^8 \sim 1 \times 10^{10} [\Omega m]$ ) となるように、カーボン粒子や金属粒子の添加量を調節すればよい。

#### 【0177】

次いで、第3の層間絶縁膜5047の開口部において露出している画素電極5039上に、EL層5048を形成する。

#### 【0178】

EL層5048としては、公知の有機発光材料や無機発光材料を用いることができる。

#### 【0179】

有機発光材料としては、低分子系有機発光材料、高分子系有機発光材料、中分子系有機材料を自由に用いることができる。なお、本明細書中においては、中分子系有機発光材料とは、昇華性を有さず、かつ、分子数が20以下または連鎖する分子の長さが10[μm]以下の有機発光材料を示すものとする。

#### 【0180】

EL層5048は通常、積層構造である。代表的には、コダック・イーストマン・カン

10

20

30

40

50

パニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

#### 【0181】

本実施例では蒸着法により低分子系有機発光材料を用いてEL層5048を形成している。具体的には、正孔注入層として20[nm]厚の銅フタロシアニン(CuPc)膜を設け、その上に発光層として70[nm]厚のトリス-8-キノリノラトアルミニウム錯体( $Alq_3$ )膜を設けた積層構造としている。 $Alq_3$ にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。

10

#### 【0182】

なお、図14(C)では一画素しか図示していないが、複数の色、例えば、R(赤)、G(緑)、B(青)の各色に対応したEL層5048を作り分ける構成とすることができる。

#### 【0183】

また、高分子系有機発光材料を用いる例として、正孔注入層として20[nm]のポリチオフェン(PEDOT)膜をスピン塗布法により設け、その上に発光層として100[nm]程度のパラフェニレンビニレン(PPV)膜を設けた積層構造によってEL層5048を構成しても良い。なお、PPVの $\pi$ 共役系高分子を用いると、赤色から青色まで発光波長を選択できる。また、電子輸送層や電子注入層として炭化珪素等の無機材料を用いることも可能である。

20

#### 【0184】

なお、EL層5048は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等が、明確に区別された積層構造を有するものに限定されない。つまり、EL層5048は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等を構成する材料が、混合した層を有する構造であってもよい。

#### 【0185】

例えば、電子輸送層を構成する材料(以下、電子輸送材料と表記する)と、発光層を構成する材料(以下、発光材料と表記する)とによって構成される混合層を、電子輸送層と発光層との間に有する構造のEL層5048であってもよい。

#### 【0186】

次に、EL層5048の上には導電膜からなる画素電極5049が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜(マグネシウムと銀との合金膜)を用いても良い。画素電極5049がEL素子の陰極に相当する。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を自由に用いることができる。

30

#### 【0187】

画素電極5049まで形成された時点でEL素子が完成する。なお、EL素子とは、画素電極(陽極)5039、EL層5048及び画素電極(陰極)5049で形成された素子を指す。

40

#### 【0188】

EL素子を完全に覆うようにしてパッシベーション膜5050を設けることは有効である。パッシベーション膜5050としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いることができる。

#### 【0189】

カバレッジの良い膜をパッシベーション膜5050として用いることが好ましく、炭素膜、特にDLC(ダイヤモンドライクカーボン)膜やCN膜を用いることは有効である。DLC膜は室温から100[°C]以下の温度範囲で成膜可能であるため、耐熱性の低いEL層5047の上方にも容易に成膜することができる。また、DLC膜は酸素に対するブロッ

50

キング効果が高く、E L層5048の酸化を抑制することが可能である。

#### 【0190】

なお、第3の層間絶縁膜5047を形成した後、パッシベーション膜5050を形成するまでの工程をマルチチャンバー方式(またはインライン方式)の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。

#### 【0191】

なお、実際には図14(C)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたリ、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとE L素子の信頼性が向上する。

10

#### 【0192】

また、パッケージング等の処理により気密性を高めたら、基板5000上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。

#### 【0193】

また、本実施例で示す工程に従えば、発光装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

#### 【実施例5】

20

#### 【0194】

本実施例では、本発明を用いて発光装置を作製した例について、図15を用いて説明する。

#### 【0195】

図15は、TF Tが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図15(B)は、図15(A)のA-A'における断面図、図15(C)は図15(A)のB-B'における断面図である。

#### 【0196】

基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとを囲むようにして、シール材4009が設けられている。また画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとの上にシーリング材4008が設けられている。よって画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとは、基板4001とシール材4009とシーリング材4008とによって、充填材4210で密封されている。

30

#### 【0197】

また基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとは、複数のTF Tを有している。図15(B)では代表的に、下地膜4010上に形成された、ソース信号線駆動回路4003に含まれるTF T(但し、ここではNチャネル型TF TとPチャネル型TF Tを図示する)4201及び画素部4002に含まれるTF T4202を図示した。

40

#### 【0198】

TF T4201及び4202上には層間絶縁膜(平坦化膜)4301が形成され、その上にTF T4202のドレインと電氣的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

#### 【0199】

そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素

50

電極 4 2 0 3 の上に開口部が形成されている。この開口部において、画素電極 4 2 0 3 の上には有機発光層 4 2 0 4 が形成される。有機発光層 4 2 0 4 は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

#### 【0 2 0 0】

有機発光層 4 2 0 4 の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

#### 【0 2 0 1】

有機発光層 4 2 0 4 の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極 4 2 0 5 が形成される。また、陰極 4 2 0 5 と有機発光層 4 2 0 4 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層 4 2 0 4 を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極 4 2 0 5 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。そして陰極 4 2 0 5 は所定の電圧が与えられている。

#### 【0 2 0 2】

以上のようにして、画素電極(陽極) 4 2 0 3、有機発光層 4 2 0 4 及び陰極 4 2 0 5 からなる発光素子 4 3 0 3 が形成される。そして発光素子 4 3 0 3 を覆うように、絶縁膜 4 3 0 2 上に保護膜 4 3 0 3 が形成されている。保護膜 4 3 0 3 は、発光素子 4 3 0 3 に酸素や水分等が入り込むのを防ぐのに効果的である。

#### 【0 2 0 3】

4 0 0 5 a は電源線に接続された引き回し配線であり、T F T 4 2 0 2 の第 1 の電極に接続されている。引き回し配線 4 0 0 5 a はシール材 4 0 0 9 と基板 4 0 0 1 との間を通り、異方導電性フィルム 4 3 0 0 を介して F P C 4 0 0 6 が有する F P C 用配線 4 3 0 1 に電氣的に接続される。

#### 【0 2 0 4】

シーリング材 4 0 0 8 としては、ガラス材、金属材(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いることができる。プラスチック材としては、F R P (Fiberglass - Reinforced - Plastics) 板、P V F (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルを P V F フィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

#### 【0 2 0 5】

但し、発光素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

#### 【0 2 0 6】

また、充填材 4 2 1 0 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、P V C (ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、P V B (ポリビニルブチラル) または E V A (エチレンビニルアセテート) を用いることができる。

本実施例では充填材として窒素を用いた。

#### 【0 2 0 7】

また充填材 4 2 1 0 を吸湿性物質(好ましくは酸化バリウム)もしくは酸素を吸着しうる物質にさらしておくために、シーリング材 4 0 0 8 の基板 4 0 0 1 側の面に凹部 4 0 0 7 を設けて吸湿性物質または酸素を吸着しうる物質 4 2 0 7 を配置する。そして、吸湿性物質または酸素を吸着しうる物質 4 2 0 7 が飛び散らないように、凹部カバー材 4 2 0 8 によって吸湿性物質または酸素を吸着しうる物質 4 2 0 7 は凹部 4 0 0 7 に保持されている

。なお凹部カバー材４２０８は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質４２０７は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質４２０７を設けることで、発光素子４３０３の劣化を抑制できる。

#### 【０２０８】

図１５（Ｃ）に示すように、画素電極４２０３が形成されると同時に、引き回し配線４００５ａ上に接するように導電性膜４２０３ａが形成される。

#### 【０２０９】

また、異方導電性フィルム４３００は導電性フィラー４３００ａを有している。基板４００１とＦＰＣ４００６とを熱圧着することで、基板４００１上の導電性膜４２０３ａとＦＰＣ４００６上のＦＰＣ用配線４３０１とが、導電性フィラー４３００ａによって電氣的に接続される。

10

#### 【実施例６】

#### 【０２１０】

本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、発光素子の低消費電力化、長寿命化、および軽量化が可能になる。

#### 【０２１１】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

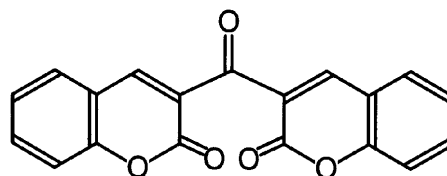
20

#### 【０２１２】

上記の論文により報告された有機発光材料(クマリン色素)の分子式を以下に示す。

#### 【０２１３】

#### 【化１】



30

#### 【０２１４】

(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

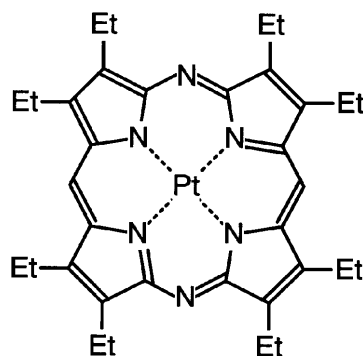
#### 【０２１５】

上記の論文により報告された有機発光材料(Pt錯体)の分子式を以下に示す。

#### 【０２１６】



【化 2】



10

【0 2 1 7】

(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

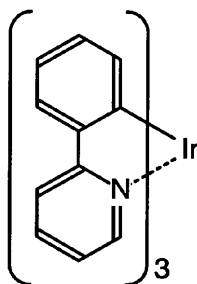
【0 2 1 8】

上記の論文により報告された有機発光材料(Ir錯体)の分子式を以下に示す。

20

【0 2 1 9】

【化 3】



30

【0 2 2 0】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。

【実施例 7】

【0 2 2 1】

発光素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

40

【0 2 2 2】

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図20に示す。

50

## 【0223】

図20(A)は発光素子表示装置であり、筐体3001、支持台3002、表示部3003、スピーカー部3004、ビデオ入力端子3005等を含む。本発明の発光装置は表示部3003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光素子表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

## 【0224】

図20(B)はデジタルスチルカメラであり、本体3101、表示部3102、受像部3103、操作キー3104、外部接続ポート3105、シャッター3106等を含む。本発明の発光装置は表示部3102に用いることができる。

10

## 【0225】

図20(C)はノート型パーソナルコンピュータであり、本体3201、筐体3202、表示部3203、キーボード3204、外部接続ポート3205、ポインティングマウス3206等を含む。本発明の発光装置は表示部3203に用いることができる。

## 【0226】

図20(D)はモバイルコンピュータであり、本体3301、表示部3302、スイッチ3303、操作キー3304、赤外線ポート3305等を含む。本発明の発光装置は表示部3302に用いることができる。

## 【0227】

20

図20(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体3401、筐体3402、表示部A3403、表示部B3404、記録媒体(DVD等)読込部3405、操作キー3406、スピーカー部3407等を含む。表示部A3403は主として画像情報を表示し、表示部B3404は主として文字情報を表示するが、本発明の発光装置はこれら表示部A、B3403、3404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

## 【0228】

図20(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体3501、表示部3502、アーム部3503を含む。本発明の発光装置は表示部3502に用いることができる。

30

## 【0229】

図20(G)はビデオカメラであり、本体3601、表示部3602、筐体3603、外部接続ポート3604、リモコン受信部3605、受像部3606、バッテリー3607、音声入力部3608、操作キー3609等を含む。本発明の発光装置は表示部3602に用いることができる。

## 【0230】

図20(H)は携帯電話であり、本体3701、筐体3702、表示部3703、音声入力部3704、音声出力部3705、操作キー3706、外部接続ポート3707、アンテナ3708等を含む。本発明の発光装置は表示部3703に用いることができる。なお、表示部3703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

40

## 【0231】

なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

## 【0232】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増えている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

50

## 【0233】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

## 【0234】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～6に示したいずれの構成の発光装置を用いても良い。

## 【実施例8】

10

## 【0235】

本実施例では、図21に示す画素構成の上面図を、図22を用いて説明する。

## 【0236】

図22には、TFTを形成する領域に同一層（同一レイヤ）をパターニングして複数の活性層が設けられ、次に第1のゲート線2102、第2のゲート線2103、各トランジスタのゲート電極とが同一層（同一レイヤ）をパターニングして設けられ、その後ソース信号線2101、電流供給線2108とが同一層（同一レイヤ）をパターニングして設けられ、最後にEL素子（発光素子）の第1の電極（ここでは陽極とする）が設けられている。

## 【0237】

20

そして、第1のゲート線2102の一部がゲート電極となる選択用のTFT2104が設けられている。TFT2104は、一つの活性層にゲート電極が二つ設けられたダブルゲート構造とすることで、一つの活性層に一つのゲート電極が設けられたシングルゲート構造と比べて選択（スイッチング）を確実に行うことができる。また、TFT2104は一つの活性層にゲート電極が三つ以上設けられたマルチゲート構造とすることも可能である。

## 【0238】

また、TFTのバラツキを低減するためにTFT2105のチャンネル長（L）が大きくなるよう設けている。更に、Lを大きくすることにより、TFTの飽和領域を平らにすることができる。

30

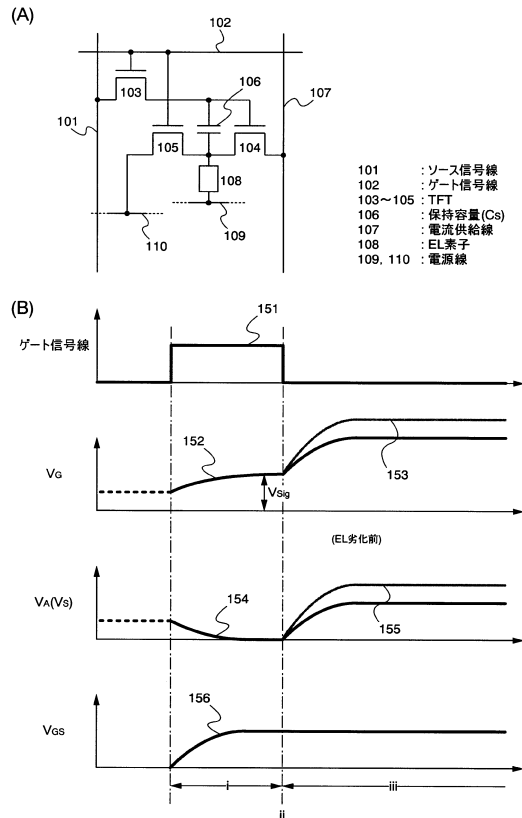
## 【0239】

また、第2のゲート線2103にコンタクトを介して接続されるゲート電極を有するTFT2106が設けられている。また、活性層と、走査線と同一の層とで形成された保持容量2107が設けられている。

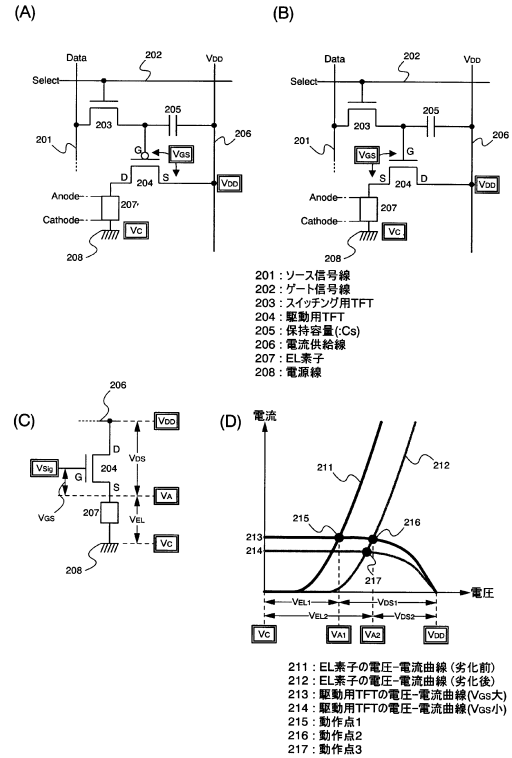
## 【0240】

このような各TFTの構成は、ゲート電極が半導体膜（チャンネル形成領域）の上にあるトップゲート型構造やその逆のボトムゲート型構造を用い、不純物領域（ソース領域又はドレイン領域）にはオフセット構造やGOLD構造を用いればよい。

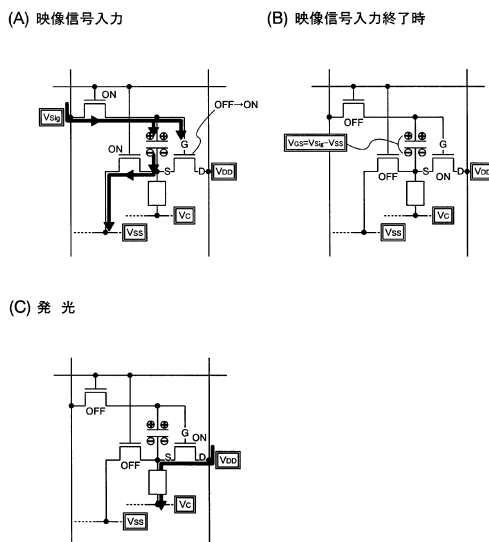
【図 1】



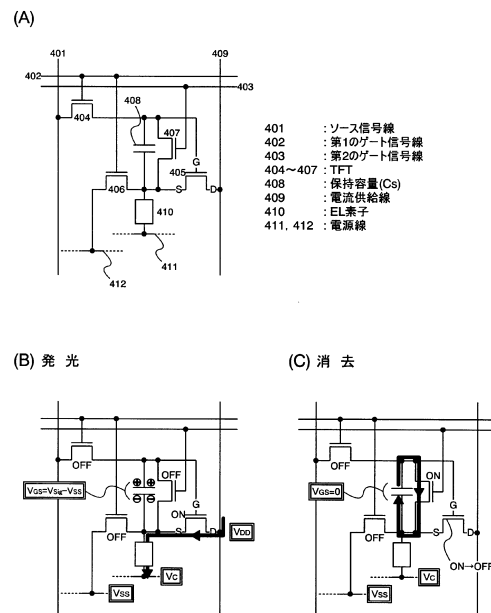
【図 2】



【図 3】

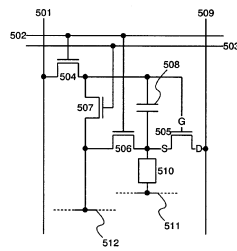


【図 4】



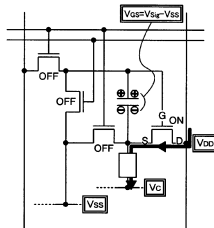
【図 5】

(A)

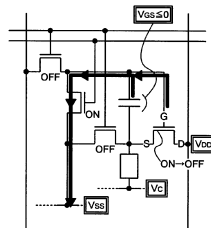


501 : ソース信号線  
502 : 第1のゲート信号線  
503 : 第2のゲート信号線  
504~507 : TFT  
508 : 保持容量(Cs)  
509 : 電流供給線  
510 : EL素子  
511, 512 : 電源線

(B) 発光

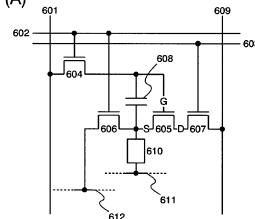


(C) 消去



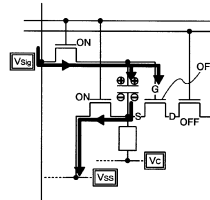
【図 6】

(A)

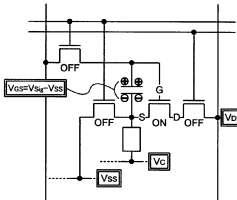


601 : ソース信号線  
602 : 第1のゲート信号線  
603 : 第2のゲート信号線  
604~607 : TFT  
608 : 保持容量(Cs)  
609 : 電流供給線  
610 : EL素子  
611, 612 : 電源線

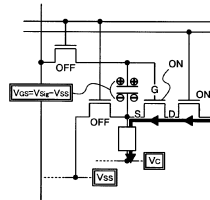
(B) 映像信号入力



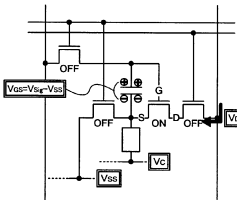
(C) 映像信号入力終了時



(D) 発光

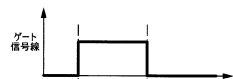


(E) 消去

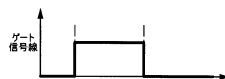


【図 7】

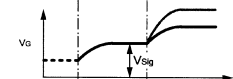
(A)



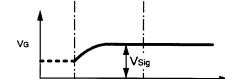
(B)



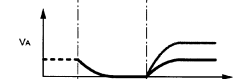
(C)



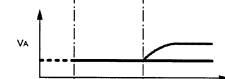
(D)



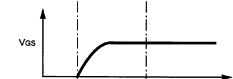
(E)



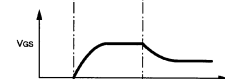
(F)



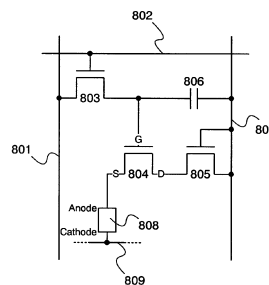
(G)



(H)

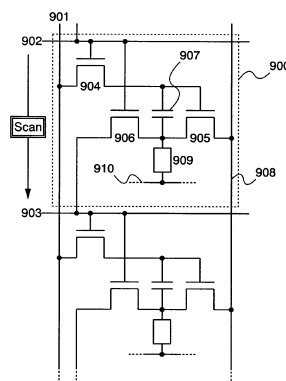


【図 8】



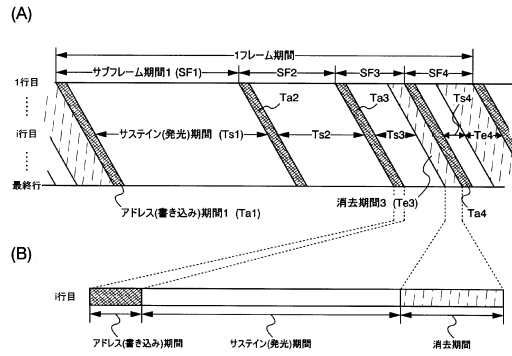
801 : ソース信号線  
802 : ゲート信号線  
803 : スイッチング用TFT  
804 : 駆動用TFT  
805 : アクティブ抵抗TFT  
806 : 保持容量(Cs)  
807 : 電流供給線  
808 : EL素子  
809 : 電源線

【図 9】

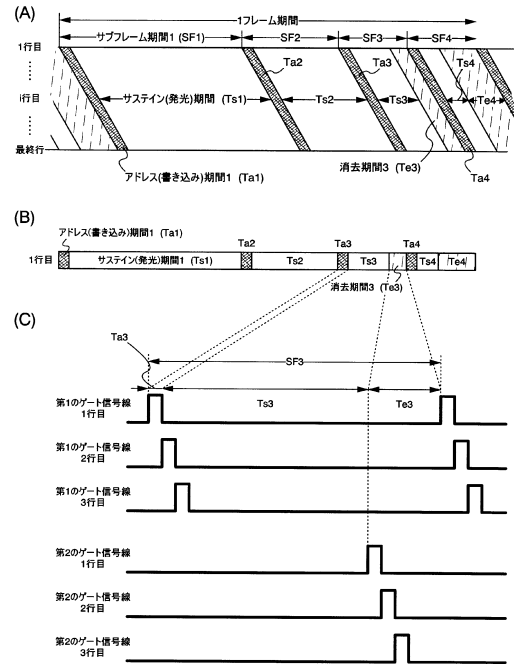


901 : ソース信号線  
902 : ゲート信号線(行目)  
903 : ゲート信号線(列目)  
904~906 : TFT  
907 : 保持容量(Cs)  
908 : 電流供給線  
909 : EL素子  
910 : 電源線

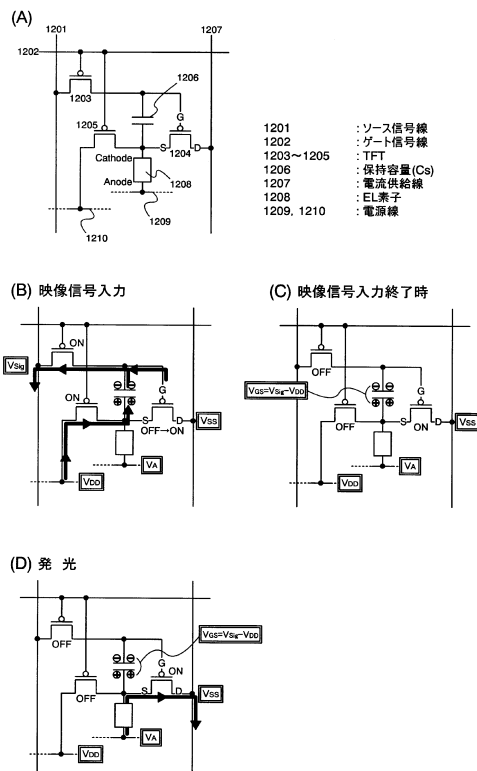
【図 10】



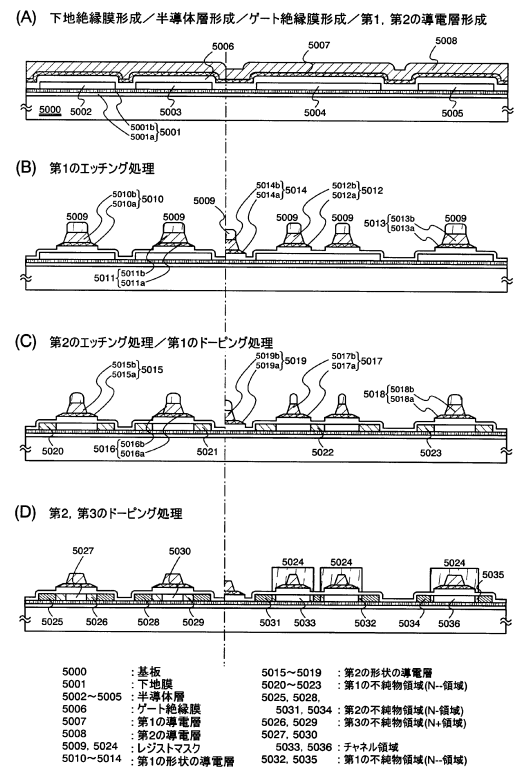
【図 11】



【図 12】

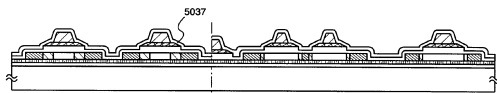


【図 13】

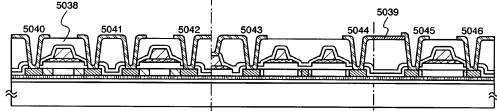


【図 14】

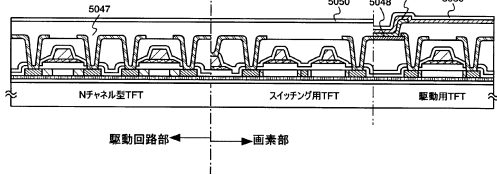
(A) 第1の層間絶縁膜の形成／熱処理



(B) 第2の層間絶縁膜の形成／画素電極形成／配線形成



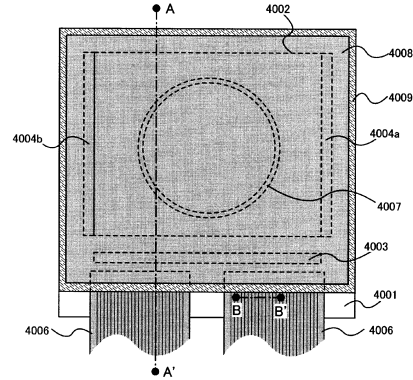
(C) 第3の層間絶縁膜の形成／EL素子形成／保護膜形成



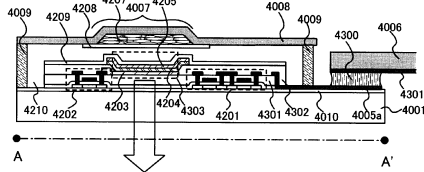
- |           |            |      |            |
|-----------|------------|------|------------|
| 5037      | : 第1の層間絶縁膜 | 5047 | : 第3の層間絶縁膜 |
| 5038      | : 第2の層間絶縁膜 | 5048 | : EL層      |
| 5039      | : 画素電極(陽極) | 5049 | : 画素電極(陰極) |
| 5040~5046 | : 配線       | 5050 | : 保護膜      |

【図 15】

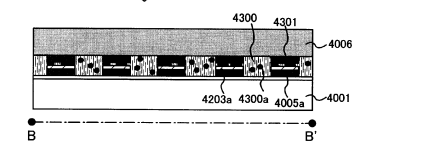
(A)



(B)

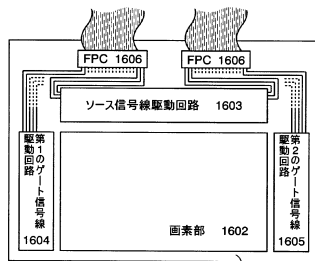


(C)

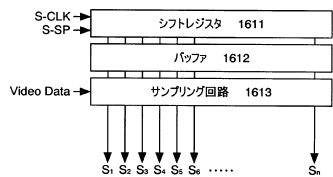


【図 1 6】

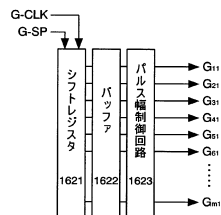
(A)



(B)

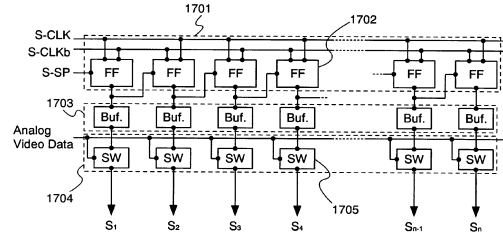


(C)



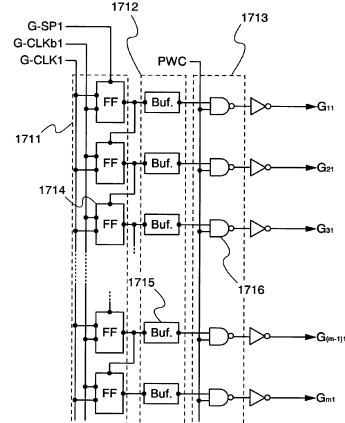
【図 17】

(A)



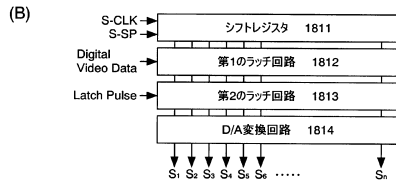
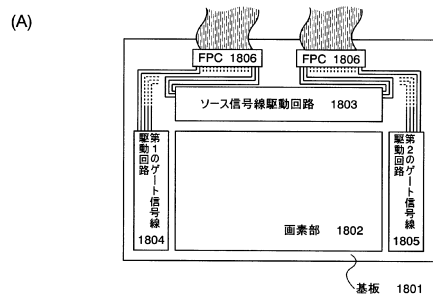
- 1701 : シフトレジスタ  
1702 : フリップフロップ  
1703 : バッファ回路  
1704 : サンプリング回路  
1705 : サンプリングスイッチ

(B)

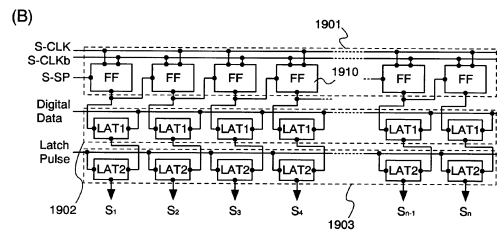
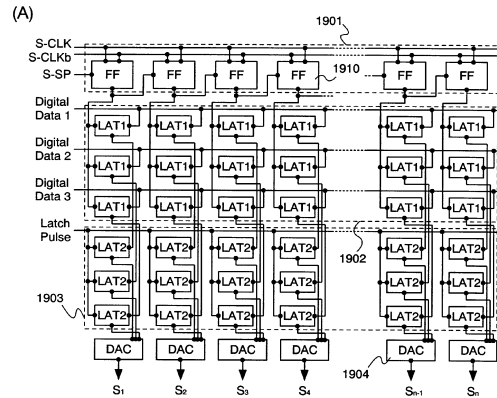


- 1711 : シフトレジスタ回路  
1712 : パッファ回路  
1713 : パルス幅制御回路  
1714 : フリップフロップ  
1715 : パッファ  
1716 : NAND

【図 18】

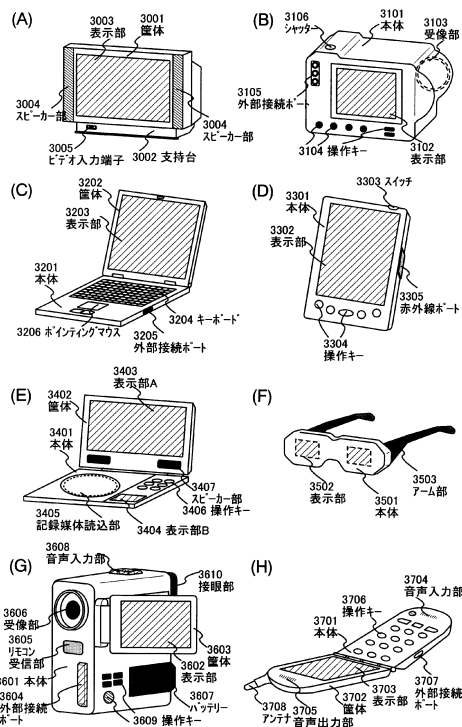


【図 19】

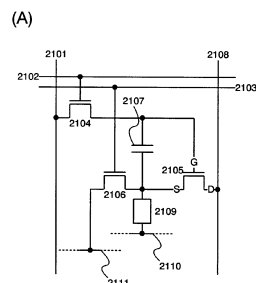


1901 : シフトレジスタ  
1902 : 第1のラッチ回路  
1903 : 第2のラッチ回路  
1904 : D/A変換回路  
  
1910 : フリップフロップ

【図 20】

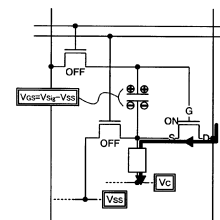


【図 2 1】

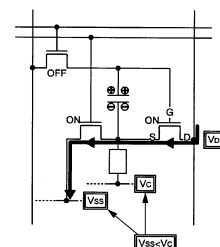


2101 : ソース信号線  
2102 : 第1のゲート信号線  
2103 : 第2のゲート信号線  
2104~2106 : TFT  
2107 : 保持容量(Cs)  
2108 : 電流供給線  
2109 : EL素子  
2110, 2111 : 電源線

(B) 発 光

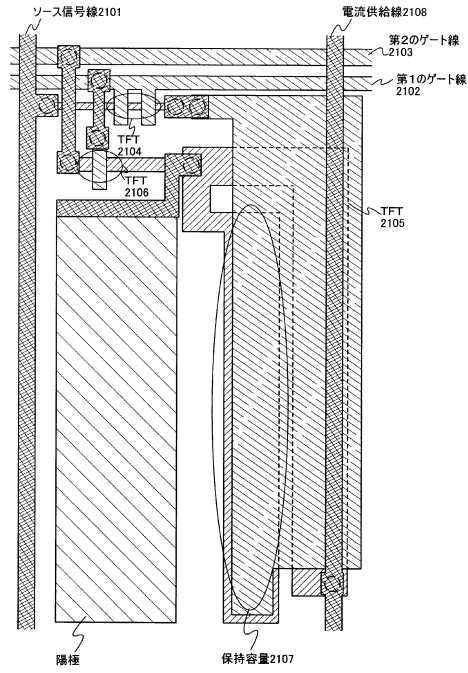


(C) 消 去





【図 22】



---

フロントページの続き

(58)調査した分野(Int.Cl., DB名)

G 0 9 G      3 / 0 0    —    3 / 3 8

H 0 1 L      5 1 / 5 0

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
|----------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 显示设备，显示模块和电子设备                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |         |            |
| 公开(公告)号        | <a href="#">JP5973025B2</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | 公开(公告)日 | 2016-08-17 |
| 申请号            | JP2015084719                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | 申请日     | 2015-04-17 |
| [标]申请(专利权)人(译) | 株式会社半导体能源研究所                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |         |            |
| 申请(专利权)人(译)    | 半导体能源研究所有限公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |         |            |
| 当前申请(专利权)人(译)  | 半导体能源研究所有限公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |         |            |
| [标]发明人         | 木村肇                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| 发明人            | 木村 肇                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |         |            |
| IPC分类号         | G09G3/3233 G09G3/20 H01L51/50 G09G3/30 G09G3/32 H01L27/32 H04M1/73                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |
| CPC分类号         | G09G3/2022 G09G3/3233 G09G3/3266 G09G3/3291 G09G2300/0426 G09G2300/0842 G09G2310/0251 G09G2310/0256 G09G2310/027 G09G2310/061 G09G2320/043 G09G2330/08 G09G2330/10 H01L27/3244 H04W52/027 Y02D70/00 H01L27/1255                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| FI分类号          | G09G3/3233 G09G3/20.624.B G09G3/20.670.J G09G3/20.642.C H05B33/14.A G09G3/30.J G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |         |            |
| F-TERM分类号      | 3K107/AA01 3K107/BB01 3K107/CC21 3K107/EE04 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD23 5C080/DD29 5C080/EE29 5C080/FF11 5C080/FF12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB12 5C380/AB18 5C380/AB23 5C380/AB46 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA12 5C380/BB21 5C380/BD01 5C380/BD08 5C380/BD09 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA14 5C380/CA22 5C380/CA60 5C380/CB01 5C380/CB12 5C380/CB26 5C380/CC01 5C380/CC21 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC38 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CC68 5C380/CC77 5C380/CD013 5C380/CD014 5C380/CF07 5C380/CF09 5C380/CF10 5C380/CF22 5C380/CF48 5C380/DA09 5C380/DA47 |         |            |
| 优先权            | 2001348032 2001-11-13 JP                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |         |            |
| 其他公开文献         | JP2015172754A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |         |            |

#### 摘要(译)

将提供一种电致发光显示装置，其具有由于EL元件劣化而几乎不产生电流值变化的结构。电容元件设置在驱动TFT的栅极和源极之间，视频信号输入到栅极，然后栅极处于浮置状态。此时，当驱动TFT的栅极 - 源极电压超过其阈值时，驱动TFT导通。假设EL元件劣化并且阳极电位上升，即驱动TFT的源极电位上升，驱动TFT的栅极电极通过与电容元件耦合而处于浮置状态的电位将上升相同数量。因此，即使当阳极电位由于劣化的EL元件而上升时，上升也照原样加到栅电极电位上，并且允许驱动TFT的栅 - 源电压恒定。

