(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5370454号
(P5370454)

(45)発行日　平成25年12月18日(2013.12.18)　(24)登録日　平成25年9月27日(2013.9.27)

| (51)Int.Cl. | | | F I | | |
|---|---|---|---|---|---|
| G09G | 3/30 | (2006.01) | G09G | 3/30 | J |
| G09G | 3/20 | (2006.01) | G09G | 3/20 | 624B |
| | | | G09G | 3/20 | 611H |
| | | | G09G | 3/20 | 642A |

請求項の数 4　(全 25 頁)

(21)出願番号　特願2011-220369(P2011-220369)
(22)出願日　平成23年10月4日(2011.10.4)
(62)分割の表示　特願2005-96835(P2005-96835)の分割
原出願日　平成17年3月30日(2005.3.30)
(65)公開番号　特開2012-32828(P2012-32828A)
(43)公開日　平成24年2月16日(2012.2.16)
審査請求日　平成23年10月4日(2011.10.4)
(31)優先権主張番号　特願2004-117332(P2004-117332)
(32)優先日　平成16年4月12日(2004.4.12)
(33)優先権主張国　日本国(JP)

(73)特許権者　000001889
三洋電機株式会社
大阪府守口市京阪本通２丁目５番５号
(74)代理人　100109667
弁理士　内藤　浩樹
(74)代理人　100120156
弁理士　藤井　兼太郎
(74)代理人　100137202
弁理士　寺内　伊久郎
(72)発明者　池田　恭二
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内

審査官　鳥居　祐樹

最終頁に続く

(54)【発明の名称】有機ＥＬ画素回路およびその駆動方法

(57)【特許請求の範囲】
【請求項１】
制御端の電位に応じた駆動電流を電源から有機ＥＬ素子に流す駆動トランジスタと、
この駆動トランジスタと前記有機ＥＬ素子の間に挿入配置され、前記駆動電流をオンオフする駆動制御トランジスタと、
前記駆動トランジスタの制御端と有機ＥＬ素子側の端子をダイオード接続するか否かを制御する短絡トランジスタと、
データラインからのデータ電圧を前記駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、
この選択トランジスタと、前記駆動トランジスタの制御端との間に挿入配置された容量と、
この容量の前記選択トランジスタ側と、前記電源との間の接続をオンオフする電位制御トランジスタと、
前記選択トランジスタの制御端に接続され、前記選択トランジスタのオンオフを制御する第１の制御ラインと、
前記駆動制御トランジスタの制御端に接続され、前記駆動制御トランジスタのオンオフを制御する第２の制御ラインと、を有し、
前記第１の制御ラインには、前記短絡トランジスタの制御端も接続され、かつ前記選択トランジスタと、前記短絡トランジスタは、同時にオンオフされ、
前記第１の制御ラインには、前記電位制御トランジスタの制御端も接続され、かつ前記

選択トランジスタと、前記電位制御トランジスタは、一方がオンされたときに他方がオフされ、

前記第１の制御ラインおよび前記第２の制御ラインは、それぞれ同一の方向に伸びるように設けられる互いに異なる配線であることを特徴とする有機ＥＬ画素回路。

【請求項２】

制御端の電位に応じた駆動電流を電源から有機ＥＬ素子に流す駆動トランジスタと、

この駆動トランジスタと前記有機ＥＬ素子の間に挿入配置され、前記駆動電流をオンオフする駆動制御トランジスタと、

前記駆動トランジスタの制御端と有機ＥＬ素子側の端子をダイオード接続するか否かを制御する短絡トランジスタと、

データラインからのデータ電圧を前記駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、

この選択トランジスタと、前記駆動トランジスタの制御端との間に挿入配置された容量と、

この容量の前記選択トランジスタ側と、前記電源との間の接続をオンオフする電位制御トランジスタと、

前記選択トランジスタの制御端に接続され、前記選択トランジスタのオンオフを制御する第１の制御ラインと、

前記駆動制御トランジスタの制御端に接続され、前記駆動制御トランジスタのオンオフを制御する第２の制御ラインと、

前記電位制御トランジスタの制御端に接続され、前記電位制御トランジスタのオンオフを制御する第３の制御ラインと、を有し、

前記第１の制御ラインには、前記短絡トランジスタの制御端も接続され、かつ前記選択トランジスタと、前記短絡トランジスタは、同時にオンオフされ、

前記第１の制御ライン、前記第２の制御ラインおよび前記第３の制御ラインは、それぞれ同一の方向に伸びるように設けられる互いに異なる配線であることを特徴とする有機ＥＬ画素回路。

【請求項３】

請求項１および２のいずれかに記載の有機ＥＬ画素回路を有することを特徴とする有機ＥＬ画素回路の駆動方法であって、

前記選択トランジスタおよび前記短絡トランジスタをオン、前記電位制御トランジスタをオフするとともに、前記容量の前記選択トランジスタ側の電圧をデータ信号の電圧とした状態で、駆動トランジスタの制御端電圧を電源電圧に対し、前記駆動トランジスタのしきい値電圧分異なる電圧にセットするリセット工程と、

前記選択トランジスタ、前記短絡トランジスタおよび前記駆動制御トランジスタをオフして、前記駆動トランジスタの制御端電圧をデータ信号の電圧と、前記駆動トランジスタのしきい値電圧に応じた電圧にセットし、前記駆動制御トランジスタをオンして、前記駆動トランジスタからの駆動電流を前記有機ＥＬ素子に流す発光工程と、

を有することを特徴とする有機ＥＬ画素回路の駆動方法。

【請求項４】

請求項３に記載の有機ＥＬ画素回路の駆動方法において、

前記リセット工程の前工程として、前記選択トランジスタおよび短絡トランジスタをオン、電位制御トランジスタをオフ、前記駆動制御トランジスタをオンとして、前記駆動トランジスタの制御端の電荷を放出するディスチャージ工程を設けることを特徴とする有機ＥＬ画素回路の駆動方法。

【発明の詳細な説明】

【技術分野】

【０００１】

有機ＥＬ素子へ供給する駆動電流をデータ信号に応じて制御する有機ＥＬ画素回路に関する。

【背景技術】
【０００２】
自発光素子であるエレクトロルミネッセンス（Electroluminescence：以下ＥＬ）素子を各画素に発光素子として用いたＥＬ表示装置は、自発光型であると共に、薄く消費電力が小さい等の有利な点があり、液晶表示装置（ＬＣＤ）やＣＲＴなどの表示装置に代わる表示装置として注目されている。
【０００３】
特に、ＥＬ素子を個別に制御する薄膜トランジスタ（ＴＦＴ）などのスイッチ素子を各画素に設け、画素毎にＥＬ素子を制御するアクティブマトリクス型ＥＬ表示装置では、高精細な表示が可能である。
【０００４】
このアクティブマトリクス型ＥＬ表示装置では、基板上に複数本のゲートラインが行（水平）方向に延び、複数本のデータライン及び電源ラインが列（垂直）方向に延びており、各画素は有機ＥＬ素子と、選択ＴＦＴ、駆動用ＴＦＴ及び保持容量を備えている。ゲートラインを選択することで選択ＴＦＴをオンし、データライン上のデータ電圧（電圧ビデオ信号）を保持容量に充電し、この電圧で駆動ＴＦＴをオンして電源ラインからの電力を有機ＥＬ素子に流している。
【特許文献１】特表２００２－５１４３２０公報
【発明の開示】
【発明が解決しようとする課題】
【０００５】
しかし、このような画素回路において、マトリクス状に配置された画素回路の駆動ＴＦＴのしきい値電圧がばらつくと、輝度がばらつくことになり、表示品質が低下するという問題がある。そして、表示パネル全体の画素回路を構成するＴＦＴについて、その特性を同一にすることは難しく、そのオンオフのしきい値がばらつくことを防止することは難しい。
【０００６】
そこで、駆動ＴＦＴにおけるしきい値のバラツキの表示に対する影響を防止することが望まれる。
【０００７】
ここで、ＴＦＴのしきい値の変動への影響を防止するための回路については、従来より各種の提案がある（例えば、上記特許文献１）。
【０００８】
しかし、この提案では、しきい値変動の補償をするための回路を必要とする。従って、このような回路を用いると、画素回路の素子数が増加し、開口率が小さくなってしまうという問題があった。また、補償のための回路を追加した場合、画素回路を駆動するための周辺回路についても変更が必要となるという問題もあった。
【０００９】
本発明は、効果的に駆動トランジスタのしきい値電圧の変動を補償できる画素回路を提供する。
【課題を解決するための手段】
【００１０】
本発明は以下の特徴を有する有機ＥＬ画素回路およびその駆動方法によって、上記課題を解決している。
【００１１】
すなわち、本発明は、制御端の電位に応じた駆動電流を電源から有機ＥＬ素子に流す駆動トランジスタと、この駆動トランジスタと有機ＥＬ素子の間に挿入配置され、駆動電流をオンオフする駆動制御トランジスタと、駆動トランジスタの制御端と有機ＥＬ素子側の端子をダイオード接続するか否かを制御する短絡トランジスタと、データラインからのデータ電圧を駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、

この選択トランジスタと、駆動トランジスタの制御端との間に挿入配置された容量と、この容量の選択トランジスタ側と、電源との間の接続をオンオフする電位制御トランジスタと、選択トランジスタの制御端に接続され、選択トランジスタのオンオフを制御する第１の制御ラインと、駆動制御トランジスタの制御端に接続され、駆動制御トランジスタのオンオフを制御する第２の制御ラインと、を有し、第１の制御ラインには、短絡トランジスタの制御端も接続され、かつ選択トランジスタと、短絡トランジスタは、同時にオンオフされ、第１の制御ラインには、電位制御トランジスタの制御端も接続され、かつ選択トランジスタと、電位制御トランジスタは、一方がオンされたときに他方がオフされることを特徴とする。

【００１２】

また、本発明は、制御端の電位に応じた駆動電流を電源から有機ＥＬ素子に流す駆動トランジスタと、この駆動トランジスタと有機ＥＬ素子の間に挿入配置され、駆動電流をオンオフする駆動制御トランジスタと、駆動トランジスタの制御端と有機ＥＬ素子側の端子をダイオード接続するか否かを制御する短絡トランジスタと、データラインからのデータ電圧を駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、この選択トランジスタと、駆動トランジスタの制御端との間に挿入配置された容量と、この容量の選択トランジスタ側と、電源との間の接続をオンオフする電位制御トランジスタと、選択トランジスタの制御端に接続され、選択トランジスタのオンオフを制御する第１の制御ラインと、駆動制御トランジスタの制御端に接続され、駆動制御トランジスタのオンオフを制御する第２の制御ラインと、電位制御トランジスタの制御端に接続され、電位制御トランジスタのオンオフを制御する第３の制御ラインと、を有し、第１の制御ラインには、短絡トランジスタの制御端も接続され、かつ前記選択トランジスタと、前記短絡トランジスタは、同時にオンオフされることを特徴とする。

【００１３】

また、本発明は、制御端の電位に応じた駆動電流を電源から有機ＥＬ素子に流す駆動トランジスタと、この駆動トランジスタと前記有機ＥＬ素子の間に挿入配置され、前記駆動電流をオンオフする駆動制御トランジスタと、前記駆動トランジスタをダイオード接続するか否かを制御する短絡トランジスタと、データラインからのデータ信号を前記駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、選択トランジスタと、前記駆動トランジスタの制御端との間に挿入配置された容量と、この容量の前記選択トランジスタ側と、前記電源との間の接続をオンオフする電位制御トランジスタと、を有することを特徴とする有機ＥＬ画素回路の駆動方法であって、選択トランジスタおよび短絡トランジスタをオン、電位制御トランジスタをオフするとともに、前記容量の選択トランジスタ側の電圧をデータ信号の電圧とした状態で、駆動トランジスタの制御端電圧を電源電圧に対し、駆動トランジスタのしきい値電圧分異なる電圧にセットするリセット工程と、選択トランジスタ、短絡トランジスタをオフ、駆動制御トランジスタをオンして、駆動トランジスタの制御端電圧をデータ信号の電圧と、駆動トランジスタのしきい値電圧に応じた電圧にセットし、駆動制御トランジスタをオンして、駆動トランジスタからの駆動電流を有機ＥＬ素子に流す発光工程と、を有することを特徴とする。

【００１４】

また、前記リセット工程の前工程として、前記選択トランジスタおよび短絡トランジスタをオン、電位制御トランジスタをオフ、前記駆動制御トランジスタをオンとして、前記駆動トランジスタの制御端の電荷を放出するディスチャージ工程を設けることが好適である。

【発明の効果】

【００１５】

以上のように、本発明によれば、選択トランジスタをオンした状態で、短絡トランジスタをオンすることによって、駆動トランジスタの制御端電圧をデータ電圧および駆動トランジスタのしきい値電圧に応じたものにセットすることができる。従って、駆動トランジスタのしきい値電圧の変動によらず、データ電圧に応じた駆動電流を有機ＥＬ素子に供給

することができる。

【発明を実施するための最良の形態】

【００１６】

以下、本発明の実施形態について、図面に基づいて説明する。

【００１７】

図１は、実施形態に係る画素回路の構成を示している。データラインＤＬは、垂直方向に伸び、画素の表示輝度についてのデータ信号（データ電圧Ｖｓｉｇ）を画素回路に供給する。データラインＤＬは、１列の画素に対し１本設けられており、垂直方向の画素に対し、その画素のデータ電圧Ｖｓｉｇを順次供給する。

【００１８】

このデータラインＤＬには、ｎチャネルの選択トランジスタＴ１のドレインが接続されており、この選択トランジスタＴ１のソースは、コンデンサＣｓの一端に接続されている。選択トランジスタＴ１のゲートは、水平方向に伸びるゲートラインＧＬに接続されている。このゲートラインＧＬには、水平方向の各画素回路の選択トランジスタＴ１のゲートが接続されている。

【００１９】

このゲートラインＧＬには、ｐチャンネルの電位制御トランジスタＴ２のゲートが接続されている。従って、選択トランジスタＴ１がオンの時に電位制御トランジスタＴ２がオフ、選択トランジスタＴ１がオフの時に電位制御トランジスタＴ２がオンとなる。電位制御トランジスタＴ２のソースは電源ラインＰＶｄｄに接続され、ドレインはコンデンサＣｓと選択トランジスタＴ１のソースに接続されている。なお、電源ラインＰＶｄｄも垂直方向に伸びており、垂直方向の各画素に電源電圧ＰＶｄｄを供給する。

【００２０】

コンデンサＣｓの他端は、ｐチャンネルの駆動トランジスタＴ４のゲートに接続されている。駆動トランジスタＴ４のソースは電源ラインＰＶｄｄに接続され、ドレインはｎチャネルの駆動制御トランジスタＴ５のドレインに接続されている。駆動制御トランジスタＴ５のソースは、有機ＥＬ素子ＥＬのアノードに接続されており、ゲートは、水平方向に伸びる発光セットラインＥＳに接続されている。また、有機ＥＬ素子ＥＬのカソードは、低電圧のカソード電源ＣＶに接続されている。

【００２１】

さらに、駆動トランジスタＴ４のゲートには、ｎチャネルの短絡トランジスタＴ３のドレインが接続されており、この短絡トランジスタＴ３のソースは、駆動トランジスタＴ４のドレインに、またゲートは、ゲートラインＧＬに接続されている。

【００２２】

このように、本実施形態では、垂直方向にデータラインＤＬと、電源ラインＰＶｄｄが配置され、水平方向にゲートラインＧＬと、発光セットラインＥＳが配置されている。

【００２３】

次に、この画素回路の動作について、説明する。

【００２４】

図２に示すように、この画素回路は、ゲートラインＧＬ、発光セットラインＥＳの状態（Ｈレベル，Ｌレベル）に応じて、（ｉ）ディスチャージ（ＧＬ＝Ｈレベル，ＥＳ＝Ｈレベル）、（ｉｉ）リセット（ＧＬ＝Ｈレベル，ＥＳ＝Ｌレベル）、（ｉｉｉ）電位固定（ＧＬ＝Ｌレベル，ＥＳ＝Ｌレベル）、（ｉｖ）発光（ＧＬ＝Ｌレベル，ＥＳ＝Ｈレベル）の４つの状態があり、これを繰り返す。すなわち、データラインＤＬのデータを有効にした状態で、（ｉ）ディスチャージを行い、その後（ｉｉ）リセットによって、コンデンサＣｓの充電電圧を決定し、（ｉｉｉ）においてゲート電圧Ｖｇを固定し、（ｖ）固定されたゲート電圧に応じた駆動電流で有機ＥＬ素子ＥＬが発光する。

【００２５】

また、データラインＤＬにおけるデータは、図に示すように、（ｉ）ディスチャージ工程の前に有効になり、（ｉｉｉ）固定工程の後に無効になる。従って、（ｉ）ディスチャ

ージ工程から（ｉｉｉ）固定工程まではデータラインに有効なデータがセットされている。

【００２６】

以下、それぞれの状態について、説明する。なお、図３～６においてオフのトランジスタについてには、破線で示してある。

（ｉ）ディスチャージ（ＧＬ＝Ｈレベル，ＥＳ＝Ｈレベル）

まず、データラインＤＬにデータ電圧Ｖｓｉｇが供給されている状態で、ゲートラインＧＬ、発光セットラインＥＳの両方をＨレベル（高レベル）にする。これによって、選択トランジスタＴ１、駆動制御トランジスタＴ５、短絡トランジスタＴ３がオン、電位制御トランジスタＴ２がオフとなる。従って、図３に示すように、コンデンサＣｓの選択トランジスタＴ１側の電圧Ｖｎ＝Ｖｓｉｇという状態で、電源ラインＰＶｄｄからの電流が駆動トランジスタＴ４、駆動制御トランジスタＴ５、有機ＥＬ素子ＥＬを介しカソード電源ＣＶに流れ、これによって駆動トランジスタＴ４のゲートに保持されていた電荷が引き抜かれる。これによって、駆動トランジスタＴ４のゲート電圧Ｖｇは、所定の低電圧になる。

（ｉｉ）リセット（ＧＬ＝Ｈレベル，ＥＳ＝Ｌレベル）

上述のディスチャージの状態から発光セットラインＥＳをＬレベル（ローレベル）に変更する。これによって、図４に示すように、駆動制御トランジスタＴ５がオフとなり、駆動トランジスタＴ４のゲート電圧Ｖｇ＝Ｖｇ０＝ＰＶｄｄ－｜Ｖｔｐ｜にリセットされる。ここで、このＶｔｐは、駆動トランジスタＴ４のしきい値電圧である。すなわち、駆動トランジスタＴ４はソースが電源ＰＶｄｄに接続されている状態で、短絡トランジスタＴ３によって、ゲートドレイン間が短絡されているため、そのゲート電圧が、電源ＰＶｄｄより駆動トランジスタＴ４のしきい値電圧｜Ｖｔｐ｜だけ低い電圧にセットされてオフされる。このときコンデンサＣｓの選択トランジスタＴ１側の電位Ｖｎ＝Ｖｓｉｇであり、コンデンサＣｓには｜Ｖｓｉｇ－（ＰＶｄｄ－｜Ｖｔｐ｜）｜の電圧が充電される。

（ｉｉｉ）電位固定（ＧＬ＝Ｌレベル，ＥＳ＝Ｌレベル）

次に、ゲートラインＧＬをＬレベルとして、選択トランジスタＴ１、短絡トランジスタＴ３をオフ、電位制御トランジスタＴ２をオンする。これによって、図５に示すように、駆動トランジスタＴ４のゲートは、ドレインから切り離される。そして、電位制御トランジスタＴ２がオンすることで、Ｖｎ＝ＰＶｄｄとなる。従って、駆動トランジスタＴ４のゲート電位Ｖｇは、Ｖｎの変化に応じてシフトする。なお、駆動トランジスタＴ４のゲートとソースの間には、寄生容量Ｃｐが存在するため、ゲート電位Ｖｇは、このＣｐの影響を受ける。

（ｉｖ）発光（ＧＬ＝Ｌレベル，ＥＳ＝Ｈレベル）

次に、発光セットラインＥＳをＨレベルにすることによって、図６に示すように、駆動制御トランジスタＴ５がオンし、これによって駆動トランジスタＴ４からの駆動電流が有機ＥＬ素子ＥＬに流れる。このときの駆動電流は、駆動トランジスタＴ４のゲート電圧によって決定される、駆動トランジスタＴ４のドレイン電流となるが、このドレイン電流は駆動トランジスタＴ４のしきい値電圧Ｖｔｐとは、関係ないものとなり、しきい値電圧の変動に伴う発光量の変動を抑えることができる。

【００２７】

これについて図７に基づいて説明する。

【００２８】

上述のように、（ｉｉ）リセット後は、図において、○で示したように、Ｖｎ（＝Ｖｓｉｇ）は、Ｖｓｉｇ（ｍａｘ）～Ｖｓｉｇ（ｍｉｎ）の間の値であり、ＶｇはＰＶｄｄから駆動トランジスタＴ４のしきい値電圧Ｖｔｐだけ減じた電圧Ｖｇ０となる。すなわち、Ｖｇ＝Ｖｇ０＝ＰＶｄｄ＋Ｖｔｐ　（Ｖｔｐ＜０）、Ｖｎ＝Ｖｓｉｇである。

【００２９】

そして、（ｉｉｉ）の電位固定に入ると、Ｖｎは、ＶｓｉｇからＰＶｄｄまで変化するので、その変化量ΔＶｇは、Ｃｓ、Ｃｐの容量を考慮して、ΔＶｇ＝Ｃｓ（ＰＶｄｄ－Ｖ

ｓｉｇ）／（Ｃｓ＋Ｃｐ）と表せる。

【００３０】

よって、Ｖｎ，Ｖｇは、図において●で示したように、Ｖｎ＝ＰＶｄｄ，Ｖｇ＝Ｖｔｐ＋ΔＶｇ＝ＰＶｄｄ＋Ｖｔｐ＋Ｃｓ（ＰＶｄｄ－Ｖｓｉｇ）／（Ｃｓ＋Ｃｐ）となる。

【００３１】

ここで、Ｖｇｓ＝Ｖｇ－ＰＶｄｄであるので、Ｖｇｓ＝Ｖｔｐ＋Ｃｓ（ＰＶｄｄ－Ｖｓｉｇ）／（Ｃｓ＋Ｃｐ）となる。

【００３２】

一方、ドレイン電流Ｉは、Ｉ＝（１／２）β（Ｖｇｓ－Ｖｔｐ）$^2$と表され、上式を代入することによって、ドレイン電流Ｉは次のように表される。

Ｉ＝（１／２）β｛Ｖｔｐ＋Ｃｓ（ＰＶｄｄ－Ｖｓｉｇ）／（Ｃｓ＋Ｃｐ）－Ｖｔｐ｝$^2$

＝（１／２）β｛Ｃｓ（ＰＶｄｄ－Ｖｓｉｇ）／（Ｃｓ＋Ｃｐ）｝$^2$

＝（１／２）βα（Ｖｓｉｇ－ＰＶｄｄ）$^2$

ここで、α＝｛Ｃｓ／（Ｃｓ＋Ｃｐ）｝$^2$，βは駆動トランジスタＴ４増幅率であり、β＝μεＧｗ／Ｇｌであり、

μはキャリアの移動度、εは誘電率、Ｇｗはゲート幅、Ｇｌはゲート長である。

【００３３】

このように、ドレイン電流Ｉの式には、Ｖｔｐは含まれず、Ｖｓｉｇ－ＰＶｄｄの２乗に比例することになる。従って、駆動トランジスタＴ４のしきい値電圧のバラツキの影響を排除してデータ電圧Ｖｓｉｇに応じた発光を達成することができる。

【００３４】

上述の説明では、１画素についての動作についてのみ説明した。実際には、表示パネルは、マトリクス状に画素が配置されており、これらのそれぞれについて対応する輝度信号に応じたデータ電圧Ｖｓｉｇを供給して各有機ＥＬ素子を発光させる。すなわち、図８に示すように、表示パネルには、水平スイッチ回路ＨＳＲと、垂直スイッチＶＳＲが設けられており、これらの出力によってデータラインＤＬ、ゲートラインＧＬ、その他発光セットラインＥＳなどの状態が制御される。特に、水平方向の各画素には、１つのゲートラインＧＬが対応づけられており、このゲートラインＧＬは垂直スイッチＶＳＲよって、１つずつ順に活性化される。次に、１つのゲートラインＧＬが活性化される１水平期間に、水平スイッチＨＳＲによってすべてのデータラインＤＬにデータ電圧が点順次で供給され、これが１水平ライン分の画素回路にデータが書き込まれる。そして、各画素回路において、１垂直期間後まで書き込まれたデータ電圧に応じた発光がされる。

【００３５】

次に、１水平ライン内の各画素に対するデータの書き込み手順について、図９に基づいて説明する。

【００３６】

まず、１水平期間の開始を示すイネーブル信号ＥＮＢのＬレベルの後に、すべてのデータラインＤＬに点順次でデータ電圧Ｖｓｉｇを書き込む。すなわち、データラインＤＬには、容量などが接続されており、電圧信号をセットすることで、データラインＤＬにそのデータ電圧Ｖｓｉｇが保持される。そこで、各列の画素についてのデータ電圧Ｖｓｉｇを順次対応するデータラインＤＬにセットすることで、すべてのデータラインＤＬにデータ電圧Ｖｓｉｇをセットする。

【００３７】

そして、このデータのセットが終了した段階で、ＨｏｕｔをＨレベルとして、ゲートラインＧＬをＨレベルとして活性化し、上述した１つの水平方向の各画素について動作を行い、各画素におけるデータ書き込み、発光が行われる。

【００３８】

このようにして、通常のビデオ信号（データ電圧Ｖｓｉｇ）を順次データラインＤＬに書き込み、これを画素回路にセットして、発光させることができる。

【００３９】

次に、他の方式について、図１０に基づいて説明する。この例では、イネーブルラインＥＮＢがＬレベルの期間に、発光セットラインＥＳをＬレベルにし、イネーブルラインＥＮＢがＨレベルに立ち上がるときにゲートラインＧＬをＨレベル（活性化）とする。この状態で、データ電圧Ｖｓｉｇを順次データラインＤＬにセットする。そして、すべてのデータラインＤＬにデータ電圧Ｖｓｉｇをセットした場合には、発光セットラインＥＳをＨレベルとして、上述のディスチャージを行い、その後発光セットラインＥＳをＬレベルに戻す。ゲートラインＧＬは、イネーブルラインＥＮＢの立ち下がりに同期してＬレベルに戻り、イネーブルラインＥＮＢがＬレベルの時にイネーブルラインＥＮＢをＨレベルに戻す。これによって、上述の例と同様の動作が行われる。

【００４０】

次に、各種変形例について、説明する。

（ｉ）変形例１

図１１は、変形例１の構成を示している。この変形例１では、選択トランジスタＴ１、短絡トランジスタＴ３をｐチャネルとし、電位制御トランジスタＴ２をｎチャネルとしている。このような構成では、ゲートラインＧＬのＨレベル，Ｌレベルを上述の実施形態と反対にすることで、実施形態同様の動作を可能としている。

【００４１】

この変形例１におけるゲートラインＧＬ、発光セットラインＥＳの制御に応じた選択トランジスタＴ１、駆動制御トランジスタＴ５のオンオフは、図１２に示した通りであり、これは上述の図２に示したものと同一である。

（ｉｉ）変形例２

図１３は、変形例２の構成を示している。この変形例２では、実施形態の画素回路と比べ、電位制御トランジスタＴ２の制御用に専用の制御ラインＣＳを設けている。従って、電位制御トランジスタＴ２を制御ラインＣＳにより独立して制御することができる。そこで、図１４に示したように、制御ラインＣＳによって、選択トランジスタＴ１がオンする前に、電位制御トランジスタＴ２をオフし、選択トランジスタＴ１がオフした後に、駆動制御トランジスタＴ５と一緒に電位制御トランジスタＴ２をオンすることができる。

【００４２】

このような構成によれば、水平方向のラインが増えてしまうが、電位制御トランジスタＴ２を最も適切なタイミングでオンオフすることができる。すなわち、短絡トランジスタＴ３と、電位制御トランジスタＴ２の同時オンの期間を確実になくすことができ、正確なゲート電位固定ができ、補正精度を上昇することができる。

【００４３】

なお、図１５は、図１３に対し電位制御トランジスタＴ２をｎチャネルとした例、図１６は選択トランジスタＴ１、短絡トランジスタＴ３をｐチャネル、電位制御トランジスタＴ２をｎチャネルとした例、図１７は、選択トランジスタＴ１、短絡トランジスタＴ３、電位制御トランジスタＴ２をすべてｐチャネルとした例を示している。

（ｉｉｉ）変形例３

図１８は、他の変形例であり、選択トランジスタＴ１と、電位制御トランジスタＴ２とをゲートラインＧＬに接続し、専用のリセットラインＲＳＴを設け、このリセットラインＲＳＴに短絡トランジスタＴ３を接続している。この構成では、図１９に示すように、リセットラインＲＳＴによって、短絡トランジスタＴ３を、選択トランジスタＴ１のオフおよび駆動制御トランジスタＴ５のオンに先立って、オフすることができる。　従って、変形例２と同様に、電位制御Ｔ２と、短絡トランジスタＴ３の同時オン期間をなくすことができる。このような構成にすることによって、ゲートラインＧＬの近くに配置するトランジスタは、選択トランジスタＴ１と、電位制御トランジスタＴ２の２つでよくなり、画素回路におけるトランジスタのレイアウトが容易になる。しかし、この場合には選択トランジスタＴ１と、短絡トランジスタＴ３のオフタイミングがずれることになり、このときにＶｇに影響をノイズが発生する可能性もある。

（ｉｖ）変形例４

図２０は、さらに他の変形例である。この例では、選択トランジスタＴ１、電位制御トランジスタＴ２をゲートラインＧＬに接続し、短絡トランジスタＴ３、駆動制御トランジスタＴ５を発光セットラインＥＳに接続している。この例では、図２１に示すように、発光状態から、ゲートラインＧＬがＨレベルとなり、電位制御トランジスタＴ２がオフ、選択トランジスタＴ１がオンになり、コンデンサＣｓの一端にデータ電圧Ｖｓｉｇが供給される。この際短絡トランジスタＴ３はオフ、駆動制御トランジスタＴ５はオンになっている。次に、発光セットラインＥＳがＬレベルとなり、短絡トランジスタＴ３がオン、駆動制御トランジスタＴ５がオフになる。直前まで、有機ＥＬ素子ＥＬに電流が流れており、駆動トランジスタＴ４のドレインは比較的低い電圧になっており、短絡トランジスタＴ３がオンすることで、ＶｇにＰＶｄｄ＋Ｖｔｐの値にセットする、リセットが行われる。その後、発光セットラインＥＳがＨレベルとなり、短絡トランジスタＴ３がオフ、駆動制御トランジスタＴ５がオンになった段階で、ゲートラインＧＬがＨレベルになり、電位の固定および発光が行われる。

【００４４】

この変形例４によれば、ゲートラインＧＬの近くに選択トランジスタＴ１、電位制御トランジスタＴ２を配置し、発光セットラインＥＳの近くに短絡トランジスタＴ３、駆動制御トランジスタＴ５を配置することで、配線の引き回しが非常に容易になる。従って、画素回路のレイアウトが容易になる。しかし、選択トランジスタＴ１と、短絡トランジスタＴ３のタイミングがずれるため、ノイズが乗りやすいというデメリットもある。さらに、他の構成例のようなディスチャージ工程を設けることができないため、駆動トランジスタＴ４のゲートについての電荷の放出が十分行えない場合も生じやすい。

【図面の簡単な説明】

【００４５】

【図１】実施形態に係る画素回路の構成を示す図である。
【図２】動作を説明するチャート図である。
【図３】ディスチャージ工程を説明する図である。
【図４】リセット工程を説明する図である。
【図５】電位固定工程を説明する図である。
【図６】発光工程を説明する図である。
【図７】リセットから電位固定工程における電位変化の状態を説明する図である。
【図８】パネルの全体構成を示す図である。
【図９】データセットのタイミング例を示す図である。
【図１０】データセットの他のタイミング例を示す図である。
【図１１】変形例１の構成を説明する図である。
【図１２】変形例１の駆動状態を示す図である。
【図１３】変形例２の構成を説明する図である。
【図１４】変形例２の駆動状態を示す図である。
【図１５】変形例２についての他の構成を示す図である。
【図１６】変形例２についてのさらに他の構成を示す図である。
【図１７】変形例２についてのさらに他の構成を示す図である。
【図１８】変形例３についての構成を示す図である。
【図１９】変形例３の駆動状態を示す図である。
【図２０】変形例４についての構成を示す図である。
【図２１】変形例４の駆動状態を示す図である。

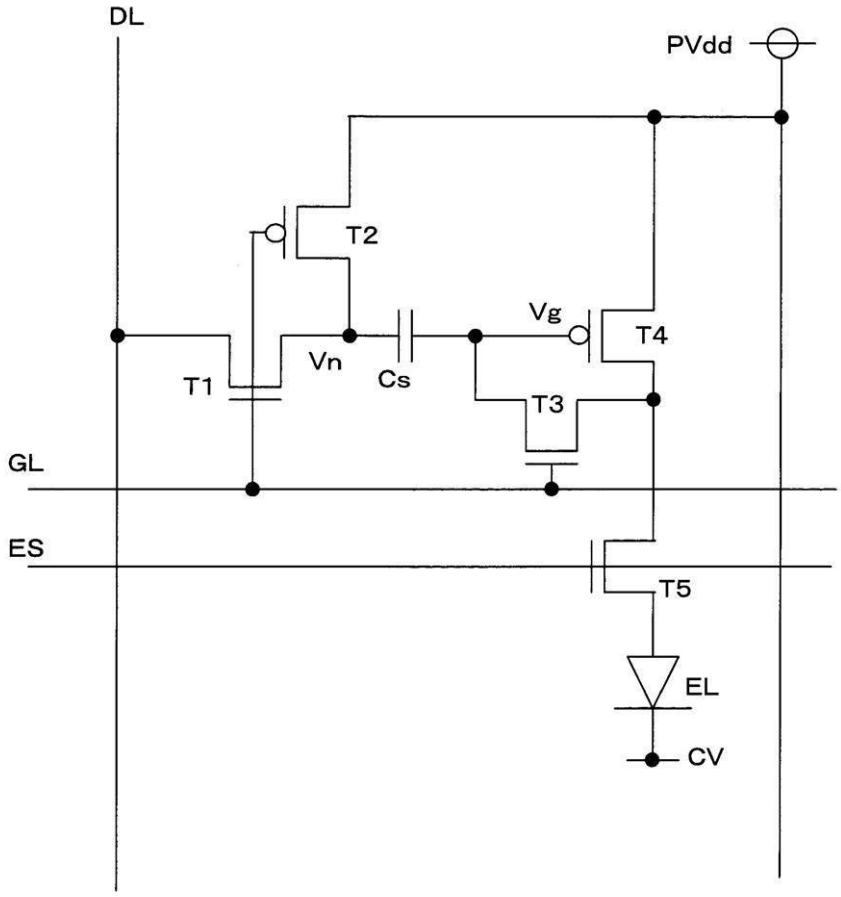
【符号の説明】

【００４６】

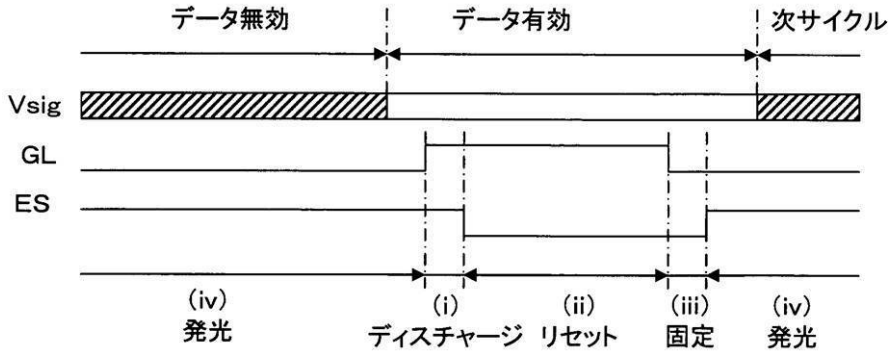
Ｃｓ　コンデンサ、ＣＳ　制御ライン、ＣＶ　カソード電源、Ｃｐ　寄生容量、ＤＬ　データライン、ＥＬ　有機ＥＬ素子、ＥＮＢ　イネーブル信号、ＥＳ　発光セットライン、ＧＬ　ゲートライン、ＨＳＲ　水平スイッチ、Ｖｄｄ　電源電圧、ＲＳＴ　リセットライン、Ｔ１　選択トランジスタ、Ｔ２　電位制御トランジスタ、Ｔ３　短絡トランジスタ

、Ｔ４　駆動トランジスタ、Ｔ５　駆動制御トランジスタ、ＶＳＲ　垂直スイッチ、Ｖｇ　駆動トランジスタのゲート電圧、Ｖｓｉｇ　データ電圧。

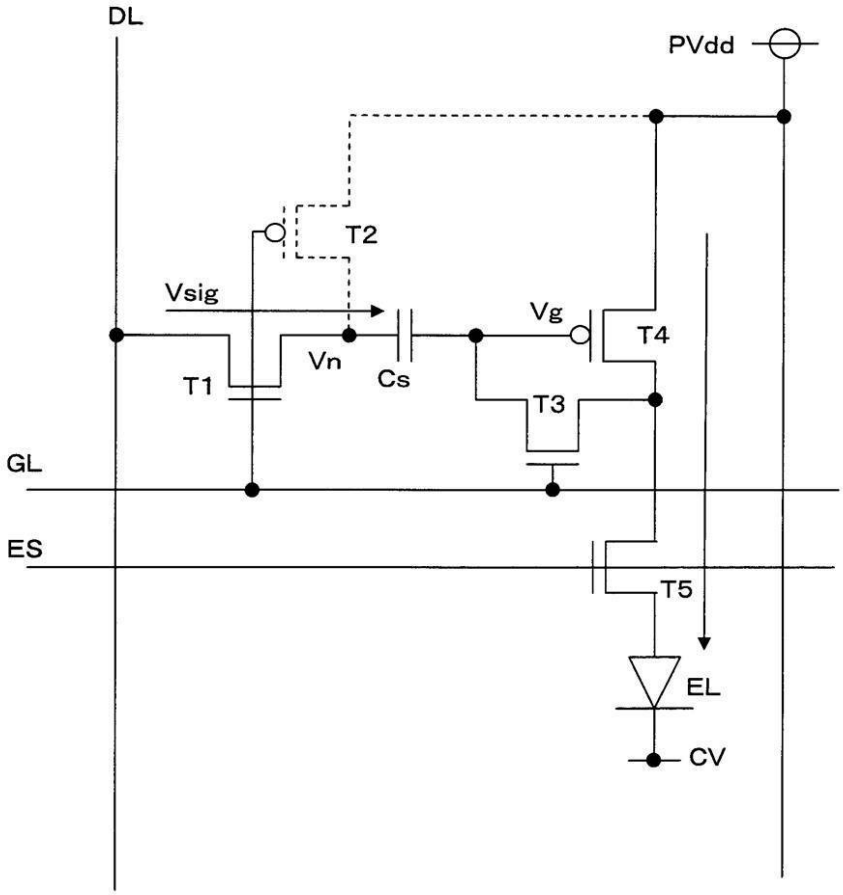
【図１】


DL
PVdd
T2
Vg
T4
Vn
Cs
T1
T3
GL
ES
T5
EL
CV

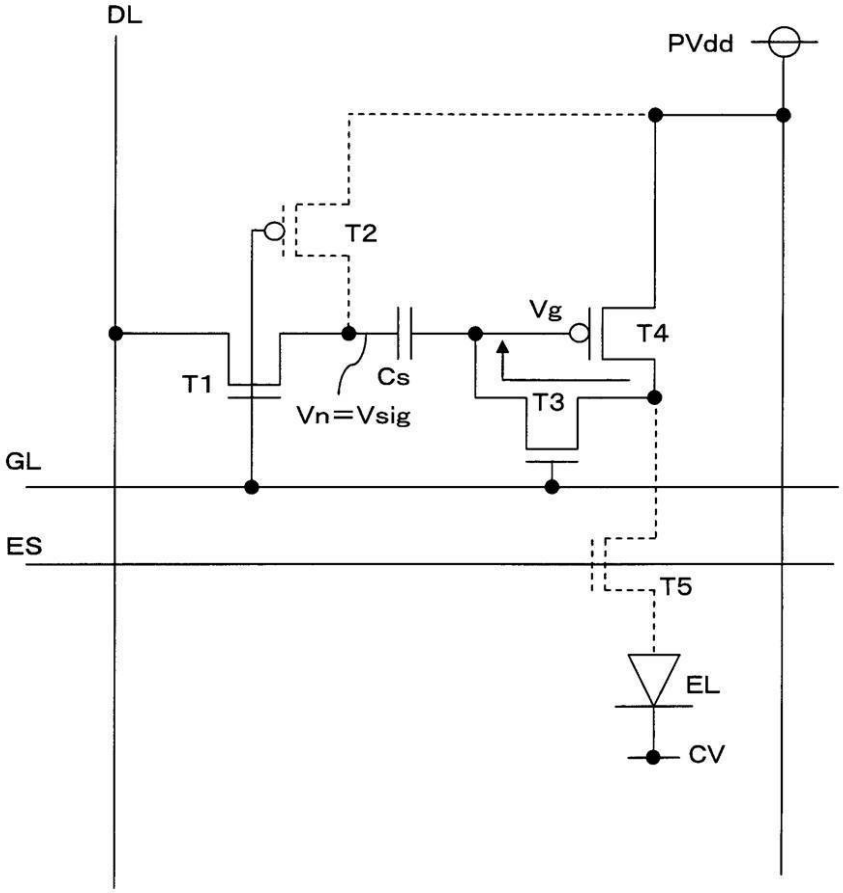
【図２】


データ無効
データ有効
次サイクル
Vsig
GL
ES
(iv)
発光
(i)
ディスチャージ
(ii)
リセット
(iii)
固定
(iv)
発光

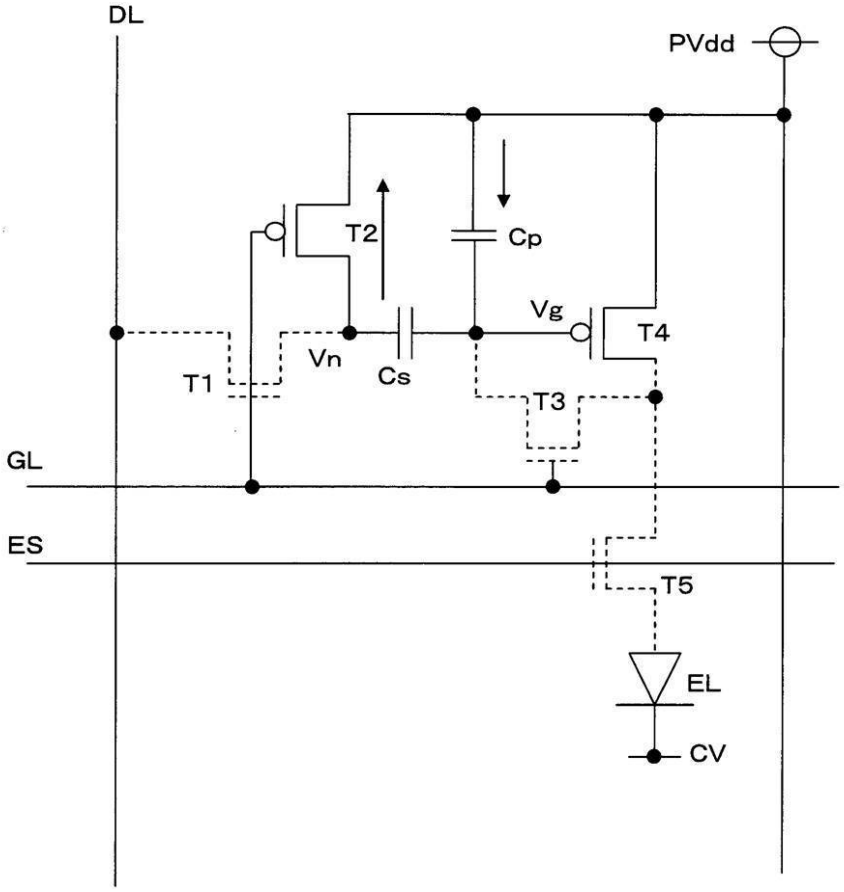
【図３】



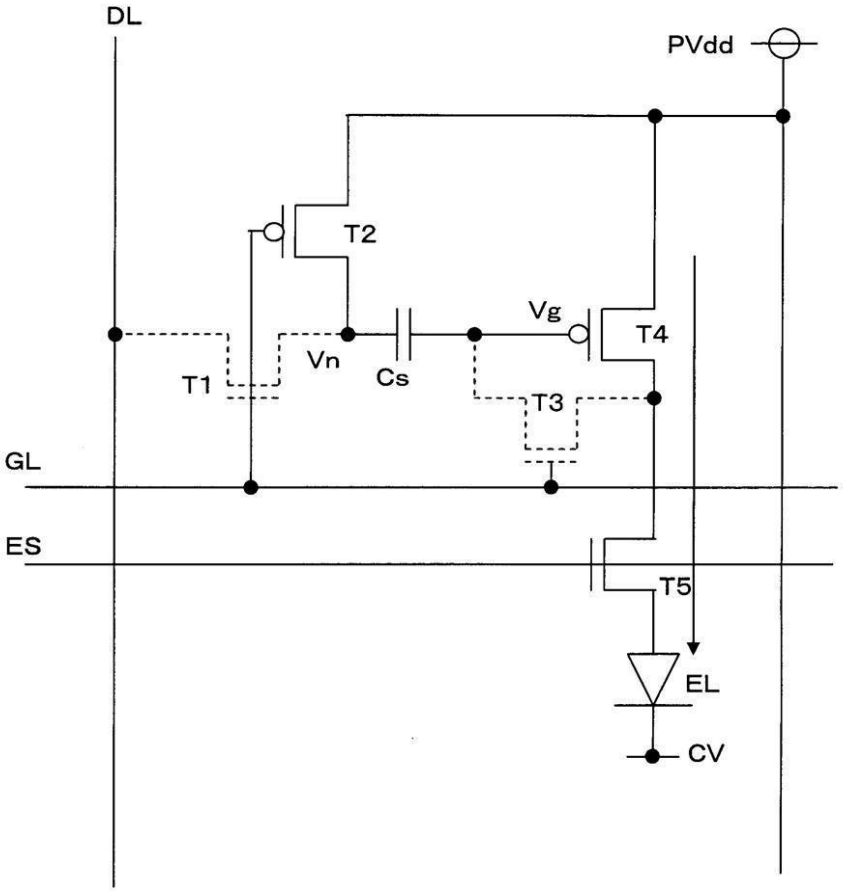
【図４】



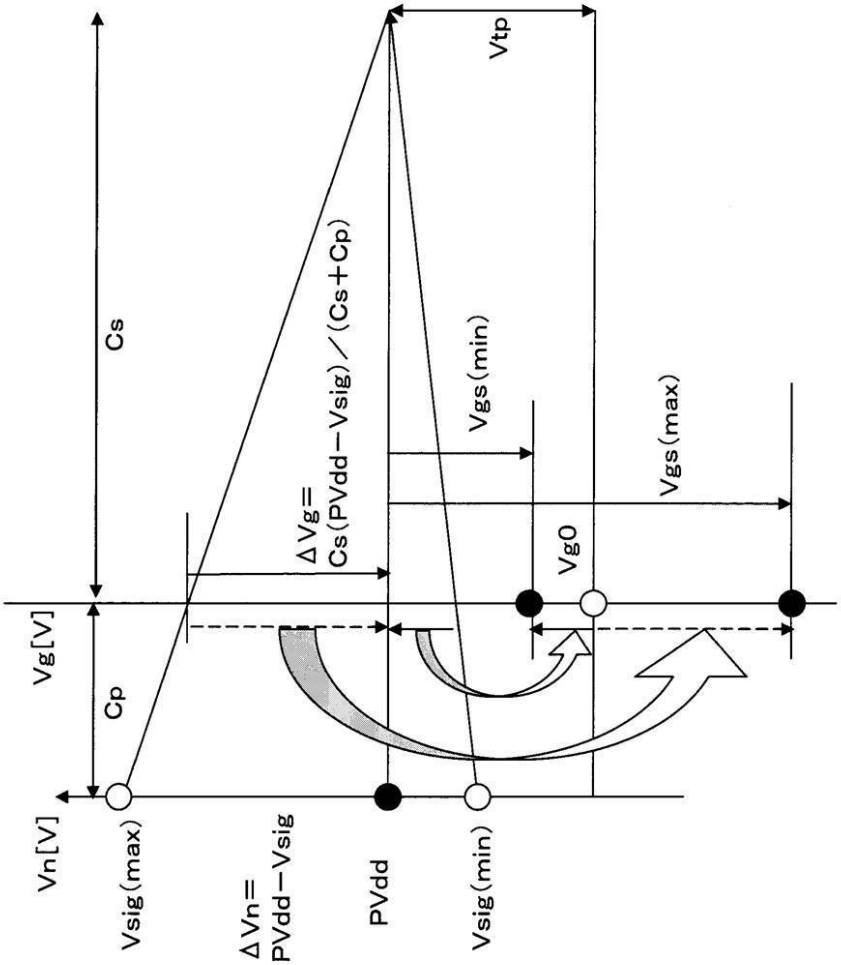
【図５】



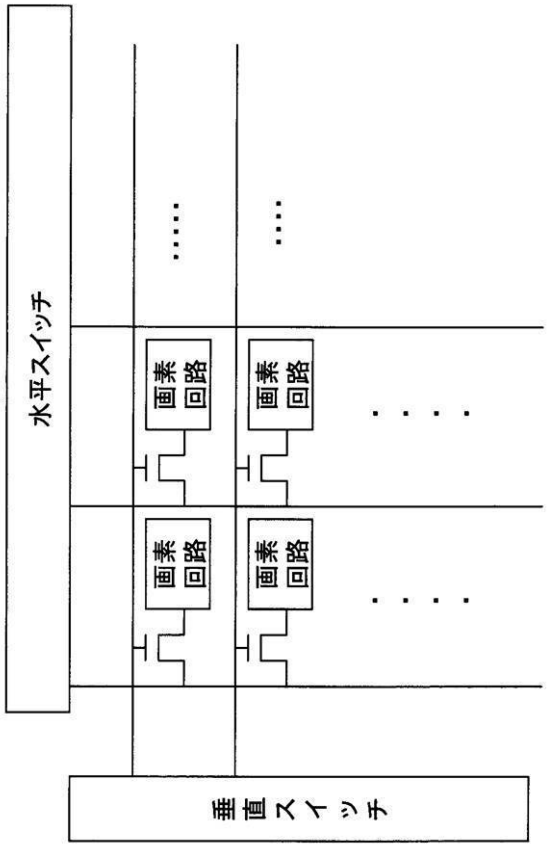
【図６】



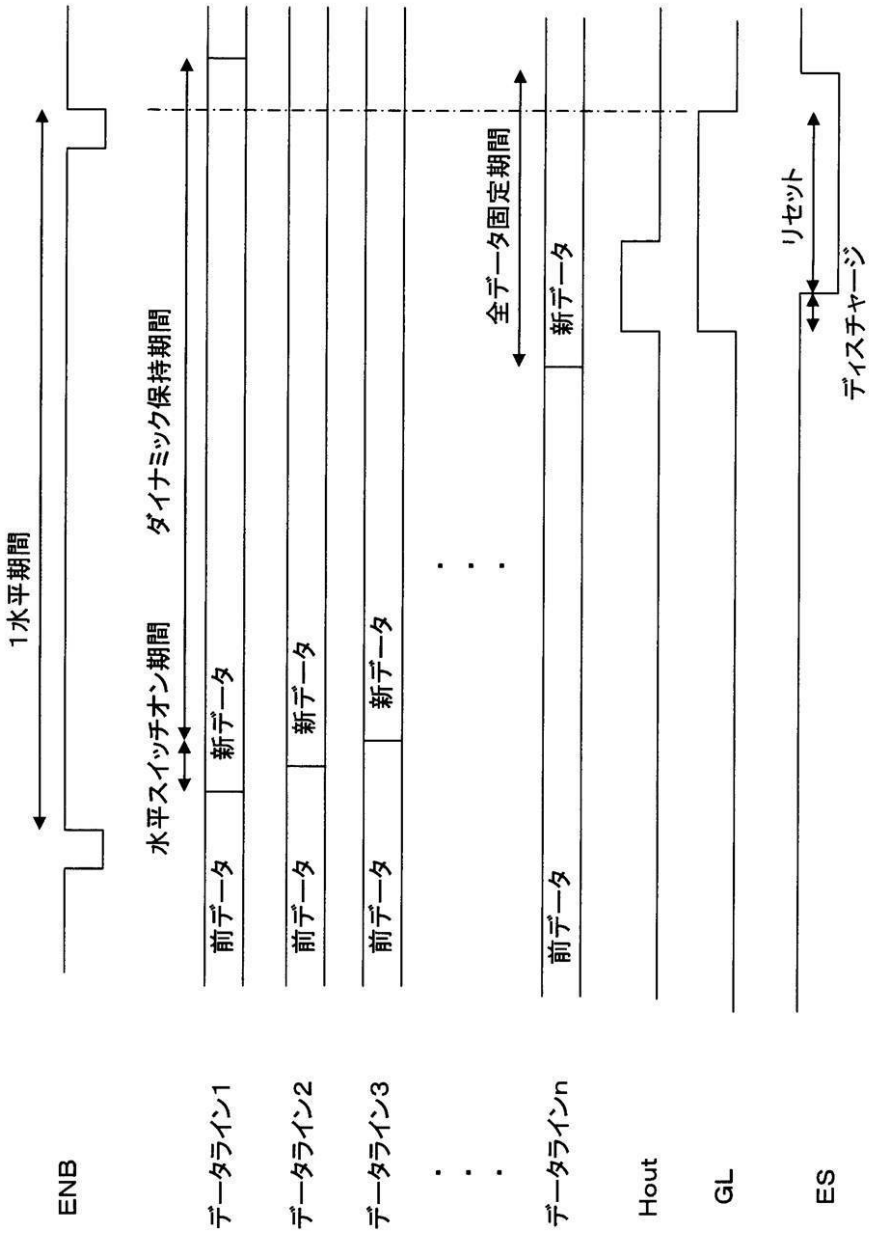
【図７】


Vtp
Cs
ΔVg=
Cs(PVdd−Vsig)／(Cs+Cp)
Vgs(min)
Vgs(max)
VgO
Vg[V]
Cp
Vn[V]
Vsig(max)
ΔVn=
PVdd−Vsig
PVdd
Vsig(min)

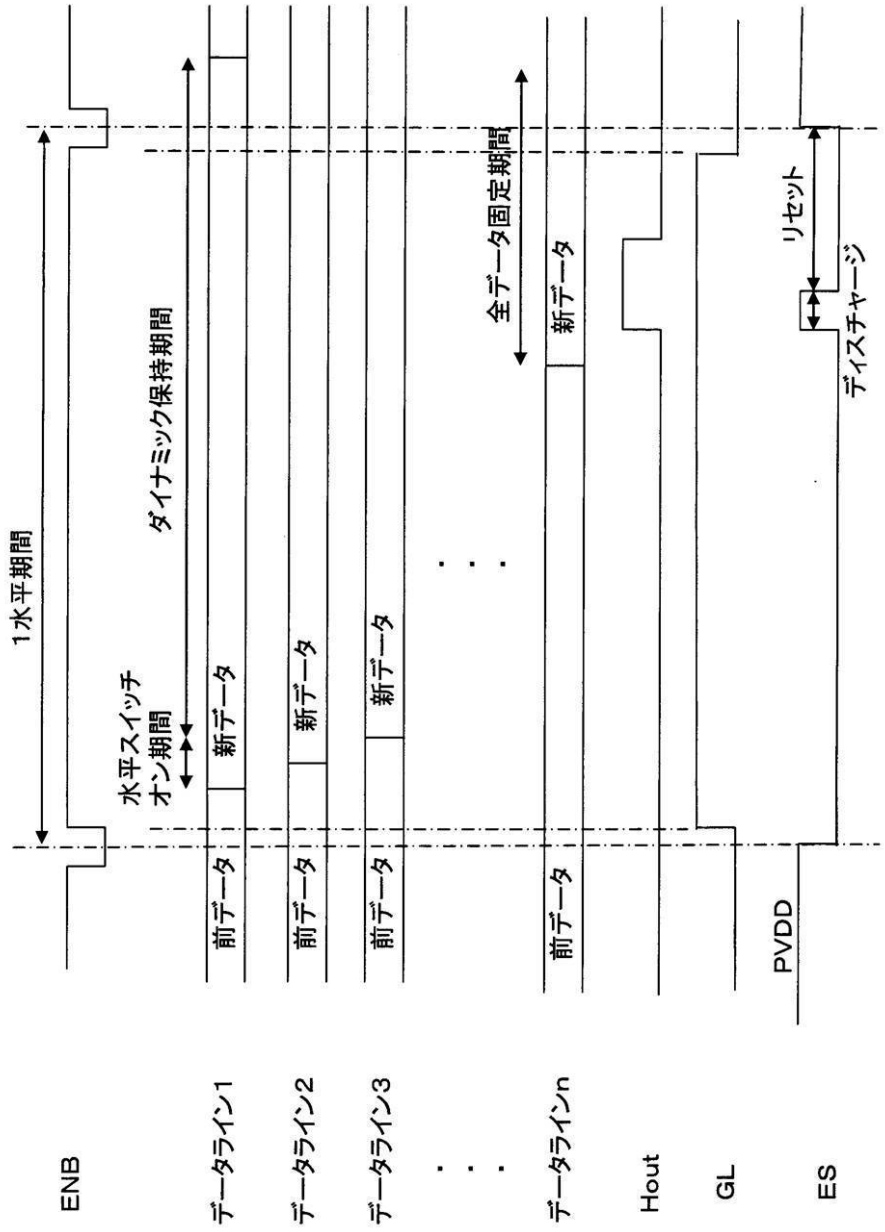
【図８】



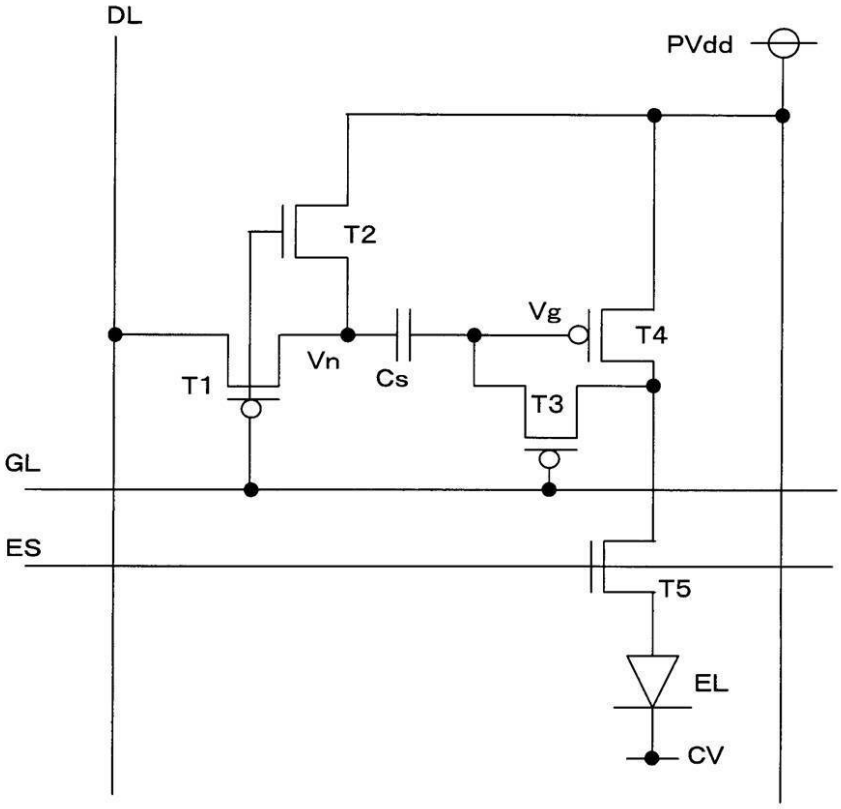
【図９】


1水平期間
ダイナミック保持期間
水平スイッチオン期間
全データ固定期間
リセット
ディスチャージ
ENB
データライン1
データライン2
データライン3
データラインn
Hout
GL
ES
前データ
新データ

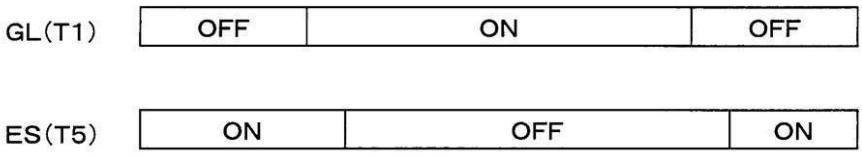
【図１０】


1水平期間
水平スイッチ
オン期間
ダイナミック保持期間
全データ固定期間
リセット
ディスチャージ
新データ
前データ
ENB
データライン1
データライン2
データライン3
データラインn
Hout
GL
ES
PVDD

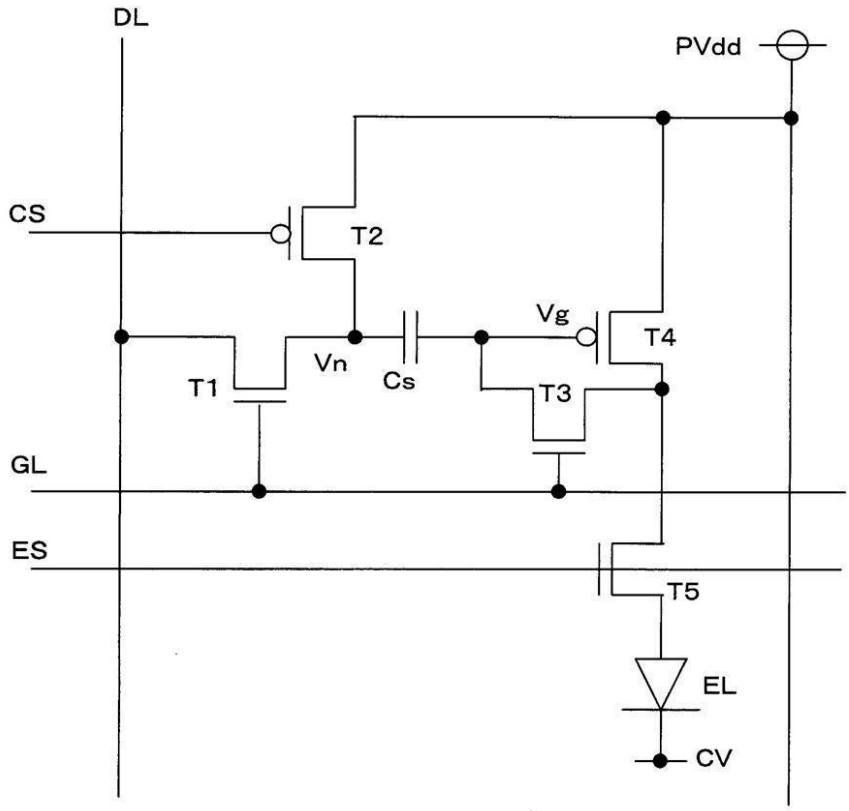
【図１１】


DL
PVdd
T2
Vg
T4
Vn
Cs
T1
T3
GL
ES
T5
EL
CV

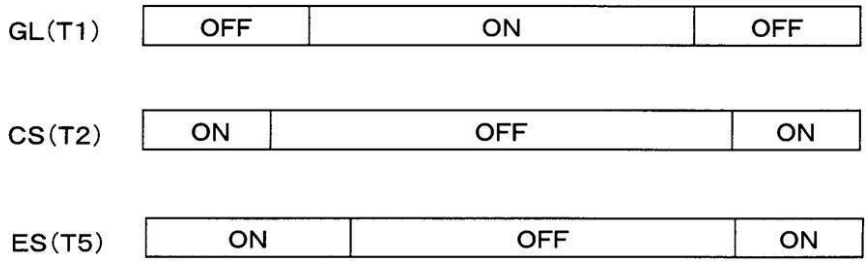
【図１２】


GL(T1)
OFF
ON
OFF
ES(T5)
ON
OFF
ON

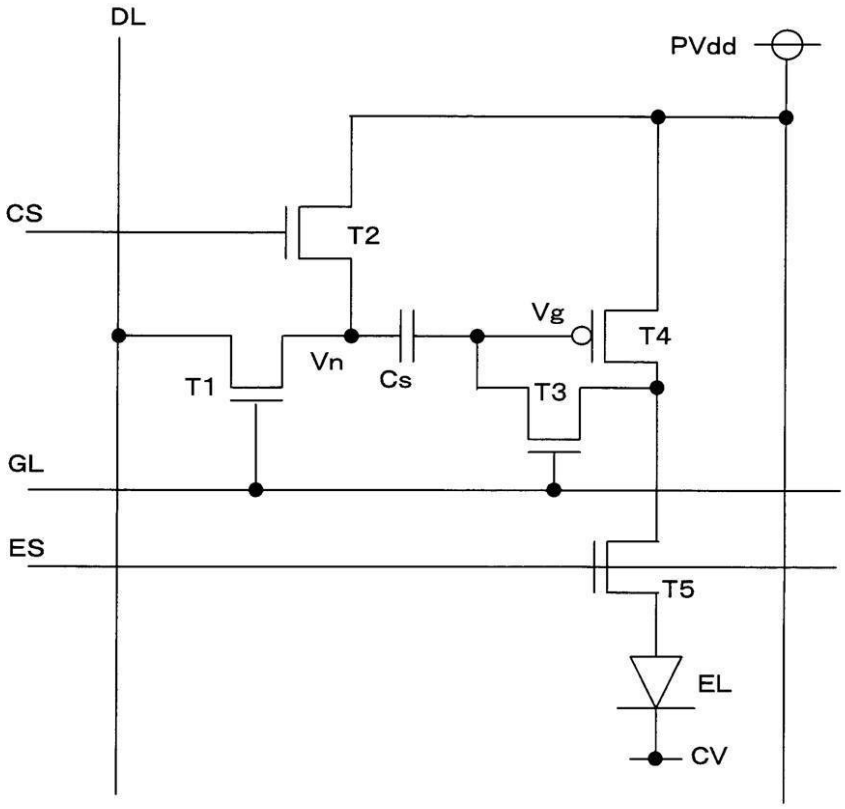
【図１３】


DL
PVdd
CS
T2
Vg
T4
Vn
Cs
T1
T3
GL
ES
T5
EL
CV

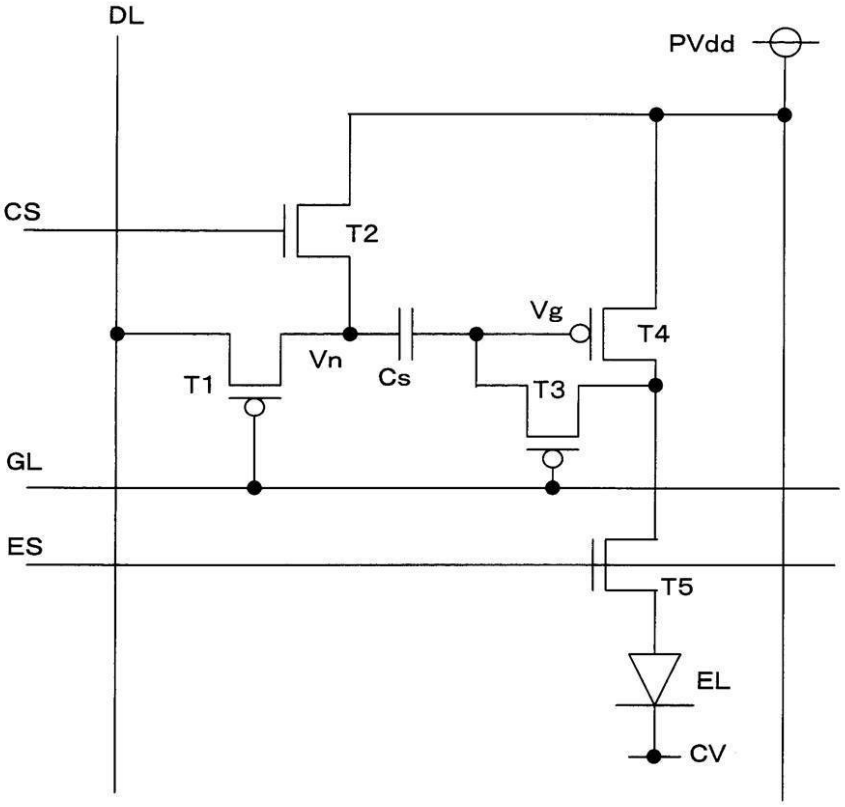
【図１４】


GL(T1)
OFF
ON
OFF
CS(T2)
ON
OFF
ON
ES(T5)
ON
OFF
ON

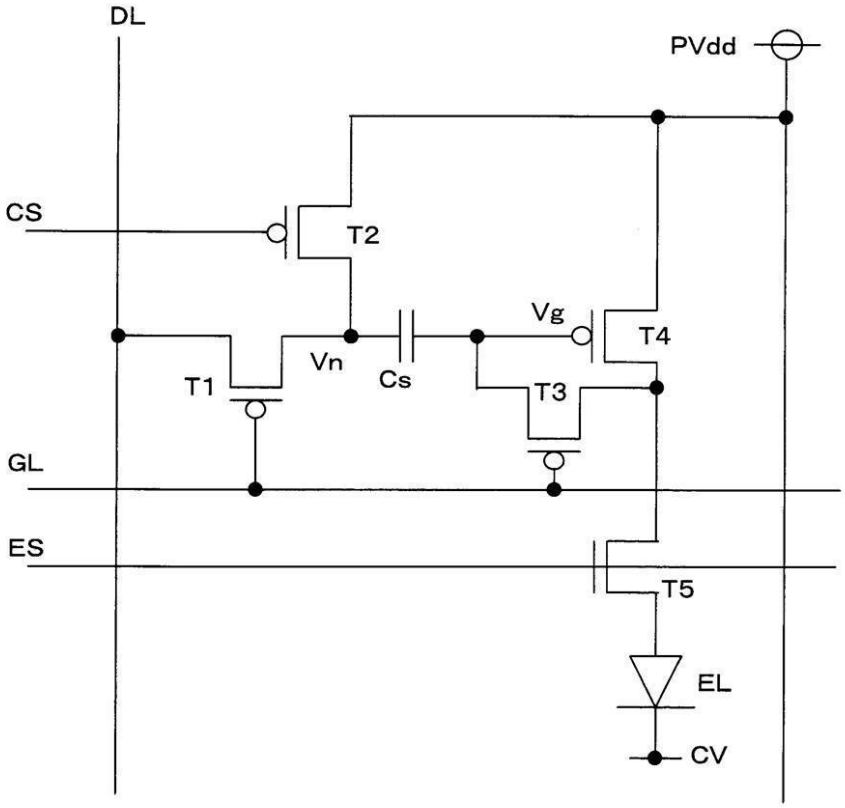
【図１５】


DL
PVdd
CS
T2
Vg
T4
Vn
Cs
T1
T3
GL
ES
T5
EL
CV

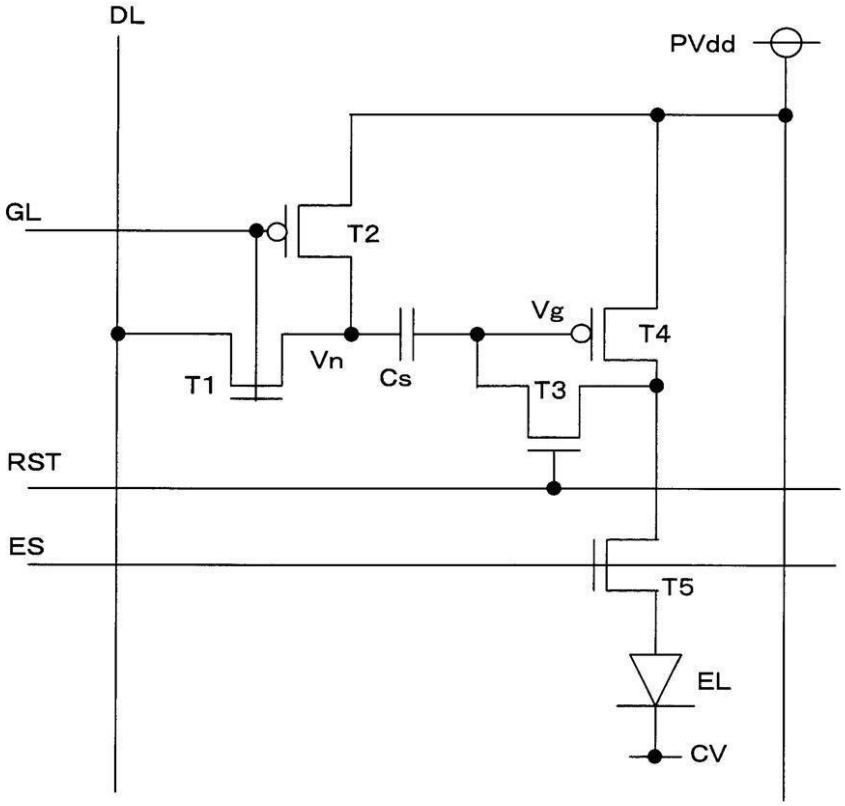
【図１６】


DL
PVdd
CS
T2
Vg
T4
Vn
Cs
T1
T3
GL
ES
T5
EL
CV

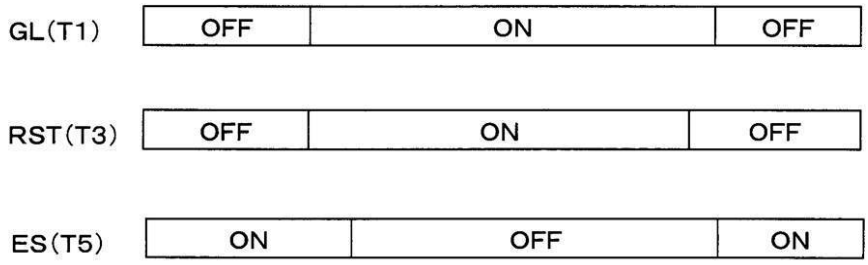
【図１７】


DL
PVdd
CS
T2
Vg
T4
Vn
Cs
T1
T3
GL
ES
T5
EL
CV

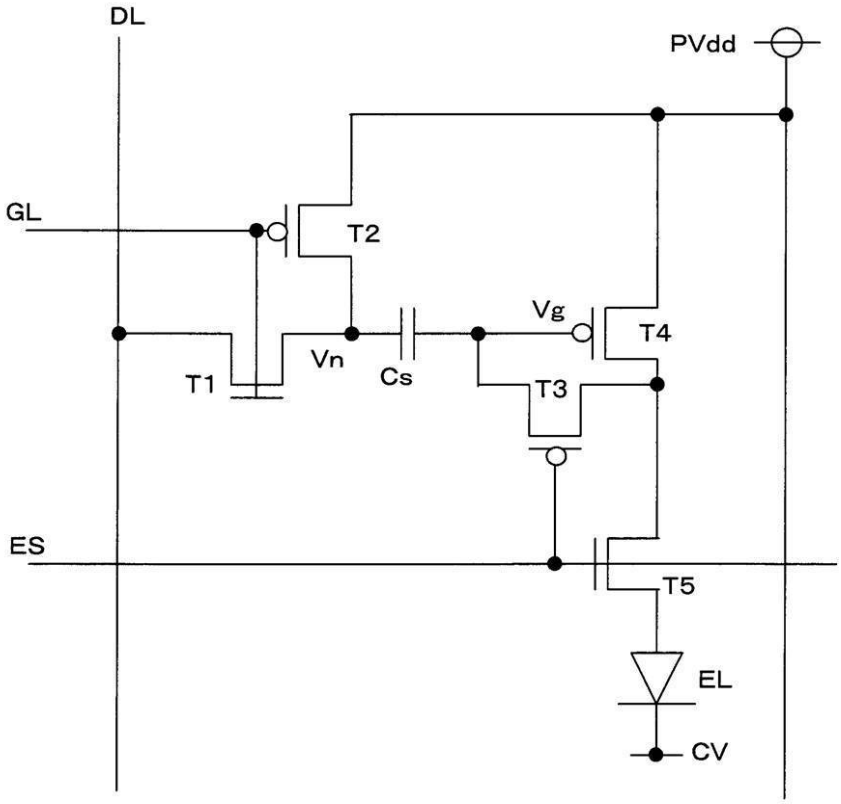
【図１８】


DL
PVdd
GL
T2
Vg
T4
Vn
Cs
T1
T3
RST
ES
T5
EL
CV

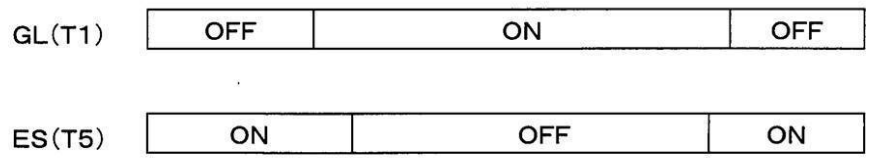
【図１９】


GL(T1)
OFF
ON
OFF
RST(T3)
OFF
ON
OFF
ES(T5)
ON
OFF
ON

【図２０】


DL
PVdd
GL
T2
Vg
T4
T1
Vn
Cs
T3
ES
T5
EL
CV

【図２１】


GL(T1)
OFF
ON
OFF
ES(T5)
ON
OFF
ON

フロントページの続き

(56)参考文献 特開２００５－１５７３０８（ＪＰ，Ａ）
特開２００３－２２３１３８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ０９Ｇ　３／００－　３／０８
Ｇ０９Ｇ　３／１２－　３／１６
Ｇ０９Ｇ　３／１９－　３／２６
Ｇ０９Ｇ　３／３０－　３／３４
Ｇ０９Ｇ　３／３８

| | | | |
|---|---|---|---|
| 专利名称(译) | 有机EL像素电路及其驱动方法 | | |
| 公开(公告)号 | JP5370454B2 | 公开(公告)日 | 2013-12-18 |
| 申请号 | JP2011220369 | 申请日 | 2011-10-04 |
| [标]申请(专利权)人(译) | 三洋电机株式会社 | | |
| 申请(专利权)人(译) | 三洋电机株式会社 | | |
| 当前申请(专利权)人(译) | 三洋电机株式会社 | | |
| [标]发明人 | 池田恭二 | | |
| 发明人 | 池田 恭二 | | |
| IPC分类号 | G09G3/30 G09G3/20 | | |
| FI分类号 | G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.642.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H05B33/08 H05B33/14.A | | |
| F-TERM分类号 | 3K107/AA01 3K107/BB01 3K107/CC21 3K107/EE04 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/FF11 5C080/HH09 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/BA39 5C380/BB02 5C380/BB22 5C380/BC18 5C380/CA09 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CC06 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC53 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CD015 5C380/DA02 5C380/DA47 | | |
| 代理人(译) | 内藤裕树<br>藤井 兼太郎<br>寺内 伊久郎 | | |
| 优先权 | 2004117332 2004-04-12 JP | | |
| 其他公开文献 | JP2012032828A | | |
| 外部链接 | Espacenet | | |


摘要(译)

要解决的问题：有效地补偿驱动晶体管的阈值电压的变化。解决方案：有机EL像素电路具有：驱动晶体管T4，用于响应于来自电源PVdd的栅极电压Vg将驱动电流流向有机EL元件EL;驱动控制晶体管T5，插入并设置在驱动晶体管T4和有机EL元件之间;以及用于控制驱动晶体管T4是否是二极管连接的短路晶体管T3。此外，有机EL像素电路具有：选择晶体管T1，用于控制来自数据线DL的数据信号是否被提供给驱动晶体管T4的控制端;电容器Cs插入并设置在选择晶体管T1和驱动晶体管T4的控制端之间;电容控制晶体管T2用于导通/截止电容器Cs的选择晶体管T1侧与电源PVdd之间的连接。

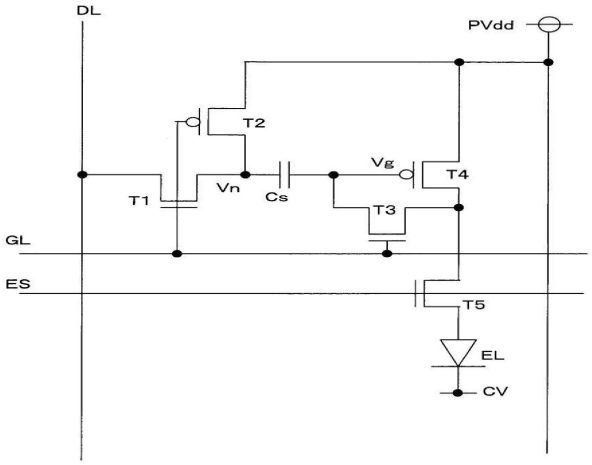


图 1 ]