

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5034208号
(P5034208)

(45) 発行日 平成24年9月26日(2012.9.26)

(24) 登録日 平成24年7月13日(2012.7.13)

(51) Int.Cl.

F I

G O 9 G 3/30 (2006.01)

G O 9 G 3/20 (2006.01)

G O 9 G 3/30 J

G O 9 G 3/30 K

G O 9 G 3/20 6 4 1 D

G O 9 G 3/20 6 2 4 B

G O 9 G 3/20 6 2 1 A

請求項の数 2 (全 17 頁) 最終頁に続く

(21) 出願番号	特願2005-298495 (P2005-298495)	(73) 特許権者	000002185
(22) 出願日	平成17年10月13日 (2005.10.13)		ソニー株式会社
(65) 公開番号	特開2007-108379 (P2007-108379A)		東京都港区港南1丁目7番1号
(43) 公開日	平成19年4月26日 (2007.4.26)	(74) 代理人	100094363
審査請求日	平成20年9月10日 (2008.9.10)		弁理士 山本 孝久
		(74) 代理人	100118290
			弁理士 吉井 正明
		(74) 代理人	100120640
			弁理士 森 幸一
		(72) 発明者	山本 哲郎
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		(72) 発明者	内野 勝秀
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
			最終頁に続く

(54) 【発明の名称】 表示装置および表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項 1】

一端が第1の電源電位に接続された電気光学素子、前記電気光学素子の他端にソースが接続されたNチャネル型の薄膜トランジスタからなる駆動トランジスタ、データ線と前記駆動トランジスタとの間に接続されたサンプリングトランジスタ、電源線と前記駆動トランジスタのドレインとの間に接続された第1スイッチングトランジスタ、前記駆動トランジスタのソースと前記電源線との間に接続された第2スイッチングトランジスタ、及び、前記駆動トランジスタのゲートとソースとの間に接続されたキャパシタを有する画素回路が行列状に配置されてなる画素アレイ部と、

前記画素回路に書き込む入力信号と所定の電位とを選択的に前記データ線に供給するデータ線駆動手段と、

第2の電源電位と当該第2の電源電位よりも低い第3の電源電位とを選択的に前記電源線に供給する電源供給手段と、

前記サンプリングトランジスタを駆動する第1の駆動手段と、

前記第1スイッチングトランジスタを駆動する第2の駆動手段と、

前記第2スイッチングトランジスタを駆動する第3の駆動手段とを具備し、

前記第3の電源電位は、前記所定の電位から前記駆動トランジスタの閾値電圧を差し引いた電位よりも低く設定されており、

前記第2の駆動手段は、前記第1スイッチングトランジスタを非導通状態にして前記電気光学素子を非発光状態にし、

10

20

次に、前記電源供給手段は、前記電源線の電位を前記第2の電源電位から前記第3の電源電位へ切り替え、

次に、前記第3の駆動手段は、前記電源線の電位が前記第3の電源電位のとときに一定の期間だけ前記第2スイッチングトランジスタを導通状態にし、

次に、前記電源供給手段は、前記電源線の電位を前記第3の電源電位から前記第2の電源電位へ切り替え、

次に、前記第1の駆動手段は、前記電源線の電位が前記第2の電源電位のとときに一定の期間だけ前記サンプリングトランジスタを導通状態にし、前記データ線駆動手段から前記データ線に供給されている前記所定の電位をサンプリングして前記駆動トランジスタのゲートに与え、

10

次に、前記第2の駆動手段は、前記サンプリングトランジスタが導通状態にある一定の期間に前記第1スイッチングトランジスタを導通状態にし、

次に、前記データ線駆動手段は、前記データ線への供給を前記所定の電位から前記入力信号に切り替え、

次に、前記第1の駆動手段は、前記サンプリングトランジスタを導通状態にし、前記入力信号をサンプリングすることによって前記キャパシタに書き込む表示装置。

【請求項2】

一端が第1の電源電位に接続された電気光学素子、前記電気光学素子の他端にソースが接続されたNチャネル型の薄膜トランジスタからなる駆動トランジスタ、データ線と前記駆動トランジスタとの間に接続されたサンプリングトランジスタ、電源線と前記駆動トランジスタのドレインとの間に接続された第1スイッチングトランジスタ、前記駆動トランジスタのソースと前記電源線との間に接続された第2スイッチングトランジスタ、及び、前記駆動トランジスタのゲートとソースとの間に接続されたキャパシタを有する画素回路が行列状に配置されてなり、

20

前記画素回路に書き込む入力信号と所定の電位とを選択的に前記データ線に供給するとともに、第2の電源電位と当該第2の電源電位よりも低い第3の電源電位とを選択的に前記電源線に供給し、

前記第3の電源電位は、前記所定の電位から前記駆動トランジスタの閾値電圧を差し引いた電位よりも低く設定されている表示装置の駆動に当たって、

前記第1スイッチングトランジスタを非導通状態にして前記電気光学素子を非発光状態にする第1ステップと、

30

前記電気光学素子が非発光状態にあるときに前記電源線の電位を前記第2の電源電位から前記第3の電源電位へ切り替える第2ステップと、

前記電源線の電位が前記第3の電源電位のとときに一定の期間だけ前記第2スイッチングトランジスタを導通状態にする第3ステップと、

前記第2スイッチングトランジスタが非導通状態になった後に前記電源線の電位を前記第3の電源電位から前記第2の電源電位へ切り替える第4ステップと、

前記電源線の電位が前記第2の電源電位のとときに一定の期間だけ前記サンプリングトランジスタを導通状態にし、前記データ線に供給されている所定の電位をサンプリングして前記駆動トランジスタのゲートに与える第5ステップと、

40

前記所定の電位のサンプリング後、前記サンプリングトランジスタが導通状態にある一定の期間に前記第1スイッチングトランジスタを導通状態にする第6ステップと、

前記第1スイッチングトランジスタが非導通状態になった後に前記データ線への供給を前記所定の電位から前記画素回路に書き込む入力信号に切り替え、当該入力信号を前記サンプリングトランジスタによって前記キャパシタに書き込む第7ステップとの各処理を実行する表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置および表示装置の駆動方法に関し、特に電気光学素子を含む画素回

50

路が行列状（マトリクス状）に配置されてなる表示装置およびその駆動方法に関する。

【背景技術】

【0002】

近年、電気光学素子として、電流値に応じて発光輝度が変化するいわゆる電流駆動型の発光素子、例えば有機EL(electro luminescence)素子を含む画素回路が行列状に多数配置されてなる有機EL表示装置が開発され、商品化が進められている。有機EL表示装置は、有機EL素子が自発光素子であることから、液晶セルを含む画素回路によって光源（バックライト）からの光強度を制御する液晶表示装置に比べて、画像の視認性が高い、バックライトが不要、応答速度が速い等の特長を持っている。

【0003】

10

有機EL表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が簡単であるものの、大型でかつ高精細な表示装置の実現が難しいなどの問題がある。そのため、近年、発光素子に流れる電流を、当該発光素子と同じ画素回路内に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ(Thin Film Transistor; TFT)）によって制御するアクティブマトリクス方式の表示装置の開発が盛んに行われている。

【0004】

能動素子として薄膜トランジスタ（以下、「TFT」と記述する）を用いた画素回路において、当該TFTとしてNチャネル型のトランジスタを用いることができれば、TFTの作成に当たって、従来のアモルファスシリコン（a-Si）プロセスを用いることが可能になる。そして、a-Siプロセスを用いることで、TFT基板の低コスト化を図ることができる。

20

【0005】

ところで、一般的に、有機EL素子の電流-電圧（I-V）特性は、時間が経過すると劣化（経時劣化）する。Nチャネル型のTFTを用いた画素回路では、有機EL素子を電流駆動するTFT（以下、「駆動TFT」と記述する）のソースが有機EL素子に接続されることになるために、有機EL素子のI-V特性が経時変化すると、駆動TFTのゲート・ソース間電圧 V_{gs} が変化し、その結果有機EL素子の発光輝度も変化する。

【0006】

30

このことについてより具体的に説明する。駆動TFTのソース電圧は、当該駆動TFTと有機EL素子との動作点で決まる。有機EL素子のI-V特性が劣化すると、駆動TFTと有機EL素子との動作点が変わってしまうために、駆動TFTに同じゲート電圧を印加したとしても、駆動TFTのソース電圧が変化する。これにより、駆動TFTのソース・ゲート間電圧 V_{gs} が変化し、当該駆動TFTに流れる電流値が変化するために、有機EL素子に流れる電流値も変化し、その結果有機EL素子の発光輝度が変化する。

【0007】

また、Nチャネル型のTFTを用いた画素回路では、有機EL素子のI-V特性の経時劣化に加えて、駆動TFTの閾値電圧 V_{th} が経時的に変化したり、当該閾値電圧 V_{th} が画素ごとに異なったりする。駆動TFTの閾値電圧 V_{th} が異なると、駆動TFTに流れる電流値にバラツキが生じるために、駆動TFTに同じゲート電圧を印加しても、有機EL素子の発光輝度が変化する。

40

【0008】

従来は、有機EL素子のI-V特性が経時劣化したり、駆動TFTの閾値電圧 V_{th} が経時変化したりしても、それらの影響を受けることなく、有機EL素子の発光輝度を一定に保つようにするために、有機EL素子の特性変動に対する補償機能および駆動TFTの V_{th} 変動に対する補償機能を画素回路の各々に持たせる構成を採っていた（例えば、特許文献1参照）。この特許文献1に係る従来技術について以下に説明する。

【0009】

【特許文献1】特開2004-361640号公報

50

【 0 0 1 0 】

図 1 1 は、従来例に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。本従来例に係るアクティブマトリクス型表示装置は、電流駆動型の発光素子、例えば有機 E L 素子を含む画素回路 1 0 1 が行列状に多数配置されてなる画素アレイ部 1 0 2 を有している。ここでは、図面の簡略化のために、ある 1 つの画素回路 1 0 1 についてその具体的な回路構成を示している。

【 0 0 1 1 】

この画素アレイ部 1 0 2 において、画素回路 1 0 1 の各々に対して各行毎に走査線 1 0 3、第 1、第 2 駆動線 1 0 4、1 0 5 およびオートゼロ線 1 0 6 がそれぞれ配線され、また各列毎にデータ線 1 0 7 が配線されている。この画素アレイ部 1 0 2 の周囲には、走査線 1 0 3 を駆動する書き込み走査回路 1 0 8 と、第 1、第 2 駆動線 1 0 4、1 0 5 を駆動する第 1、第 2 駆動走査回路 1 0 9、1 1 0 と、オートゼロ線 1 0 6 を駆動するオートゼロ回路 1 1 1 と、輝度情報に応じたデータ信号をデータ線 1 0 7 に供給するデータ線駆動回路 1 1 2 とが配置されている。

【 0 0 1 2 】

画素回路 1 0 1 は、有機 E L 素子 2 0 1 と、駆動トランジスタ 2 0 2、キャパシタ（保持容量）2 0 3、2 0 4、サンプリングトランジスタ 2 0 5 およびスイッチングトランジスタ 2 0 6 ~ 2 0 9 を構成素子として有している。駆動トランジスタ 2 0 2、サンプリングトランジスタ 2 0 5 およびスイッチングトランジスタ 2 0 4 ~ 2 0 9 としては、例えば N チャネル型の電界効果 T F T（薄膜トランジスタ）が用いられている。以下、駆動トランジスタ 2 0 2、サンプリングトランジスタ 2 0 5 およびスイッチングトランジスタ 2 0 6 ~ 2 0 9 を、駆動 T F T 2 0 2、サンプリング T F T 2 0 5 およびスイッチング T F T 2 0 6 ~ 2 0 9 と記述するものとする。

【 0 0 1 3 】

有機 E L 素子 2 0 1 は、カソード電極が接地電位 G N D に接続されている。駆動 T F T 2 0 2 は、有機 E L 素子 2 0 1 を発光駆動するトランジスタであり、ソースが有機 E L 素子 2 0 1 のアノード電極に接続されてソースフォロア回路を形成している。キャパシタ 2 0 3 は保持容量であり、一端が T F T 駆動 2 0 2 のゲートに、他端が駆動 T F T 2 0 2 のソースと有機 E L 素子 2 0 1 のアノード電極との接続ノード N 1 0 1 にそれぞれ接続されている。

【 0 0 1 4 】

サンプリング T F T 2 0 5 は、一端がデータ線 1 0 7 に、他端が駆動 T F T 2 0 2 のゲートに、ゲートが走査線 1 0 3 にそれぞれ接続されている。キャパシタ 2 0 4 は、一端がノード N 1 0 4 に、他端が駆動 T F T 2 0 2 のゲートとキャパシタ 2 0 3 の一端との接続ノード N 1 0 2 にそれぞれ接続されている。スイッチング T F T 2 0 6 は、ドレインが接続ノード N 1 0 1 に、ソースが電源電位 V s s にそれぞれ接続されている。

【 0 0 1 5 】

スイッチング T F T 2 0 7 は、ドレインが正側電源電位 V c c に、ソースが駆動 T F T 2 0 2 のドレインに、ゲートが第 2 駆動線 1 0 5 にそれぞれ接続されている。スイッチング T F T 2 0 8 は、一端が駆動 T F T 2 0 2 のドレインとスイッチング T F T 2 0 7 のソースとの接続ノード N 1 0 3 に、他端が接続ノード N 1 0 2 に、ゲートがオートゼロ線 1 0 6 にそれぞれ接続されている。スイッチング T F T 2 0 9 は、一端が所定電位 V o f s に、他端がノード N 1 0 4 に、ゲートがオートゼロ線 1 0 6 にそれぞれ接続されている。

【 0 0 1 6 】

続いて、上記構成の画素回路 1 0 1 をマトリクス状に 2 次元配置してなるアクティブマトリクス型有機 E L 表示装置の回路動作について、図 1 2 のタイミングチャートを用いて説明する。

【 0 0 1 7 】

図 1 2 には、ある行の画素回路 1 0 1 を駆動する際に、書き込み走査回路 1 0 8 から走査線 1 0 3 を介して画素回路 1 0 1 に与えられる書き込み信号 W S、第 1、第 2 駆動走査

10

20

30

40

50

回路 109, 110 から第 1, 第 2 駆動線 104, 105 を介して画素回路 101 に与えられる第 1, 第 2 駆動信号 DS1, DS2 およびオートゼロ回路 111 からオートゼロ線 106 を介して画素回路 101 に与えられるオートゼロ信号 AZ のタイミング関係を示している。

【0018】

通常の発光状態では、書き込み走査回路 108 から出力される書き込み信号 WS、第 1 駆動走査回路 109 から出力される駆動信号 DS1 およびオートゼロ回路 111 から出力されるオートゼロ信号 AZ が “L” レベルにあり、第 2 駆動走査回路 110 から出力される駆動信号 DS2 が “H” レベルにあるために、サンプリング TFT205 およびスイッチング TFT206, 208, 209 はオフした状態にあり、スイッチング TFT207 がオンした状態にある。

10

【0019】

このとき、駆動 TFT202 は、飽和領域で動作するように設計されているために定電流源として動作する。その結果、有機 EL 素子 201 には駆動 TFT202 から、下記の式 (1) で与えられる一定電流 I_{ds} が供給される。

$$I_{ds} = 1/2 \cdot \mu (W/L) C_{ox} (V_{gs} - |V_{th}|)^2 \quad \dots (1)$$

ここで、 V_{th} は駆動 TFT202 の閾値電圧、 μ はキャリアの移動度、 W はチャネル幅、 L はチャネル長、 C_{ox} は単位面積当たりのゲート容量、 V_{gs} はゲート・ソース間電圧である。

【0020】

20

次に、スイッチング TFT207 がオンした状態で第 1 駆動走査回路 109 から出力される駆動信号 DS1 およびオートゼロ回路 111 から出力されるオートゼロ信号 AZ が共に “H” レベルになり、スイッチング TFT206, 208, 209 がオン状態となる。これにより、有機 EL 素子 201 のアノード電極には電源電位 V_{ss} が印加され、駆動 TFT202 のゲートには電源電位 V_{cc} が印加される。

【0021】

この際、電源電位 V_{ss} が有機 EL 素子 201 のカソード電圧 V_{cat} (本例では、接地電位 GND) と有機 EL 素子 201 の閾値電圧 V_{thel} との和 ($V_{cat} + V_{thel}$) よりも小さいのであれば、有機 EL 素子 201 は非発光状態となり、非発光期間に入る。以下、 $V_{ss} = V_{cat} + V_{thel}$ とし、 V_{ss} は GND レベルであるとする。このとき、スイッチング TFT206, 208 がオンすることで、ゲート・ソース間電圧 V_{gs} に応じた一定電流 I_{ds} は、 $V_{cc} \rightarrow$ スwitching TFT207 $\rightarrow$ 駆動 TFT202 $\rightarrow$ ノード N101 $\rightarrow$ スwitching TFT202 $\rightarrow V_{ss}$ の経路を流れる。

30

【0022】

次に、第 2 駆動走査回路 110 から出力される駆動信号 DS2 が “L” レベルになると、スイッチング TFT207 がオフ状態となり、駆動 TFT202 の閾値電圧 V_{th} をキャンセル (補正) する閾値キャンセル期間に入る。このとき、駆動 TFT202 は、ゲートとドレインがスイッチング TFT208 を介して接続されているために飽和領域で動作する。また、駆動 TFT202 のゲートには、キャパシタ 203, 204 が並列に接続されているために、駆動 TFT202 のゲート・ソース間の電圧 V_{gs} は、時間の経過とともに緩やかに減少してゆく。

40

【0023】

そして、一定期間が経過した後、駆動 TFT202 のゲート・ソース間電圧 V_{gs} は当該駆動 TFT202 の閾値電圧 V_{th} となる。このとき、キャパシタ 204 には ($V_{ofs} - V_{th}$) の電圧が、キャパシタ 203 には V_{th} の電圧がそれぞれ充電される。その後、サンプリング TFT205 およびスイッチング TFT207 がオフし、スイッチング TFT206 がオンした状態において、オートゼロ回路 111 から出力されるオートゼロ信号 AZ が “H” レベルから “L” レベルに遷移すると、スイッチング TFT208, 209 がオフ状態となり、閾値キャンセル期間の終了となる。このとき、キャパシタ 204 には ($V_{ofs} - V_{th}$) の電圧が、キャパシタ 203 には V_{th} の電圧がそれぞれ保持

50

される。

【 0 0 2 4 】

次に、サンプリング T F T 2 0 5 およびスイッチング T F T 2 0 8 , 2 0 9 がオフし、スイッチング T F T 2 0 6 がオン、スイッチング T F T 2 0 7 がオフした状態で、書き込み走査回路 1 0 8 から出力される書き込み信号 W S が “ H ” レベルになると、この書き込み期間では、サンプリング T F T 2 0 5 がオン状態となり、データ線 1 0 7 を通して与えられる入力信号電圧 V i n の書き込み期間となる。サンプリング T F T 2 0 5 がオンすることで、当該 T F T 2 0 5 の一端、キャパシタ 2 0 4 の一端および T F T 2 0 9 のソースの接続ノード N 1 0 4 に入力信号電圧 V i n を取り込み、当該接続ノード N 1 0 4 の電圧変化量 ΔV を、キャパシタ 2 0 4 を介して駆動 T F T 2 0 2 のゲートにカップリングさせる。

10

【 0 0 2 5 】

このとき、駆動 T F T 2 0 2 のゲート電圧 V g は閾値電圧 V t h という値であり、カップリング量 ΔV はキャパシタ 2 0 3 の容量値 C 1、キャパシタ 2 0 4 の容量値 C 2 および駆動 T F T 2 0 2 の寄生容量値 C 3 によって下記の式 (2) のように決定される。

$$\Delta V = \{ C 2 / (C 1 + C 2 + C 3) \} \cdot (V i n - V o f s) \dots (2)$$

【 0 0 2 6 】

したがって、キャパシタ 2 0 3 , 2 0 4 の容量値 C 1 , C 2 を駆動 T F T 2 0 2 の寄生容量値 C 3 に比べて十分大きく設定すれば、駆動 T F T 2 0 2 のゲートへのカップリング量 ΔV は、駆動 T F T 2 0 2 の閾値電圧 V t h の影響を受けずに、キャパシタ 2 0 3 , 2 0 4 の容量値 C 1 , C 2 のみによって決定される。

20

【 0 0 2 7 】

書き込み走査回路 1 0 8 から出力される書き込み信号 W S が “ H ” レベルから “ L ” レベルに遷移し、サンプリング T F T 2 0 5 がオフすることで、入力信号電圧 V i n の書き込み期間が終了する。この書き込み期間の終了後、サンプリング T F T 2 0 5 およびスイッチング T F T 2 0 8 , 2 0 9 がオフした状態で第 1 駆動走査回路 1 0 9 から出力される駆動信号 D S 1 が “ L ” レベルになることで、スイッチング T F T 2 0 6 がオフ状態となり、その後、第 2 駆動走査回路 1 1 0 から出力される駆動信号 D S 2 が “ H ” レベルになることで、スイッチング T F T 2 0 7 がオン状態となる。

【 0 0 2 8 】

スイッチング T F T 2 0 7 がオンすることで、駆動 T F T 2 0 2 のドレイン電位が電源電位 V c c まで上昇する。駆動 T F T 2 0 2 のゲート・ソース間電圧 V g s が一定であるために、駆動 T F T 2 0 2 は一定電流 I d s を有機 E L 素子 2 0 1 に供給する。このとき、接続ノード N 1 0 1 の電位は、有機 E L 素子 2 0 1 に一定電流 I d s が流れる電圧 V x まで上昇し、その結果、有機 E L 素子 2 0 1 は発光する。

30

【 0 0 2 9 】

上述した一連の動作を行う画素回路 1 0 1 においても、有機 E L 素子 2 0 1 は発光時間が長くなるとその I - V 特性が変化してしまう。そのため、接続ノード N 1 0 1 の電位も変化する。

【 0 0 3 0 】

しかしながら、駆動 T F T 2 0 2 のゲート・ソース間電位 V g s が一定値に保たれているために、有機 E L 素子 2 0 1 に流れる電流値は変化しない。したがって、有機 E L 素子 2 0 1 の I - V 特性が劣化しても、一定電流 I d s が常に流れ続けるために、有機 E L 素子 2 0 1 の発光輝度が変化することはない。また、閾値キャンセル期間におけるスイッチング T F T 2 0 8 の作用により、駆動 T F T 2 0 2 の閾値電圧 V t h をキャンセルし、当該閾値電圧 V t h のバラツキの影響を受けない一定電流 I d s を有機 E L 素子 2 0 1 に流すことができるために、高画質の画像を得ることができる。

40

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 3 1 】

50

上述したように、従来技術では、画素回路 101 の各々に、有機 EL 素子 201 の I - V 特性の変動に対する補償機能および駆動 TFT 202 の閾値電圧 V_{th} の変動に対する補償機能を持たせたことで、有機 EL 素子 201 の I - V 特性が経時劣化したり、駆動 TFT 202 の閾値電圧 V_{th} が経時変化したりしたとしても、それらの影響を受けることなく、有機 EL 素子 201 の発光輝度を一定に保つことができるが、その反面、画素回路 101 の各々が 6 個のトランジスタ 202, 205 ~ 209 と 2 個のキャパシタ 203, 204 とで構成されており、構成素子数が多いという欠点がある。

【0032】

そこで、本発明は、有機 EL 素子等の電気光学素子の特性変動に対する補償機能と、当該電気光学素子を駆動する TFT の V_{th} 変動（画素ごとのバラツキ）に対する補償機能とを、より少ない構成素子数で実現可能な画素回路、表示装置および表示装置の駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0033】

上記目的を達成するために、本発明では、一端が第 1 の電源電位に接続された電気光学素子と、前記電気光学素子の他端にソースが接続された N チャネル型の薄膜トランジスタからなる駆動トランジスタと、データ線から供給される輝度情報に応じた入力信号と所定の電位とを選択的に取り込んで前記駆動トランジスタのゲートに与えるサンプリングトランジスタと、第 2 の電源電位と当該第 2 の電源電位よりも低い第 3 の電源電位とが選択的に供給される電源線と前記駆動トランジスタのドレインとの間に接続された第 1 スイッチングトランジスタと、前記駆動トランジスタのソースと前記電源線との間に接続された第 2 スイッチングトランジスタと、前記駆動トランジスタのゲートとソースとの間に接続されたキャパシタとを有する画素回路、即ち 4 個のトランジスタと 1 個のキャパシタとからなる画素回路の構成を採っている。

【0034】

4 個のトランジスタと 1 個のキャパシタとからなる画素回路構成を採ることで、より少ない構成素子数で、電気光学素子の特性変動に対する補償機能と、電気光学素子を駆動する薄膜トランジスタの閾値変動に対する補償機能とを実現できる。そして、画素回路の構成素子数が少ない分だけ、画素ピッチの微細化、それに伴う高精細化が可能になるとともに、歩留まりの向上および低コスト化が可能になる。また、構成素子数を削減するに当たって、各トランジスタに電源電位を供給する電源線等を兼用することで、電源線等の配線の削減も可能になる。

【発明の効果】

【0035】

本発明によれば、画素回路のより少ない構成素子数で、電気光学素子の特性変動に対する補償機能と、電気光学素子を駆動する薄膜トランジスタの閾値変動に対する補償機能とを実現できる。また、構成素子数の削減によって高精細化、歩留まりの向上および低コスト化が図れるとともに、電源線等の兼用によって電源線等の配線を削減できる。

【発明を実施するための最良の形態】

【0036】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0037】

図 1 は、本発明の一実施形態に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。本実施形態に係るアクティブマトリクス型表示装置は、電流値に応じて発光輝度が変化する電気光学素子、例えば有機 EL 素子 31 を含む画素回路 11 が行列状（マトリクス状）に 2 次元配置されてなる画素アレイ部 12 を有している。ここでは、図面の簡略化のために、ある 1 つの画素回路 11 についてその具体的な回路構成を示している。

【0038】

この画素アレイ部 12 において、画素回路 11 の各々に対して各行毎に走査線 13、駆

10

20

30

40

50

動線 14、オートゼロ線 15 および電源線 16 がそれぞれ配線され、また各列毎にデータ線 17 が配線されている。この画素アレイ部 12 の周囲には、走査線 13 を駆動する書き込み走査回路 18 と、駆動線 14 を駆動する駆動走査回路 19 と、オートゼロ線 15 を駆動するオートゼロ回路 20 と、電源線 16 に電源電圧を供給する電源供給回路 21 と、輝度情報に応じたデータ信号をデータ線 17 に供給するデータ線駆動回路 22 とが配置されている。

【0039】

ここで、書き込み走査回路 18 が特許請求の範囲における第 1 の駆動手段に相当し、駆動走査回路 19 が特許請求の範囲における第 2 の駆動手段に相当し、オートゼロ回路 20 が特許請求の範囲における第 3 の駆動手段に相当する。

10

【0040】

本例では、書き込み走査回路 18 およびオートゼロ回路 20 が画素アレイ部 12 を挟んで一方側（例えば、図の左側）に配置され、その反対側に駆動走査回路および電源供給回路 21 が配置された構成となっている。ただし、これらの配置関係は一例に過ぎず、これに限定されるものではない。また、書き込み走査回路 18、駆動走査回路 19 およびオートゼロ回路 20 は、スタートパルス信号 s_p に応答して動作を開始し、クロックパルス ck に同期して書き込み信号 WS 、駆動信号 DS およびオートゼロ信号 AZ を出力する。なお、データ線駆動回路 22 には、ドライバ 23 から映像信号が供給されることになる。

【0041】

（画素回路）

20

画素回路 11 は、有機 EL 素子 31 に加えて、駆動トランジスタ 32、サンプリングトランジスタ 33、スイッチングトランジスタ 34、35 およびキャパシタ（保持容量）36 を回路の構成素子として有する構成となっている。すなわち、本実施形態に係る画素回路 11 は、4 個のトランジスタ 32～35 と 1 個のキャパシタ 36 とからなり、図 11 の従来例に係る画素回路 101 に比べて、トランジスタの個数が 2 個少なく、キャパシタの個数が 1 個少ない回路構成となっている。

【0042】

この画素回路 11 において、駆動トランジスタ 32、サンプリングトランジスタ 33 およびスイッチングトランジスタ 34、35 として、N チャネル型の TFT（薄膜トランジスタ）が用いられている。以下、駆動トランジスタ 32、サンプリングトランジスタ 33 およびスイッチングトランジスタ 34、35 を、駆動 TFT 32、サンプリング TFT 33 およびスイッチング TFT 34、35 と記述するものとする。

30

【0043】

ここで、駆動 TFT 32、サンプリング TFT 33 およびスイッチング TFT 34、35 は、特許請求の範囲における駆動トランジスタ、サンプリングトランジスタおよび第 1、第 2 スwitchングトランジスタに相当する。

【0044】

有機 EL 素子 31 は、カソード電極が第 1 の電源電位（本例では、接地電位 GND ）に接続されている。駆動 TFT 32 は、有機 EL 素子 31 を電流駆動する駆動トランジスタであり、ソースが有機 EL 素子 31 のアノード電極に接続されてソースフォロア回路を形成している。サンプリング TFT 33 は、データ線 17 と駆動 TFT 32 のゲートとの間に接続され、ゲートが走査線 13 に接続されている。

40

【0045】

スイッチング TFT 34 は、電源線 16 と駆動 TFT 32 のドレインとの間に接続され、ゲートが駆動線 14 に接続されている。スイッチング TFT 35 は、駆動 TFT 32 のソースと有機 EL 素子 31 のアノード電極との接続ノード $N11$ と電源線 16 との間に接続され、ゲートがオートゼロ線 15 に接続されている。キャパシタ 36 は、駆動 TFT 32 のゲートとソースとの間、即ち一端が駆動 TFT 32 のゲートとサンプリング TFT 33 のドレインとの接続ノード $N12$ に接続され、他端が駆動トランジスタ TFT 32 のソースと有機 EL 素子 31 のアノード電極との接続ノード $N11$ に接続されている。

50

【 0 0 4 6 】

ここで、データ線 1 7 にはデータ線駆動回路 2 2 から、入力信号電圧 V_{sig} と所定の電位 V_{ofs} とが選択的に供給される。入力信号電圧 V_{sig} と所定の電位 V_{ofs} との切り替えは、例えばドライバ 2 3 による制御の下に、当該ドライバ 2 3 からデータ線駆動回路 2 2 に対して入力信号電圧 V_{sig} と所定の電位 V_{ofs} とが選択的に供給されることによって行われている。ただし、データ線駆動回路 2 2 において、その切り替え制御を行うことも可能である。

【 0 0 4 7 】

また、電源線 1 6 には電源供給回路 2 1 から、第 2 の電源電位 V_{cc} (本例では、正の電源電位) と当該第 2 の電源電位よりも低い第 3 の電源電位 V_{ss} (本例では、 $V_{ss} = GND$) とが選択的に供給される。なお、第 3 の電源電位 V_{ss} として、負の電源電位を用いることも可能である。

10

【 0 0 4 8 】

上述した接続関係にて各構成素子が接続されてなる画素回路 1 1 において、各構成素子は次のような作用をなす。すなわち、サンプリング $TFT33$ は、オン(導通)状態となることにより、データ線 1 7 を通して供給される入力信号電圧 V_{sig} / 所定の電位 V_{ofs} をサンプリングする。このサンプリングされた信号電圧 V_{sig} / 所定の電位 V_{ofs} は、駆動 $TFT32$ のゲートに与えられる。スイッチング $TFT34$ は、オン状態となることにより、電源線 1 6 から駆動 $TFT32$ に電流を供給する。

【 0 0 4 9 】

20

駆動 $TFT32$ は、サンプリング $TFT33$ によってサンプリングされ、キャパシタ 3 6 に保持された信号電圧 V_{sig} に応じて有機 EL 素子 3 1 を電流駆動する。スイッチング $TFT35$ は、適宜オン状態になることにより、有機 EL 素子 3 1 の電流駆動に先立って駆動 $TFT32$ の閾値電圧 V_{th} を検知し、あらかじめその影響をキャンセルするために当該検知した閾値電圧 V_{th} をキャパシタ 3 6 に保持する。

【 0 0 5 0 】

この画素回路 1 1 では、正常な動作を保証するための条件として、第 3 の電源電位 V_{ss} は、所定の電位 V_{ofs} から駆動 $TFT32$ の閾値電圧 V_{th} を差し引いた電位よりも低く設定されている。すなわち、 $V_{ss} < V_{ofs} - V_{th}$ のレベル関係となっている。また、有機 EL 素子 3 1 のカソード電圧 V_{cat} (本例では、接地電位 GND) に有機 EL 素子 3 1 の閾値電圧 V_{thel} に加えたレベルは、電源電位 V_{ss} よりも高く設定されている。すなわち、 $V_{cat} + V_{thel} > V_{ss}$ のレベル関係となっている。

30

【 0 0 5 1 】

続いて、上記構成の画素回路 1 1 を行列状に 2 次元配置してなるアクティブマトリクス型有機 EL 表示装置において、本発明に係る駆動方法による駆動のもとに実行される回路動作について、図 2 のタイミングチャートおよび図 3 ~ 図 9 の動作説明図を用いて説明する。

【 0 0 5 2 】

図 2 には、ある行の画素回路 1 1 を駆動する際に、書き込み走査回路 1 8 から走査線 1 3 を介して画素回路 1 1 に与えられる書き込み信号 WS 、駆動走査回路 1 9 から駆動線 1 4 を介して画素回路 1 1 に与えられる駆動信号 DS 、オートゼロ回路 2 0 からオートゼロ線 1 5 を介して画素回路 1 1 に与えられるオートゼロ信号 AZ 、電源線 1 6 の電位およびデータ線 1 7 の電位のタイミング関係、ならびに駆動 $TFT32$ のゲート電圧およびソース電圧の変化をそれぞれ示している。

40

【 0 0 5 3 】

ここで、書き込み信号 WS 、駆動信号 DS およびオートゼロ信号 AZ は、“H”レベルの状態がアクティブ状態、“L”レベルの状態が非アクティブ状態とする。また、図 3 ~ 図 9 の動作説明図では、図面の簡略化のために、サンプリング $TFT33$ およびスイッチング $TFT34$, 3 5 についてはスイッチのシンボルを用いて図示するものとする。

【 0 0 5 4 】

50

(発光期間)

通常の発光状態では、書き込み走査回路 18 から出力される書き込み信号 WS およびオートゼロ回路 20 から出力されるオートゼロ信号 AZ が “ L ” レベルにあり、駆動走査回路 19 から出力される駆動信号 DS が “ H ” レベルにあるために、図 3 に示すように、サンプリング TFT 33 およびスイッチング TFT 35 はオフ状態 (導通状態) にあり、スイッチング TFT 34 がオン状態 (導通状態) にある。

【 0055 】

このとき、電源線 16 には電源供給回路 21 から電源電位 Vcc が供給されている。すなわち、電源線 16 の電位が電源電位 Vcc になっている。また、駆動 TFT 32 は、飽和領域で動作するように設計されているために定電流源として動作する。その結果、電源線 16 からスイッチング TFT 34 および駆動 TFT 32 を通して、有機 EL 素子 31 に対して先述した式 (1) で与えられる一定電流 Ids が供給される。

10

【 0056 】

(非発光期間)

次に、時刻 t1 で駆動信号 DS が “ L ” レベルになることで、図 4 に示すように、スイッチング TFT 34 がオフする。これにより、駆動 TFT 32 を流れる一定電流 Ids の電流路が遮断されるために、有機 EL 素子 31 には電流が流れず、当該有機 EL 素子 31 は消光する (非発光状態となる)。このとき、ノード N11 の電位、即ち駆動 TFT 32 のソース電圧は、有機 EL 素子 31 のカソード電圧 Vcat と当該有機 EL 素子 31 の閾値電圧 Vthel の和、即ち Vcat + Vthel になる。

20

【 0057 】

次に、時点 t2 で電源線 16 の電位が電源電位 Vss に切り替わり、しかる後時点 t3 でオートゼロ信号 AZ が “ H ” レベルになることで、図 5 に示すように、スイッチング TFT 35 がオンする。これにより、電源線 16 からスイッチング TFT 35 を通してノード N11 に電源電位 Vss が与えられる。このとき、先述したように、 $Vss < Vcat + Vthel$ の関係にあるために、有機 EL 素子 31 は逆バイアス状態となる。したがって、有機 EL 素子 31 には電流が流れないために、当該有機 EL 素子 31 は消光状態 (非発光状態) を維持する。

【 0058 】

30

次に、時点 t4 でオートゼロ信号 AZ が “ H ” レベルから “ L ” レベルに遷移し、続いて時点 t5 で電源線 16 の電位が電源電位 Vcc に切り替わる。次いで、時点 t6 で書き込み信号 WS が “ H ” レベルになることで、図 6 に示すように、サンプリング TFT 33 がオンする。このとき、データ線駆動回路 22 から所定の電位 Vofs が出力され、データ線 17 は所定の電位 Vofs になっている。したがって、サンプリング TFT 33 がオンすることによって所定の電位 Vofs が駆動 TFT 32 のゲートに与えられる。

【 0059 】

ここで、サンプリング TFT 33 がオンする前の駆動 TFT 32 のゲート電圧を Vg1、キャパシタ 36 の容量値を C1、駆動 TFT 32 の寄生容量値を C2、有機 EL 素子 31 の寄生容量値を Cel とすると、駆動 TFT 32 のゲートに所定の電位 Vofs が与えられることで、ノード N11、即ち駆動 TFT 32 のソースには、キャパシタ 36 によるカップリングにより、下記の式 (3) で与えられるカップリンク量 Vco が入ることになる。

40

【 0060 】

$$Vco = \{ (C1 + C2) / (Cel + C1 + C2) \} \cdot (Vofg - Vg1) \quad \dots (3)$$

また、駆動 TFT 32 のソース電圧 Vgs は、下記の式 (4) のように決定される。

$$Vgs = \{ (C1 + C2) / (Cel + C1 + C2) \} \cdot (Vofg - Vg1) + Vss \quad \dots (4)$$

【 0061 】

50

(閾値キャンセル期間)

次に、サンプリング T F T 3 3 がオンした状態において、時点 t 7 で駆動信号 D S が “ H ” レベルになることで、図 7 に示すように、スイッチング T F T 3 4 がオンする。このとき、上記カップリング量 V c o を加味した上で、スイッチング T F T 3 4 がオンしたときの駆動 T F T 3 2 のゲート・ソース間電圧 V g s が当該駆動 T F T 3 2 の閾値電圧 V t h よりも大ならば、駆動 T F T 3 2 がオン状態になるために、電源線 1 6 → スwitching T F T 3 4 → 駆動 T F T 3 2 → ノード N 1 1 → キャパシタ 3 6 の経路 (図 7 に一点鎖線で示す経路) で電流が流れる。

【 0 0 6 2 】

ここで、有機 E L 素子 3 1 は、図 7 に等価回路で示すように、ダイオード 3 1 A とキャパシタ (寄生容量) 3 1 B で表される。そして、有機 E L 素子 3 1 に印加される電圧 V e l が、先述したように、 $V e l < V c a t + V t h e l$ (有機 E L 素子 3 1 のリーク電流が駆動 T F T 3 2 を流れる電流よりかなり小さい) の関係にある限り、駆動 T F T 3 2 を流れる電流はキャパシタ 3 7 とキャパシタ 3 1 B とを充電する。

【 0 0 6 3 】

このとき、ノード N 1 1 の電位、即ち駆動 T F T 3 2 のソース電圧 V e l は、図 1 0 に示すように、時間が経過するにつれて徐々に上昇する。一定時間が経過し、ノード N 1 1 とノード N 1 2 との間の電位差、即ち駆動 T F T 3 2 のゲート・ソース間電圧 V g s がちょうど閾値電圧 V t h になったところで、駆動 T F T 3 2 はオフ状態になる。

【 0 0 6 4 】

そして、N 1 1 - N 1 2 間の電位差 V t h は、閾値キャンセル (補正) 用の電位としてキャパシタ 3 7 に保持される。このとき、 $V e l = V o f s - V t h < V c a t + V t h e l$ となっている。その後、時点 t 8 で駆動信号 D S が “ H ” レベルから “ L ” レベルに遷移することで、スイッチング T F T 3 4 がオフ状態となり、閾値キャンセル期間の終了となる。

【 0 0 6 5 】

(書き込み期間)

次に、時点 t 9 でデータ線駆動回路 2 2 からデータ線 1 7 に対して所定の電位 V o f s に代えて、階調に応じた所望の電圧値の入力信号電圧 V s i g が供給されることで、当該信号電圧 V s i g の書き込み期間に入る。この書き込み期間では、図 8 に示すように、入力信号電圧 V s i g がサンプリング T F T 3 3 によってサンプリングされ、キャパシタ 3 7 に書き込まれる。

【 0 0 6 6 】

このとき、信号電圧 V s i g は、キャパシタ 3 7 に保持されている閾値電圧 V t h に足し込まれる形で保持される。その結果、駆動 T F T 3 2 の閾値電圧 V t h のバラツキが常にキャンセルされた形となる。すなわち、キャパシタ 3 7 にあらかじめ閾値電圧 V t h を保持しておくことで、当該閾値電圧 V t h のバラツキのキャンセル (補正) 、即ち閾値キャンセルが行われることになる。

【 0 0 6 7 】

このとき、駆動 T F T 3 2 のゲート・ソース間電圧 V g s は下記の式 (5) のように決定される。

$$V g s = \{ C e l / (C e l + C 1 + C 2) \} \cdot (V s i g - V o f s) + V t h \quad \dots (5)$$

【 0 0 6 8 】

一般に、有機 E L 素子 3 1 のキャパシタ 3 1 B の容量値 (寄生容量値) C e l は、キャパシタ 3 7 の容量値 C 1 および駆動 T F T 3 2 の寄生容量値 C 2 に比べて大きい。したがって、駆動 T F T 3 2 のゲート・ソース間電圧 V g s はほぼ $V s i g + V t h$ となる。そして、時刻 t 1 0 で書き込み信号 W S が “ L ” レベルになることで、サンプリング T F T 3 3 がオフし、入力信号電圧 V s i g の書き込み期間が終了する。

【 0 0 6 9 】

10

20

30

40

50

(発光期間)

この書き込み期間の終了後、サンプリングTFT33およびスイッチングTFT35がオフした状態において、時刻 t_{11} で駆動信号DSが“H”レベルになることで、図9に示すように、スイッチングTFT34がオン状態となり、発光期間に入る。

【0070】

スイッチングTFT34がオンすることで、駆動TFT32のドレイン電圧が電源電位Vccまで上昇する。駆動TFT32のゲート・ソース間電圧Vgsが一定であるので、駆動TFT32は一定電流Idsを有機EL素子31に供給する。このとき、有機EL素子31のアノード電圧Velは、有機EL素子31に一定電流Idsが流れる電圧Vxまで上昇する。その結果、有機EL素子31は発光動作を開始する。

10

【0071】

有機EL素子31に電流が流れると、当該有機EL素子31において電圧降下が生じるために、ノードN11の電位が上昇する。これに連動してノードN12の電位も上昇するために、駆動TFT32のゲート・ソース間電圧VgsはノードN11の電位上昇に関わらず、常にVsig + Vthに維持される。その結果、有機EL素子31は、入力信号電位Vsigに応じた輝度で発光を続けることになる。

【0072】

上述した画素回路11においても、有機EL素子31の発光時間が長くなると、当該有機EL素子31のI-V特性が変化してしまう。そのため、有機EL素子31のアノード電極と駆動TFT32のソースとの接続ノードN11の電位も変化する。しかしながら、駆動TFT32のゲート・ソース間電位Vgsが一定値に保たれているために、有機EL素子31に流れる電流は変化しない。したがって、有機EL素子31のI-V特性が劣化しても、一定電流Idsが常に流れ続けるために、有機EL素子31の発光輝度が変化することはない(有機EL素子31の特性変動に対する補償機能)。

20

【0073】

また、入力信号電圧Vsigが書き込まれる前に駆動TFT32の閾値電圧Vthをあらかじめキャパシタ36に保持しておくことで、閾値キャンセル期間におけるスイッチングTFT34、35およびキャパシタ36の作用により、駆動TFT32の閾値電圧Vthをキャンセルし、当該閾値電圧Vthのバラツキの影響を受けない一定電流Idsを常に有機EL素子31に流すことができるために、高画質の画像を得ることができる(駆動TFT32のVth変動に対する補償機能)。

30

【0074】

上述したように、本実施形態に係る画素回路11および当該画素回路11を行列状に2次元配置してなるアクティブマトリクス型有機EL表示装置によれば、駆動TFT32、サンプリングTFT33およびスイッチングTFT34、35の4個のトランジスタと1個のキャパシタ36という少ない構成素子数で、有機EL素子31の特性変動に対する補償機能と、駆動TFT32のVth変動に対する補償機能とを実現できる。

【0075】

そして、画素回路11の構成素子数が少ない分だけ、画素回路11のサイズ(画素サイズ)を小さくできることから、画素ピッチの微細化、それに伴う高精細化を図ることができる。さらには画素アレイ部12と共にその周辺の駆動回路18~22を同一の基板上に一体形成してなる表示パネルの歩留まりの向上および低コスト化を図ることができる。

40

【0076】

また、閾値キャンセル期間(閾値補正期間)を、従来例に係る有機EL表示装置では、第2駆動信号DS2とオートゼロ信号AZとによって決定していたのに対して、本実施形態に係る有機EL表示装置では、駆動信号DSのみ(即ち、スイッチングTFT34のオン/オフ)で決定するようにしている。そのため、閾値キャンセル期間が受ける駆動線14の配線抵抗や寄生容量等に起因する駆動信号DSの波形なまりの影響を小さく抑えることができるために、表示パネルの大型化、高精細化に有利となる。

【0077】

50

また、本実施形態に係る有機EL表示装置では、画素回路11を4個のトランジスタ32～35で構成し、スイッチングTF T 34に与える電源電位Vccの電源線とスイッチングTF T 35に与える電源電位Vssの電源線とを1本の電源線16で共用するとともに、駆動TF T 32のゲートに選択的に与える所定の電位Vofsの電源線としてデータ線17を共用した構成を採っているために、従来例に係る有機EL表示装置に比べて電源線（データ線を含む）の配線本数を半減できる。

【0078】

すなわち、1つの画素回路11について、従来例に係る有機EL表示装置では、電源電位Vcc、電源電位Vss、所定の電位Vofsの各電源線およびデータ線17の計4本の配線が必要であったのに対して、本実施形態に係る有機EL表示装置では、電源電位Vcc / 電源電位Vssの電源線16はゲートラインでひくので、入力信号電位Vsig / 所定の電位Vofsのデータ線17の1本の配線で済む。

10

【0079】

ここで、隣接する3個の画素回路をR（赤）、G（緑）、B（青）に対応させて、当該3個の画素回路を1表示単位としたカラー表示装置を考えた場合に、1表示単位あたり、従来例に係る有機EL表示装置では12本（＝4本×3）の配線、4本のゲートラインが必要であったのに対して、本実施形態に係る有機EL表示装置では3本（＝1本×3）と4本のゲートラインの配線で済み、配線本数の削減効果は極めて大きいと言える。

【0080】

また、データ線17を入力信号電位Vsigと所定の電位Vofsとの伝送に兼用するとともに、書き込み期間に入る以前から書き込み信号WSが“H”レベルになることで、書き込み期間に入る直前まで駆動TF T 32のゲート電位を所定の電位Vofsに固定できるために、スイッチングTF T 34のオフ時のリーク電流に起因する不具合を解消できる利点もある。

20

【0081】

すなわち、書き込み期間に入る以前において、駆動TF T 32のゲート電位が固定されていない場合に、スイッチングTF T 34のオフ時のリーク電流が大きいと、当該リーク電流が駆動TF T 32に流れることで、駆動TF T 32のゲート電圧が上昇してしまう。そして、そのリーク電流の大小によって信号電圧Vsigを書き込む前に、駆動TF T 32のゲート電圧にバラツキが生じ、有機EL素子31の発光輝度がばらつくために、均一な画質を得ることができない。

30

【0082】

これに対して、書き込み期間に入る直前まで駆動TF T 32のゲート電位を所定の電位Vofsに固定することで、スイッチングTF T 34のオフ時のリーク電流が駆動TF T 32に流れたとしても、そのリーク電流の大小によって信号電圧Vsigを書き込む前に、駆動TF T 32のゲート電圧にバラツキが生じないために、スイッチングTF T 34のオフ時のリーク電流に起因する有機EL素子31の発光輝度のバラツキを解消し、均一な画質を得ることができることになる。

【0083】

なお、上記実施形態では、画素回路11の電気光学素子として、有機EL素子を用いた有機EL表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではなく、電流値に応じて発光輝度が変化する電流駆動型の発光素子を用いた表示装置全般に適用可能である。

40

【0084】

また、上記実施形態においては、画素回路11を構成する駆動トランジスタ32、サンプリングトランジスタ33およびスイッチングトランジスタ34、35としてNチャネル型のTF Tを用いた場合を例に挙げて説明したが、サンプリングトランジスタ33およびスイッチングトランジスタ34、35については、必ずしもNチャネル型のTF Tである必要はない。

【図面の簡単な説明】

50

【 0 0 8 5 】

【図 1】本発明の一実施形態に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。

【図 2】一実施形態に係る画素回路の回路動作を説明するためのタイミングチャートである。

【図 3】一実施形態に係る画素回路の動作説明図（その 1）である。

【図 4】一実施形態に係る画素回路の動作説明図（その 2）である。

【図 5】一実施形態に係る画素回路の動作説明図（その 3）である。

【図 6】一実施形態に係る画素回路の動作説明図（その 4）である。

【図 7】一実施形態に係る画素回路の動作説明図（その 5）である。

【図 8】一実施形態に係る画素回路の動作説明図（その 6）である。

【図 9】一実施形態に係る画素回路の動作説明図（その 7）である。

【図 10】参考例に係る画素回路の動作説明に供する特性図である。

【図 11】従来例に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。

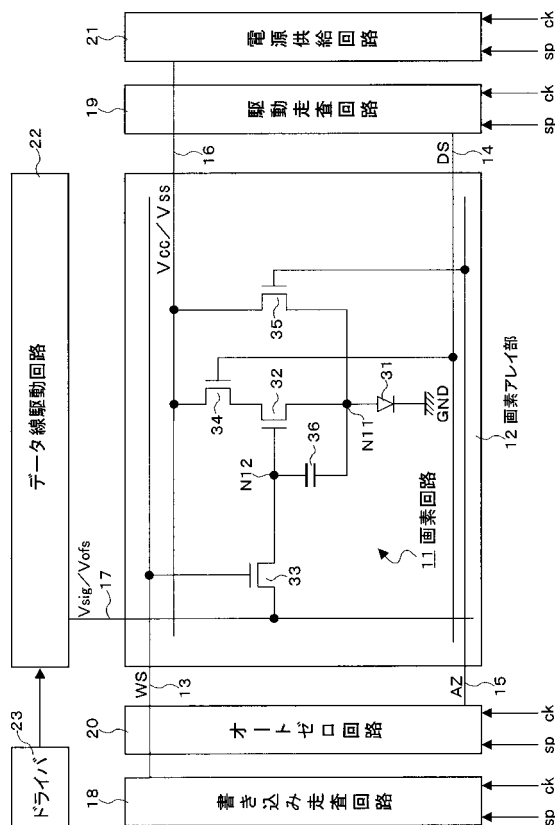
【図 12】従来例に係る画素回路の回路動作を説明するためのタイミングチャートである。

【符号の説明】

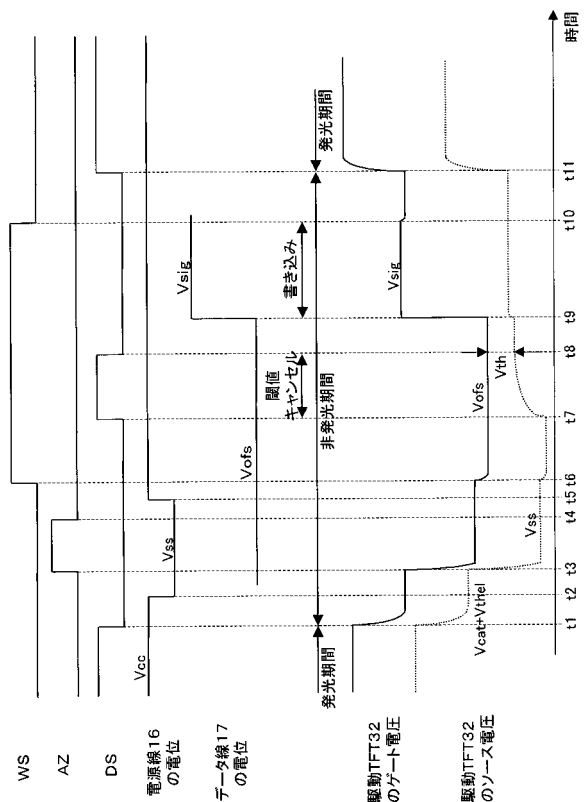
【 0 0 8 6 】

1 1 ... 画素回路、1 2 ... 画素アレイ部、1 3 ... 走査線、1 4 ... 駆動線、1 5 ... 第 1 オートゼロ線、1 6 ... 第 2 オートゼロ線、1 7 ... データ線、1 8 ... 書き込み走査回路、1 9 ... 駆動走査回路、2 0 ... オートゼロ回路、2 1 ... 電源供給回路、2 2 ... データ線駆動回路、3 1 ... 有機 E L 素子、3 2 ... 駆動 TFT、3 3 ... サンプリング TFT、3 4, 3 5 ... スイッチング TFT、3 6 ... キャパシタ

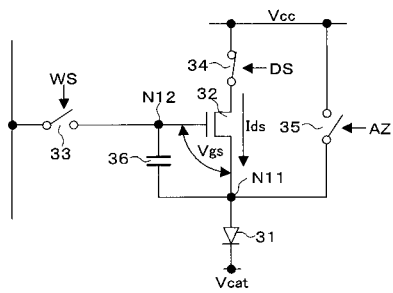
【図 1】



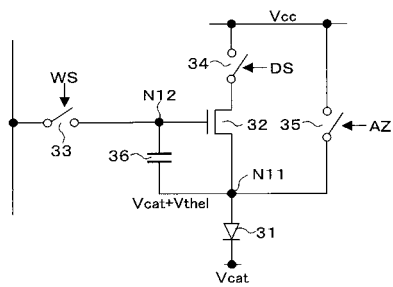
【図 2】



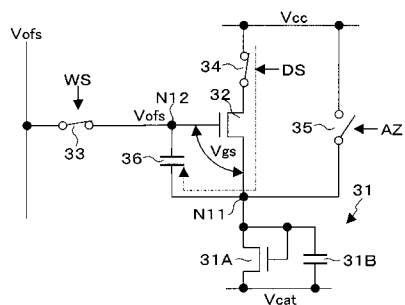
【図 3】



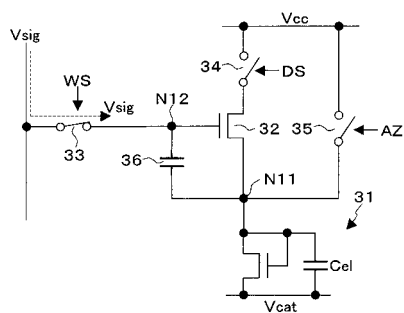
【図 4】



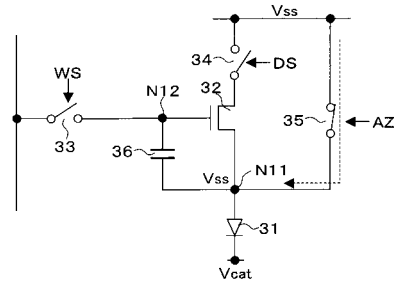
【図 7】



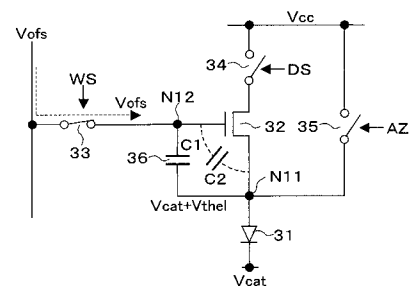
【図 8】



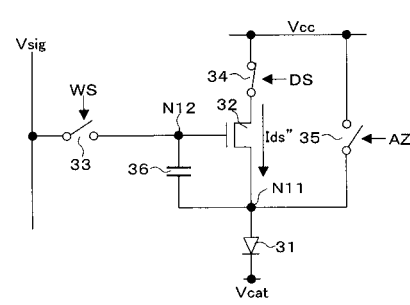
【図 5】



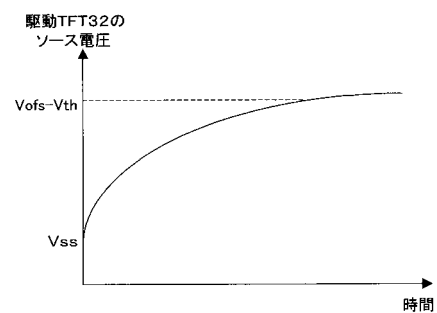
【図 6】



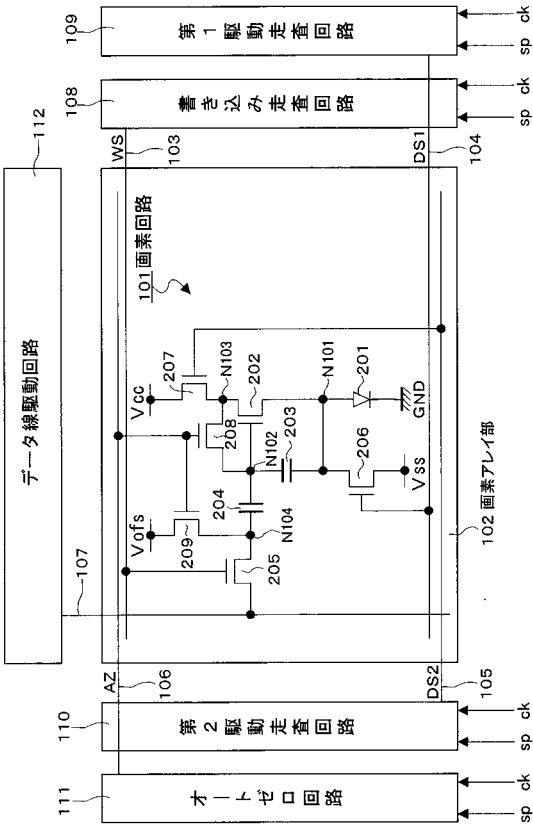
【図 9】



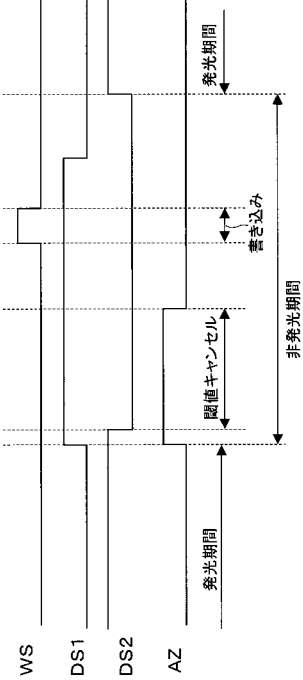
【図 10】



【図 1 1】



【図 1 2】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 7 0 J
G 0 9 G 3/20 6 1 1 H

(72)発明者 山下 淳一
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 武田 悟

(56)参考文献 特開2005-195756(JP,A)
特開2004-295131(JP,A)
特開2005-172917(JP,A)
特表2006-525539(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8

专利名称(译)	显示装置和显示装置的驱动方法		
公开(公告)号	JP5034208B2	公开(公告)日	2012-09-26
申请号	JP2005298495	申请日	2005-10-13
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀 山下淳一		
发明人	山本 哲郎 内野 勝秀 山下 淳一		
IPC分类号	G09G3/30 G09G3/20		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.641.D G09G3/20.624.B G09G3/20.621.A G09G3/20.670.J G09G3/20.611.H G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD22 5C080/DD23 5C080/DD27 5C080/DD29 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB34 5C380/BA10 5C380/BA12 5C380/BA13 5C380/BA19 5C380/BA20 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD03 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB17 5C380/CB20 5C380/CB26 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC57 5C380/CC64 5C380/CC65 5C380/CC71 5C380/CD014 5C380/CD026 5C380/DA06 5C380/DA47		
代理人(译)	山本隆久 吉井正明 森浩一		
审查员(译)	武田 悟		
其他公开文献	JP2007108379A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种像素电路，其具有补偿诸如有机EL元件的电光元件的特性变化的功能和补偿驱动电光元件的TFT的V_{th}的变化（像素的方差）更少数量的组件，显示设备和显示设备的驱动方法。ŽSOLUTION：像素电路可以具有补偿有机EL元件31的特性变化的功能和用较少数量的元件补偿驱动TFT 32的V_{th}变化的功能，即作为驱动TFT 32的四个晶体管采样TFT 33，以及开关TFT 34和35以及一个电容器36

