

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5027755号
(P5027755)

(45) 発行日 平成24年9月19日(2012.9.19)

(24) 登録日 平成24年6月29日(2012.6.29)

(51) Int.Cl.

F I

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/30 (2006.01)

H 0 1 L 51/50 (2006.01)

G 0 9 G 3/20 6 1 1 H

G 0 9 G 3/20 6 1 2 U

G 0 9 G 3/20 6 2 1 A

G 0 9 G 3/20 6 2 2 C

G 0 9 G 3/20 6 2 3 C

請求項の数 7 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2008-200404 (P2008-200404)
 (22) 出願日 平成20年8月4日(2008.8.4)
 (62) 分割の表示 特願2006-180522 (P2006-180522)
 の分割
 原出願日 平成18年6月30日(2006.6.30)
 (65) 公開番号 特開2008-310352 (P2008-310352A)
 (43) 公開日 平成20年12月25日(2008.12.25)
 審査請求日 平成21年2月2日(2009.2.2)
 審判番号 不服2011-3492 (P2011-3492/J1)
 審判請求日 平成23年2月16日(2011.2.16)

早期審査対象出願

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100118290
 弁理士 吉井 正明
 (74) 代理人 100094363
 弁理士 山本 孝久
 (74) 代理人 100120640
 弁理士 森 幸一
 (72) 発明者 内野 勝秀
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 山下 淳一
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

画素アレイ部とこれを駆動する駆動部とから成り、

画素アレイ部は、行状の走査線と、列状の信号線と、これらが交差する部分に配された画素と、各画素に給電する電源ライン及び接地ラインとを備え、

駆動部は、各走査線に順次制御信号を供給して画素を行単位で線順次走査するスキャナを備え、

画素は、少なくとも、発光素子と、サンプリングトランジスタと、ドライブトランジスタと、画素容量とを含み、

サンプリングトランジスタのゲートは走査線に接続され、ソース/ドレインの一方は信号線に接続され、他方はドライブトランジスタのゲートに接続され、

ドライブトランジスタ及び発光素子は、電源ラインと接地ラインとの間で直列に接続されて電流路を形成し、電源ラインからドライブトランジスタへの給電は、画素の非発光期間と発光期間とを切り替えるためのスイッチング動作を行うトランジスタを有する電源供給制御手段によって制御され、

画素容量の一端はドライブトランジスタのゲートに接続されており、画素容量の他端はドライブトランジスタと発光素子との間に接続されており、

発光期間に先立って、映像信号が信号線からサンプリングトランジスタを介してドライブトランジスタのゲートに供給され、電源供給制御手段の制御下、ドライブトランジスタを介して電流が画素容量に供給され、ドライブトランジスタのソース電位が上昇していく

10

20

間に、スキャナが供給する制御信号において、サンプリングトランジスタをオフする際の波形に傾斜をもたせ、以て、画素容量に保持された映像信号の輝度レベルが高い画素のサンプリングトランジスタほどオフする時間を早くする表示装置。

【請求項 2】

電源供給制御手段は、電源ラインとドライブトランジスタとの間に接続されたスイッチングトランジスタから成る請求項 1 に記載の表示装置。

【請求項 3】

スキャナは、制御信号の波形に傾斜をつける際、少なくとも二段階に分けて、初めに傾斜を急にし、後で傾斜をなだらかにする請求項 1 又は請求項 2 に記載の表示装置。

【請求項 4】

駆動部は、制御信号の波形の元になる電源パルスを生じしてスキャナに供給する電源パルス生成回路を含み、

スキャナは、順次、電源パルス生成回路から制御信号の波形を取り出し、各走査線に供給する請求項 1 又は請求項 2 に記載の表示装置。

【請求項 5】

サンプリングトランジスタは、走査線から供給された制御信号に応じてオンした後、制御信号の波形に応じてオフし、オンしてからオフするまでの間に、信号線から供給された映像信号をサンプリングし、輝度レベルとして画素容量に保持し、

ドライブトランジスタは、画素容量に保持された映像信号に応じて、駆動電流を電流路を通して発光素子に流し、該輝度レベルで発光させる請求項 1 又は請求項 2 に記載の表示装置。

【請求項 6】

画素アレイ部とこれを駆動する駆動部とから成り、

画素アレイ部は、行状の走査線と、列状の信号線と、これらが交差する部分に配された画素と、各画素に給電する電源ライン及び接地ラインとを備え、

駆動部は、各走査線に順次制御信号を供給して画素を行単位で線順次走査するスキャナを備え、

画素は、少なくとも、発光素子と、サンプリングトランジスタと、ドライブトランジスタと、画素容量とを含み、

サンプリングトランジスタのゲートは走査線に接続され、ソース/ドレインの一方は信号線に接続され、他方はドライブトランジスタのゲートに接続され、

ドライブトランジスタ及び発光素子は、電源ラインと接地ラインとの間で直列に接続されて電流路を形成し、電源ラインからドライブトランジスタへの給電は、画素の非発光期間と発光期間とを切り替えるためのスイッチング動作を行うトランジスタを有する電源供給制御手段によって制御され、

画素容量の一端はドライブトランジスタのゲートに接続されており、画素容量の他端はドライブトランジスタと発光素子との間に接続されており、

発光期間に先立って、映像信号を信号線からサンプリングトランジスタを介してドライブトランジスタのゲートに供給し、電源供給制御手段の制御下、ドライブトランジスタを介して電流を画素容量に供給して、ドライブトランジスタのソース電位が上昇していく間に、スキャナが供給する制御信号において、サンプリングトランジスタをオフする際の波形に傾斜をもたせ、以て、画素容量に保持された映像信号の輝度レベルが高い画素のサンプリングトランジスタほどオフする時間を早くする表示装置の駆動方法。

【請求項 7】

電源供給制御手段は、電源ラインとドライブトランジスタとの間に接続されたスイッチングトランジスタから成る請求項 6 に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した発光素子を電流駆動して画像を表示する表示装置及びその駆

10

20

30

40

50

動方法に関する。詳しくは、各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって有機ＥＬなどの発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置及びその駆動方法に関する。

【背景技術】

【０００２】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機ＥＬ素子を画素に用いた有機ＥＬディスプレイなどにおいても同様であるが、液晶画素と異なり有機ＥＬ素子は自発光素子である。その為、有機ＥＬディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

10

【０００３】

有機ＥＬディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、ＴＦＴ）によって制御するものであり、以下の特許文献に記載がある。

20

【特許文献１】特開２００３－２５５８５６

【特許文献２】特開２００３－２７１０９５

【特許文献３】特開２００４－１３３２４０

【特許文献４】特開２００４－０２９７９１

【特許文献５】特開２００４－０９３６８２

【特許文献６】特開２００５－１７３４３４

【発明の開示】

【発明が解決しようとする課題】

【０００４】

従来の画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと画素容量とドライブトランジスタと発光素子とを含む。サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号をサンプリングする。画素容量は、サンプリングされた映像信号の信号電位に応じた入力電圧を保持する。ドライブトランジスタは、画素容量に保持された入力電圧に応じて所定の発光期間に出力電流を駆動電流として供給する。尚一般に、出力電流はドライブトランジスタのチャネル領域のキャリア移動度及び閾電圧に対して依存性を有する。発光素子は、ドライブトランジスタから供給された出力電流により映像信号に応じた輝度で発光する。

30

【０００５】

ドライブトランジスタは、画素容量に保持された入力電圧をゲートに受けてソース／ドレイン間に出力電流を流し、発光素子に通電する。一般に発光素子の発光輝度は通電量に比例している。更にドライブトランジスタの出力電流供給量はゲート電圧すなわち画素容量に書き込まれた入力電圧によって制御される。従来の画素回路は、ドライブトランジスタのゲートに印加される入力電圧を入力映像信号に応じて変化させることで、発光素子に供給する電流量を制御している。

40

【０００６】

ここでドライブトランジスタの動作特性は以下の式１で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \cdots \text{式 1}$$

このトランジスタ特性式１において、 I_{ds} はソース／ドレイン間に流れるドレイン電流を表わしており、画素回路では発光素子に供給される出力電流である。 V_{gs} はソース

50

を基準としてゲートに印加されるゲート電圧を表わしており、画素回路では上述した入力電圧である。 V_{th} はトランジスタの閾電圧である。又 μ はトランジスタのチャネルを構成する半導体薄膜の移動度を表わしている。その他 W はチャネル幅を表わし、 L はチャネル長を表わし、 C_{ox} はゲート容量を表わしている。このトランジスタ特性式1から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 V_{gs} が閾電圧 V_{th} を超えて大きくなると、オン状態となってドレイン電流 I_{ds} が流れる。原理的に見ると上記のトランジスタ特性式1が示す様に、ゲート電圧 V_{gs} が一定であれば常に同じ量のドレイン電流 I_{ds} が発光素子に供給される。従って、画面を構成する各画素に全てのレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の均一性(ユニフォーミティ)が得られるはずである。

10

【0007】

しかしながら実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ(TFT)は、個々のデバイス特性にばらつきがある。特に、閾電圧 V_{th} は一定ではなく、各画素毎にばらつきがある。前述のトランジスタ特性式1から明らかな様に、各ドライフトランジスタの閾電圧 V_{th} がばらつくと、ゲート電圧 V_{gs} が一定であっても、ドレイン電流 I_{ds} にばらつきが生じ、画素毎に輝度がばらついてしまう為、画面のユニフォーミティを損なう。従来からドライフトランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば前記の特許文献3に開示がある。

【0008】

しかしながら、発光素子に対する出力電流のばらつき要因は、ドライフトランジスタの閾電圧 V_{th} だけではない。上記のトランジスタ特性式1から明らかなように、ドライフトランジスタの移動度 μ がばらついた場合にも、出力電流 I_{ds} が変動する。この結果、画面のユニフォーミティが損なわれる。移動度のばらつきを補正することも、解決すべき課題となっている。

20

【課題を解決するための手段】

【0009】

上述した従来の技術の課題に鑑み、本発明は画素ごとにドライフトランジスタの移動度補正機能を備えた表示装置及びその駆動方法を提供することを一般的な目的とする。特に、画素の輝度レベルに対して適応的に移動度補正を行うことのできる表示装置及びその駆動方法を提供することを目的とする。係る目的を達成するために以下の手段を講じた。即ち本発明にかかる表示装置は、画素アレイ部とこれを駆動する駆動部とからなり、前記画素アレイ部は、行状の走査線と、列状の信号線と、これらが交差する部分に配された行列状の画素と、各画素に給電する電源ライン及び接地ラインとを備え、前記駆動部は、各走査線に順次制御信号を供給して画素を行単位で線順次走査するスキャナを備え、前記画素は、少なくとも発光素子と、サンプリングトランジスタと、ドライフトランジスタと、画素容量とを含み、前記サンプリングトランジスタは、そのゲートが該走査線に接続し、そのソース/ドレインの一方が該信号線に接続し、他方が該ドライフトランジスタのゲートに接続し、前記ドライフトランジスタ及び前記発光素子は該電源ラインと接地ラインとの間で直列に接続して電流路を形成し、前記画素容量は、該ドライフトランジスタのゲートと該発光素子の間に接続しており、前記スキャナが供給する制御信号において該サンプリングトランジスタをオフする際の波形に傾斜をもつ。

30

40

実施態様では、前記サンプリングトランジスタをオフする際の制御信号の波形に傾斜をもたせることで、該画素容量に保持された輝度レベルが高い画素のサンプリングトランジスタほどオフする時間を早くする。又一態様では、前記スキャナは、制御信号の波形に傾斜をつける際、少なくとも二段階に分けて初めに傾斜を急にし後で傾斜をなだらかにする。好ましくは、前記駆動部は、制御信号の波形の元になる電源パルスを生成して該スキャナに供給する電源パルス生成回路を含み、前記スキャナは、順次該電源パルスからその波形を取り出し、制御信号の波形として各走査線に供給する。実施態様では、前記サンプリングトランジスタは、該走査線から供給された制御信号に応じてオンした後その波形に応じてオフし、オンしてからオフするまでの間に、該信号線から供給された映像信号をサン

50

プリングし該輝度レベルとして該画素容量に保持し、前記ドライブトランジスタは、該画素容量に保持された映像信号に応じて駆動電流を該電流路を通して該発光素子に流し、該輝度レベルで発光させる。

【 0 0 1 0 】

又本発明にかかる表示装置は、画素アレイ部とこれを駆動する駆動部とからなり、前記画素アレイ部は、行状の走査線と、列状の信号線と、これらが交差する部分に配された行列状の画素と、各画素に給電する電源ライン及び接地ラインとを備え、前記駆動部は、各走査線に順次制御信号を供給して画素を行単位で線順次走査するスキャナを備え前記画素は、少なくとも発光素子と、サンプリングトランジスタと、ドライブトランジスタと、画素容量とを含み、前記サンプリングトランジスタは、そのゲートが該走査線に接続し、そのソース/ドレインの一方が該信号線に接続し、他方が該ドライブトランジスタのゲートに接続し、前記ドライブトランジスタ及び前記発光素子は該電源ラインと接地ラインとの間で直列に接続して電流路を形成し、前記画素容量は、該ドライブトランジスタのゲートと該発光素子の間に接続しており、該走査線に該制御信号を印加して該サンプリングトランジスタをオンして映像信号を該画素容量に保持した後に該サンプリングトランジスタがオフする際、該信号線から供給される映像信号の輝度レベルが高いときほどサンプリングトランジスタがオフする時間が早くなる。

【発明の効果】

【 0 0 1 1 】

本発明によれば、信号電位を画素容量にサンプリングしている期間（サンプリング期間）の一部を利用して、ドライブトランジスタの移動度の補正を行っている。具体的には、サンプリング期間の後半で、スイッチングトランジスタをオンして電流路を導通状態にして、ドライブトランジスタに駆動電流を流す。この駆動電流はサンプリングされた信号電位に応じた大きさである。この段階では発光素子が逆バイアス状態にあり、駆動電流は発光素子を流れずその寄生容量や画素容量に充電されていく。このあとサンプリングパルスが立下り、ドライブトランジスタのゲートが信号線から切り離される。このスイッチングトランジスタがオンしてからサンプリングトランジスタがオフするまでの補正期間に、画素容量に対してドライブトランジスタから駆動電流が負帰還され、その分が画素容量にサンプリングされた信号電位から差し引かれる。この負帰還量はドライブトランジスタの移動度のばらつきを抑制する方向に働くので、画素ごとの移動度補正が行える。すなわちドライブトランジスタの移動度が大きいと、画素容量に対する負帰還量が大きくなり、画素容量に保持された信号電位が大きく減らされ、結果的にドライブトランジスタの出力電流が抑制される。これに対し、ドライブトランジスタの移動度が小さいと、負帰還量も小さくなり、画素容量に保持された信号電位はあまり影響を受けない。したがってドライブトランジスタの出力電流もあまり下がることがない。ここで、負帰還量は信号線から直接ドライブトランジスタのゲートに印加される信号電位に応じたレベルとなる。すなわち、信号電位が高く輝度が大きくなるほど、負帰還量は大きくなる。このように、移動度補正は輝度レベルに応じて行われる。

【 0 0 1 2 】

しかしながら、輝度が高い場合と輝度が低い場合とでは、必ずしも最適な補正期間は同じではない。一般に、輝度が高レベル（白レベル）の時最適補正期間は比較的短く、逆に輝度が中間レベル（グレーレベル）の時、最適補正期間は長くなる傾向にある。本発明は、輝度レベルに応じて補正期間が自動的に最適化されるようにしている。すなわち本発明はスイッチングトランジスタがオンする第一タイミングに対して、サンプリングトランジスタがオフする第二タイミングを信号電位に応じて自動的に調整している。具体的には、信号線から供給される映像信号の信号電位が高い時補正期間が短くなる一方、信号線に供給される映像信号の信号電位が低い時補正期間が長くなるように、適応制御している。これにより、信号電位に応じて補正期間を最適に可変制御することが可能である。係る構成により、画面のユニフォーミティを一層改善することができる。

【発明を実施するための最良の形態】

【 0 0 1 3 】

以下図面を参照して本発明の実施の形態を詳細に説明する。図 1 は、本発明に係る表示装置の全体構成を示す模式的なブロック図である。図示する様に、本画像表示装置は基本的に画素アレイ部 1 と、スキャナ部及び信号部を含む駆動部とで構成されている。画素アレイ部 1 は、行状に配された走査線 WS 、走査線 $AZ1$ 、走査線 $AZ2$ 及び走査線 DS と、列状に配された信号線 SL と、これらの走査線 WS 、 $AZ1$ 、 $AZ2$ 、 DS 及び信号線 SL に接続した行列状の画素回路 2 と、各画素回路 2 の動作に必要な第 1 電位 V_{ss1} 、第 2 電位 V_{ss2} 及び第 3 電位 V_{cc} を供給する複数の電源線とからなる。信号部は水平セクタ 3 からなり、信号線 SL に映像信号を供給する。スキャナ部は、ライトスキャナ 4、ドライブスキャナ 5、第一補正用スキャナ 7 1 及び第二補正用スキャナ 7 2 からなり、それぞれ走査線 WS 、走査線 DS 、走査線 $AZ1$ 及び走査線 $AZ2$ に制御信号を供給して順次行毎に画素回路を走査する。

10

【 0 0 1 4 】

ここで、ライトスキャナ 4 はシフトレジスタで構成されており、外部から供給されるクロック信号 $WSCK$ に応じて動作し、同じく外部から供給されるスタート信号 WST を順次転走して各走査線 WS に出力している。その際、同じく外部から供給される電源パルス WSP を利用して、制御信号 WS の立下り波形を生成している。ドライブスキャナ 5 もシフトレジスタからなり、外部から供給されるクロック信号 $DSCK$ に応じて動作し、同じく外部から供給されるスタート信号 DST を順次転送することで、制御信号 DS を各走査線 DS に順次出力している。

20

【 0 0 1 5 】

図 2 は、図 1 に示した画像表示装置に組み込まれる画素回路の構成例を示す回路図である。図示する様に画素回路 2 は、サンプリングトランジスタ $Tr1$ と、ドライブトランジスタ Trd と、第 1 スイッチングトランジスタ $Tr2$ と、第 2 スイッチングトランジスタ $Tr3$ と、第 3 スイッチングトランジスタ $Tr4$ と、画素容量 Cs と、発光素子 EL とを含む。サンプリングトランジスタ $Tr1$ は、所定のサンプリング期間に走査線 WS から供給される制御信号に応じ導通して信号線 SL から供給された映像信号の信号電位を画素容量 Cs にサンプリングする。画素容量 Cs は、サンプリングされた映像信号の信号電位に応じてドライブトランジスタ Trd のゲート G に入力電圧 V_{gs} を印加する。ドライブトランジスタ Trd は、入力電圧 V_{gs} に応じた出力電流 I_{ds} を発光素子 EL に供給する。発光素子 EL は、所定の発光期間中ドライブトランジスタ Trd から供給される出力電流 I_{ds} により映像信号の信号電位に応じた輝度で発光する。

30

【 0 0 1 6 】

第 1 スイッチングトランジスタ $Tr2$ は、サンプリング期間に先立ち走査線 $AZ1$ から供給される制御信号に応じ導通してドライブトランジスタ Trd のゲート G を第 1 電位 V_{ss1} に設定する。第 2 スイッチングトランジスタ $Tr3$ は、サンプリング期間に先立ち走査線 $AZ2$ から供給される制御信号に応じ導通してドライブトランジスタ Trd のソース S を第 2 電位 V_{ss2} に設定する。第 3 スイッチングトランジスタ $Tr4$ は、サンプリング期間に先立ち走査線 DS から供給される制御信号に応じ導通してドライブトランジスタ Trd を第 3 電位 V_{cc} に接続し、以ってドライブトランジスタ Trd の閾電圧 V_{th} に相当する電圧を画素容量 Cs に保持させて閾電圧 V_{th} の影響を補正する。さらにこの第 3 スイッチングトランジスタ $Tr4$ は、発光期間に再び走査線 DS から供給される制御信号に応じ導通してドライブトランジスタ Trd を第 3 電位 V_{cc} に接続して出力電流 I_{ds} を発光素子 EL に流す。

40

【 0 0 1 7 】

以上の説明から明らかな様に、本画素回路 2 は、5 個のトランジスタ $Tr1$ ないし $Tr4$ 及び Trd と 1 個の画素容量 Cs と 1 個の発光素子 EL とで構成されている。トランジスタ $Tr1 \sim Tr3$ と Trd は N チャネル型のポリシリコン $TFET$ である。トランジスタ $Tr4$ のみ P チャネル型のポリシリコン $TFET$ である。但し本発明はこれに限られるものではなく、 N チャネル型と P チャネル型の $TFET$ を適宜混在させることが出来る。発光素

50

子ELは例えばアノード及びカソードを備えたダイオード型の有機ELデバイスである。但し本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

【0018】

図3は、図2に示した画像表示装置から画素回路2の部分のみを取り出した模式図である。理解を容易にするため、サンプリングトランジスタ T_{r1} によってサンプリングされる映像信号の信号電位 V_{sig} や、ドライブトランジスタ T_{rd} の入力電圧 V_{gs} 及び出力電流 I_{ds} 、さらには発光素子ELが有する容量成分 C_{oled} などを書き加えてある。以下図3に基づいて、本発明にかかる画素回路2の動作を説明する。

【0019】

図4は、図3に示した画素回路のタイミングチャートである。図4を参照して、図3に示した本発明にかかる画素回路の動作を具体的に説明する。図4は、時間軸 T に沿って各走査線 WS 、 $AZ1$ 、 $AZ2$ 及び DS に印加される制御信号の波形を表してある。表記を簡略化する為、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタ T_{r1} 、 T_{r2} 、 T_{r3} はNチャンネル型なので、走査線 WS 、 $AZ1$ 、 $AZ2$ がそれぞれハイレベルの時オンし、ローレベルの時オフする。一方トランジスタ T_{r4} はPチャンネル型なので、走査線 DS がハイレベルの時オフし、ローレベルの時オンする。なおこのタイミングチャートは、各制御信号 WS 、 $AZ1$ 、 $AZ2$ 、 DS の波形と共に、ドライブトランジスタ T_{rd} のゲート G の電位変化及びソース S の電位変化も表してある。

【0020】

図4のタイミングチャートではタイミング $T1 \sim T8$ までを1フィールド(1f)としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号 WS 、 $AZ1$ 、 $AZ2$ 、 DS の波形を表してある。

【0021】

当該フィールドが始まる前のタイミング $T0$ で、全ての制御線号 WS 、 $AZ1$ 、 $AZ2$ 、 DS がローレベルにある。したがってNチャンネル型のトランジスタ T_{r1} 、 T_{r2} 、 T_{r3} はオフ状態にある一方、Pチャンネル型のトランジスタ T_{r4} のみオン状態である。したがってドライブトランジスタ T_{rd} はオン状態のトランジスタ T_{r4} を介して電源 V_{cc} に接続しているので、所定の入力電圧 V_{gs} に応じて出力電流 I_{ds} を発光素子ELに供給している。したがってタイミング $T0$ で発光素子ELは発光している。この時ドライブトランジスタ T_{rd} に印加される入力電圧 V_{gs} は、ゲート電位(G)とソース電位(S)の差で表される。

【0022】

当該フィールドが始まるタイミング $T1$ で、制御信号 DS がローレベルからハイレベルに切り替わる。これによりトランジスタ T_{r4} がオフし、ドライブトランジスタ T_{rd} は電源 V_{cc} から切り離されるので、発光が停止し非発光期間に入る。したがってタイミング $T1$ に入ると、全てのトランジスタ $T_{r1} \sim T_{r4}$ がオフ状態になる。

【0023】

タイミング $T1$ のあとタイミング $T21$ で制御信号 $AZ2$ が立上り、スイッチングトランジスタ T_{r3} がオンする。これにより、ドライブトランジスタ T_{rd} のソース(S)は所定の電位 V_{ss2} に初期化される。続いてタイミング $T22$ で制御信号 $AZ1$ が立ち上がり、スイッチングトランジスタ T_{r2} がオンする。これによりドライブトランジスタ T_{rd} のゲート電位(G)が所定の電位 V_{ss1} に初期化される。この結果、ドライブトランジスタ T_{rd} のゲート G が基準電位 V_{ss1} に接続し、ソース S が基準電位 V_{ss2} に接続される。ここで $V_{ss1} - V_{ss2} > V_{th}$ を満たしており、 $V_{ss1} - V_{ss2} = V_{gs} > V_{th}$ とする事で、その後タイミング $T3$ で行われる V_{th} 補正の準備を行う。換言すると期間 $T21 - T3$ は、ドライブトランジスタ T_{rd} のリセット期間に相当する。また、発光素子ELの閾電圧を V_{thEL} とすると、 $V_{thEL} > V_{ss2}$ に設定されている。これにより、発光素子ELにはマイナスバイアスが印加され、いわゆる逆バイア

10

20

30

40

50

ス状態となる。この逆バイアス状態は、後で行う V_{th} 補正動作及び移動度補正動作を正常に行うために必要である。

【0024】

タイミング T_3 では制御信号 AZ_2 をローレベルにした後、制御信号 DS をローレベルにしている。これによりトランジスタ Tr_3 がオフする一方トランジスタ Tr_4 がオンする。この結果ドレイン電流 I_{ds} が画素容量 C_s に流れ込み、 V_{th} 補正動作を開始する。この時ドライブトランジスタ Tr_d のゲート G は V_{ss1} に保持されており、ドライブトランジスタ Tr_d がカットオフするまで電流 I_{ds} が流れる。カットオフするとドライブトランジスタ Tr_d のソース電位(S)は $V_{ss1} - V_{th}$ となる。ドレイン電流がカットオフした後のタイミング T_4 で制御信号 DS を再びハイレベルに戻し、スイッチングトランジスタ Tr_4 をオフする。さらに制御信号 AZ_1 もローレベルに戻し、スイッチングトランジスタ Tr_2 もオフする。この結果、画素容量 C_s に V_{th} が保持固定される。この様にタイミング $T_3 - T_4$ はドライブトランジスタ Tr_d の閾電圧 V_{th} を検出する期間である。ここでは、この検出期間 $T_3 - T_4$ を V_{th} 補正期間と呼んでいる。

【0025】

この様に V_{th} 補正を行った後タイミング T_5 で制御信号 WS をハイレベルに切り替え、サンプリングトランジスタ Tr_1 をオンして映像信号の信号電位 V_{sig} を画素容量 C_s に書き込む。発光素子 EL の等価容量 C_{oled} に比べて画素容量 C_s は十分に小さい。この結果、映像信号の信号電位 V_{sig} のほとんど大部分が画素容量 C_s に書き込まれる。正確には、 V_{ss1} に対する、 V_{sig} の差分 $V_{sig} - V_{ss1}$ が画素容量 C_s に書き込まれる。したがってドライブトランジスタ Tr_d のゲート G とソース S 間の電圧 V_{gs} は、先に検出保持された V_{th} と今回サンプリングされた $V_{sig} - V_{ss1}$ を加えたレベル($V_{sig} - V_{ss1} + V_{th}$)となる。以降説明簡易化の為に $V_{ss1} = 0V$ とすると、ゲート/ソース間電圧 V_{gs} は図4のタイミングチャートに示すように $V_{sig} + V_{th}$ となる。かかる映像信号の信号電位 V_{sig} のサンプリングは制御信号 WS がローレベルに戻るタイミング T_7 まで行われる。すなわちタイミング $T_5 - T_7$ がサンプリング期間に相当する。

【0026】

サンプリング期間の終了するタイミング T_7 より前のタイミング T_6 で制御信号 DS がローレベルとなりスイッチングトランジスタ Tr_4 がオンする。これによりドライブトランジスタ Tr_d が電源 V_{cc} に接続されるので、画素回路は非発光期間から発光期間に進む。この様にサンプリングトランジスタ Tr_1 がまだオン状態で且つスイッチングトランジスタ Tr_4 がオン状態に入った期間 $T_6 - T_7$ で、ドライブトランジスタ Tr_d の移動度補正を行う。即ち本発明では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間 $T_6 - T_7$ で移動度補正を行っている。なお、この移動度補正を行う発光期間の先頭では、発光素子 EL は実際には逆バイアス状態にあるので発光する事はない。この移動度補正期間 $T_6 - T_7$ では、ドライブトランジスタ Tr_d のゲート G が映像信号の信号電位 V_{sig} のレベルに固定された状態で、ドライブトランジスタ Tr_d にドレイン電流 I_{ds} が流れる。ここで $V_{ss1} - V_{th} < V_{thEL}$ と設定しておく事で、発光素子 EL は逆バイアス状態におかれる為、ダイオード特性ではなく単純な容量特性を示すようになる。よってドライブトランジスタ Tr_d に流れる電流 I_{ds} は画素容量 C_s と発光素子 EL の等価容量 C_{oled} の両者を結合した容量 $C = C_s + C_{oled}$ に書き込まれていく。これによりドライブトランジスタ Tr_d のソース電位(S)は上昇していく。図4のタイミングチャートではこの上昇分を ΔV で表してある。この上昇分 ΔV は結局画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} から差し引かれる事になるので、負帰還をかけた事になる。この様にドライブトランジスタ Tr_d の出力電流 I_{ds} を同じくドライブトランジスタ Tr_d の入力電圧 V_{gs} に負帰還する事で、移動度 μ を補正する事が可能である。なお負帰還量 ΔV は移動度補正期間 $T_6 - T_7$ の時間幅 t を調整する事で最適化可能である。この目的で制御信号 WS の立下りに傾斜が付けられている。

【0027】

タイミングT7では制御信号WSがローレベルとなりサンプリングトランジスタTr1がオフする。この結果ドライブトランジスタTrdのゲートGは信号線SLから切り離される。映像信号の信号電位Vsigの印加が解除されるので、ドライブトランジスタTrdのゲート電位(G)は上昇可能となり、ソース電位(S)と共に上昇していく。その間画素容量Csに保持されたゲート/ソース間電圧Vgsは($V_{sig} - \Delta V + V_{th}$)の値を維持する。ソース電位(S)の上昇に伴い、発光素子ELの逆バイアス状態は解消されるので、出力電流Idsの流入により発光素子ELは実際に発光を開始する。この時のドレイン電流Ids対ゲート電圧Vgsの関係は、先のトランジスタ特性式1のVgsに $V_{sig} - \Delta V + V_{th}$ を代入する事で、以下の式2のように与えられる。

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - \Delta V)^2 \cdots \text{式2}$$

10

上記式2において、 $k = (1/2)(W/L)Cox$ である。この特性式2からVthの項がキャンセルされており、発光素子ELに供給される出力電流IdsはドライブトランジスタTrdの閾電圧Vthに依存しない事が分かる。基本的にドレイン電流Idsは映像信号の信号電位Vsigによって決まる。換言すると、発光素子ELは映像信号の信号電位Vsigに応じた輝度で発光する事になる。その際Vsigは帰還量ΔVで補正されている。この補正量ΔVは丁度特性式2の係数部に位置する移動度μの効果を打ち消すように働く。したがって、ドレイン電流Idsは実質的に映像信号の信号電位Vsigのみに依存する事になる。

【0028】

最後にタイミングT8に至ると制御信号DSがハイレベルとなってスイッチングトランジスタTr4がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再びVth補正動作、信号電位のサンプリング動作、移動度補正動作及び発光動作が繰り返される事になる。

20

【0029】

図5は、移動度補正期間T6 - T7における画素回路2の状態を示す回路図である。図示するように、移動度補正期間T6 - T7では、サンプリングトランジスタTr1及びスイッチングトランジスタTr4がオンしている一方、残りのスイッチングトランジスタTr2及びTr3がオフしている。この状態でドライブトランジスタTr4のソース電位(S)は $V_{ss1} - V_{th}$ である。このソース電位(S)は発光素子ELのアノード電位でもある。前述したように $V_{ss1} - V_{th} < V_{thEL}$ と設定しておく事で、発光素子ELは逆バイアス状態におかれ、ダイオード特性ではなく単純な容量特性を示す事になる。よってドライブトランジスタTrdに流れる電流Idsは画素容量Csと発光素子ELの等価容量Coledとの合成容量 $C = C_s + C_{oled}$ に流れ込む事になる。換言すると、ドレイン電流Idsの一部が画素容量Csに負帰還され、移動度の補正が行われる。

30

【0030】

図6は上述したトランジスタ特性式2をグラフ化したものであり、縦軸にIdsを取り横軸にVsigを取ってある。このグラフの下方に特性式2も合わせて示してある。図6のグラフは、画素1と画素2を比較した状態で特性カーブを描いてある。画素1のドライブトランジスタの移動度μは相対的に大きい。逆に画素2に含まれるドライブトランジスタの移動度μは相対的に小さい。この様にドライブトランジスタをポリシリコン薄膜トランジスタなどで構成した場合、画素間で移動度μがばらつく事は避けられない。例えば両画素1, 2に同レベルの映像信号の信号電位Vsigを書き込んだ場合、何ら移動度の補正を行わないと、移動度μの大きい画素1に流れる出力電流 I_{ds1}' は、移動度μの小さい画素2に流れる出力電流 I_{ds2}' に比べて大きな差が生じてしまう。この様に移動度μのばらつきに起因して出力電流Idsの間に大きな差が生じるので、スジムラが発生し画面のユニフォーミティを損なう事になる。

40

【0031】

そこで本発明では出力電流を入力電圧側に負帰還させる事で移動度のばらつきをキャンセルしている。先のトランジスタ特性式1から明らかなように、移動度が大きいとドレイン電流Idsが大きくなる。したがって負帰還量ΔVは移動度が大きいほど大きくなる。

50

図6のグラフに示すように、移動度 μ の大きな画素1の負帰還量 ΔV_1 は移動度の小さな画素2の負帰還量 ΔV_2 に比べて大きい。したがって、移動度 μ が大きいほど負帰還が大きくなる事となって、ばらつきを抑制する事が可能である。図示するように、移動度 μ の大きな画素1で ΔV_1 の補正をかけると、出力電流は I_{ds1}' から I_{ds1} まで大きく下降する。一方移動度 μ の小さな画素2の補正量 ΔV_2 は小さいので、出力電流 I_{ds2}' は I_{ds2} までそれ程大きく下降しない。結果的に、 I_{ds1} と I_{ds2} は略等しくなり、移動度のばらつきがキャンセルされる。この移動度のばらつきのキャンセルは黒レベルから白レベルまで V_{sig} の全範囲で行われるので、画面のユニフォーム性は極めて高くなる。以上をまとめると、移動度の異なる画素1と2があった場合、移動度の大きい画素1の補正量 ΔV_1 は移動度の小さい画素2の補正量 ΔV_2 に対して小さくなる。つまり移動度が大きいほど ΔV が大きく I_{ds} の減少値は大きくなる。これにより移動度の異なる画素電流値は均一化され、移動度のばらつきを補正する事ができる。

10

【0032】

以下参考の為、上述した移動度補正の数値解析を行う。図5に示したように、トランジスタ Tr_1 及び Tr_4 がオンした状態で、ドライブトランジスタ Tr_d のソース電位を変数 V に取って解析を行う。ドライブトランジスタ Tr_d のソース電位(S)を V とすると、ドライブトランジスタ Tr_d を流れるドレイン電流 I_{ds} は以下の式3に示す通りである。

【数1】

20

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2 \quad \text{式3}$$

【0033】

またドレイン電流 I_{ds} と容量 $C (= C_s + C_{oled})$ の関係により、以下の式4に示す様に $I_{ds} = dQ / dt = C dV / dt$ が成り立つ。

【数2】

$$I_{ds} = \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{より} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{式4}$$

30

$$\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV$$

$$\Leftrightarrow \frac{k\mu}{C} t = \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}}$$

$$\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}$$

40

【0034】

式4に式3を代入して両辺積分する。ここで、ソース電圧 V 初期状態は $-V_{th}$ であり、移動度ばらつき補正時間($T_6 - T_7$)を t とする。この微分方程式を解くと、移動度補正時間 t に対する画素電流が以下の数式5のように与えられる。

【数3】

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \text{式5}$$

50

【 0 0 3 5 】

ところで最適な移動度補正時間 t は画素の輝度レベル（映像信号の信号電位 V_{sig} ）によって異なる傾向がある。この点につき、図 7 を参照して説明する。図 7 のグラフは、横軸に移動度補正時間 t ($T_7 - T_6$) をとり、縦軸に輝度（信号電位）をとっている。高輝度（ホワイト階調）の場合、移動度大のドライブトランジスタと移動度小のドライブトランジスタとで、移動度補正時間を t_1 に取った時、ちょうど輝度レベルが等しくなる。すなわち入力信号電位がホワイト階調の時は、移動度補正時間 t_1 が最適補正時間となる。一方信号電位が中間輝度（グレー階調）の時、移動度補正時間 t_1 では移動度大のトランジスタと移動度小のトランジスタで輝度に差があり、完全な補正はできない。 t_1 より長い補正時間 t_2 を確保すると、ちょうど移動度大と移動度小のトランジスタで輝度が同レベルとなる。したがって信号電位がグレー階調のとき、最適補正時間 t_2 はホワイト階調の時の最適補正時間 t_1 よりも長くなる。

10

【 0 0 3 6 】

仮に輝度レベルによらず移動度補正時間 t を固定すると、全階調で完全に移動度補正を行うことができなくなり、スジムラが生じる。たとえば移動度補正時間 t を白階調の最適補正期間 t_1 にあわせると、入力映像信号がグレー階調の時スジが画面に残る。逆にグレー階調の最適補正期間 t_2 に固定すると、映像信号が白階調のとき画面にスジムラが現れる。すなわち移動度補正時間 t を固定すると、白からグレー階調まですべての階調に渡って移動度ばらつきを同時に補正することはできない。

20

【 0 0 3 7 】

そこで本発明は入力映像信号のレベルに応じて移動度補正期間を最適に自動調整可能にしている。この点につき、図 8 を参照して詳細に説明する。図 8 はスイッチングトランジスタ Tr_4 のゲートに印加される制御信号 DS の立下り波形をあらわしている。本実施形態の場合、スイッチングトランジスタ Tr_4 は P チャネル型なので、制御信号 DS が立ち下がった時点 (T_6) でトランジスタ Tr_4 はオンする。このタイミング T_6 が前述したように移動度補正期間の開始時期となる。制御信号 DS とあわせて制御信号 WS の立下り波形も示してある。この制御信号 WS はサンプリングトランジスタ Tr_1 のゲートに印加される。前述したように本実施形態ではサンプリングトランジスタ Tr_1 が N チャネル型なので、制御信号 WS が立下がった時点 T_7 でサンプリングトランジスタ Tr_1 がオフし移動度補正期間が終わる。

30

【 0 0 3 8 】

本発明の特徴事項として制御信号 WS の波形をオフする際に、最初適当な電位まで急峻に波形を落とし、そこから最終電位までなまらせてパルスを落としている。これにより所望の電位で決まる階調を境として二以上の移動度補正期間を設けることができる。説明の都合上、急峻に落とした最初の電圧を $1st$ 電圧、なまらせて落とした最終電位を $2nd$ 電圧と呼ぶことにする。ここでモデルとして、制御信号 WS の波形を、 $1st$ 電圧 = 8 V、 $2nd$ 電圧 = 4 V として動作を考える。またサンプリングトランジスタ Tr_1 の閾電圧を $V_{th}(Tr_1) = 2 V$ とする。

【 0 0 3 9 】

白階調 $V_{sig1} = 8 V$ を書き込んだ場合、サンプリングトランジスタ Tr_1 は制御信号 WS が $V_{sig1} + V_{th}(Tr_1) = 10 V$ まで下がった時点 T_7 でカットオフする。即ちサンプリングトランジスタ Tr_1 のソースに対して信号線から $V_{sig} = 8 V$ が印加されたとき、サンプリングトランジスタ Tr_1 のゲート電位がソース電位より閾電圧 2 V だけ高いところで、サンプリングトランジスタ Tr_1 はカットオフする。このようにして白階調の場合、制御信号 DS オンタイミング T_6 から制御信号 WS が $1st$ 電圧まで急峻に立ち下がるまでのポイント T_7 までで、移動度補正期間 $t_1 = T_7 - T_6$ が決まる。

40

【 0 0 4 0 】

一方グレー階調 $V_{sig2} = 4 V$ を書き込んだ場合、サンプリングトランジスタ Tr_1 のカットオフ電圧は $V_{sig2} + V_{th}(Tr_1) = 6 V$ となる。制御信号 WS がカットオフ電圧の 6 V まで下がる時点はタイミング T_7' である。グレー階調の場合、制御信号

50

D SのオンタイミングT 6から、W S波形オフの1 s t 電圧から2 n d 電圧までの間のなまらせているポイントT 7 'で補正時間t 2が決まる。すなわち白階調の時の補正時間t 1よりもグレー階調の時の補正期間t 2は長く取れることになる。

【0041】

さらに低階調、たとえばV s i g = 3 Vとしたとき、同様にサンプリングトランジスタT r 1のカットオフ電圧は5 Vとなり、波形がなまっているためカットオフタイミングT 7 'はさらに後方にずれ、移動度補正時間が長くなる。このように低階調になるほど移動度補正時間t をより長く取ることができる駆動方式である。

【0042】

このように白階調の最適補正時間t 1に合わせて制御信号D Sのオンから制御信号のW Sオフの最初の急峻に1 s t 電圧に落とすまでの時間T 7を設定し、もって白階調の補正時間を最適化している。白階調で確実に急峻なポイントでサンプリングトランジスタT r 1がカットオフするようにその閾電圧V t h (T r 1)を考慮して、1 s t 電圧を設定すればよい。また、低階調に関しては各階調で最適な補正時間t 2を見つけ出し、それに合わせて2 n d 電圧を設定するとともに制御信号W Sの立下り波形のなまり具合を決めることで、対応できる。このようにして高階調から低階調までそれぞれのレベルに合った最適補正時間t を自動的に調整し、これにより移動度のばらつきをキャンセルすることで全階調においてスジムラをなくすことが可能になる。

【0043】

以下、図8に示した制御信号W Sの立下り波形の生成方法につきその実施例を詳細に説明する。図9は、本実施例の全体構成を示すブロック図である。本実施例に係る表示装置は、ガラス板などからなるパネル0で構成されている。このパネル0の中央に画素アレイ部1が集積形成されている。パネル0の周辺には駆動部の一部となるライトスキャナ4、ドライブスキャナ5、補正用スキャナ7などが形成されている。なお水平セレクトは図示していないが、スキャナ類と同様にパネル0上に搭載することができる。あるいは、パネル0とは別に外付けの水平セレクトを用いてもよい。

【0044】

図10は、図9に示したライトスキャナ4の一段分を示す模式的な回路図である。この一段分は画素アレイ部1に形成された走査線の一行分に対応している。ただし、図10の例は、実施例ではなく参考例であって、従来のように矩形の制御パルスW Sを出力する場合である。図示するように、ライトスキャナ4の一段分は、シフトレジスタS / R、2個の中間バッファ、レベルシフトL / V、及び1個の出力バッファの直列接続からなる。最終の出力バッファにはライトスキャナ4の電源電圧W S V d d (18 V)が供給されている。このライトスキャナは、前段から転送されてきた入力波形I Nをシフトレジスタで一段分だけ遅延したあと、中間バッファを介してレベルシフトL / Vに供給し、最終の出力バッファを駆動するのに適した電圧レベルに変換する。この出力バッファは入力波形I Nを反転した出力波形O U Tを生成し、対応する走査線W Sに供給する。この出力波形は矩形波であり、高レベルがW S V d dで基準レベルがW S V s sとなっている。この出力波形O U Tは、立下りが垂直であるため、移動度補正期間は固定になる。

【0045】

図11は、本実施例のライトスキャナの一段分を表している。理解を容易にするため、図10に示した参考例のライトスキャナと対応する部分には対応する参照番号を付してある。異なる点は、本実施例が最終の出力バッファに供給する電源電圧W S V d dをたとえば18 Vから5 Vに変化するパルス波形としていることである。この電源パルスW S Pは外部のディスクリート回路からパネル0のライトスキャナ4に供給される。その際、電源パルスW S Pはあらかじめライトスキャナ4の動作と同期が取れるように、位相調整されている。

【0046】

図示するように、前段から矩形パルスI Nが当該段に入力されると、シフトレジスタS / R、2個の中間バッファ及びレベルシフトL / Vを通して、出力バッファのゲートに印

10

20

30

40

50

加される。これにより出力バッファが開き、出力波形OUTが対応する走査線に供給される。その際出力バッファがオンしたあと電源電圧ラインWSVddに電源パルスWSPが印加されるために、出力波形が18Vから5Vに向かって所定のカーブで立ち下がる。そのあと出力バッファが閉じ、出力波形はWSVssレベルになる。

【0047】

制御信号WSと組み合わせて移動度補正期間を規程するもうひとつの制御信号DSについては、図10または図11に示す構成のどちらかでその波形を作成することができる。

【0048】

図12は、図11に示したライトスキナの最終出力バッファの構成例を示す模式的な回路図である。図示するように、この出力バッファ部は一对のPチャンネル型トランジスタTrPとNチャンネル型トランジスタTrNからなり、電源ラインWSVddと接地ラインWSVssとの間に直列接続されている。トランジスタTrP、TrNの各ゲートには入力波形INが印加される。この入力波形に対してあらかじめ位相調整された電源パルスWSPがWSVddに印加される。入力波形INの印加によりトランジスタTrPが導通したあと電源パルスWSPの立下り波形がトランジスタTrPによって取り込まれ、出力波形OUTとして画素2側の走査線WSに供給される。なお場合によっては、動作タイミングの関係で、電源パルスWSPの立上がり波形がトランジスタTrPを通過してしまうことが考えられる。この時には最終バッファの出力段にマスク信号をかけて、電源パルスWSPの後ろ側立ち上がりをカットするようにすればよい。

【0049】

図13は、本実施例に係る表示装置の全体構成を示す模式的なブロック図である。パネル0は図9に示した構成となっており、画素アレイ部のほか、駆動部の一部となる各種スキナを内蔵している。これに対し駆動部の残りの部分となる外付けの駆動基板8とディスクリート回路9がパネル0に接続されている。駆動基板8はPLDからなり、パネル0に搭載されたスキナの動作に必要なクロック信号WSCK、DSCKやスタートパルスWST、DSTなどを供給する。ディスクリート回路9は駆動基板8とパネル0の間に挿入され、必要な電源パルス生成する。具体的には駆動基板8側から入力波形INの供給を受け、これを波形処理して出力波形OUTを生成し、パネル0側に供給する。このディスクリート回路9はトランジスタ、抵抗、容量などのディスクリート素子で構成され、少なくとも電源パルスWSPをライトスキナの電源ラインに供給する。場合によっては別の電源パルスDSPを、ドライブスキナ5の電源ラインに供給するようにしてもよい。このように、ディスクリート回路9で電源パルスWSP、DSPを生成し、それぞれパネル0側のライトスキナやドライブスキナの電源ラインに入れる。パネル0とは切り離れた外付けのディスクリート回路9で電源パルス波形を生成することで、パネル0の個体別に最適な波形やタイミングを作り込むことが可能となり、パネル0のスジムラ検査における歩留まりの向上に寄与する。

【0050】

図14は、ディスクリート回路9のもっとも簡単な構成例を示す回路図である。図示するように、このディスクリート回路9は1個のトランジスタと1個の容量と3個の固定抵抗と2個の可変抵抗からなり、駆動基板8側から供給される入力波形INをアナログ的に処理して、出力波形OUTをパネル0側に供給している。本実施例は矩形の入力波形を処理して、その立下りが2段階で折線状に変化する出力波形を生成している。図示するように、この出力波形の立下りは第1段階で急激に傾斜し、第2段階で緩やかな傾斜に切り替わる。

【0051】

図15は、ディスクリート回路9のより複雑な構成例を示す回路図である。このディスクリート回路9は、図14に示した直線的な立下り波形の電源パルスWSPではなく、曲線的に変化する立下り波形を有する電源パルスWSPを生成し、パネル0側に供給している。立下り波形の曲線の形状はタイミング調整用のボリュームにより、自由自在に設定することができる。

【 0 0 5 2 】

図 1 6 は、図 1 5 に示したディスクリート回路 9 によって生成される電源パルス W S P の波形を表している。これと対応するように、別の電源パルス D S P の波形も表している。なお電源パルス D S P についてはその立下り波形は垂直であって、特に傾斜はつけていない。この場合であっても、電源パルス D S P の立下りタイミング（すなわち駆動用スイッチングトランジスタ T r 4 のオンタイミング T 6 ）は、ディスクリート回路側で自在に調整することができる。

【 0 0 5 3 】

図示するように電源パルス W S P は 1 7 . 3 V から 1 s t 電圧まで急激に立ち下がり、そのあと 2 n d 電圧まで緩やかに立ち下がる。1 s t 電圧は 9 ~ 1 1 V の間でパネルごとに調整可能である。典型的には 1 s t 電圧は 1 0 V に設定する。また 2 n d 電圧もパネルごとに 2 ~ 6 V の範囲で調整可能である。典型的には、2 n d 電圧は 5 V に設定される。加えて 1 s t 電圧から 2 n d 電圧までの間の立下り波形は R C 曲線などで作り込むことができる。

【 0 0 5 4 】

ところでディスクリート回路で電源パルス W S P , D S P を作るようにすると、パネルの外部で制御信号 W S , D S の波形を調整することが可能となり、個々のパネルごとに最適なタイミングで動作可能となり、スジムラ検査におけるパネル歩留まりの向上に寄与する。しかしながら外付けのディスクリート回路によって電源パルスを生成するためには、高出力のドライバや電源が必要となり、消費電力の増大や部品コストの増加などのデメリットが発生する。

【 0 0 5 5 】

そこで制御信号 D S については、パネル内部の論理的な処理で生成することが考えられる。以下この実施例を説明する。この実施例は電源パルス D S P をディスクリート回路で生成することによる高消費電力やコスト増のデメリットを解消するために、パネル内の論理回路で制御信号 D S を作り込み、移動度補正期間を設定している。その際制御信号 D S のイネーブル信号を立てることで、移動度補正期間の調整を行うことができるようにしている。このようにパネル内の論理回路でイネーブル信号を立てることにより制御パルス D S を生成することで、低消費電力化及び低コスト化を図ることができる。

【 0 0 5 6 】

図 1 7 は、上述した論理処理機能を有するドライブスキャナ 5 の出力段 1 個分を示す回路図である。図示するように、このドライブスキャナ 5 の出力段は制御信号 W S , D S 1 , D S 2 及びイネーブル信号 D S E N 1 , D S E N 2 を論理処理して、出力波形とするものである。この出力波形は制御信号 D S として対応する行の走査線 D S に出力される。ここで制御信号 W S はライトスキャナ 4 の対応する段のシフトレジスタ S / R に入力される W S パルス (W S ・ S / R ・ i n) を示している。また、制御信号 D S 1 はドライブスキャナ 5 の当該段のシフトレジスタ S / R に入力する D S パルス (D S ・ S / R ・ i n) を表している。また制御信号 D S 2 はドライブスキャナ 5 の当該段のシフトレジスタ S / R から出力された D S パルス (D S ・ S / R ・ o u t) を表している。

【 0 0 5 7 】

図 1 8 は、図 1 7 に示した論理回路に供給される各制御信号及びイネーブル信号と、関連するクロック信号を表した波形図である。この波形図で、上から 5 個までの波形 W S C K , W S ・ S / R ・ i n , W S ・ S / R ・ o u t , W S E N , W S n は、主としてライトスキャナ 4 側に関連する制御信号の波形を表している。波形図から明らかなように、ライトスキャナ 4 は基本的にクロック信号 W S C K に応じて動作し、シフトレジスタ S / R で順次スタートパルスを転送して、格段ごとに制御信号 W S n を生成している。なお本発明は、前述したように 1 個の制御信号 W S n を直接対応する走査線 W S n に印加するものではなく、この信号 W S n で電源パルス W S P の立下り部分を抜き取って、対応する走査線に供給するようにしている。

【 0 0 5 8 】

図18の下方に示す信号DSCK, DS・S/R・in, DS・S/R・out, DSEN1__ODD, DSEN1__EVEN, DSEN2, DSn(OUT)は、主としてドライブスキャナ5に関連する信号波形である。

【0059】

図17に示した論理回路は、同じく図17の上部に示した論理式で表される論理処理を行って出力波形OUTを得ている。この出力波形OUTは図18のタイミングチャートの一番下に表されている。図示するようにこの制御信号DSnは、Vthキャンセル用の補正期間と、移動度 μ 補正期間を規程する部分を含んでいる。そしてVthキャンセル期間はイネーブル信号DSEN1で調整される一方、移動度 μ 補正期間はイネーブル信号DSEN2で調整可能となっている。

10

【0060】

以上説明したように、本発明に係る表示装置は、基本的に画素アレイ部1とこれを駆動する駆動部とから構成されている。画素アレイ部1は、行状の第1走査線WS及び第2走査線DSと、列状の信号線SLと、これらが交差する部分に配された行列状の画素2と、各画素2に給電する電源ラインVcc及び接地ラインVssとを備えている。駆動部は、第1走査線WSに順次第一制御信号WSを供給して画素2を行単位で線順次走査する第1スキャナ4と、この線順次走査にあわせて各第2走査線DSに順次第2制御信号DSを供給する第2スキャナ5と、この線順次走査に合せて列状の信号線SLに映像信号を供給する信号セクタ3とを備えている。

【0061】

20

各画素2は、発光素子ELと、サンプリングトランジスタTr1と、ドライブトランジスタTrdと、スイッチングトランジスタTr4と、画素容量Csとを含む。サンプリングトランジスタTr1は、そのゲートが第1走査線WSに接続し、そのソースが信号線SLに接続し、そのドレインがドライブトランジスタTrdのゲートGに接続している。ドライブトランジスタTrd及び発光素子ELは電源ラインVccと接地ラインとの間で直列に接続して電流路を形成している。スイッチングトランジスタTr4は、この電流路に挿入されると共に、そのゲートが第2走査線DSに接続している。画素容量Csは、ドライブトランジスタTrdのソースSとゲートGとの間に接続している。

【0062】

係る構成においてサンプリングトランジスタTr1は、第1走査線WSから供給された第1制御信号WSに応じてオンし信号線SLから供給された映像信号の信号電位Vsigをサンプリングして画素容量Csに保持する。スイッチングトランジスタTr4は、第2走査線DSから供給された第2制御信号DSに応じオンして前述の電流路を導通状態にする。ドライブトランジスタTrdは、画素容量Csに保持された信号電位Vsigに応じて駆動電流Idsを導通状態におかれた電流路を通して発光素子ELに流す。

30

【0063】

本発明の特徴事項として、駆動部は、第1走査線WSに第1制御信号WSを印加してサンプリングトランジスタTr1をオンし信号電位Vsigのサンプリングを開始した後、第2制御信号DSが第2走査線DSに印加されてスイッチングトランジスタTr4がオンする第1タイミングT6から、第1走査線WSに印加された第1制御信号WSが解除されてサンプリングトランジスタTr1がオフする第2タイミングT7までの補正期間tに、ドライブトランジスタTrdの移動度 μ に対する補正を画素容量Csに保持された信号電位Vsigに加え、もって移動度補正を行う。その際駆動部は、信号線SLに供給される映像信号の信号電位Vsigが高い時補正期間tが短くなる一方、信号線SLに供給される映像信号の信号電位Vsigが低い時補正期間tが長くなるよう、自動的に第2タイミングT7を調整する。

40

【0064】

具体的には駆動部内の第1スキャナ4は、第2タイミングT7でサンプリングトランジスタTr1をオフする時、第1制御信号WSの立下り波形に傾斜を付けることで、信号電位Vsigが高い時補正期間tが短くなる一方、信号線SLに供給される映像信号の信号

50

電位 V_{sig} が低い時補正期間 t が長くなるよう、自動的に第 2 タイミング T_7 を調整する。好ましくは第 1 スキャナ 4 は、第 1 制御信号 WS の立下り波形に傾斜をつける際、少なくとも 2 段階に分けて始めに傾斜を急にし後で傾斜をなだらかにすることで、信号電位 V_{sig} が高い時と信号電位 V_{sig} が低い時の両方で補正期間 t を最適化する。

【0065】

各画素 2 は、上述した移動度補正機能に加え、ドライブトランジスタの閾電圧 V_{th} 補正機能も備えている。即ち画素には、映像信号のサンプリングに先立ってドライブトランジスタ Tr_d のゲート電位 (G) 及びソース電位 (S) をリセット若しくは初期化する追加のスイッチングトランジスタ Tr_2 , Tr_3 を含んでいる。第 2 スキャナ 5 は、映像信号のサンプリングに先立って第 2 制御線 DS を介してスイッチングトランジスタ Tr_4 を一時的にオンし、もってリセットされたドライブトランジスタ Tr_d に駆動電流 I_{ds} を流してその閾電圧 V_{th} に相当する電圧を画素容量 C_s に保持しておく。

10

【0066】

駆動部はパネルに内蔵される各種スキャナに加え、外付けの電源パルス生成回路 (ディスクスイート回路) を備えている。この電源パルス生成回路 9 は、第 1 制御信号 WS の立下り波形の元になる第 1 電源パルス WSP を生成してパネル内の第 1 スキャナ 4 に供給する。第 1 スキャナ 4 は順次第 1 電源パルス WSP からその立下り波形を取り出し第 1 制御信号 WS の立下り波形として各第 1 走査線 WS に供給する。

【0067】

一態様では、電源パルス生成回路 9 は、第 2 制御信号 DS の波形の元になる第 2 電源パルス DSP も生成して、第 2 スキャナ 5 に供給している。第 2 スキャナ 5 は順次第 2 電源パルス DSP からその波形の一部を取り出して第 1 タイミング T_6 における第 2 制御信号 DS の波形として各第 2 走査線 DS に供給する。

20

【0068】

他の態様では、第 1 スキャナ 4 は電源パルス生成回路 9 から供給される第 1 電源パルス WSP に基づいて補正期間 t の終期を律する第 2 タイミング T_7 における第 1 制御信号 WS の波形を生成する一方、第 2 スキャナ 5 は、内部の論理処理により補正期間 t の始期を律する第 1 タイミング T_6 における第 2 制御信号 DS の波形を生成する。

【図面の簡単な説明】

【0069】

30

【図 1】本発明に係る表示装置の主要部を示す模式的なブロック図である。

【図 2】本発明に係る表示装置の画素回路構成を示す回路図である。

【図 3】本発明に係る表示装置の動作説明に供する模式図である。

【図 4】本発明に係る表示装置の動作説明に供するタイミングチャートである。

【図 5】本発明に係る表示装置の動作説明に供する模式的な回路図である。

【図 6】本発明に係る表示装置の動作説明に供するグラフである。

【図 7】本発明に係る表示装置の動作説明に供するグラフである。

【図 8】本発明に係る表示装置の動作説明に供する波形図である。

【図 9】本発明に係る表示装置の実施例の全体構成を示す模式図である。

【図 10】参考例に係るライトスキャナを示す模式図である。

40

【図 11】実施例に係るライトスキャナを示す回路図である。

【図 12】実施例に係るライトスキャナの出力段を示す模式図である。

【図 13】実施例に係る表示装置の全体構成を示すブロック図である。

【図 14】図 13 に示した実施例に含まれるディスクリット回路の構成例を示す回路図である。

【図 15】ディスクリット回路の他の構成例を示す回路図である。

【図 16】ディスクリット回路の出力波形を示す波形図である。

【図 17】本発明に係る表示装置に含まれるドライブスキャナの構成例を示す回路図である。

【図 18】図 17 に示したドライブスキャナの動作説明に供するタイミングチャートであ

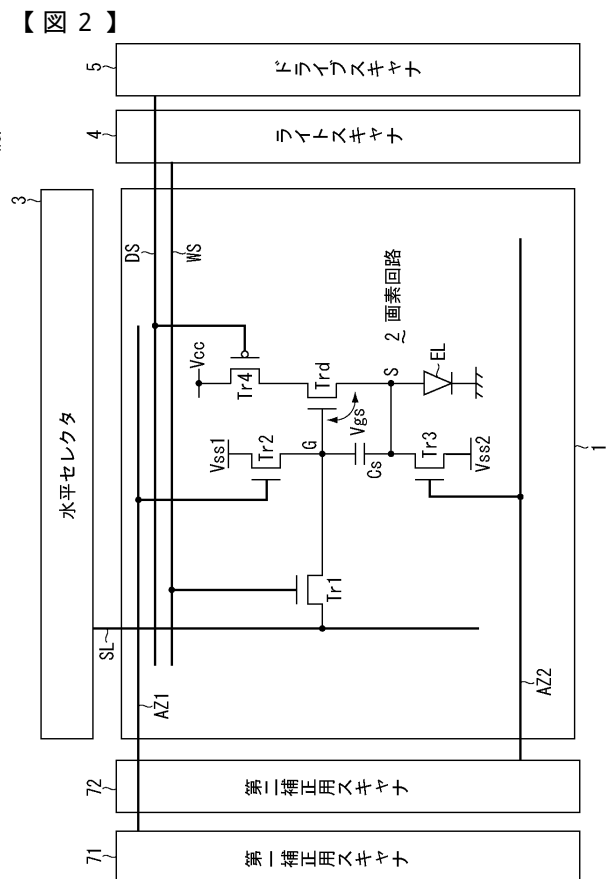
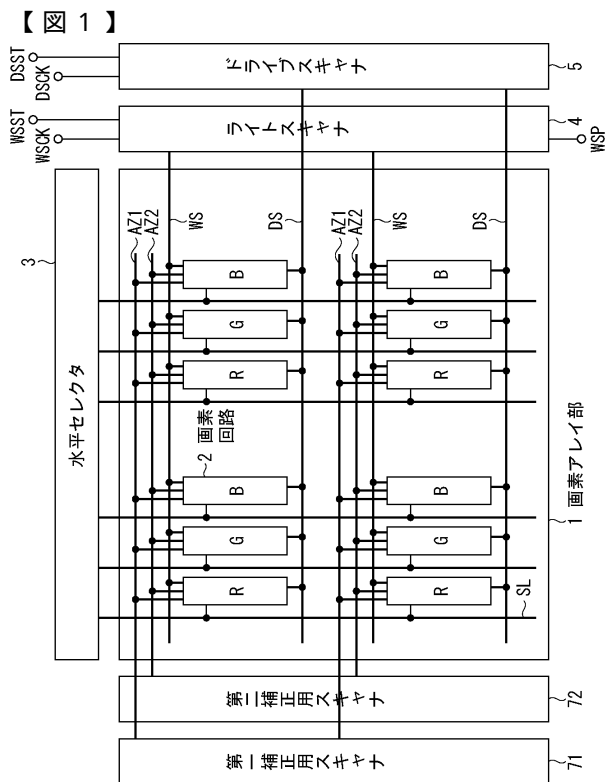
50

る。

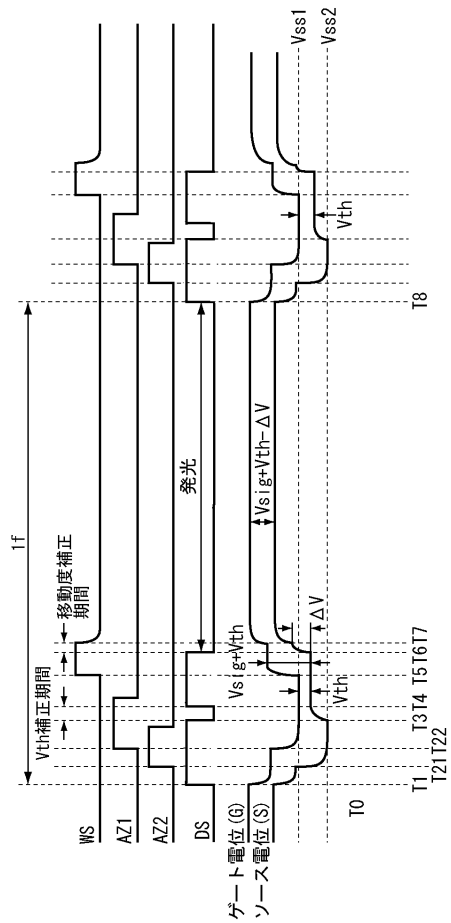
【符号の説明】

【 0 0 7 0 】

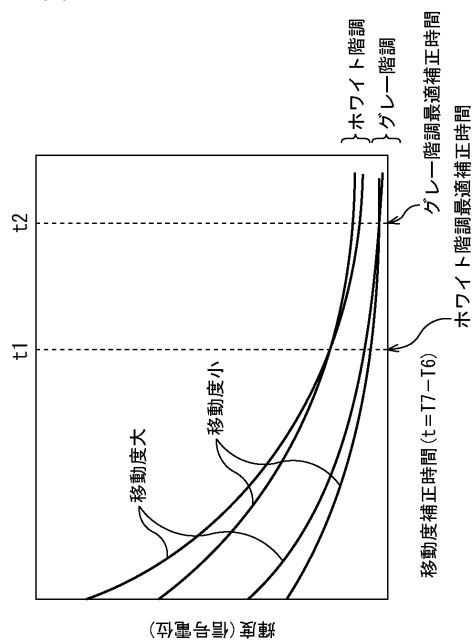
0 パネル、1 画素アレイ部、2 画素、3 水平セクタ、4 ライトスキャナ、
5 ドライブスキャナ、8 駆動基板、9 ディスクリット回路



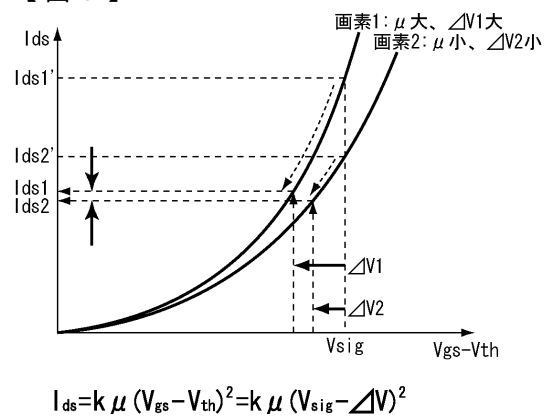
【 図 4 】



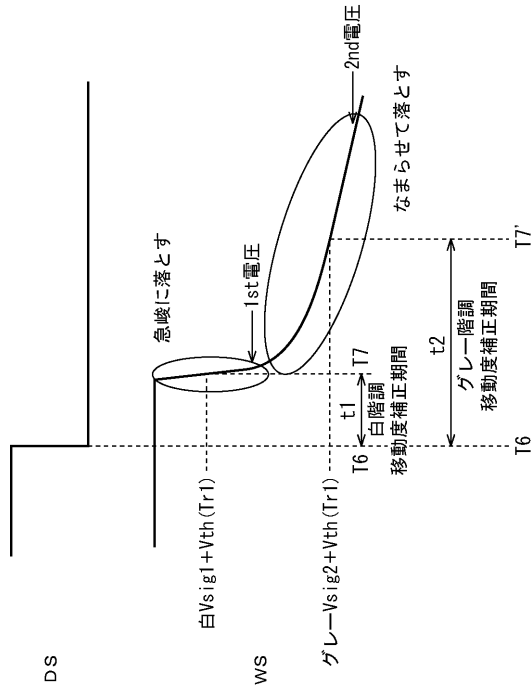
【圖 7】



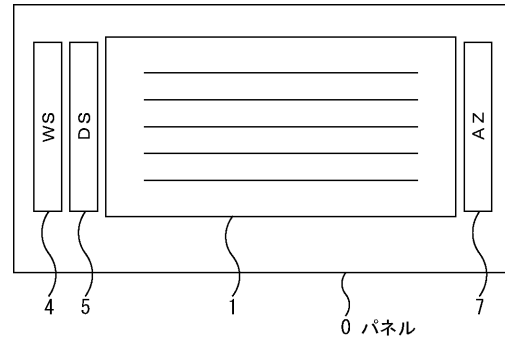
輝度(信号電位)



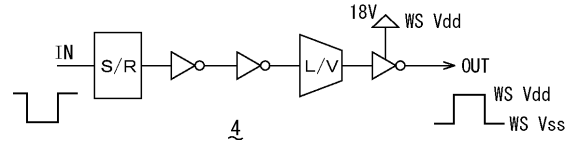
【図 8】



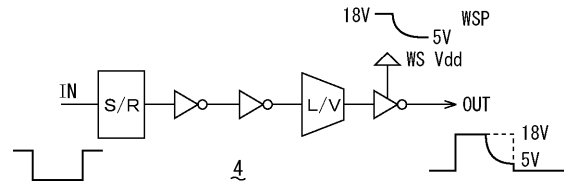
【図 9】



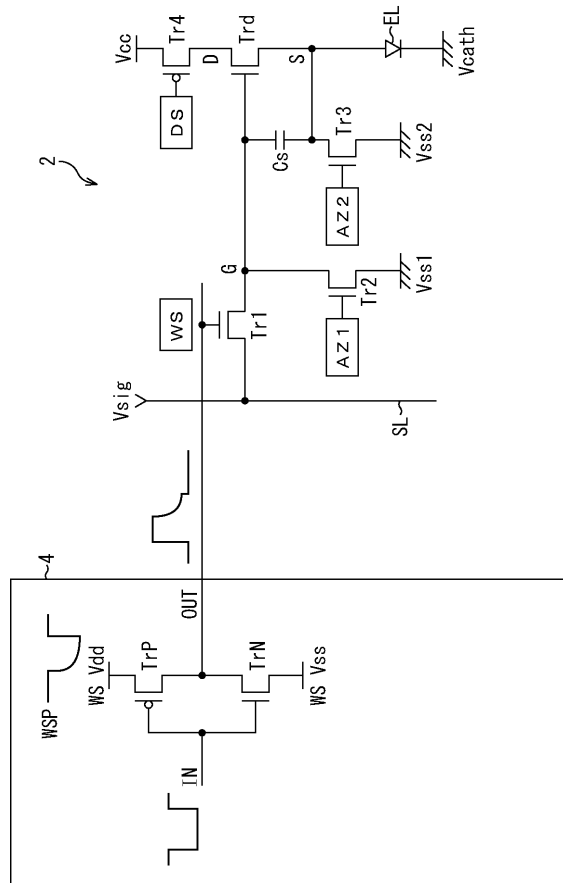
【図 10】



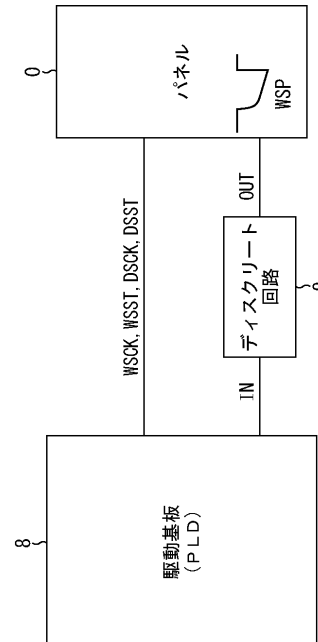
【図 11】



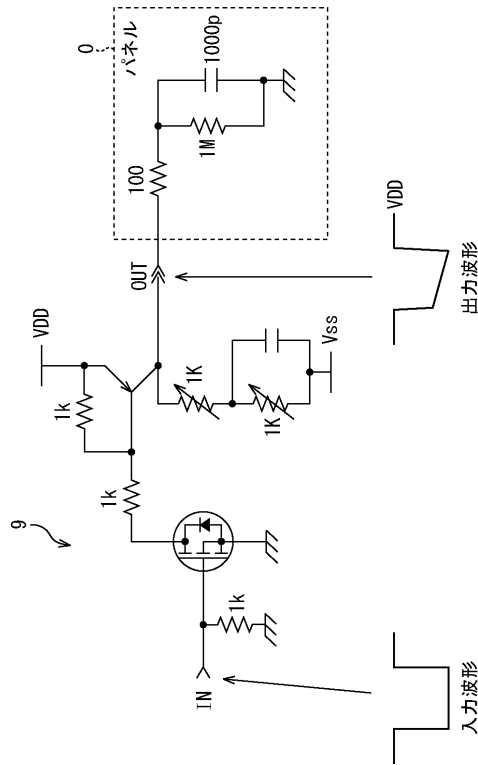
【図 12】



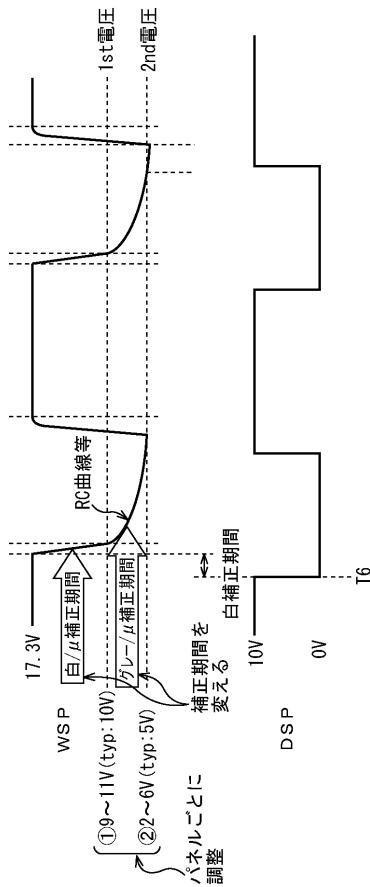
【図 13】



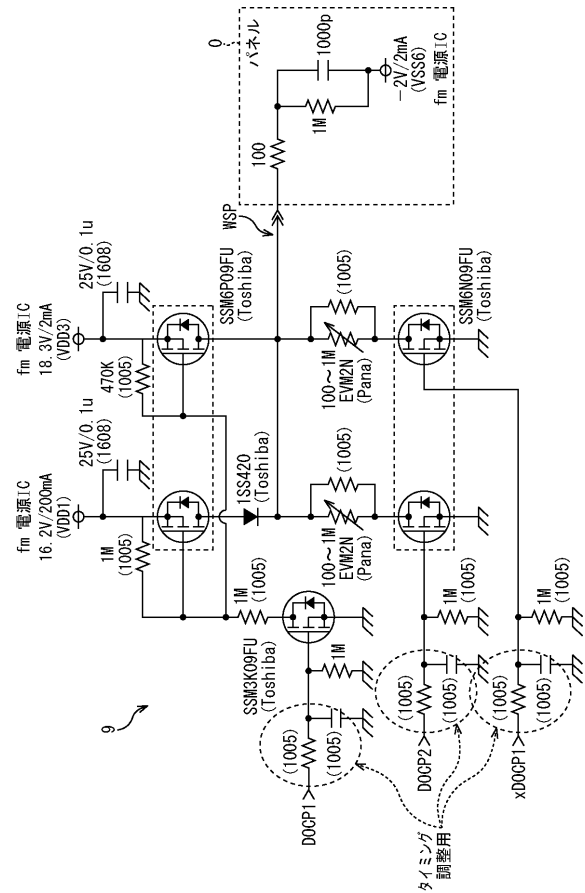
【図14】



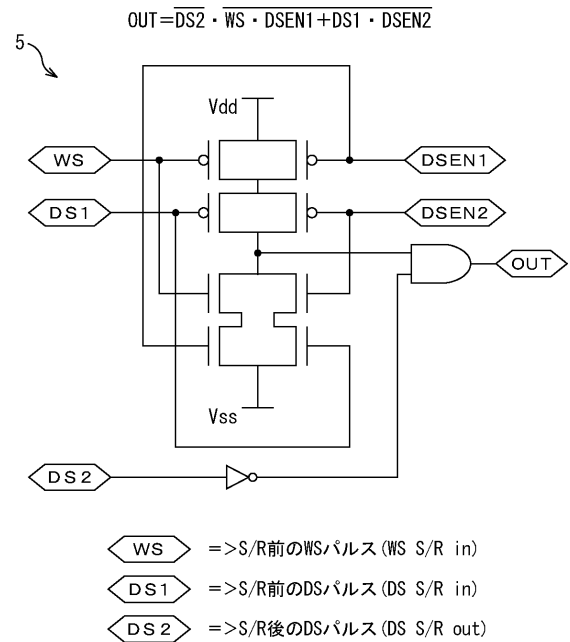
【図16】



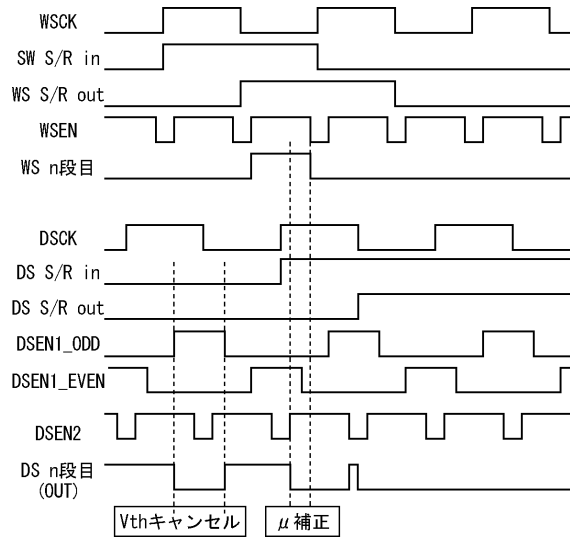
【図15】



【図17】



【図 18】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 4 B
	G 0 9 G	3/20	6 4 1 D
	G 0 9 G	3/20	6 4 2 A
	G 0 9 G	3/30	J
	G 0 9 G	3/30	K
	H 0 5 B	33/14	A

(72)発明者 豊村 直史
東京都品川区北品川6丁目7番35号 ソニー株式会社内

合議体
審判長 下中 義之
審判官 森 雅之
審判官 中塚 直樹

(56)参考文献 特許第4240068(JP, B2)
特許第3613253(JP, B2)
特開2004-295131(JP, A)
特許第3832415(JP, B2)
特許第3956347(JP, B2)
特許第4195337(JP, B2)
特開2004-93682(JP, A)
特開2005-173434(JP, A)
特許第4240059(JP, B2)
特許第4544355(JP, B2)
特許第4103850(JP, B2)
特開2005-172917(JP, A)
特許第4103851(JP, B2)
特許第4747528(JP, B2)
特許第4075505(JP, B2)
特許第4458084(JP, B2)
特許第4511128(JP, B2)
特許第4210243(JP, B2)
特許第4023335(JP, B2)
特許第4107101(JP, B2)
特許第3953383(JP, B2)

(58)調査した分野(Int.Cl., DB名)
G09G3

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP5027755B2	公开(公告)日	2012-09-19
申请号	JP2008200404	申请日	2008-08-04
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山下淳一 豊村直史		
发明人	内野 勝秀 山下 淳一 豊村 直史		
IPC分类号	G09G3/20 G09G3/30 H01L51/50		
FI分类号	G09G3/20.611.H G09G3/20.612.U G09G3/20.621.A G09G3/20.622.C G09G3/20.623.C G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/30.J G09G3/30.K H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB23 5C380/BA01 5C380/BA11 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB12 5C380/CB14 5C380/CB16 5C380/CB18 5C380/CB26 5C380/CB31 5C380/CB37 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC65 5C380/CC71 5C380/CC77 5C380/CD015 5C380/CD023 5C380/CD025 5C380/CE19 5C380/CF07 5C380/CF22 5C380/CF23 5C380/CF24 5C380/CF31 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA47 5C380/DA50		
代理人(译)	吉井正明 山本隆久 森浩一		
助理审查员(译)	森昌行 纳基·纳卡塔茨卡		
其他公开文献	JP2008310352A5 JP2008310352A		
外部链接	Espacenet		

摘要(译)

相对于像素的亮度级自适应地执行驱动晶体管的迁移率校正。像素2包括发光元件EL，采样晶体管Tr 1，驱动晶体管Trd和像素电容Cs。采样晶体管Tr 1的栅极连接到扫描线WS，其一个源极/漏极连接到信号线SL，另一个连接到驱动晶体管Trd的栅极。驱动晶体管Trd和发光元件EL串联连接在电源线Vcc和地线之间以形成电流路径。像素电容Cs连接在驱动晶体管Trd的栅极和发光元件EL之间。扫描器通过在关断采样晶体管Tr1在扫描线WS和提供控制信号的时间赋予倾斜的波形，加快，其中在像素电容器Cs所保持的亮度电平被关断作为高像素的采样晶体管的时间。 .The

$$I_{\text{sig}} = k(V_{\text{sig}} - V_{\text{th}})^2 = k(V_{\text{sig}} - V_{\text{th}})^2 \quad (3)$$