

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4049085号
(P4049085)

(45) 発行日 平成20年2月20日(2008.2.20)

(24) 登録日 平成19年12月7日(2007.12.7)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 K
G09G 3/20 (2006.01)	G09G 3/20 611H
H01L 51/50 (2006.01)	G09G 3/20 621A
	G09G 3/20 624B
	H05B 33/14 A

請求項の数 15 (全 22 頁)

(21) 出願番号 特願2003-381271 (P2003-381271)
 (22) 出願日 平成15年11月11日(2003.11.11)
 (65) 公開番号 特開2005-148134 (P2005-148134A)
 (43) 公開日 平成17年6月9日(2005.6.9)
 審査請求日 平成16年12月6日(2004.12.6)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 河西 利幸
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 審査官 一宮 誠

最終頁に続く

(54) 【発明の名称】 画素回路の駆動方法、画素回路および電子機器

(57) 【特許請求の範囲】

【請求項1】

画素回路の駆動方法において、

データ電流を可変に生成する可変電流源と第1のトランジスタとが電気的に分離され、かつ、データ線と前記第1のトランジスタとが電気的に接続されている状態において、ダイオード接続された前記第1のトランジスタのゲート電圧を、前記第1のトランジスタのしきい値電圧に応じたオフセット電圧に設定する第1のステップと、

前記可変電流源と前記第1のトランジスタとが電気的に接続されている状態において、前記オフセット電圧を基準に設定されるデータであって、かつ、前記可変電流源より前記データ線を介して供給された前記データ電流と当該データ電流の供給時間との積に応じたデータを、前記ダイオード接続された前記第1のトランジスタのゲートに接続されたキャパシタに書き込む第2のステップと、

前記キャパシタに自己のゲートが接続された第2のトランジスタによって、前記キャパシタに保持された前記データに応じた駆動電流を生成することにより、電気光学素子の輝度を設定する第3のステップと

を有することを特徴とする画素回路の駆動方法。

【請求項2】

画素回路の駆動方法において、

データ電流を可変に生成する可変電流源と第1のトランジスタとが電気的に分離され、かつ、データ線と前記第1のトランジスタとが電気的に接続されている状態において、ダ

イオード接続された前記第 1 のトランジスタのゲート電圧を、前記第 1 のトランジスタのしきい値電圧に応じたオフセット電圧に設定する第 1 のステップと、

前記可変電流源と前記第 1 のトランジスタとが電氣的に接続されている状態において、前記オフセット電圧を基準に設定されるデータであって、かつ、前記可変電流源より前記データ線を介して供給された前記データ電流と当該データ電流の供給時間との積に応じたデータを、前記ダイオード接続された前記第 1 のトランジスタのゲートに接続されたキャパシタに書き込む第 2 のステップと、

前記第 1 のトランジスタによって、前記キャパシタに保持された前記データに応じた駆動電流を生成することにより、電気光学素子の輝度を設定する第 3 のステップと
を有することを特徴とする画素回路の駆動方法。

10

【請求項 3】

前記第 1 のトランジスタおよび前記第 2 のトランジスタは、カレントミラー回路を構成する一対の異なるトランジスタであることを特徴とする請求項 1 に記載された画素回路の駆動方法。

【請求項 4】

前記第 1 のステップは、前記可変電流源と前記データ線との間に設けられたスイッチング素子をオフするステップを含み、

前記第 2 のステップは、前記スイッチング素子をオンするステップを含むことを特徴とする請求項 1 から 3 のいずれかに記載された画素回路の駆動方法。

【請求項 5】

前記データ線と容量結合した端子の電圧を可変に制御することにより、前記第 1 のステップにおいて設定された前記オフセット電圧を調整する第 4 のステップをさらに有することを特徴とする請求項 1 から 3 のいずれかに記載された画素回路の駆動方法。

20

【請求項 6】

前記第 4 のステップにおける前記オフセット電圧の変化量が、表示すべき階調に応じて、設定されることを特徴とする請求項 5 に記載された画素回路の駆動方法。

【請求項 7】

前記第 1 のステップにおける前記オフセット電圧の設定に先立ち、前記第 1 のトランジスタをオンさせる電圧レベルを有する所定の電圧を前記データ線に供給する第 5 のステップをさらに有することを特徴とする請求項 1 から 3 のいずれかに記載された画素回路の駆動方法。

30

【請求項 8】

画素回路において、

定常的、または、スイッチングトランジスタの導通制御によって選択的にダイオード接続されるとともに、データ線を介して可変電流源より供給されたデータ電流に応じて、データを生成する第 1 のトランジスタと、

前記第 1 のトランジスタのゲートに接続されているとともに、前記第 1 のトランジスタによって生成された前記データが書き込まれるキャパシタと、

前記キャパシタに自己のゲートが接続されているとともに、前記キャパシタに保持された前記データに応じて、駆動電流を生成する第 2 のトランジスタと、

40

前記第 2 のトランジスタによって生成された前記駆動電流に応じて、輝度が設定される電気光学素子とを有し、

前記第 1 のトランジスタは、

前記可変電流源から電氣的に分離され、かつ、データ線と電氣的に接続されている状態において、自己のゲート電圧を自己のしきい値電圧に応じたオフセット電圧に設定するとともに、

前記可変電流源に電氣的に接続されている状態において、前記オフセット電圧を基準に設定されるデータであって、かつ、前記可変電流源より前記データ線を介して供給された前記データ電流と当該データ電流の供給時間との積に応じたデータを、前記キャパシタに書き込むことを特徴とする画素回路。

50

【請求項 9】

画素回路において、

定常的、または、スイッチングトランジスタの導通制御によって選択的にダイオード接続されるとともに、データ線を介して可変電流源より供給されたデータ電流に応じて、データを生成する第 1 のトランジスタと、

前記第 1 のトランジスタのゲートに接続されているとともに、前記第 1 のトランジスタによって生成された前記データが書き込まれるキャパシタと、

前記キャパシタに保持された前記データに応じて、前記第 1 のトランジスタによって生成された駆動電流に応じて、輝度が設定される電気光学素子とを有し、

前記第 1 のトランジスタは、

前記可変電流源から電氣的に分離され、かつ、データ線と電氣的に接続されている状態において、自己のゲート電圧を自己のしきい値電圧に応じたオフセット電圧に設定するとともに、

前記可変電流源に電氣的に接続されている状態において、前記オフセット電圧を基準に設定されるデータであって、かつ、前記可変電流源より前記データ線を介して供給された前記データ電流と当該データ電流の供給時間との積に応じたデータを、前記キャパシタに書き込むことを特徴とする画素回路。

10

【請求項 10】

前記第 1 のトランジスタおよび前記第 2 のトランジスタは、カレントミラー回路を構成する一対の異なるトランジスタであることを特徴とする請求項 8 に記載された画素回路。

20

【請求項 11】

前記ゲート電圧を前記オフセット電圧に設定する期間において、前記可変電流源と前記データ線との間を電氣的に分離するとともに、前記キャパシタにデータを書き込む期間において、前記可変電流源と前記データ線との間を電氣的に接続するスイッチング回路をさらに有することを特徴とする請求項 8 から 10 のいずれかに記載された画素回路。

【請求項 12】

前記データ線と容量結合した端子の電圧を可変に制御することにより、前記オフセット電圧を調整するプリチャージ調整回路をさらに有することを特徴とする請求項 8 から 10 のいずれかに記載された画素回路。

【請求項 13】

前記プリチャージ調整回路は、表示すべき階調に応じて、前記オフセット電圧の変化量を制御することを特徴とする請求項 12 に記載された画素回路。

30

【請求項 14】

前記ゲート電圧を前記オフセット電圧に設定する期間に先立ち、前記第 1 のトランジスタをオンさせる電圧レベルを有する所定の電圧を前記データ線に供給するプリチャージ促進回路をさらに有することを特徴とする請求項 8 から 10 のいずれかに記載された画素回路。

【請求項 15】

請求項 8 から 14 に記載された画素回路によって構成された電気光学装置を実装したことを特徴とする電子機器。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素回路の駆動方法、画素回路および電子機器に係り、特に、電流プログラム方式における V_{th} 補償に関する。

【背景技術】

【0002】

近年、有機 EL (Electronic Luminescence) 素子を用いたディスプレイが注目されている。有機 EL 素子は、自己を流れる駆動電流に応じて輝度が設定される電流駆動型素子の一つである。有機 EL 素子を用いた画素へのデータ供給方法には、データ線に対するデ

50

ータの供給を電圧ベースで行う電圧プログラム方式と、データ線に対するデータの供給を電流ベースで行う電流プログラム方式とがある。電圧プログラム方式の問題の一つとして、駆動トランジスタのしきい値電圧（以下「 V_{th} 」という）に依存した駆動電流のばらつきが挙げられるが、これに対する対策も従来より提案されている。

【0003】

図17は、従来の電圧プログラム方式の画素回路図である。この画素回路は、有機EL素子OLED、キャパシタC1および3つのnチャネル型のトランジスタT1~T3を有し、トランジスタT3のゲートとソースとの間にキャパシタC1が設けられた構成になっている。この画素回路は、対向電極の電圧 V_{ca} を振ることによって、次のようなプロセスで動作する。まず、トランジスタT1をオフ、トランジスタT2をオンさせて、有機EL素子OLEDの陰極電圧を $V_{ca} = -1.8V$ に設定する。これにより、トランジスタT3がオンとなるため、有機EL素子OLEDの陽極側は $-V_{th}$ （ V_{th} はトランジスタT3のしきい値電圧）よりも低い電圧になり、キャパシタC1には V_{th} 以上の電圧が蓄積される。つぎに、トランジスタT2をオフさせてトランジスタT3のゲートをフローティング状態とした後、陰極電圧を $V_{ca} = 1.0V$ に設定して、有機EL素子OLEDに逆バイアスを印加する。これにより、トランジスタT3がオフするとともに、陰極電圧 V_{ca} の電圧変化を受けて、トランジスタT3のゲート電圧が V_{th} 以上になって、トランジスタT3が再びオンするため、有機EL素子OLEDの陽極側がほぼ $0V$ になる。この状態で、トランジスタT2をオンさせるとともに、陰極電圧を $V_{ca} = 0V$ に戻すと、有機EL素子OLEDの陽極側は、容量結合によって十分に低い電圧になった後に $-V_{th}$ に落ち着いて、 V_{th} がキャパシタC1に保持される。その後、トランジスタT1をオン、トランジスタT2をオフさせて、画素の階調を規定するデータ電圧を画素回路に供給する。有機EL素子OLEDの自己容量をキャパシタC1のそれよりも十分に大きく設定しておけば、陰極電圧が $V_{ca} = 0V$ の場合、有機EL素子OLEDの陽極側は、ほぼ $-V_{th}$ に維持され、キャパシタC1には $V_{th} + V_{data}$ が保持される。そして、トランジスタT1、T2を共にオフさせて、陰極電圧を $V_{ca} = -1.8V$ に設定する。キャパシタC1には $V_{th} + V_{data}$ が保持されているので、これに比例したチャネル電流（駆動電流）がトランジスタT3のチャネルを流れて、有機EL素子OLEDが発光する。このように、キャパシタC1に V_{th} を予め保持させた上で、 V_{th} を基準としたデータの書き込みを行うことにより、トランジスタT3の V_{th} のばらつきが補償され、 V_{th} に依存しない駆動電流を生成できる。

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、一般に、電流プログラム方式では、電圧プログラム方式とは異なり、駆動トランジスタの V_{th} に依存することなく均一な駆動電流を生成でき、これが電流プログラム方式を採用する利点の一つとなっている。ただし、その前提として、電流ベースで供給されたデータ（電流データ）の書き込みを、所定のデータ書込期間内に完全に終了することが条件となっている。そのため、この期間内にデータの書き込みが完全に終了しないケース、すなわち、データの書き込み不足が生じるケースでは、同一階調を表示する際、 V_{th} のばらつきに依存して、本来同一となるべき駆動電流が駆動トランジスタ毎に異なってしまう。このようなケースとしては、例えば、大型ディスプレイのように、データ線の寄生容量が非常に大きい場合、高解像度ディスプレイのように、走査線の数が多く、データ書込期間を十分に確保できない場合、或いは、画素にプログラムすべき電流が非常に小さい場合（有機EL素子の高効率化、燐光材料の使用時）等が挙げられる。また、これらのケース以外にも、コントラスト比の確保を優先する場合には、設計仕様として、低階調領域における書き込み不足をある程度容認した上で、プログラムすべき電流の範囲を広く設定することもある。

【0005】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、電流プログラム方式を用いた画素回路において、 V_{th} に依存した駆動電流のばらつきを抑制することである。

【課題を解決するための手段】

【0006】

かかる課題を解決するために、第1の発明は、画素回路の駆動方法を提供する。この駆動方法は、データ電流を可変に生成する可変電流源と第1のトランジスタとが電氣的に分離されている状態において、ダイオード接続された第1のトランジスタのゲート電圧を、第1のトランジスタのしきい値電圧に応じたオフセット電圧に設定する第1のステップと、可変電流源と第1のトランジスタとが電氣的に接続されている状態において、オフセット電圧を基準に設定されるデータであって、かつ、可変電流源よりデータ線を介して供給されたデータ電流とその供給時間との積に応じたデータを、ダイオード接続された第1のトランジスタのゲートに接続されたキャパシタに書き込む第2のステップと、キャパシタに自己のゲートが接続された第2のトランジスタによって、キャパシタに保持されたデータに応じた駆動電流を生成することにより、電気光学素子の輝度を設定する第3のステップとを有する。

10

【0007】

第1の発明において、第1のトランジスタは、第2のトランジスタと同一のトランジスタであってもよい。また、第1のトランジスタおよび第2のトランジスタは、カレントミラー回路を構成する一対の異なるトランジスタであってもよい。

【0008】

第1の発明において、第1のステップは、可変電流源とデータ線との間に設けられたスイッチング素子をオフするステップを含み、第2のステップは、スイッチング素子をオンするステップを含むことが好ましい。また、第1の発明において、データ線と容量結合した端子の電圧を可変に制御することにより、第1のステップにおいて設定されたオフセット電圧を調整する第4のステップをさらに設けてもよい。この場合、第4のステップにおけるオフセット電圧の変化量が、表示すべき階調に応じて設定されることが好ましい。また、第1のステップにおけるオフセット電圧の設定に先立ち、第1のトランジスタをオンさせる電圧レベルを有する所定の電圧をデータ線に供給する第5のステップをさらに設けてもよい。

20

【0009】

第2の発明は、定常的、または、スイッチングトランジスタの導通制御によって選択的にダイオード接続されるとともに、データ線を介して可変電流源より供給されたデータ電流に応じて、データを生成する第1のトランジスタと、第1のトランジスタのゲートに接続されているとともに、第1のトランジスタによって生成されたデータが書き込まれるキャパシタと、キャパシタに自己のゲートが接続されているとともに、キャパシタに保持されたデータに応じて、駆動電流を生成する第2のトランジスタと、第2のトランジスタによって生成された駆動電流に応じて、輝度が設定される電気光学素子とを有する画素回路を提供する。ここで、第1のトランジスタは、可変電流源から電氣的に分離されている状態において、自己のゲート電圧を自己のしきい値電圧に応じたオフセット電圧に設定する。それとともに、第1のトランジスタは、可変電流源に電氣的に接続されている状態において、オフセット電圧を基準に設定されるデータであって、かつ、可変電流源よりデータ線を介して供給されたデータ電流とその供給時間との積に応じたデータを、キャパシタに書き込む。

30

40

【0010】

第2の発明において、第1のトランジスタは、第2のトランジスタと同一のトランジスタであってもよいし、第1のトランジスタおよび第2のトランジスタが、カレントミラー回路を構成する一対の異なるトランジスタであってもよい。

【0011】

第2の発明において、ゲート電圧をオフセット電圧に設定する期間において、可変電流源とデータ線との間を電氣的に分離するとともに、キャパシタにデータを書き込む期間において、可変電流源とデータ線との間を電氣的に接続するスイッチング回路を追加してもよい。また、データ線と容量結合した端子の電圧を可変に制御することにより、オフセッ

50

ト電圧を調整するプリチャージ調整回路を追加してもよい。この場合、プリチャージ調整回路は、表示すべき階調に応じ、記オフセット電圧の変化量を制御することが好ましい。さらに、ゲート電圧をオフセット電圧に設定する期間に先立ち、第1のトランジスタをオンさせる電圧レベルを有する所定の電圧をデータ線に供給するプリチャージ促進回路を追加してもよい。

【0012】

第3の発明は、上述した第2の発明にかかる画素回路によって構成された電気光学装置を実装した電子機器を提供する。

【発明の効果】

【0013】

本発明では、第1のトランジスタのゲート電圧をオフセット電圧に予め設定した上で、キャパシタへのデータ書き込みが電流プログラム方式によって行われる。書き込まれるデータは、先に設定されたオフセット電圧を基準とし、かつ、データ電流とその供給時間との積に応じて設定される。これにより、キャパシタに保持されたデータに基づき駆動電流を生成する際、駆動電流の V_{th} 依存性を低減できる。その結果、データの書き込み不足が生じるケースであっても、均一な駆動電流を生成でき、電気光学素子を所望の輝度に設定することが可能になる。

【発明を実施するための最良の形態】

【0014】

(第1の実施形態)

図1は、本実施形態にかかる電気光学装置のブロック構成図である。表示部1は、例えばTFT(Thin Film Transistor)によって電気光学素子を駆動するアクティブマトリクス型の表示パネルである。この表示部1には、 m ドット $\times n$ ライン分の画素群がマトリクス状(二次元平面的)に並んでいる。表示部1には、それぞれが水平方向に延在している走査線群 $Y_1 \sim Y_n$ と、それぞれが垂直方向に延在しているデータ線群 $X_1 \sim X_m$ とが設けられており、これらの交差に対応して画素2が配置されている。なお、モノクロパネルでは、1つの画素2が後述する1つの画素回路に対応するが、カラーパネルのように、1つの画素2がRGBの3つのサブ画素で構成されている場合には、1つのサブ画素が1つの画素回路に対応する。また、後述する画素回路の構成との関係で、図1に示した1つの走査線 Y が1本の走査線を指す場合(図11)と、複数本の走査線のセットを指す場合(図2、図5、図7、図9、図14)とがある。

【0015】

制御回路5は、図示しない上位装置より入力される垂直同期信号 V_s 、水平同期信号 H_s 、ドットクロック信号 $DCLK$ および階調データ D 等に基づいて、走査線駆動回路3、データ線駆動回路4およびスイッチング回路6を同期制御する。この同期制御の下、これらの回路3, 4, 6は互いに協働して、表示部1の表示制御を行う。

【0016】

走査線駆動回路3は、シフトレジスタ、出力回路等を主体に構成されており、走査線 $Y_1 \sim Y_n$ に走査信号 SEL を出力することによって、走査線 $Y_1 \sim Y_n$ の線順次走査を行う。走査信号 SEL は、高電位レベル(以下「Hレベル」という)または低電位レベル(以下「Lレベル」という)の2値的な信号レベルをとり、データの書込対象となる画素行に対応する走査線 Y はHレベル、これ以外の走査線 Y はLレベルにそれぞれ設定される。走査線駆動回路3は、1フレームの画像を表示する期間(1F)毎に、所定の選択順序で(一般的には最上から最下に向かって)、それぞれの走査線 Y を順番に選択する線順次走査を行う。一方、データ線駆動回路4は、シフトレジスタ、ラインラッチ回路、出力回路等を主体に構成されている。本実施形態では電流プログラム方式を採用しているため、データ線駆動回路4は、画素2の表示階調を規定する階調データに基づいて、データ電流 I_{data} を可変に生成する可変電流源(図2の4a)を含む。データ線駆動回路4は、1本の走査線 Y を選択する期間に相当する1水平走査期間(1H)において、今回データを書き込む画素行に対するデータ電流 I_{data} の一斉出力と、次の1Hで書き込みを行う画素行に關す

10

20

30

40

50

るデータの点順次的なラッチとを同時に行う。ある1Hにおいて、データ線Xの本数に相当するm個のデータが順次ラッチされる。そして、次の1Hにおいて、ラッチされたm個のデータは、可変電流源において電流データI_{data}に変換された上で、対応するデータ線X₁~X_mに一斉に出力される。また、スイッチング回路6は、個々のデータ線X₁~X_mに対応したm個のスイッチング素子、具体的には、m個のスイッチングトランジスタT6で構成されている。データ線単位で設けられたこれらのトランジスタT6は、一例としてnチャンネル型のトランジスタであり、制御回路5から出力された単一のスイッチング信号S_{WS}によって、共通に導通制御される。この導通制御は、走査線駆動回路3による線順次走査と同期して行われる。

【0017】

図2は、本実施形態にかかる電流プログラム方式の画素回路図である。1つの画素2は、有機EL素子OLED、能動素子である4つのトランジスタT1~T4、および、データを保持するキャパシタC1で構成されている。ダイオードとして表記された有機EL素子OLEDは、自己を流れる駆動電流I_{oled}によって輝度が設定される典型的な電流駆動型素子である。この構成例では、nチャンネル型のトランジスタT1, T2, T4とpチャンネル型のトランジスタT3とが用いられているが、これは一例にすぎず、これとは異なる組み合わせでチャンネル型を設定してもよい。また、画素2に接続されたデータ線Xと、データ線駆動回路4の一部を構成する可変電流源4aとの間には、データ線単位で設けられた単一のスイッチングトランジスタT6が接続されている。本明細書では、ソース、ドレインおよびゲートを備える三端子型素子であるトランジスタに関して、ソースまたはドレインの一方を「一方の端子」と呼び、他方を「他方の端子」と呼ぶ。

【0018】

スイッチングトランジスタT1のゲートは、第1の走査信号SEL1が供給される1本の走査線に接続され、その一方の端子は、データ電流I_{data}が供給される1本のデータ線Xに接続されている。このスイッチングトランジスタT1の他方の端子は、スイッチングトランジスタT2の一方の端子、駆動トランジスタT3の一方の端子およびスイッチングトランジスタT4の一方の端子に共通接続されている。スイッチングトランジスタT2のゲートは、スイッチングトランジスタT1と同様に、第1の走査信号SEL1が供給される走査線に接続されている。このスイッチングトランジスタT2の他方の端子は、キャパシタC1の一方の電極および駆動トランジスタT3のゲートが共通接続されたノードNgに接続されている。キャパシタC1の他方の電極と駆動トランジスタT3の他方の端子とは、電源電圧V_{dd}が常時供給されたV_{dd}端子が接続されている。第2の走査信号SEL2がゲートに供給されるスイッチングトランジスタT4は、駆動トランジスタT3の一方の端子と有機EL素子OLEDのアノード（陽極）との間に設けられている。この有機EL素子OLEDのカソード（陰極）には、電源電圧V_{dd}よりも低い基準電圧V_{ss}が常時供給されたV_{ss}端子に接続されている。なお、この構成例において、駆動トランジスタT3は、駆動電流I_{oled}を生成する駆動素子としての本来の機能のみならず、データ電流I_{data}に応じたデータをキャパシタC1に書き込むプログラミング素子としての機能も兼ね備えている。

【0019】

図3は、図2に示した画素回路の動作タイミングチャートである。上述した1Fに相当する期間t₀~t₃における一連の動作プロセスは、最初の期間t₀~t₁におけるプリチャージプロセス、これに続く期間t₁~t₂におけるデータ書込プロセス、および最後の期間t₂~t₃における駆動プロセスとに大別される。

【0020】

まず、プリチャージ期間t₀~t₁では、画素2の内部で完結するプリチャージが行われ、このプリチャージによって、駆動トランジスタT3のV_{th}補償が行われる。具体的には、第1の走査信号SEL1がHレベルになって、スイッチングトランジスタT1, T2が共にオンする。これにより、データ線Xと駆動トランジスタT3の一方の端子（ドレイン）とが電氣的に接続されるとともに、駆動トランジスタT3は、自己のゲートと自己のドレインとが電氣的に接続されたダイオード接続となる。この期間t₀~t₁では、スイッチン

10

20

30

40

50

グ信号 SWS が L レベルで、スイッチングトランジスタ $T6$ がオフしているため、画素 2 内のノード Ng と可変電流源 $4a$ とは、未だ電氣的に分離されたままになっている。また、第 2 の走査信号 $SEL2$ が L レベルになって、スイッチングトランジスタ $T4$ がオフする。これにより、図 4 (a) に示すように、ノード Ng と可変電流源 $4a$ とが電氣的に分離されている状態において、 Vdd 端子の電源電圧 Vdd によって、キャパシタ $C1$ とデータ線 X とのプリチャージが行われる。このプリチャージによって、ノード Ng の電圧、すなわち、駆動トランジスタ $T3$ のゲート電圧 Vg はオフセット電圧 ($Vdd - Vth$) に設定され、その電圧レベルは、駆動トランジスタ $T3$ のしきい値電圧 Vth によって一義的に決定される。このように、データの書き込みに先立ち、ノード Ng の電圧 Vg を、先の 1 F の駆動プロセスで書き込まれたデータに依存した電圧レベルから、プリチャージレベルに相当するオフセット電圧 ($Vdd - Vth$) に強制的にオフセットさせる (Vth 補償)。なお、この期間 $t0 \sim t1$ では、スイッチングトランジスタ $T4$ がオフしているため、有機 EL 素子 OLED は発光しない。

【 0 0 2 1 】

つぎに、データ書込期間 $t1 \sim t2$ では、先のプリチャージ期間 $t0 \sim t1$ にて設定されたオフセット電圧 ($Vdd - Vth$) を基準に、キャパシタ $C1$ に対するデータの書き込みが行われる。この期間 $t1 \sim t2$ における走査信号 $SEL1$, $SEL2$ のレベルは、プリチャージ期間 $t0 \sim t1$ の場合と同様であるから、スイッチングトランジスタ $T1$, $T2$ はオン、スイッチングトランジスタ $T4$ はオフのままである。また、タイミング $t1$ において、スイッチング信号 SWS が H レベルに立ち上がり、オフしていたスイッチングトランジスタ $T6$ がオンに切り替わる。これにより、図 4 (b) に示すように、ノード Ng と可変電流源 $4a$ とが電氣的に接続される。その結果、データ電流 $Idata$ の経路が形成され、この経路は、 Vdd 端子、駆動トランジスタ $T3$ のチャンネル、可変電流源 $4a$ の順序になる (正確には、スイッチングトランジスタ $T1$, $T6$ のチャンネルも含まれる)。ノード Ng の電圧 Vg は、数式 1 に基づいて算出される。

(数式 1)

$$Vg = Vdd - Vth - \frac{V}{C}$$

$$V = (Idata \cdot t) / C$$

【 0 0 2 2 】

ここで、 $Idata$ は、可変電流源 $4a$ によって生成されたデータ電流 $Idata$ の電流レベルであり、 t は、データ書込期間 $t1 \sim t2$ における時間、すなわち、データ電流 $Idata$ の供給時間である。また、係数 C は、データ線 X の配線容量とキャパシタ $C1$ の容量とを含む、データ電流 $Idata$ の駆動経路に関する総容量である。同数式から分かるように、電圧 Vg は、オフセット電圧 ($Vdd - Vth$) を基準として V だけ変動し、この V は、データ電流 $Idata$ と、その供給時間 t との積に応じて一義的に特定される。そして、キャパシタ $C1$ には、この電圧 Vg に相当する電荷がデータとして書き込まれる。なお、この期間 $t1 \sim t2$ では、先のプリチャージ期間 $t0 \sim t1$ と同様に、スイッチングトランジスタ $T4$ がオフのままであるから、有機 EL 素子 OLED は発光しない。

【 0 0 2 3 】

そして、駆動期間 $t2 \sim t3$ では、駆動トランジスタ $T3$ のチャンネル電流に相当する駆動電流 $Ioled$ が有機 EL 素子 OLED に供給され、有機 EL 素子 OLED が発光する。具体的には、第 1 の走査信号 $SEL1$ およびスイッチング信号 SWS が L レベルに立ち下がり、スイッチングトランジスタ $T1$, $T2$, $T6$ が共にオフする。これにより、ノード Ng は可変電流源 $4a$ から電氣的に分離されるが、この分離後も、駆動トランジスタ $T3$ のゲートには、キャパシタ $C1$ に保持されたデータに応じた電圧が印加され続ける。そして、第 1 の走査信号 $SEL1$ の立ち下がりとは「同期」して、第 2 の走査信号 $SEL2$ が H レベルに立ち上がる。本明細書では、「同期」という用語を、同一タイミングである場合のみならず、設計上のマージン等の理由で時間的なオフセットを許容する意味で用いている。これにより、図 4 (c) に示すように、 Vdd 端子、駆動トランジスタ $T3$ のチャンネル、有機 EL 素子 OLED、 Vss 端子の順の経路で、駆動電流 $Ioled$ が流れる。駆動トランジスタ $T3$ が飽和領域で

10

20

30

40

50

動作することを前提として、有機EL素子OLEDを流れる駆動電流 I_{oled} (駆動トランジスタT3のチャネル電流 I_{sd}) は、数式2に基づいて算出される。同数式において、 V_{sg} は、駆動トランジスタT3のゲート-ソース間電圧である。また、利得係数は、駆動トランジスタT3のキャリアの移動度 μ 、ゲート容量 A 、チャネル幅 W 、チャネル長 L より一義的に特定される係数である ($= \mu A W / L$)。

(数式2)

$$I_{oled} = I_{sd} \\ = 1/2 (V_{sg} - V_{th})^2$$

【0024】

ここで、駆動トランジスタT3のゲート電圧として数式1で算出された V_g を代入すると、数式2は数式3のように変形できる。

10

(数式3)

$$I_{oled} = 1/2 (V_s - V_g - V_{th})^2 \\ = 1/2 \{V_{dd} - (V_{dd} - V_{th} - V) - V_{th}\}^2 \\ = 1/2 \cdot V^2 \\ = 1/2 (I_{data} \cdot t / C)^2$$

【0025】

数式3において留意すべきは、数式の変形過程で V_{th} が相殺される点であり、これは、駆動トランジスタT3によって生成される駆動電流 I_{oled} が V_{th} に依存しないことを意味する。有機EL素子OLEDの発光輝度は、データ電流 I_{data} とその供給時間 t との積に応じた駆動電流 I_{oled} により一義的に決定され、これによって、画素2の階調が設定される。

20

【0026】

このように、本実施形態では、データの書き込みに先立つプリチャージにおいて、ノード N_g をオフセット電圧 ($V_{dd} - V_{th}$) に設定した上で、データ電流 I_{data} と供給時間 t との積に応じたデータをキャパシタ C_1 に書き込む。一般に、 V_{th} のばらつきは、 t や C のそれよりも大きいので、 V_{th} 補償を行うことにより、表示部1における個々の駆動トランジスタT3の特性がばらついていても、それぞれの画素2内におけるプリチャージのかかり度合いが同等になる。その結果、上述したようなデータの書き込み不足が生じるケースであっても、 V_{th} に依存した駆動電流のばらつきを抑制でき、表示品質の一層の向上を図ることが可能になる。

30

【0027】

また、本実施形態によれば、プリチャージ用の特別な回路を画素2の外部に追加することなく、画素2の内部で完結するプリチャージを行うことが可能である。これは、回路構成の簡略化または低消費電力化を図る上で有利である。

【0028】

(第2の実施形態)

本実施形態は、上述した第1の実施形態の基本構成をベースとして、表示すべき階調に応じて、プリチャージレベルに相当するオフセット電圧 ($V_{dd} - V_{th}$) を調整する手法に関する。図5は、本実施形態にかかる画素回路図である。この画素回路の特徴は、図2に示した画素回路にプリチャージ調整回路7を追加した点にあり、それ以外の点については図2の構成と同様であるので、ここでの説明を省略する。プリチャージ調整回路7は、キャパシタ C_2 と、出力電圧 V_p を可変に設定する電圧変更回路7aとで構成されている。キャパシタ C_2 の一方の電極には、スイッチング回路6の一部を構成するスイッチングトランジスタT6の一方の端子と可変電流源4aとの接続端が接続されている。また、キャパシタ C_2 の他方の電極には、電圧変更回路7aの出力端子が接続されており、この出力端子の電圧 V_p は、階調に応じて電圧レベルが可変に制御される。

40

【0029】

図6は、図5に示した画素回路の動作タイミングチャートである。1Fに相当する期間 $t_0 \sim t_3$ は、プリチャージ期間 $t_0 \sim t_1$ 、プリチャージ調整期間 $t_1 \sim t_1'$ 、データ書込

50

期間 $t1' \sim t2$ および駆動期間 $t2 \sim t3$ に大別される。第 1 の実施形態との相違は、プリチャージ期間 $t0 \sim t1$ とデータ書込期間 $t1' \sim t2$ との間に、プリチャージ調整期間 $t1 \sim t1'$ を設けた点であり、それ以外の点については、基本的に第 1 の実施形態と同様である。可変電流源 4 a は、データ書込期間 $t1' \sim t2$ においてデータ電流 I_{data} をデータ線 X へ出力し、それ以外の期間（同図において斜線でハッチングされた期間）では、ハイインピーダンス状態、すなわち、画素 2 から電氣的に分離された状態に設定される。

【 0 0 3 0 】

まず、プリチャージ期間 $t0 \sim t1$ では、第 1 の走査信号 $SEL1$ が H レベルになって、駆動トランジスタ T3 がダイオード接続されるとともに、データ線 X とノード Ng とが電氣的に接続される。また、この期間 $t0 \sim t1$ では、スイッチング信号 SW_S が L レベルで、
10
スイッチングトランジスタ T6 がオフしているため、データ線 X は可変電流源 4 a およびプリチャージ調整回路 7 から電氣的に分離されている。これにより、キャパシタ C1 およびデータ線 X がプリチャージされ、ノード Ng の電圧 V_g およびデータ線 X の電圧 V_x は、プリチャージレベルとしてオフセット電圧 ($V_{dd} - V_{th}$) に設定される。

【 0 0 3 1 】

次のプリチャージ調整期間 $t1 \sim t1'$ では、第 1 の走査信号 $SEL1$ が一時的に L レベルになって、スイッチングトランジスタ T1, T2 が共にオフするとともに、スイッチング信号 SW_S が H レベルになって、スイッチングトランジスタ T6 がオンする。この期間 $t1' \sim t1$ では、可変電流源 4 a をハイインピーダンス状態に維持した上で、プリチャージ調整回路 7 によって、先に設定されたプリチャージレベル ($V_{dd} - V_{th}$) の調整が行われる
20

。具体的には、この期間 $t1 \sim t1'$ 内のあるタイミングにおいて、プリチャージ調整回路 7 の一部である電圧変更回路 7 a は、出力電圧 V_p を現在の電圧レベルからステップ的に V_p だけ低下させる。これにより、キャパシタ C2 と比較してデータ線 X の配線容量が十分に大きいことを前提に、キャパシタ C2 を介して容量結合したデータ線 X の電圧 V_x は、先に設定されたオフセット電圧 ($V_{dd} - V_{th}$) を基準に V_p だけ低下する ($V_x = V_{dd} - V_{th} - V_p$)。ここで、プリチャージレベルの調整量に相当する V_p は、今回表示すべき画素 2 の階調に応じて可変に設定される。すなわち、データ電流 I_{data} が比較的低電流になる低階調時には、 V_p を小さくして、データ線 X の電圧 V_x (プリチャージレベル) を高く設定する。これにより、続くデータの書き込みプロセスにおいて、データ線 X およびキャパシタ C1 をチャージするのに要する負担を軽減し、データの書き込み不足の抑制
30
を図る。一方、データ電流 I_{data} が比較的大電流になる高階調時には、低階調時よりも V_p を大きくして、プリチャージレベルを低く設定する。

【 0 0 3 2 】

続くデータ書込期間 $t1' \sim t2$ では、第 1 の走査信号 $SEL1$ が再び立ち上がり、ノード Ng と可変電流源 4 a とが電氣的に接続されて、オフセット電圧 ($V_{dd} - V_{th}$) を基準としたデータの書き込みが行われる。これにより、データ線 X の電圧 V_x は、先に設定された電圧 ($V_{dd} - V_{th} - V_p$) を基準として、データ電流 I_{data} に依存した電圧値 V だけ上昇または下降する ($V_x = V_{dd} - V_{th} - V_p + V$)。そして、駆動期間 $t2 \sim t3$ では、駆動トランジスタ T3 によって生成された駆動電流 I_{oled} が有機 EL 素子 OLED を流れて、有機 EL 素子 OLED が発光する。第 1 の実施形態と同様に、駆動電流 I_{oled} は、データ
40
電流 I_{data} とその供給時間 t との積に応じて一義的に特定され、駆動トランジスタ T3 の V_{th} には依存しない。

【 0 0 3 3 】

このように、本実施形態によれば、第 1 の実施形態と同様に、駆動トランジスタ T3 の V_{th} に依存した駆動電流 I_{oled} のばらつきを抑制できる。また、本実施形態では、表示すべき画素 2 の階調に応じて、プリチャージレベルを調整している。これにより、データの書き込み不足を招くことなく、全ての階調領域に亘って、データの書き込みを効率的に行えるという効果もある。なお、本実施形態において、プリチャージレベルの調整を表示すべき画素 2 の階調に関係なく設定する、すなわち、単にオフセット電圧の値を変化させるよう機能させてもよい。その場合、プリチャージ調整回路 7 が簡略化される。
50

【 0 0 3 4 】

なお、本実施形態において説明したプリチャージの調整手法は、後述する第5および第6の実施形態にかかる画素回路に対しても同様に適用可能である。

【 0 0 3 5 】

(第3の実施形態)

本実施形態は、上述した第1の実施形態の基本構成をベースとして、プリチャージを促進する手法に関する。図7は、本実施形態にかかる画素回路図である。この画素回路の特徴は2つある。第1に、図2に示した画素回路にプリチャージ促進回路8を追加した点にある。このプリチャージ促進回路8は、所定の電圧 V_b を出力する回路である。この出力電圧 V_b は、上述したオフセット電圧($V_{dd} - V_{th}$)の近傍が好ましいが、駆動トランジスタ T_3 をオンさせる電圧、すなわち、($V_{dd} - V_{th}$)以下であればよい。第2に、スイッチング回路6を2つのスイッチングトランジスタ群 T_6 、 T_7 で構成した点である。一方のスイッチングトランジスタ T_6 は、データ線 X と可変電流源4aとの間に設けられており、第1のスイッチング信号 SW_S1 によって導通制御される。また、他方のスイッチングトランジスタ T_7 は、データ線 X とプリチャージ促進回路8との間に設けられており、第2のスイッチング信号 SW_S2 によって導通制御される。

10

【 0 0 3 6 】

図8は、図7に示した画素回路の動作タイミングチャートである。1Fに相当する期間 $t_0 \sim t_3$ は、プリチャージ促進期間 $t_0 \sim t_0'$ 、プリチャージ期間 $t_0' \sim t_1$ 、データ書込期間 $t_1 \sim t_2$ および駆動期間 $t_2 \sim t_3$ に大別される。第1の実施形態との相違は、プリチャージ期間 $t_0' \sim t_1$ に先立ち、プリチャージ促進期間 $t_0 \sim t_0'$ を設けた点であり、それ以外の点は、基本的に第1の実施形態と同様である。

20

【 0 0 3 7 】

まず、プリチャージ促進期間 $t_0 \sim t_0'$ では、第1の走査信号 SEL_1 および第1のスイッチング信号 SW_S1 がLレベルであり、スイッチングトランジスタ T_1 、 T_2 、 T_6 が共にオフする。したがって、データ線 X は、ノード Ng および可変電流源4aから電氣的に分離される。この状態で、第2のスイッチング信号 SW_S2 がHレベルになり、スイッチングトランジスタ T_7 がオンする。これにより、プリチャージ促進回路8からの出力電圧 V_b がデータ線 X に供給され、データ線 X がプリチャージされる。プリチャージの促進プロセスを設けない場合、プリチャージ期間 $t_0 \sim t_1$ におけるプリチャージ動作は、駆動トランジスタ T_3 のオフ電流に近い電流値で行われ、プリチャージにある程度の時間を必要とする。そこで、本実施形態では、プリチャージに先立ち駆動トランジスタ T_3 をオンさせるべく、出力電圧 V_b をデータ線 X に供給する。これにより、駆動トランジスタ T_3 のドレイン電圧がオフセット電圧($V_{dd} - V_{th}$)に近い値に設定され、続くプリチャージ期間 $t_0' \sim t_1$ におけるプリチャージ動作を補助・促進できる。

30

【 0 0 3 8 】

それ以降の動作は、第1の実施形態と同様であるので、ここでは概略的な説明に留める。プリチャージ期間 $t_0' \sim t_1$ では、ダイオード接続された駆動トランジスタ T_3 によるプリチャージが行われ、ノード Ng の電圧 V_g がオフセット電圧($V_{dd} - V_{th}$)に設定される。データ書込期間 $t_1 \sim t_2$ では、先のプリチャージ期間 $t_0 \sim t_1$ にて設定されたオフセット電圧($V_{dd} - V_{th}$)を基準に、データ電流 I_{data} とその供給時間 t との積に応じたデータの書き込みが行われる。そして、駆動期間 $t_2 \sim t_3$ では、駆動トランジスタ T_3 の V_{th} に依存しない駆動電流 I_{oled} が有機EL素子OLEDを流れて、有機EL素子OLEDが発光する。

40

【 0 0 3 9 】

このように、本実施形態によれば、上述した各実施形態と同様に、駆動トランジスタ T_3 の V_{th} に依存した駆動電流 I_{oled} のばらつきを抑制できる。また、本実施形態では、プリチャージに先立ち、駆動トランジスタ T_3 をオンさせるプロセスを追加している。これにより、続くプリチャージを比較的短時間で完了できるので、一連の動作プロセスにおける時間的制約の緩和を図ることができる。

50

【0040】

なお、本実施形態において説明したプリチャージの促進手法は、後述する第5および第6の実施形態にかかる画素回路に対しても同様に適用可能である。ただし、第6の実施形態に適用する場合、プリチャージ促進回路8の出力電圧 V_b をオフセット電圧($V_1 + V_{th}$)近傍に設定することが好ましい。

【0041】

(第4の実施形態)

本実施形態は、図1に示したスイッチング回路6を設けることなく、第1の実施形態と同様の動作を実現するものである。図9は、本実施形態にかかる画素回路図である。この構成例は、図2に示したスイッチングトランジスタ T_6 をなくし、その代わりに、画素2 10
内のスイッチングトランジスタ T_1 、 T_2 を別個の走査信号 S_{EL1a} 、 S_{EL1b} で制御する点に特徴がある。なお、これ以外の点については、第1の実施形態と同様であるから、ここでの説明を省略する。

【0042】

図10は、図9に示した画素回路の動作タイミングチャートである。1Fに相当する期間 $t_0 \sim t_3$ は、プリチャージ期間 $t_0 \sim t_1$ 、データ書込期間 $t_1 \sim t_2$ および駆動期間 $t_2 \sim t_3$ に大別される。第1の実施形態と相違する点は、プリチャージの終了タイミング t_1 (換言すれば、データ書き込みの開始タイミング)が、走査信号 S_{EL1b} の立ち上がりによって規定される点である。

【0043】

まず、プリチャージ期間 $t_0 \sim t_1$ では、走査信号 S_{EL1a} がHレベルで、スイッチングトランジスタ T_2 がオンするため、駆動トランジスタ T_3 がダイオード接続される。しかしながら、この期間 $t_0 \sim t_1$ では、走査信号 S_{EL1b} がLレベルで、スイッチングトランジスタ T_1 がオフであるから、ノード N_g は可変電流源4aから電氣的に分離されたままである。その結果、ノード N_g がオフセット電圧($V_{dd} - V_{th}$)になるまで、キャパシタ C_1 のプリチャージが行われる。続くデータ書込期間 $t_1 \sim t_2$ では、走査信号 S_{EL1b} がHレベルに立ち上がり、ノード N_g と可変電流源4aとが電氣的に接続されて、オフセット電圧($V_{dd} - V_{th}$)を基準としたデータの書き込みが行われる。そして、駆動期間 $t_2 \sim t_3$ では、駆動トランジスタ T_3 において生成された駆動電流 I_{oled} が有機EL素子OLEDを流れ、有機EL素子OLEDが発光する。第1の実施形態と同様に、駆動電流 I_{oled} は、データ電流 I_{data} とその供給時間 t との積に応じて決定され、駆動トランジスタ T_3 の V_{th} には依存しない。 20

【0044】

本実施形態によれば、画素2の外部にスイッチング回路6を設けなくても、 V_{th} 補償付のプリチャージが可能となる。これにより、 V_{th} に依存した駆動電流 I_{oled} のばらつきを抑制できるほか、電気光学装置の全体的な構成を簡略化できる。

【0045】

(第5の実施形態)

上述した各実施形態は、図2に示した画素回路に限定されるものではなく、以下に述べるカレントミラー型の構成例を含めて、電流プログラム方式の画素回路に対して広く適用可能である。図11は、本実施形態にかかる画素回路図である。1つの画素2は、有機EL素子OLED、4つのトランジスタ $T_1 \sim T_4$ およびキャパシタ C_1 で構成されている。なお、この構成例において、駆動トランジスタ T_3 は駆動素子としての機能のみを有し、プログラミング素子としての機能は、これとは異なるプログラミングトランジスタ T_4 によって実現される。また、この構成例では、nチャンネル型のトランジスタ T_1 、 T_2 と、pチャンネル型のトランジスタ T_3 、 T_4 とが用いられているが、これは一例にすぎず、これとは異なる組み合わせでチャンネル型を設定してもよい。 40

【0046】

スイッチングトランジスタ T_1 のゲートは、走査信号 S_{EL} が供給される走査線に接続され、その一方の端子はデータ電流 I_{data} が供給されるデータ線Xに接続されている。ま 50

た、このスイッチングトランジスタT1の他方の端子は、スイッチングトランジスタT2の一方の端子と、プログラミングトランジスタT4の一方の端子とに共通接続されている。スイッチングトランジスタT2のゲートは、走査信号SELが供給される走査線に接続され、その他方の端子はノードNgに接続されている。このノードNgには、カレントミラー回路を構成する一対のトランジスタT3, T4のゲートおよびキャパシタC1の一方の電極にも共通接続されている。駆動トランジスタT3の一方の端子、プログラミングトランジスタT4の他方の端子およびキャパシタC1の他方の電極には、電源電圧Vddが常時供給されたVdd端子に接続されている。駆動トランジスタT3の他方の端子には、有機EL素子LEDのアノードが接続されており、この有機EL素子OLEDのカソードには、基準電圧Vssが常時供給されたVss端子に接続されている。トランジスタT3, T4は、両者のゲートが互いに接続されたカレントミラー回路を構成している。したがって、プログラミングトランジスタT4のチャネルを流れるデータ電流I_{data}の電流レベルと、駆動トランジスタT3のチャネルを流れる駆動電流I_{oled}の電流レベルとは、比例関係になる。

【0047】

図12は、図11に示した画素回路の動作タイミングチャートである。1Fに相当する期間t₀~t₃は、プリチャージ期間t₀~t₁、データ書込期間t₁~t₂および駆動期間t₂~t₃に大別される。

【0048】

まず、プリチャージ期間t₀~t₁では、V_{th}補償付のプリチャージが行われる。具体的には、走査信号SELがHレベルになって、スイッチングトランジスタT1, T2が共にオンする。これにより、データ線XとプログラミングトランジスタT4の一方の端子(ドレイン)とが電氣的に接続されるとともに、プログラミングトランジスタT4は、自己のゲートと自己のドレインとが電氣的に接続されたダイオード接続となる。この期間t₀~t₁では、スイッチング信号SSがLレベルで、スイッチングトランジスタT6がオフしているため、画素2内のノードNgと可変電流源4aとは、未だ電氣的に分離されたままになっている。これにより、図13(a)に示すように、Vdd端子の電源電圧Vddによって、キャパシタC1とデータ線Xとのプリチャージが行われる。このプリチャージによって、ノードNgの電圧、すなわち、プログラミングトランジスタT4のゲート電圧V_gは、プログラミングトランジスタT4のしきい値電圧V_{th4}に依存したオフセット電圧(V_{dd} - V_{th4})になる。

【0049】

なお、ノードNgと可変電流源4aとの電氣的な分離は、可変電流源4aをハイインピーダンス状態に設定することによって実現してもよいし、スイッチングトランジスタT1, T2を別個に導通制御することによって実現してもよい。これらの分離手法を採用する場合、スイッチング回路6を構成するスイッチングトランジスタT6が不要になる。この点は、後述する第6の実施形態についても同様である。

【0050】

つぎに、データ書込期間t₁~t₂では、先のプリチャージ期間t₀~t₁にて設定されたオフセット電圧(V_{dd} - V_{th4})を基準に、キャパシタC1に対するデータの書き込みが行われる。この期間t₁~t₂における走査信号SELのレベルは、プリチャージ期間t₀~t₁の場合と同様であるから、スイッチングトランジスタT1, T2はオンのままである。また、タイミングt₁において、スイッチング信号SSがHレベルに立ち上がり、オフしていたスイッチングトランジスタT6がオンに切り替わる。これにより、図13(b)に示すように、ノードNgと可変電流源4aとが電氣的に接続される。その結果、データ電流I_{data}の経路が形成され、この経路は、Vdd端子、プログラミングトランジスタT4のチャネル、可変電流源4aの順序になる。数式4に示すように、ノードNgの電圧V_gは、先に設定されたオフセット電圧(V_{dd} - V_{th4})を基準として、データ電流I_{data}と、その供給時間tとの積に応じて変動する。キャパシタC1には、この電圧V_gに相当する電荷がデータとして書き込まれる。なお、この期間t₁~t₂では、Vdd端子、駆動トランジスタT3、有機EL素子OLED、Vssの順の経路が形成され、駆動電流I_{oled}が有機EL

10

20

30

40

50

素子OLEDを流れるため、有機EL素子OLEDが発光し始める。

(数式4)

$$V_g = V_{dd} - V_{th4} - V$$

$$V = (I_{data} \cdot t) / C$$

【0051】

続く駆動期間 $t_2 \sim t_3$ では、駆動トランジスタ T_3 のチャネル電流 I_{sd} に相当する駆動電流 I_{oled} が有機EL素子OLEDに供給され、これにより、画素2の階調が規定される。具体的には、走査信号SELおよびスイッチング信号SWSがLレベルに立ち下がり、スイッチングトランジスタ T_1, T_2, T_6 が共にオフする。これにより、ノードNgは、可変電流源4aから電氣的に分離されるが、この分離後も、駆動トランジスタ T_3 のゲートには、キャパシタ C_1 に保持されたデータに応じた電圧が印加され続ける。その結果、図13(c)に示すような経路で、駆動電流 I_{oled} が流れる。駆動トランジスタ T_3 が飽和領域で動作することを前提として、有機EL素子OLEDを流れる駆動電流 I_{oled} (駆動トランジスタ T_3 のチャネル電流 I_{ds}) は、駆動トランジスタ T_3 のしきい値電圧を V_{th3} とすると、数式5に基づいて算出される。

10

(数式5)

$$I_{oled} = I_{sd}$$

$$= 1/2 (V_{sg} - V_{th3})^2$$

【0052】

ここで、駆動トランジスタ T_3 のゲート電圧として数式4で算出された V_g を代入すると、数式5は数式6のように変形できる。なお、この数式変形は、駆動トランジスタ T_3 のしきい値電圧 V_{th3} と、プログラミングトランジスタ T_4 のしきい値電圧 V_{th4} とが等しい ($V_{th3} = V_{th4} = V_{th}$) ことを前提としている。同一プロセスにて製造され、表示部1上において極めて近接して配置されたトランジスタ T_3, T_4 に関しては、実際の製品においても、これらの電氣的特性をほぼ同一に設定することが可能である。

20

(数式6)

$$I_{oled} = 1/2 (V_s - V_g - V_{th3})^2$$

$$= 1/2 \{ V_{dd} - (V_{dd} - V_{th4} - V) - V_{th3} \}^2$$

$$= 1/2 \cdot V^2$$

$$= 1/2 (I_{data} \cdot t / C)^2$$

30

【0053】

数式6において留意すべきは、数式の変形過程で V_{th3} と V_{th4} とが相殺される点であり、これは、駆動トランジスタ T_3 によって生成される駆動電流 I_{oled} が V_{th3}, V_{th4} に依存しないことを意味する。有機EL素子OLEDの発光輝度は、データ電流 I_{data} とその供給時間 t との積に応じた駆動電流 I_{oled} により一義的に決定され、これによって、画素2の階調が設定される。

【0054】

本実施形態によれば、上述した各実施形態と同様に、 V_{th3}, V_{th4} に依存しない駆動電流 I_{oled} を生成できるので、そのばらつきを抑制できるほか、プリチャージ用の特別な回路を画素2の外部に設けなくても、画素2内で完結するプリチャージを行うことが可能となる。

40

【0055】

(第6の実施形態)

図14は、本実施形態にかかる画素回路図である。1つの画素回路は、有機EL素子OLED、4つのnチャネル型のトランジスタ $T_1 \sim T_4$ およびキャパシタ C で構成されている。本実施形態では、例えば、アモルファスシリコンによってTFETが形成されることを想定しているため、そのチャネル型をn型としている。また、この構成例において、駆動トランジスタ T_3 は、駆動素子としての本来の機能のみならず、プログラミング素子としての機能も兼ね備えている。

【0056】

50

スイッチングトランジスタT1のゲートは、第1の走査信号SEL1が供給される走査線に接続され、その一方の端子は、データ電流I_{data}が供給される1本のデータ線Xに接続されている。また、このスイッチングトランジスタT1の他方の端子は、スイッチングトランジスタT2の一方の端子と、駆動トランジスタT3の一方の端子と、スイッチングトランジスタT4の一方の端子とに共通接続されている。スイッチングトランジスタT2のゲートは、第1の走査信号SEL1が供給される走査線に接続され、その他方の端子はノードNgに接続されている。このノードNgは、キャパシタC1の一方の電極と、駆動トランジスタT3のゲートとに共通接続されている。このキャパシタC1の他方の電極はノードNsに接続されており、このノードNsには、駆動トランジスタT3の他方の端子と有機EL素子OLEDのアノードとが共通接続されている。有機EL素子OLEDのカソードは、基準電圧V_{ss}が常時供給されたV_{ss}端子に接続されている。また、スイッチングトランジスタT4のゲートは、第2の走査信号SEL2が供給される走査線に接続され、その他方の端子は、電源電圧V_{dd}が常時供給されたV_{dd}端子に接続されている。

【0057】

図15は、図14に示した画素回路の動作タイミングチャートである。1Fに相当する期間t₀~t₃は、プリチャージ期間t₀~t₁、データ書込期間t₁~t₂および駆動期間t₂~t₃に大別される。

【0058】

まず、プリチャージ期間t₀~t₁では、V_{th}補償付のプリチャージが行われる。具体的には、第1の走査信号SEL1がHレベルになって、スイッチングトランジスタT1、T2が共にオンする。これにより、データ線XとノードNgとが電氣的に接続されるとともに、駆動トランジスタT3は、自己のゲートと自己のドレインとが電氣的に接続されたダイオード接続となる。この期間t₀~t₁では、スイッチング信号SWSがLレベルで、スイッチングトランジスタT6がオフしているため、画素2内のノードNgと可変電流源4aとは、未だ電氣的に分離されたままになっている。また、第2の走査信号SEL2がもLレベルで、スイッチングトランジスタT4がオフしているため、駆動トランジスタT3の一方の端子とV_{dd}端子との間も電氣的に分離されている。これにより、図16(a)に示すように、キャパシタC1とデータ線Xとのプリチャージが行われる。このプリチャージによって、ノードNsの電圧V_sはV₁になるとともに、ノードNgの電圧V_gは、駆動トランジスタT3のV_{th}に依存したオフセット電圧(V₁+V_{th})になる。なお、V₁の具体値は、有機EL素子OLEDのリーク電流に依存している。

【0059】

つぎに、データ書込期間t₁~t₂では、先のプリチャージ期間t₀~t₁にて設定されたオフセット電圧(V₁+V_{th})を基準に、キャパシタC1に対するデータの書き込みが行われる。この期間t₁~t₂における走査信号SEL1、SEL2のレベルは、プリチャージ期間t₀~t₁の場合と同様であるから、スイッチングトランジスタT1、T2はオンのままであり、スイッチングトランジスタT4はオフのままである。また、タイミングt₁において、スイッチング信号SWSがHレベルに立ち上がり、オフしていたスイッチングトランジスタT6がオンに切り替わる。これにより、図16(b)に示すように、ノードNgと可変電流源4aとが電氣的に接続される。その結果、データ電流I_{data}の経路が形成され、この経路は、可変電流源4a、駆動トランジスタT3のチャネル、有機EL素子OLED、V_{ss}端子の順序になる。数式7に示すように、ノードNgの電圧V_gは、先に設定されたオフセット電圧(V₁+V_{th})を基準として、データ電流I_{data}と、その供給時間tとの積に応じて変動する。

(数式7)

$$V_g = V_1 + V_{th1} + \frac{V}{V} \\ V = (I_{data} \cdot t) / C$$

【0060】

また、ノードNsの電圧V_sは、数式8に示すように、先に設定された電圧V₁を基準として、V'だけ変動する。このV'は、有機EL素子OLEDの特性(V-I特性およびI

10

20

30

40

50

data特性)に依存した電圧である。

(数式8)

$$V_s = V_1 + V'$$

【0061】

続く駆動期間 $t_2 \sim t_3$ では、駆動トランジスタ T_3 のチャネル電流 I_{ds} に相当する駆動電流 I_{oled} が有機EL素子OLEDに供給され、有機EL素子OLEDが発光する。具体的には、第1の走査信号SEL1およびスイッチング信号SWSがLレベルに立ち下がり、スイッチングトランジスタ T_1, T_2, T_6 が共にオフする。これにより、ノードNgは、可変電流源4aから電氣的に分離される。しかしながら、この分離後も、駆動トランジスタ T_3 のゲートには、キャパシタ C_1 に保持されているデータに応じた電圧が印加され続ける。また、第1の走査信号SEL1の立ち下がりと同期して、第2の走査信号SEL2がHレベルに立ち上がって、スイッチングトランジスタ T_4 がオンする。これにより、駆動トランジスタ T_3 の一方の端子には、 V_{dd} 端子を介して電源電圧 V_{dd} が供給される。これにより、図16(c)に示すような経路で、駆動電流 I_{oled} が流れる。駆動トランジスタ T_3 が飽和領域で動作することを前提として、有機EL素子OLEDを流れる駆動電流 I_{oled} (駆動トランジスタ T_3 のチャネル電流 I_{ds}) は、数式9に基づいて算出される。

(数式9)

$$\begin{aligned} I_{oled} &= I_{ds} \\ &= 1/2 (V_{gs} - V_{th})^2 \end{aligned}$$

【0062】

ここで、駆動トランジスタ T_3 のゲート電圧として数式7で算出された V_g と数式8で算出された V_s とを代入すると、数式9は数式10のように変形できる。

(数式10)

$$\begin{aligned} I_{oled} &= 1/2 (V_g - V_s - V_{th})^2 \\ &= 1/2 \{ (V_1 + V_{th} + V) - (V_1 + V') - V_{th} \}^2 \\ &= 1/2 (V - V')^2 \\ &= 1/2 (I_{data} \cdot t / C - V')^2 \end{aligned}$$

【0063】

数式10において留意すべきは、数式の変形過程で V_{th} が相殺される点であり、これは、駆動トランジスタ T_3 によって生成される駆動電流 I_{oled} が V_{th} に依存しないことを意味する。有機EL素子OLEDの発光輝度は、データ電流 I_{data} とその供給時間 t との積に応じた駆動電流 I_{oled} により一義的に決定され、これによって、画素2の階調が設定される。

【0064】

本実施形態によれば、上述した各実施形態と同様に、 V_{th3} に依存しない駆動電流 I_{oled} を生成できるので、そのばらつきを抑制できる。それとともに、プリチャージ用の特別な回路を画素2の外部に設けなくても、画素2内で完結するプリチャージを行うことが可能となる。

【0065】

なお、上述した各実施形態では、スイッチングトランジスタの導通制御によって、プログラミング素子として機能するトランジスタが選択的にダイオード接続される画素回路の構成例について説明した。しかしながら、プログラミング素子として機能するトランジスタが定常的にダイオード接続されている画素回路であっても、本発明を適用することが可能であるのは当然である。

【0066】

また、上述した各実施形態では、電気光学素子として有機EL素子OLEDを用いた例について説明した。しかしながら、本発明はこれに限定されるものではなく、駆動電流に応じて輝度が設定される電気光学素子(無機LED表示装置、フィールド・エミッション表示装置等)、或いは、駆動電流に応じた透過率・反射率を呈する電気光学装置(エレクトロクロミック表示装置、電気泳動表示装置等)に対しても広く適用可能である。

10

20

30

40

50

【 0 0 6 7 】

さらに、上述した各実施形態にかかる電気光学装置は、例えば、テレビ、プロジェクタ、携帯電話機、携帯端末、モバイル型コンピュータ、パーソナルコンピュータ等を含む様々な電子機器に実装可能である。これらの電子機器に上述した電気光学装置を実装すれば、電子機器の商品価値を一層高めることができ、市場における電子機器の商品訴求力の向上を図ることができる。

【図面の簡単な説明】

【 0 0 6 8 】

【図 1】電気光学装置のブロック構成図

【図 2】第 1 の実施形態にかかる画素回路図

10

【図 3】第 1 の実施形態にかかる動作タイミングチャート

【図 4】第 1 の実施形態にかかる動作説明図

【図 5】第 2 の実施形態にかかる画素回路図

【図 6】第 2 の実施形態にかかる動作タイミングチャート

【図 7】第 3 の実施形態にかかる画素回路図

【図 8】第 3 の実施形態にかかる動作タイミングチャート

【図 9】第 4 の実施形態にかかる画素回路図

【図 10】第 4 の実施形態にかかる動作タイミングチャート

【図 11】第 5 の実施形態にかかる画素回路図

20

【図 12】第 5 の実施形態にかかる動作タイミングチャート

【図 13】第 5 の実施形態にかかる動作説明図

【図 14】第 6 の実施形態にかかる画素回路図

【図 15】第 6 の実施形態にかかる動作タイミングチャート

【図 16】第 6 の実施形態にかかる動作説明図

【図 17】従来画素回路図

【符号の説明】

【 0 0 6 9 】

1 表示部

2 画素

3 走査線駆動回路

4 データ線駆動回路

4 a 可変電流源

5 制御回路

6 スイッチング回路

7 プリチャージ調整回路

7 a 電圧変更回路

8 プリチャージ促進回路

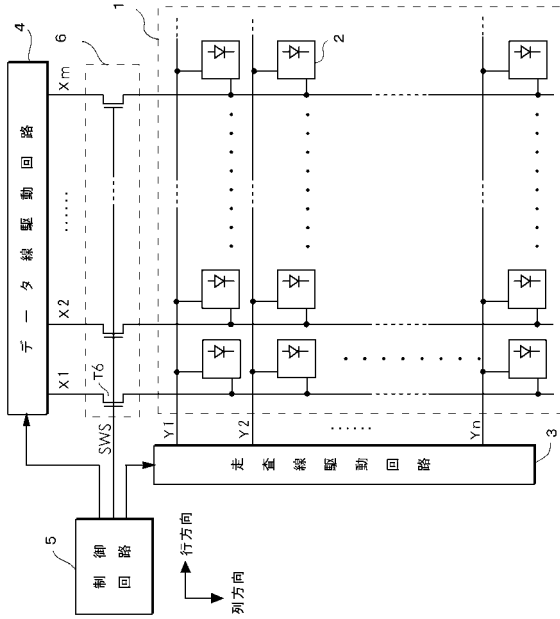
T1～T7 トランジスタ

C1～C2 キャパシタ

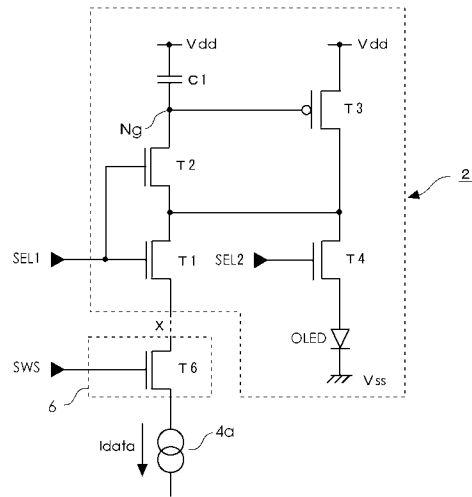
OLED 有機 EL 素子

40

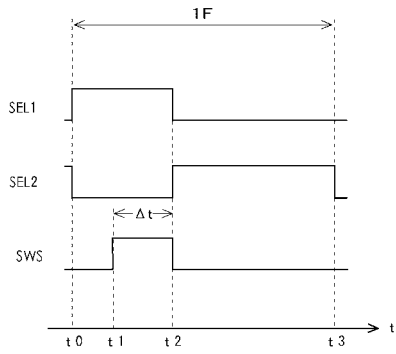
【図1】



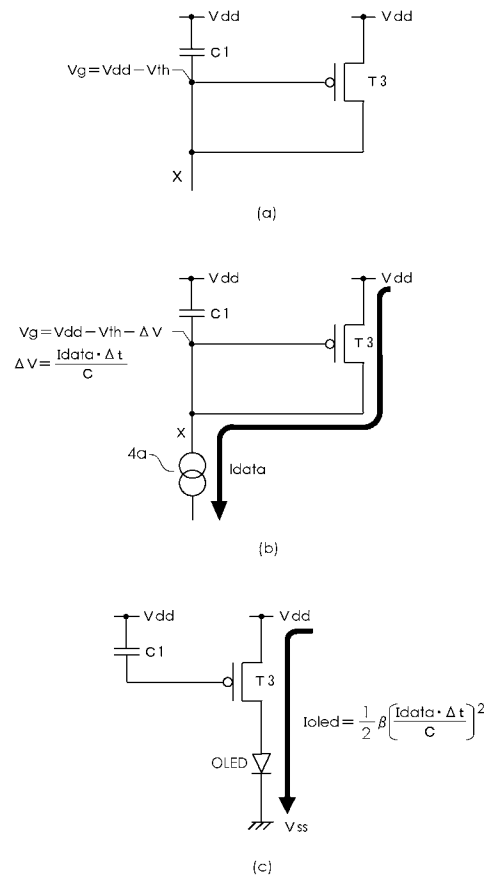
【図2】



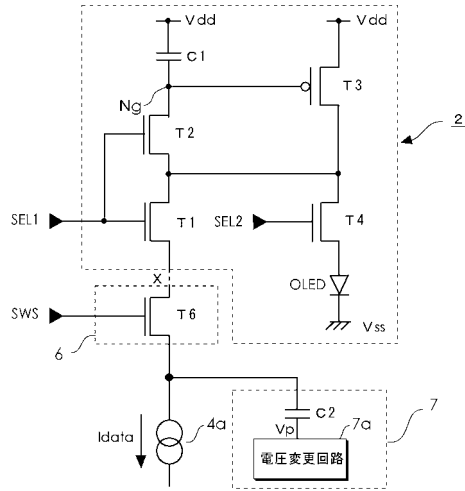
【図3】



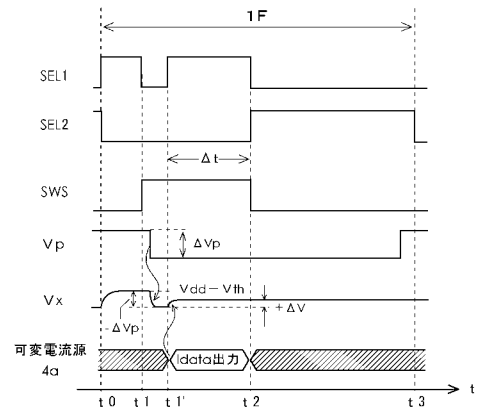
【図4】



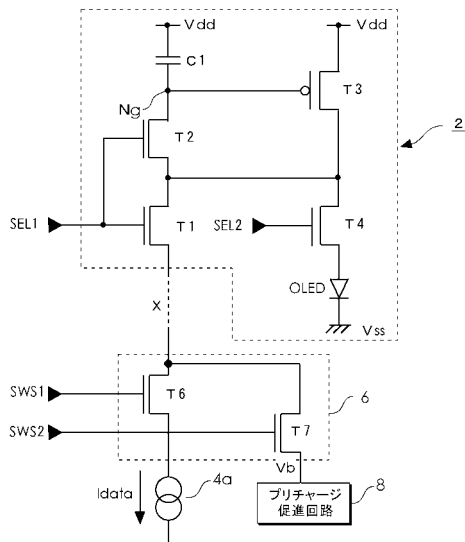
【図5】



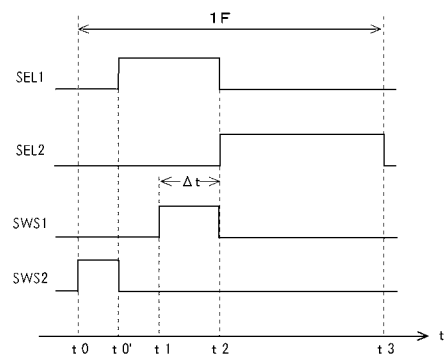
【図6】



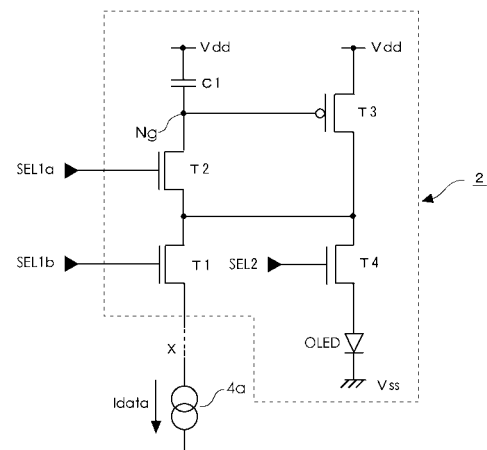
【図7】



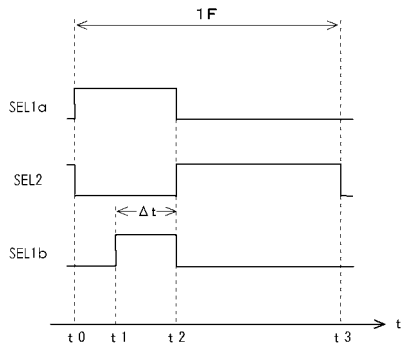
【図8】



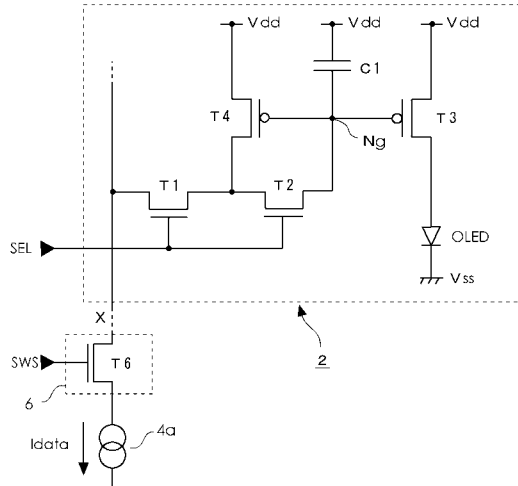
【図9】



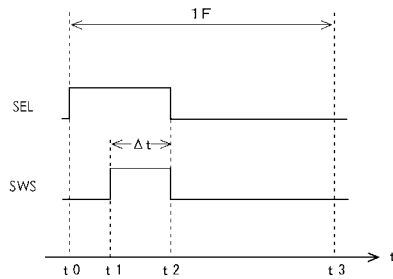
【 図 1 0 】



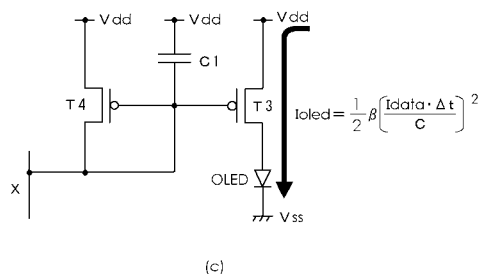
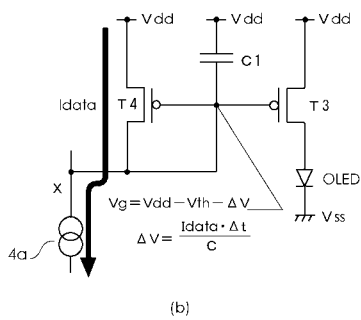
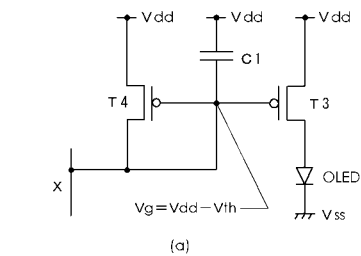
【 図 1 1 】



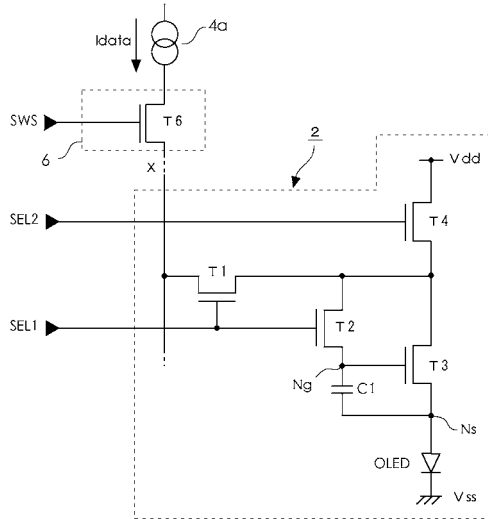
【 図 1 2 】



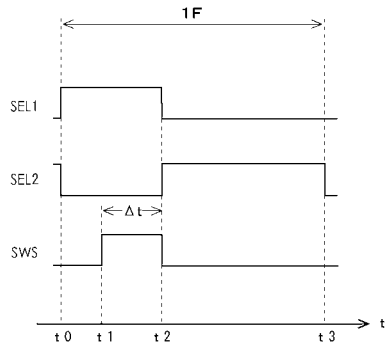
【 図 1 3 】



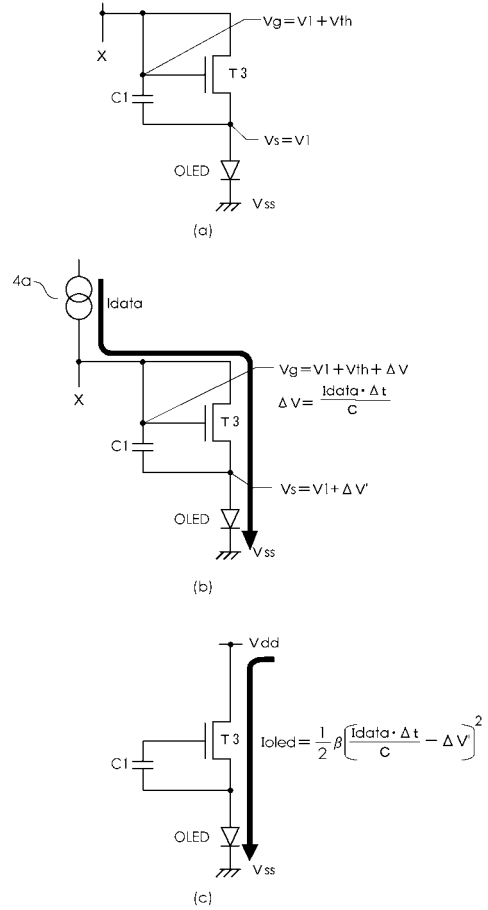
【 図 1 4 】



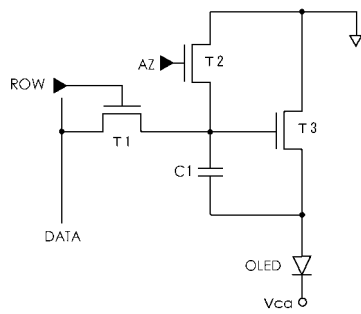
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

(56)参考文献 特開平11-259052(JP,A)
特開2003-066908(JP,A)
特開2003-114645(JP,A)

(58)調査した分野(Int.Cl., DB名)
G09G 3/00 - 3/38

专利名称(译)	驱动像素电路的方法，像素电路和电子设备		
公开(公告)号	JP4049085B2	公开(公告)日	2008-02-20
申请号	JP2003381271	申请日	2003-11-11
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	河西利幸		
发明人	河西 利幸		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09F9/30 G09G3/12 G09G3/32 G09G5/00 H05B33/00 H05B33/04 H05B33/14		
CPC分类号	G09G3/325 G09G3/3275 G09G2300/0861 G09G2310/0248 G09G2320/0223		
FI分类号	G09G3/30.K G09G3/20.611.H G09G3/20.621.A G09G3/20.624.B H05B33/14.A G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE04 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB22 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC11 5C380/AC12 5C380/BA10 5C380/BA11 5C380/BA14 5C380/BA19 5C380/BA38 5C380/BA39 5C380/BA46 5C380/BC03 5C380/BC07 5C380/BC13 5C380/CA08 5C380/CA13 5C380/CA17 5C380/CA29 5C380/CA39 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB14 5C380/CB17 5C380/CC04 5C380/CC13 5C380/CC14 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC38 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CE08 5C380/CF03 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA07 5C380/DA16 5C380/DA47 5C380/HA05		
代理人(译)	须泽 修		
审查员(译)	一宫诚		
其他公开文献	JP2005148134A		
外部链接	Espacenet		

摘要(译)

要解决的问题：使用当前程序系统抑制在像素电路中取决于V_{th}的驱动电流的变化。解决方案：在可变电流源4a和晶体管T3之间的电隔离状态下，将二极管连接的晶体管T3的栅极电压设置为与其自身的阈值电压V_{th}对应的偏移电压 (V_{dd}-V_{th})。接下来，在可变电流源4a和晶体管T3之间的电连接状态中，基于偏移电压并且对应于数据电流I_{data}和其供应时间的乘积的数据被写入连接到电容器C1的电容器C1。晶体管T3的栅极。对应于保持在电容器C1上的数据的数据的驱动电流由晶体管T3产生，以设定有机电子发光器件OLED的亮度。 Z

【圖 1】

