

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-224467

(P2016-224467A)

(43) 公開日 平成28年12月28日(2016.12.28)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 670J	5C080
G09G 3/3241 (2016.01)	G09G 3/3241	5C380
H01L 51/50 (2006.01)	G09G 3/20 624B	
	G09G 3/20 611H	
審査請求 有 請求項の数 12 O L (全 82 頁) 最終頁に続く		

(21) 出願番号 特願2016-183719 (P2016-183719)
 (22) 出願日 平成28年9月21日 (2016.9.21)
 (62) 分割の表示 特願2015-177351 (P2015-177351)
 の分割
 原出願日 平成14年9月17日 (2002.9.17)
 (31) 優先権主張番号 特願2001-290290 (P2001-290290)
 (32) 優先日 平成13年9月21日 (2001.9.21)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 秋葉 麻衣
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 3K107 AA01 BB01 CC21 CC33 EE04
 HH05

最終頁に続く

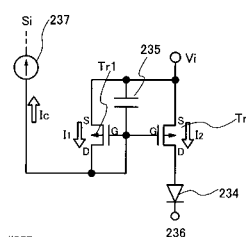
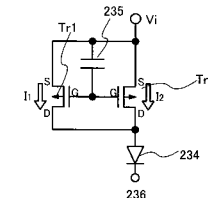
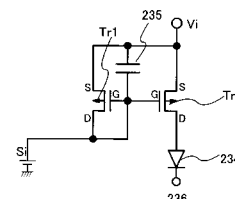
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】発光素子に供給される電流を制御するTFTの特性によって、発光素子の輝度がばらつくのを防ぐことができ、有機発光層の劣化による発光素子の輝度の低下を防ぎ、なおかつ有機発光層の劣化や温度変化に左右されずに一定の輝度を得ることができる発光装置の駆動方法の提供。

【解決手段】発光素子の輝度をTFTに印加する電圧によって制御するのではなく、TFTに流れる電流を信号線駆動回路において制御することで、TFTの特性に左右されずに発光素子に流れる電流を所望の値に保つ。さらに、一定期間毎に発光素子に逆バイアスの電圧を印加する。上記2つの構成が相乗効果をもたらし、より有機発光層の劣化による輝度の低下を防ぐことができ、なおかつTFTの特性に左右されずに発光素子に流れる電流を所望の値に保つことができる。

【選択図】 図19

(A) 書き込み期間 T_w (B) 表示期間 T_d (C) 逆バイアス期間 T_i 

【特許請求の範囲】

【請求項 1】

第 1 のチャネル形成領域及び前記第 2 のチャネル形成領域を有する半導体層と、
前記第 1 のチャネル形成領域と重なる第 1 のゲート電極と、
前記第 2 のチャネル形成領域と重なる第 2 のゲート電極と、
前記半導体層上方、前記第 1 のゲート電極上方及び前記第 2 のゲート電極上方の第 1 の絶縁膜と、

前記第 1 の絶縁膜上方の第 1 の接続配線と、
前記第 1 の絶縁膜上方の第 2 の接続配線と、
前記第 1 の接続配線と電気的に接続される画素電極と、
前記画素電極上方の有機発光層と、
前記有機発光層上方の陰極と、を有し、
前記第 1 の接続配線と前記第 2 の接続配線とは、前記第 1 のチャネル形成領域と前記第 2 のチャネル形成領域とを介して互いに導通することが可能であることを特徴とする表示装置。

10

【請求項 2】

下地膜と、
前記下地膜上方の第 1 のチャネル形成領域及び前記第 2 のチャネル形成領域を有する半導体層と、
前記第 1 のチャネル形成領域と重なる第 1 のゲート電極と、
前記第 2 のチャネル形成領域と重なる第 2 のゲート電極と、
前記半導体層上方、前記第 1 のゲート電極上方及び前記第 2 のゲート電極上方の第 1 の絶縁膜と、

前記第 1 の絶縁膜上方の第 1 の接続配線と、
前記第 1 の絶縁膜上方の第 2 の接続配線と、
前記第 1 の接続配線と電気的に接続される画素電極と、
前記画素電極上方の有機発光層と、
前記有機発光層上方の陰極と、を有し、
前記第 1 の接続配線と前記第 2 の接続配線とは、前記第 1 のチャネル形成領域と前記第 2 のチャネル形成領域とを介して互いに導通することが可能であることを特徴とする表示装置。

20

30

【請求項 3】

第 1 のチャネル形成領域及び前記第 2 のチャネル形成領域を有する半導体層と、
前記第 1 のチャネル形成領域と重なる第 1 のゲート電極と、
前記第 2 のチャネル形成領域と重なる第 2 のゲート電極と、
前記半導体層上方、前記第 1 のゲート電極上方及び前記第 2 のゲート電極上方の第 1 の絶縁膜と、

前記第 1 の絶縁膜上方の第 1 の接続配線と、
前記第 1 の絶縁膜上方の第 2 の接続配線と、
前記第 1 の接続配線と電気的に接続される画素電極と、
前記画素電極上方の有機発光層と、
前記有機発光層上方の陰極と、を有し、
前記第 1 の絶縁膜は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜を有し、
前記第 1 の接続配線と前記第 2 の接続配線とは、前記第 1 のチャネル形成領域と前記第 2 のチャネル形成領域とを介して互いに導通することが可能であることを特徴とする表示装置。

40

【請求項 4】

下地膜と、
前記下地膜上方の第 1 のチャネル形成領域及び前記第 2 のチャネル形成領域を有する半

50

導体層と、

前記第 1 のチャンネル形成領域と重なる第 1 のゲート電極と、

前記第 2 のチャンネル形成領域と重なる第 2 のゲート電極と、

前記半導体層上方、前記第 1 のゲート電極上方及び前記第 2 のゲート電極上方の第 1 の絶縁膜と、

前記第 1 の絶縁膜上方の第 1 の接続配線と、

前記第 1 の絶縁膜上方の第 2 の接続配線と、

前記第 1 の接続配線と電氣的に接続される画素電極と、

前記画素電極上方の有機発光層と、

前記有機発光層上方の陰極と、を有し、

前記第 1 の絶縁膜は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜を有し、

前記第 1 の接続配線と前記第 2 の接続配線とは、前記第 1 のチャンネル形成領域と前記第 2 のチャンネル形成領域とを介して互いに導通することが可能であることを特徴とする表示装置。

【請求項 5】

第 1 のチャンネル形成領域及び前記第 2 のチャンネル形成領域を有する半導体層と、

前記第 1 のチャンネル形成領域と重なる第 1 のゲート電極と、

前記第 2 のチャンネル形成領域と重なる第 2 のゲート電極と、

前記半導体層上方、前記第 1 のゲート電極上方及び前記第 2 のゲート電極上方の第 1 の絶縁膜と、

前記第 1 の絶縁膜上方の第 1 の接続配線と、

前記第 1 の絶縁膜上方の第 2 の接続配線と、

前記第 1 の接続配線と電氣的に接続される画素電極と、

前記画素電極上方の有機発光層と、

前記有機発光層上方の陰極と、を有し、

前記第 1 の接続配線と前記第 2 の接続配線とは、前記第 1 のチャンネル形成領域と前記第 2 のチャンネル形成領域とを介して互いに導通することが可能であり、

前記第 1 のゲート電極と前記第 2 のゲート電極とは、互いに異なる導電層に設けられていることを特徴とする表示装置。

【請求項 6】

下地膜と、

前記下地膜上方の第 1 のチャンネル形成領域及び前記第 2 のチャンネル形成領域を有する半導体層と、

前記第 1 のチャンネル形成領域と重なる第 1 のゲート電極と、

前記第 2 のチャンネル形成領域と重なる第 2 のゲート電極と、

前記半導体層上方、前記第 1 のゲート電極上方及び前記第 2 のゲート電極上方の第 1 の絶縁膜と、

前記第 1 の絶縁膜上方の第 1 の接続配線と、

前記第 1 の絶縁膜上方の第 2 の接続配線と、

前記第 1 の接続配線と電氣的に接続される画素電極と、

前記画素電極上方の有機発光層と、

前記有機発光層上方の陰極と、を有し、

前記第 1 の接続配線と前記第 2 の接続配線とは、前記第 1 のチャンネル形成領域と前記第 2 のチャンネル形成領域とを介して互いに導通することが可能であり、

前記第 1 のゲート電極と前記第 2 のゲート電極とは、互いに異なる導電層に設けられていることを特徴とする表示装置。

【請求項 7】

第 1 のチャンネル形成領域及び前記第 2 のチャンネル形成領域を有する半導体層と、

前記第 1 のチャンネル形成領域と重なる第 1 のゲート電極と、

前記第 2 のチャンネル形成領域と重なる第 2 のゲート電極と、
前記半導体層上方、前記第 1 のゲート電極上方及び前記第 2 のゲート電極上方の第 1 の絶縁膜と、

前記第 1 の絶縁膜上方の第 1 の接続配線と、
前記第 1 の絶縁膜上方の第 2 の接続配線と、
前記第 1 の接続配線と電氣的に接続される画素電極と、
前記画素電極上方の有機発光層と、
前記有機発光層上方の陰極と、を有し、

前記第 1 の絶縁膜は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜を有し、

前記第 1 の接続配線と前記第 2 の接続配線とは、前記第 1 のチャンネル形成領域と前記第 2 のチャンネル形成領域とを介して互いに導通することが可能であり、

前記第 1 のゲート電極と前記第 2 のゲート電極とは、互いに異なる導電層に設けられていることを特徴とする表示装置。

【請求項 8】

下地膜と、

前記下地膜上方の第 1 のチャンネル形成領域及び前記第 2 のチャンネル形成領域を有する半導体層と、

前記第 1 のチャンネル形成領域と重なる第 1 のゲート電極と、
前記第 2 のチャンネル形成領域と重なる第 2 のゲート電極と、

前記半導体層上方、前記第 1 のゲート電極上方及び前記第 2 のゲート電極上方の第 1 の絶縁膜と、

前記第 1 の絶縁膜上方の第 1 の接続配線と、
前記第 1 の絶縁膜上方の第 2 の接続配線と、
前記第 1 の接続配線と電氣的に接続される画素電極と、
前記画素電極上方の有機発光層と、
前記有機発光層上方の陰極と、を有し、

前記第 1 の絶縁膜は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜を有し、

前記第 1 の接続配線と前記第 2 の接続配線とは、前記第 1 のチャンネル形成領域と前記第 2 のチャンネル形成領域とを介して互いに導通することが可能であり、

前記第 1 のゲート電極と前記第 2 のゲート電極とは、互いに異なる導電層に設けられていることを特徴とする表示装置。

【請求項 9】

第 1 のチャンネル形成領域及び前記第 2 のチャンネル形成領域を有する半導体層と、

前記第 1 のチャンネル形成領域と重なる第 1 のゲート電極と、
前記第 2 のチャンネル形成領域と重なる第 2 のゲート電極と、

前記半導体層上方、前記第 1 のゲート電極上方及び前記第 2 のゲート電極上方の第 1 の絶縁膜と、

前記第 1 の絶縁膜上方の第 1 の接続配線と、
前記第 1 の絶縁膜上方の第 2 の接続配線と、
前記第 1 の接続配線と電氣的に接続される画素電極と、
前記画素電極上方の有機発光層と、
前記有機発光層上方の陰極と、を有し、

前記第 1 の接続配線と前記第 2 の接続配線とは、前記第 1 のチャンネル形成領域と前記第 2 のチャンネル形成領域とを介して互いに導通することが可能であり、

前記第 1 のゲート電極の電位と前記第 2 のゲート電極の電位とは、互いに独立して制御されていることを特徴とする表示装置。

【請求項 10】

下地膜と、

10

20

30

40

50

前記下地膜上方の第 1 のチャネル形成領域及び前記第 2 のチャネル形成領域を有する半導体層と、

前記第 1 のチャネル形成領域と重なる第 1 のゲート電極と、

前記第 2 のチャネル形成領域と重なる第 2 のゲート電極と、

前記半導体層上方、前記第 1 のゲート電極上方及び前記第 2 のゲート電極上方の第 1 の絶縁膜と、

前記第 1 の絶縁膜上方の第 1 の接続配線と、

前記第 1 の絶縁膜上方の第 2 の接続配線と、

前記第 1 の接続配線と電気的に接続される画素電極と、

前記画素電極上方の有機発光層と、

10

前記有機発光層上方の陰極と、を有し、

前記第 1 の接続配線と前記第 2 の接続配線とは、前記第 1 のチャネル形成領域と前記第 2 のチャネル形成領域とを介して互いに導通することが可能であり、

前記第 1 のゲート電極の電位と前記第 2 のゲート電極の電位とは、互いに独立して制御されていることを特徴とする表示装置。

【請求項 1 1】

第 1 のチャネル形成領域及び前記第 2 のチャネル形成領域を有する半導体層と、

前記第 1 のチャネル形成領域と重なる第 1 のゲート電極と、

前記第 2 のチャネル形成領域と重なる第 2 のゲート電極と、

前記半導体層上方、前記第 1 のゲート電極上方及び前記第 2 のゲート電極上方の第 1 の絶縁膜と、

20

前記第 1 の絶縁膜上方の第 1 の接続配線と、

前記第 1 の絶縁膜上方の第 2 の接続配線と、

前記第 1 の接続配線と電気的に接続される画素電極と、

前記画素電極上方の有機発光層と、

前記有機発光層上方の陰極と、を有し、

前記第 1 の絶縁膜は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜を有し、

前記第 1 の接続配線と前記第 2 の接続配線とは、前記第 1 のチャネル形成領域と前記第 2 のチャネル形成領域とを介して互いに導通することが可能であり、

30

前記第 1 のゲート電極の電位と前記第 2 のゲート電極の電位とは、互いに独立して制御されていることを特徴とする表示装置。

【請求項 1 2】

下地膜と、

前記下地膜上方の第 1 のチャネル形成領域及び前記第 2 のチャネル形成領域を有する半導体層と、

前記第 1 のチャネル形成領域と重なる第 1 のゲート電極と、

前記第 2 のチャネル形成領域と重なる第 2 のゲート電極と、

前記半導体層上方、前記第 1 のゲート電極上方及び前記第 2 のゲート電極上方の第 1 の絶縁膜と、

40

前記第 1 の絶縁膜上方の第 1 の接続配線と、

前記第 1 の絶縁膜上方の第 2 の接続配線と、

前記第 1 の接続配線と電気的に接続される画素電極と、

前記画素電極上方の有機発光層と、

前記有機発光層上方の陰極と、を有し、

前記第 1 の絶縁膜は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜を有し、

前記第 1 の接続配線と前記第 2 の接続配線とは、前記第 1 のチャネル形成領域と前記第 2 のチャネル形成領域とを介して互いに導通することが可能であり、

前記第 1 のゲート電極の電位と前記第 2 のゲート電極の電位とは、互いに独立して制御

50

されていることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板上に形成された発光素子を、該基板とカバー材の間に封入した発光パネルに関する。また、該発光パネルにコントローラを含むＩＣ等を実装した、発光モジュールに関する。なお本明細書において、発光パネル及び発光モジュールを共に発光装置と総称する。本発明はさらに、該発光装置の駆動方法及び該発光装置を用いた電子機器に関する。

【背景技術】

10

【0002】

発光素子は自ら発光するため視認性が高く、液晶表示装置（ＬＣＤ）で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年発光素子を用いた発光装置は、ＣＲＴやＬＣＤに代わる表示装置として注目されている。

【0003】

なお、本明細書において発光素子は、電流または電圧によって輝度が制御される素子を意味しており、ＯＬＥＤ（Organic Light Emitting Diode）や、ＦＥＤ（Field Emission Display）に用いられているＭＩＭ型の電子源素子（電子放出素子）等を含んでいる。

【0004】

ＯＬＥＤは、電場を加えることで発生するルミネッセンス（Electroluminescence）が得られる有機化合物（有機発光材料）を含む層（以下、有機発光層と記す）と、陽極層と、陰極層とを有している。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明の発光装置は、上述した発光のうちの、いずれか一方の発光を用いていても良いし、または両方の発光を用いていても良い。

20

【0005】

なお、本明細書では、ＯＬＥＤの陽極と陰極の間に設けられた全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にＯＬＥＤは、陽極／発光層／陰極が順に積層された構造を有しており、この構造に加えて、陽極／正孔注入層／発光層／陰極や、陽極／正孔注入層／発光層／電子輸送層／陰極等の順に積層した構造を有していることもある。

30

【発明の概要】

【発明が解決しようとする課題】

【0006】

図４１に、一般的な発光装置の画素の構成を示す。図４１に示した画素は、ＴＦＴ５０、５１と、保持容量５２と、発光素子５３とを有している。

【0007】

ＴＦＴ５０は、ゲートが走査線５５に接続されており、ソースとドレインが一方は信号線５４に、もう一方はＴＦＴ５１のゲートに接続されている。ＴＦＴ５１は、ソースが電源５６に接続されており、ドレインが発光素子５３の陽極に接続されている。発光素子５３の陰極は電源５７に接続されている。保持容量５２はＴＦＴ５１のゲートとソース間の電圧を保持するように設けられている。

40

【0008】

走査線５５の電圧によりＴＦＴ５０がオンになると、信号線５４に入力されたビデオ信号がＴＦＴ５１のゲートに入力される。ビデオ信号が入力されると、入力されたビデオ信号の電圧に従って、ＴＦＴ５１のゲート電圧（ゲートとソース間の電圧差）が定まる。そして、該ゲート電圧によって流れるＴＦＴ５１のドレイン電流は、発光素子５３に供給され、発光素子５３は供給された電流によって発光する。

【0009】

ところで、ポリシリコンで形成されたＴＦＴは、アモルファスシリコンで形成されたＴ

50

F Tよりも電界効果移動度が高く、オン電流が大きいので、発光パネルのトランジスタとしてより適している。

【0010】

しかし、ポリシリコンを用いたT F Tも、その電気的特性は所詮単結晶シリコン基板に形成されるM O Sトランジスタの特性に匹敵するものではない。例えば、電界効果移動度は単結晶シリコンの1 / 10以下である。また、ポリシリコンを用いたT F Tは、結晶粒界に形成される欠陥に起因して、その特性にばらつきが生じやすいといった問題点を有している。

【0011】

図41に示した画素において、T F T 51の閾値やオン電流等の特性が画素毎にばらつくと、ビデオ信号の電圧が同じであってもT F T 51のドレイン電流の大きさが画素間で異なり、発光素子53の輝度にばらつきが生じる。

10

【0012】

また、O L E Dを用いた発光装置を実用化する上で問題となっているのが、有機発光層の劣化によるO L E Dの寿命の短さであった。有機発光材料は水分、酸素、光、熱に弱く、これらのものによって劣化が促進される。具体的には、発光装置を駆動するデバイスの構造、有機発光材料の特性、電極の材料、作製工程における条件、発光装置の駆動方法等により、その劣化の速度が左右される。

【0013】

有機発光層にかかる電圧が一定であっても、有機発光層が劣化するとO L E Dの輝度は低下し、表示する画像は不鮮明になる。

20

【0014】

また、有機発光層の温度は、外気温やO L E Dパネル自身が発する熱等に左右されるが、一般的にO L E Dは温度によって流れる電流の値が変化する。具体的には、電圧が一定のとき、有機発光層の温度が高くなると、O L E Dに流れる電流は大きくなる。そしてO L E Dに流れる電流とO L E Dの輝度は比例関係にあるため、O L E Dに流れる電流が大きければ大きいほど、O L E Dの輝度は高くなる。このように、有機発光層の温度によってO L E Dの輝度が変化するため、所望の階調を表示することが難しく、温度の上昇に伴って発光装置の消費電流が大きくなる。

【0015】

30

本発明は上述した問題に鑑み、発光素子に供給される電流を制御するT F Tの特性によって、発光素子の輝度がばらつくのを防ぐことができ、有機発光層の劣化による発光素子の輝度の低下を防ぎ、なおかつ有機発光層の劣化や温度変化に左右されずに一定の輝度を得ることができる発光装置の提供を課題とする。

【課題を解決するための手段】

【0016】

本発明者は、O L E Dに印加される電圧を一定に保って発光させるのと、O L E Dに流れる電流を一定に保って発光させるのとでは、後者の方が、劣化によるO L E Dの輝度の低下が小さいことに着目した。なお本明細書において、発光素子に流れる電流を駆動電流と呼び、発光素子に印加される電圧を駆動電圧と呼ぶ。

40

【0017】

そして、発光素子の駆動電流をT F Tのゲートに印加する電圧によって制御するのではなく、T F Tに流れる電流を信号線駆動回路において制御することで、T F Tの特性に左右されずに発光素子に流れる電流を所望の値に保つことができ、またO L E Dの劣化によるO L E Dの輝度の変化を防ぐことができるのではないかと考えた。

【0018】

さらに、「TSUTSUI T, JPN J Appl Phys Part 2 VOL. 37, NO. 11B PAGE. L1406-L1408 1998」において紹介されているように、発光素子に一定期間ごとに逆の極性の駆動電圧をかけることによって、発光素子の電流—電圧特性の劣化が改善されることが見いだされている。この性質を利用し、本発明は上述した構成に加えて、一定期間毎に発光素子に逆

50

方向バイアスの電圧を印加する。なお、発光素子はダイオードであるため、順方向バイアス電圧を印加すると発光し、逆方向バイアスの電圧を印加すると発光素子は発光しない。

【0019】

上記構成のように、発光素子に一定期間ごとに逆方向バイアスの駆動電圧を印加する駆動方法（交流駆動）を用いることで、発光素子の電流—電圧特性の劣化が改善され、発光素子の寿命を従来の駆動方式に比べて長くすることが可能になる。

【0020】

上記2つの構成が相乗効果をもたらし、より有機発光層の劣化による輝度の低下を防ぐことができ、なおかつTFTの特性に左右されずに発光素子に流れる電流を所望の値に保つことができる。

10

【0021】

また上述したように、交流駆動において、1フレーム期間ごとに画像の表示を行う場合、観察者の目にフリッカとしてちらつきが生じてしまうことがある。そのため、交流駆動の場合は、順方向バイアスの電圧のみ印加する直流駆動において観察者の目にフリッカが生じない程度の周波数よりも高い周波数で発光装置を駆動し、フリッカの発生を防ぐようにするのが好ましい。

【0022】

本発明は上述した構成によって、発光素子に供給される電流を制御するためのTFTの特性が、画素毎にばらついていても、図41に示した一般的な発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図41に示した電圧入力型の画素のTFT51を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

20

【0023】

なお、本発明の発光装置において、画素に用いるトランジスタは単結晶シリコンを用いて形成されたトランジスタであっても良いし、多結晶シリコンやアモルファスシリコンを用いた薄膜トランジスタであっても良い。また、有機半導体を用いたトランジスタであっても良い。

【0024】

なお本発明の発光装置の画素に設けられたトランジスタは、シングルゲート構造を有していても良いし、ダブルゲート構造やそれ以上のゲート電極を有するマルチゲート構造であっても良い。

30

【発明の効果】

【0025】

本発明は上述した構成によって、発光素子に供給される電流を制御するためのTFTの特性が、画素毎にばらついていても、図41に示した一般的な発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図41に示した電圧入力型の画素のTFT51を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

40

【0026】

また、発光素子に一定期間ごとに逆方向バイアスの駆動電圧を印加する駆動方法（交流駆動）を用いることで、発光素子の電流—電圧特性の劣化が改善され、発光素子の寿命を従来の駆動方式に比べてより長くすることが可能になる。

【図面の簡単な説明】

【0027】

【図1】本発明の発光装置のブロック図。

【図2】本発明の発光装置の画素回路図。

50

- 【図 3】駆動における画素の概略図。
- 【図 4】走査線及び電源線に印加される電圧のタイミングチャート。
- 【図 5】走査線及び電源線に印加される電圧のタイミングチャート。
- 【図 6】走査線及び電源線に印加される電圧のタイミングチャート。
- 【図 7】走査線及び電源線に印加される電圧のタイミングチャート。
- 【図 8】走査線及び電源線に印加される電圧のタイミングチャート。
- 【図 9】本発明の信号線駆動回路のブロック図。
- 【図 10】電流設定回路及び切り替え回路の回路図。
- 【図 11】走査線駆動回路のブロック図。
- 【図 12】本発明の信号線駆動回路のブロック図。 10
- 【図 13】電流設定回路及び切り替え回路の回路図。
- 【図 14】本発明の発光装置の画素回路図。
- 【図 15】駆動における画素の概略図。
- 【図 16】本発明の発光装置の画素回路図。
- 【図 17】駆動における画素の概略図。
- 【図 18】本発明の発光装置の画素回路図。
- 【図 19】駆動における画素の概略図。
- 【図 20】本発明の発光装置の画素回路図。
- 【図 21】駆動における画素の概略図。
- 【図 22】本発明の発光装置の画素回路図。 20
- 【図 23】駆動における画素の概略図。
- 【図 24】本発明の発光装置の画素回路図。
- 【図 25】駆動における画素の概略図。
- 【図 26】本発明の発光装置の画素回路図。
- 【図 27】駆動における画素の概略図。
- 【図 28】本発明の発光装置の画素回路図。
- 【図 29】駆動における画素の概略図。
- 【図 30】本発明の発光装置の画素回路図。
- 【図 31】駆動における画素の概略図。
- 【図 32】本発明の発光装置の作製方法を示す図。 30
- 【図 33】本発明の発光装置の作製方法を示す図。
- 【図 34】本発明の発光装置の作製方法を示す図。
- 【図 35】本発明の発光装置の画素の上面図。
- 【図 36】本発明の発光装置の画素の断面図。
- 【図 37】本発明の発光装置の画素の断面図。
- 【図 38】本発明の発光装置の画素の断面図。
- 【図 39】本発明の発光装置の外観図及び断面図。
- 【図 40】本発明の発光装置を用いた電子機器の図。
- 【図 41】一般的な画素の回路図。
- 【図 42】本発明の発光装置の作製方法を示す図。 40
- 【発明を実施するための形態】

【 0 0 2 8 】

図 1 に本発明の発光装置の構成を、ブロック図で示す。100 は画素部であり、複数の画素 101 がマトリクス状に配置されている。また 102 は信号線駆動回路、103 は走査線駆動回路である。

【 0 0 2 9 】

なお図 1 では信号線駆動回路 102 と走査線駆動回路 103 が、画素部 100 と同じ基板上に形成されているが、本発明はこの構成に限定されない。信号線駆動回路 102 と走査線駆動回路 103 とが画素部 100 と異なる基板上に形成され、FPC 等のコネクタを介して、画素部 100 と接続されていても良い。また、図 1 では信号線駆動回路 102

と走査線駆動回路１０３は１つづつ設けられているが、本発明はこの構成に限定されない。信号線駆動回路１０２と走査線駆動回路１０３の数は設計者が任意に設定することができる。

【００３０】

なお本明細書において接続とは、特に記載のない限り電氣的な接続を意味する。逆に切り離すとは、接続していないで電氣的に分離している状態を意味する。

【００３１】

また図１では図示していないが、画素部１００には信号線Ｓ１～Ｓ_x、電源線Ｖ１～Ｖ_x、走査線Ｇ１～Ｇ_yが設けられている。なお信号線と電源線の数は必ずしも同じであるとは限らない。またこれらの配線を必ず全て有していなくとも良く、これらの配線の他に、別の異なる配線が設けられていても良い。

10

【００３２】

信号線駆動回路１０２は、入力されたビデオ信号の電圧に見合った大きさの電流を各信号線Ｓ１～Ｓ_xに供給することができ、なおかつ逆方向バイアスの電圧を発光素子に印加するときには、発光素子に供給される電流または電圧の大きさを制御するＴＦＴがオンになるような電圧を、該ＴＦＴのゲートに印加することができる回路であれば良い。具体的に本実施の形態では、信号線駆動回路１０２は、シフトレジスタ１０２_aと、デジタルビデオ信号を記憶することができる記憶回路Ａ１０２_b、記憶回路Ｂ１０２_cと、該デジタルビデオ信号の電圧に見合った大きさの電流を、定電流源を用いて生成する電流変換回路１０２_dと、該生成された電流を信号線に供給し、逆方向バイアスの電圧を印加する期間においてのみ、発光素子に供給される電流または電圧の大きさを制御するＴＦＴのゲートに、該ＴＦＴがオンになるような電圧を印加することができる切り替え回路１０２_eとを有している。なお、本発明の発光装置の信号線駆動回路１０２は上述した構成に限定されない。また、図１ではデジタルのビデオ信号（デジタルビデオ信号）に対応した信号線駆動回路であるが、本発明の信号線駆動回路はこれに限定されず、アナログのビデオ信号（アナログビデオ信号）に対応していても良い。

20

【００３３】

図２に、図１で示した画素１０１の詳しい構成を示す。図２に示す画素１０１は、信号線Ｓ_i（Ｓ１～Ｓ_xのうちの１つ）、走査線Ｇ_j（Ｇ１～Ｇ_yのうちの１つ）及び電源線Ｖ_i（Ｖ１～Ｖ_xのうちの１つ）を有している。また画素１０１は、トランジスタＴ_r１、Ｔ_r２、Ｔ_r３、Ｔ_r４、Ｔ_r５、発光素子１０４及び保持容量１０５を有している。保持容量１０５はトランジスタＴ_r１及びＴ_r２のゲートとソースの間の電圧（ゲート電圧）をより確実に保持するために設けられているが、必ずしも設ける必要はない。なお、本明細書において電圧とは、特に記載のない限りグラウンドとの電位差を意味する。

30

【００３４】

トランジスタＴ_r４とトランジスタＴ_r５のゲートは、共に走査線Ｇ_jに接続されている。トランジスタＴ_r４の第１の端子と第２の端子（いずれか一方をソースとし、もう一方をドレインとする）は、一方は信号線Ｓ_iに、もう一方はトランジスタＴ_r１の第２の端子に接続されている。またトランジスタＴ_r５の第１の端子と第２の端子は、一方は信号線Ｓ_iに、もう一方はトランジスタＴ_r３のゲートに接続されている。

40

【００３５】

トランジスタＴ_r１とＴ_r２のゲートは互いに接続されている。また、トランジスタＴ_r１とＴ_r２の第１の端子は、共に電源線Ｖ_iに接続されている。トランジスタＴ_r２は、ゲートと第２の端子が接続されており、なおかつ第２の端子はトランジスタＴ_r３の第１の端子に接続されている。

【００３６】

トランジスタＴ_r３の第２の端子は、発光素子１０４が有する画素電極に接続されている。発光素子１０４は陽極と陰極を有しており、本明細書では、陽極を画素電極として用いる場合は陰極を対向電極と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。対向電極の電圧は一定の高さに保たれている。

50

【 0 0 3 7 】

なお、トランジスタ $T r 4$ と $T r 5$ は、 n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。ただし、トランジスタ $T r 4$ と $T r 5$ の極性は同じである。

【 0 0 3 8 】

また、トランジスタ $T r 1$ 、 $T r 2$ 及び $T r 3$ は n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。ただし、トランジスタ $T r 1$ 、 $T r 2$ 及び $T r 3$ の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ $T r 1$ 、 $T r 2$ 及び $T r 3$ は p チャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ $T r 1$ 、 $T r 2$ 及び $T r 3$ は n チャネル型トランジスタであるのが望ましい。

10

【 0 0 3 9 】

保持容量 105 が有する 2 つの電極は、一方はトランジスタ $T r 3$ のゲートに、もう一方は電源線 $V i$ に接続されている。保持容量 105 はトランジスタ $T r 3$ のゲートとソースの間の電圧（ゲート電圧）をより確実に維持するために設けられているが、必ずしも設ける必要はない。また、トランジスタ $T r 1$ 及び $T r 2$ のゲート電圧をより確実に維持するための保持容量を形成しても良い。

【 0 0 4 0 】

次に、本実施の形態の発光装置の動作について図 3 を用いて説明する。本発明の発光装置の動作は、各ラインの画素毎に書き込み期間 $T a$ と、表示期間 $T d$ と、逆バイアス期間 $T i$ とに分けて説明することができる。図 3 は、各期間におけるトランジスタ $T r 1$ 、 $T r 2$ 、 $T r 3$ 、発光素子 104 の接続を簡単に示した図であり、ここでは $T r 1$ 、 $T r 2$ 及び $T r 3$ が p チャネル型 T F T で、発光素子 104 の陽極を画素電極として用いた場合を例に挙げる。

20

【 0 0 4 1 】

まず、各ラインの画素において書き込み期間 $T a$ が開始されると、電源線 $V 1 \sim V x$ の電圧は、トランジスタ $T r 2$ 及び $T r 3$ がオンになったときに順方向バイアスの電流が発光素子に流れる程度の高さに保たれる。つまり、 $T r 1$ 、 $T r 2$ 及び $T r 3$ が p チャネル型 T F T で、発光素子 104 の陽極を画素電極として用いた場合、電源線 $V i$ が対向電極の電圧よりも高くなるように設定する。逆に $T r 1$ 、 $T r 2$ 及び $T r 3$ が n チャネル型 T F T で、発光素子 104 の陰極を画素電極として用いた場合は、電源線 $V i$ が対向電極の電圧よりも低くなるように設定する。

30

【 0 0 4 2 】

なお図 1 ではモノクロの画像を表示する発光装置の構成を示しているが、本発明はカラーの画像を表示する発光装置であっても良い。その場合、電源線 $V 1 \sim V x$ の電圧の高さを全て同じに保たなくても良く、対応する色毎に変えるようにしても良い。

【 0 0 4 3 】

そして、走査線駆動回路 103 によって各ラインの走査線が順に選択され、トランジスタ $T r 4$ と $T r 5$ がオンになる。なお、各走査線が選択される期間は互いに重ならない。そして、信号線駆動回路 102 に入力されるビデオ信号に基づき、信号線 $S 1 \sim S x$ にビデオ信号の電圧に応じた大きさの電流 $I c$ （以下、信号電流 $I c$ ）が供給されることで $T r 3$ のゲートの電圧が低くなり、最終的には電源線 $V i$ の電圧から $T r 2$ の閾値と $T r 3$ の閾値を差し引いた電圧に到達する。なお、 $T r 1$ 、 $T r 2$ 及び $T r 3$ が n チャネル型 T F T の場合は、 $T r 3$ のゲートの電圧が高くなるような大きさの信号電流 $I c$ を信号線 $S 1 \sim S x$ に供給し、最終的には電源線 $V i$ の電圧に $T r 2$ の閾値と $T r 3$ の閾値を加算した電圧に到達するようにする。

40

【 0 0 4 4 】

ここで $T r 2$ はゲートとドレインが接続されているため、飽和領域で動作する。よって、 $T r 2$ と $T r 3$ がオンになり、ドレイン電流が流れ始める。すると、 $T r 2$ と $T r 1$ は互いにゲートとソースが接続されているため、 $T r 2$ がオンになると $T r 1$ もオンになり、 $T r 1$ にもドレイン電流が流れ始める。

50

【 0 0 4 5 】

やがて $T r 1$ のドレイン電流 I_1 は、信号線 $S 1 \sim S x$ に供給されている信号電流 $I c$ と同じ大きさに保たれる。このとき、保持容量 1 0 5 には、 $T r 2$ のゲート電圧 V_{GS} と $T r 3$ のゲート電圧 V_{GS} を合わせた電圧が保持されている。よって、 $T r 1$ 、 $T r 2$ 及び $T r 3$ の特性が同じであれば、 $T r 1$ は $|V_{GS} - V_{TH}| < |V_{DS}|$ となるので、飽和領域で動作することになる。

【 0 0 4 6 】

図 3 (A) に、書き込み期間 $T a$ における画素 1 0 1 の概略図を示す。1 0 6 は対向電極に電圧を与える電源との接続用の端子を意味している。また、1 0 7 は信号線駆動回路 1 0 2 が有する定電流源を意味する。

10

【 0 0 4 7 】

上述したように $T r 1$ は飽和領域で動作するので、以下の式 1 に従って動作する。なお、 V_{GS} はゲート電圧、 μ を移動度、 C_0 を単位面積あたりのゲート容量、 W / L をチャネル形成領域のチャネル幅 W とチャネル長 L の比、 V_{TH} を閾値、ドレイン電流を I とする。

【 0 0 4 8 】

$$I = \mu C_0 W / L (V_{GS} - V_{TH})^2 / 2 \quad \cdots (式 1)$$

【 0 0 4 9 】

式 1 において μ 、 C_0 、 W / L 、 V_{TH} は、全て個々のトランジスタによって決まる固定の値である。信号電流 $I c$ と $T r 1$ のドレイン電流 I_1 は等しいので、式 1 から、トランジスタ $T r 1$ のゲート電圧 V_{GS} は信号電流の電流値 $I c$ によって定まることがわかる。

20

【 0 0 5 0 】

そしてトランジスタ $T r 2$ のゲートは、トランジスタ $T r 1$ のゲートに接続されている。また、トランジスタ $T r 2$ のソースは、トランジスタ $T r 1$ のソースに接続されている。したがって、トランジスタ $T r 1$ のゲート電圧は、そのままトランジスタ $T r 2$ のゲート電圧となる。よって、トランジスタ $T r 2$ のドレイン電流は、トランジスタ $T r 1$ のドレイン電流に比例する。特に、 $\mu C_0 W / L$ 及び V_{TH} が互いに等しいとき、トランジスタ $T r 1$ とトランジスタ $T r 2$ のドレイン電流は互いに等しくなり、 $I_2 = I c$ となる。

【 0 0 5 1 】

そして、トランジスタ $T r 2$ のドレイン電流 I_2 は、トランジスタ $T r 3$ のチャネル形成領域を介して発光素子 1 0 4 に流れる。したがって、発光素子に流れる駆動電流は、定電流源 1 0 7 において定められた信号電流 $I c$ に応じた大きさになる。発光素子 1 0 4 は駆動電流の大きさに見合った輝度で発光する。発光素子 1 0 4 に流れる電流が 0 に限りなく近かったり、発光素子に流れる電流が逆方向バイアスである場合は、発光素子 1 0 4 は発光しない。

30

【 0 0 5 2 】

なお、ドレイン電流 I_2 がトランジスタ $T r 3$ のチャネル形成領域を流れることで、式 1 に従ってドレイン電流 I_2 の値に見合った大きさのゲート電圧がトランジスタ $T r 3$ において発生する。

【 0 0 5 3 】

書き込み期間 $T a$ が終了すると、各ラインの走査線の選択が終了する。各ラインの画素において書き込み期間 $T a$ が終了すると、それぞれのラインの画素において表示期間 $T d$ が開始される。表示期間 $T d$ における電源線 $V i$ の電圧は、書き込み期間 $T a$ における電圧と同じ高さに保たれている。

40

【 0 0 5 4 】

図 3 (B) に、表示期間 $T d$ における画素の概略図を示す。トランジスタ $T r 4$ 及びトランジスタ $T r 5$ はオフの状態にある。また、トランジスタ $T r 1$ 及びトランジスタ $T r 2$ のソースは電源線 $V i$ に接続されている。

【 0 0 5 5 】

表示期間 $T d$ では、トランジスタ $T r 1$ のドレインは、他の配線及び電源等から電圧が与えられていない、所謂フローティングの状態にある。一方トランジスタ $T r 2$ 、 $T r 3$

50

においては、書き込み期間 T_a において定められた V_{GS} が維持される。そのため、トランジスタ Tr_2 のドレイン電流 I_2 の値は I_c と同じ大きさに維持されたままであり、該ドレイン電流 I_2 がトランジスタ Tr_3 のチャネル形成領域を介して発光素子 104 に供給される。よって、表示期間 T_d では、書き込み期間 T_a において定められた駆動電流の大きさに見合った輝度で、発光素子 104 が発光する。

【0056】

なお、書き込み期間 T_a の直後には必ず表示期間 T_d が出現する。表示期間 T_d の直後には、次の書き込み期間 T_a が出現するか、もしくは逆バイアス期間 T_i が出現する。

【0057】

逆バイアス期間が開始されると、電源線 $V_1 \sim V_x$ の電圧は、トランジスタ Tr_2 及び Tr_3 がオンになったときに逆方向バイアスの電圧が発光素子に印加される程度の高さに保たれる。つまり、 Tr_1 、 Tr_2 及び Tr_3 が p チャネル型 TFT で、発光素子 104 の陽極を画素電極として用いた場合、電源線 V_i が対向電極の電圧よりも低くなるように設定する。逆に Tr_1 、 Tr_2 及び Tr_3 が n チャネル型 TFT で、発光素子 104 の陰極を画素電極として用いた場合は、電源線 V_i が対向電極の電圧よりも高くなるように設定する。

【0058】

そして、走査線駆動回路 103 によって各ラインの走査線が順に選択され、トランジスタ Tr_4 と Tr_5 がオンになる。そして、信号線駆動回路 102 によって、信号線 $S_1 \sim S_x$ のそれぞれにトランジスタ Tr_2 及び Tr_3 がオンになるような電圧を印加する。すなわち、 Tr_2 の閾値電圧 V_{TH} と Tr_3 の閾値電圧 V_{TH} とを加算した電圧より低い電圧を印加する。なお、 Tr_1 、 Tr_2 及び Tr_3 が n チャネル型 TFT である場合は、 Tr_2 の閾値電圧 V_{TH} と Tr_3 の閾値電圧 V_{TH} とを加算した電圧より高い電圧を印加する。

【0059】

図 3 (C) に、逆バイアス期間 T_i における画素 101 の概略図を示す。逆バイアス期間 T_i においては、 Tr_2 及び Tr_3 がオンになるので、逆方向バイアスの電圧が発光素子 104 に印加されることになる。発光素子 104 は逆方向バイアスの電圧が印加されると発光しない状態になる。

【0060】

なお、図 2 に示した画素では、逆バイアス期間 T_i において Tr_3 は信号線に入力される電圧によってオンになり、かつ線形領域で動作するので、ソースとドレインの電圧差はほぼ 0 に等しくなる。ところが、 Tr_2 はゲートとソースが接続されており、なおかつ電源線の電圧 V_i が対向電極の電圧よりも低いので、 Tr_2 はオフの状態にあり、 Tr_2 のソースとドレインの電圧は同じにはならない。よって、発光素子 104 に印加される逆方向バイアスの電圧は、電源線 V_i と対向電極の間の電圧差と同じにはならず、対向電極と電源線 V_i との間の電圧差から Tr_2 の V_{DS} を差し引いた値となる。しかし、発光素子 104 に確実に逆方向バイアスの電圧を印加することができるので、発光素子の劣化による輝度の低下を抑えられる。

【0061】

また、逆バイアス期間 T_i の長さは、デューティ比 (1 フレーム期間における表示期間の長さの総和の割合) との兼ね合いを考慮し、設計者が適宜設定することが可能である。

【0062】

デジタルビデオ信号を用いた時間階調の駆動方法 (デジタル駆動法) の場合、1 フレーム期間中に各ビットのデジタルビデオ信号に対応した書き込み期間 T_a と表示期間 T_d が繰り返し出現することで、1 つの画像を表示することが可能である。例えば n ビットのビデオ信号によって画像を表示する場合、少なくとも n 個の書き込み期間と、n 個の表示期間とが 1 フレーム期間内に設けられる。n 個の書き込み期間 ($T_{a1} \sim T_{an}$) と、n 個の表示期間 ($T_{d1} \sim T_{dn}$) は、ビデオ信号の各ビットに対応している。

【0063】

10

20

30

40

50

例えば書き込み期間 T_{am} (m は $1 \sim n$ の任意の数) の次には、同じビット数に対応する表示期間、この場合 T_{dm} が出現する。書き込み期間 T_a と表示期間 T_d とを合わせてサブフレーム期間 SF と呼ぶ。 m ビット目に対応している書き込み期間 T_{am} と表示期間 T_{dm} とを有するサブフレーム期間は SF_m となる。

【0064】

デジタルビデオ信号を用いた場合逆バイアス期間 T_i は、表示期間 $T_{d1} \sim T_{dn}$ の直後に設けても良いし、 $T_{d1} \sim T_{dn}$ のうち1フレーム期間の最後に出現した表示期間の直後に設けるようにしても良い。また、各フレーム期間ごとに逆バイアス期間 T_i を必ずしも設ける必要はなく、数フレーム期間毎に出現させるようにしても良い。幾つの逆バイアス期間 T_i をいつ、どのぐらいの期間出現させるかについては、設計者が適宜設定することが可能である。

10

【0065】

図4に、逆バイアス期間 T_i を1フレーム期間の最後に出現させた場合の、画素 (i 、 j) における走査線に印加される電圧と、電源線に印加される電圧と、発光素子に印加される電圧のタイミングチャートを示す。なお、図4では、 Tr_4 、 Tr_5 が共に n チャネル型 TFT で、 Tr_1 、 Tr_2 及び Tr_3 が p チャネル型 TFT の場合について示す。各書き込み期間 $T_{a1} \sim T_{an}$ と逆バイアス期間 T_i において、走査線 G_j が選択されて Tr_4 、 Tr_5 がオンになっており、各表示期間 $T_{d1} \sim T_{dn}$ において走査線 G_j が選択されておらず、 Tr_4 、 Tr_5 がオフになっている。また、電源線 V_i の電圧は、各書き込み期間 $T_{a1} \sim T_{an}$ 及び各表示期間 $T_{d1} \sim T_{dn}$ において、 Tr_2 及び Tr_3 がオンのときに発光素子 104 に順方向バイアスの電流が流れる程度の高さに保たれている。そして、逆バイアス期間 T_i において、電源線 V_i の電圧は、発光素子 104 に逆方向バイアスの電圧が印加される程度の高さに保たれている。発光素子の印加電圧は、各書き込み期間 $T_{a1} \sim T_{an}$ 及び各表示期間 $T_{d1} \sim T_{dn}$ において順方向バイアスに保たれており、逆バイアス期間 T_i において逆方向バイアスに保たれている。

20

【0066】

サブフレーム期間 $SF_1 \sim SF_n$ の長さは、 $SF_1 : SF_2 : \dots : SF_n = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【0067】

各サブフレーム期間において、発光素子を発光させるかさせないかが、デジタルビデオ信号の各ビットによって選択される。そして、1フレーム期間中における発光する表示期間の長さの和を制御することで、階調数を制御することができる。

30

【0068】

なお、表示上での画質向上のため、表示期間の長いサブフレーム期間を、幾つかに分割しても良い。具体的な分割の仕方については、特願 2000-267164 号において開示されているので、参照することが可能である。

【0069】

また、面積階調と組み合わせて階調を表示するようにしても良い。

【0070】

アナログビデオ信号を用いて階調を表示する場合、書き込み期間 T_a と、表示期間 T_d が終了すると1フレーム期間が終了する。1つのフレーム期間において1つの画像が表示される。そして、次のフレーム期間が開始され、再び書き込み期間 T_a が開始されて、上述した動作が繰り返される。

40

【0071】

アナログビデオ信号を用いた場合、逆バイアス期間 T_i は表示期間 T_d の直後に設ける。なお、各フレーム期間ごとに逆バイアス期間 T_i を必ずしも設ける必要はなく、数フレーム期間毎に出現させるようにしても良い。幾つの逆バイアス期間 T_i をいつ、どのぐらいの期間出現させるかについては、設計者が適宜設定することが可能である。

【0072】

本発明は、トランジスタ Tr_2 、 Tr_3 の特性が画素毎にばらついていても、図41に

50

示した一般的な発光装置に比べて、画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図 4 1 に示した電圧入力型の画素の T F T 5 1 を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【 0 0 7 3 】

なお、本発明の画素は、T r 4、T r 5 は、書き込み期間 T a では図 3 (A) のように接続され、表示期間 T d では図 3 (B) のように接続され、逆バイアス期間 T i では図 3 (C) のように接続されていれば良い。

10

【 0 0 7 4 】

なお本発明で用いられる発光素子は、正孔注入層、電子注入層、正孔輸送層または電子輸送層等が、無機化合物単独で、または有機化合物に無機化合物が混合されている材料で形成されている形態をも取り得る。また、これらの層どうしが互いに一部混合していても良い。

【 0 0 7 5 】

以下に、本発明の実施例について説明する。

【実施例 1】

【 0 0 7 6 】

本実施例では、図 2 に示した画素において、図 4 とは異なるタイミングで逆バイアス期間 T i を出現させた場合について説明する。本実施例の駆動方法について、図 5 を用いて説明する。

20

【 0 0 7 7 】

図 5 に本実施例の、画素 (i、j) における走査線に印加される電圧と、電源線に印加される電圧と、発光素子に印加される電圧のタイミングチャートを示す。なお、図 5 では、T r 4、T r 5 が共に n チャネル型 T F T で、T r 1、T r 2 及び T r 3 が p チャネル型 T F T の場合について示す。

【 0 0 7 8 】

書き込み期間 T a 1 ~ T a n 及び表示期間 T d 1 ~ T d n を全て加算した長さを T _ 1 とし、該期間における電源線 V i と発光素子の対向電極との電圧差を V _ 1 とする。そして、逆バイアス期間 T i の長さを T _ 2 とし、該期間における電源線 V i と発光素子の対向電極との電圧差を V _ 2 とする。本実施例では、電源線 V i の電圧を、 $| T _ 1 \times V _ 1 | = | T _ 2 \times V _ 2 |$ となる程度の高さに保つ。さらに、電源線 V i の電圧は、発光素子 1 0 4 に逆方向バイアスの電圧が印加される程度の高さに保たれている。

30

【 0 0 7 9 】

有機発光層中に存在するイオン性の不純物が、一方の電極に寄ってしまうことで有機発光層の一部に、抵抗が他に比べて低い部分が形成され、その抵抗の低い部分に積極的に電流が流れることで有機発光層の劣化が促進されると考えられる。本発明では、反転駆動を用いることで、イオン性の不純物が一方の電極に寄ってしまうのを防ぎ、有機発光層の劣化を抑えることができる。特に本実施例では上記構成により、単純に反転駆動をさせるよりも、より不純物イオンの一方の電極への偏り防ぐことができ、有機発光層の劣化をより抑えることができる。

40

【実施例 2】

【 0 0 8 0 】

本実施例では、図 2 に示した画素において、図 4、図 5 とは異なるタイミングで逆バイアス期間 T i を出現させた場合について説明する。本実施例の駆動方法について、図 6 を用いて説明する。

【 0 0 8 1 】

図 6 に、本実施例の画素 (i、j) における走査線に印加される電圧と、電源線に印加される電圧と、発光素子に印加される電圧のタイミングチャートを示す。なお、図 6 では

50

、 Tr_4 、 Tr_5 が共に n チャンネル型 TFT で、 Tr_1 、 Tr_2 及び Tr_3 が p チャンネル型 TFT の場合について示す。

【0082】

本実施例では、各表示期間 $Td_1 \sim Td_n$ の直後、言いかえると各サブフレーム期間の直後に、逆バイアス期間 $Ti_1 \sim Tin$ がそれぞれ出現する。例えば m ($m = 1 \sim n$ の任意の数) 番目のサブフレーム期間 SF_m において書き込み期間 Tam の直後に表示期間 Tdm が出現しており、逆バイアス期間 Tim は、表示期間 Tdm の直後に出現することになる。

【0083】

なお本実施例では、逆バイアス期間 $Ti_1 \sim Tin$ の長さは全て同じであり、各期間における電源線 Vi の高さも全て同じにしている。しかし本発明はこの構成に限定されない。各逆バイアス期間 $Ti_1 \sim Tin$ の長さ及びその電圧は、設計者が適宜設定することが可能である。

【実施例3】

【0084】

本実施例では、図2に示した画素において、図4、図5、図6とは異なるタイミングで逆バイアス期間 Ti を出現させた場合について説明する。本実施例の駆動方法について、図7を用いて説明する。

【0085】

図7に、本実施例の画素 (i 、 j) における走査線に印加される電圧と、電源線に印加される電圧と、発光素子に印加される電圧のタイミングチャートを示す。なお、図7では、 Tr_4 、 Tr_5 が共に n チャンネル型 TFT で、 Tr_1 、 Tr_2 及び Tr_3 が p チャンネル型 TFT の場合について示す。

【0086】

本実施例では、各表示期間 $Td_1 \sim Td_n$ の直後、言いかえると各サブフレーム期間の直後に、逆バイアス期間 $Ti_1 \sim Tin$ がそれぞれ出現する。例えば m ($m = 1 \sim n$ の任意の数) 番目のサブフレーム期間 SF_m において書き込み期間 Tam の直後に表示期間 Tdm が出現しており、逆バイアス期間 Tim は、表示期間 Tdm の直後に出現することになる。

【0087】

さらに本実施例では、逆バイアス期間 $Ti_1 \sim Tin$ の長さは、直前に出現する表示期間の長さが長ければ長いほど長くなっている。各期間における電源線 Vi の高さも全て同じ高さになっている。上記構成によって、図4、図5、図6に示す駆動方法に比べてより有機発光層の劣化を防ぐことができる。

【実施例4】

【0088】

本実施例では、図2に示した画素において、図4、図5、図6、図7とは異なるタイミングで逆バイアス期間 Ti を出現させた場合について説明する。本実施例の駆動方法について、図8を用いて説明する。

【0089】

図8に、本実施例の画素 (i 、 j) における走査線に印加される電圧と、電源線に印加される電圧と、発光素子に印加される電圧のタイミングチャートを示す。なお、図8では、 Tr_4 、 Tr_5 が共に n チャンネル型 TFT で、 Tr_1 、 Tr_2 及び Tr_3 が p チャンネル型 TFT の場合について示す。

【0090】

本実施例では、各表示期間 $Td_1 \sim Td_n$ の直後、言いかえると各サブフレーム期間の直後に、逆バイアス期間 $Ti_1 \sim Tin$ がそれぞれ出現する。例えば m ($m = 1 \sim n$ の任意の数) 番目のサブフレーム期間 SF_m において書き込み期間 Tam の直後に表示期間 Tdm が出現しており、逆バイアス期間 Tim は、表示期間 Tdm の直後に出現することになる。

10

20

30

40

50

【 0 0 9 1 】

さらに本実施例では、各逆バイアス期間における電源線 V_i の電圧と発光素子の対向電極との電圧差の絶対値は、直前に出現する表示期間の長さが長ければ長いほど大きくなっている。各逆バイアス期間 $T_{i1} \sim T_{in}$ の長さは全て同じである。上記構成によって、図 4、図 5、図 6 に示す駆動方法に比べてより有機発光層の劣化を防ぐことができる。

【 実施例 5 】

【 0 0 9 2 】

本実施例では、デジタルビデオ信号で駆動する、本発明の発光装置が有する信号線駆動回路及び走査線駆動回路の構成について説明する。

【 0 0 9 3 】

図 9 に信号線駆動回路 102 の構成をブロック図で示す。102a はシフトレジスタ、102b は記憶回路 A、102c は記憶回路 B、102d は電流変換回路、102e は切り替え回路である。

【 0 0 9 4 】

シフトレジスタ 102a にはクロック信号 CLK と、スタートパルス信号 SP が入力される。また記憶回路 A 102b にはデジタルビデオ信号 (Digital Video Signals) が入力され、記憶回路 B 102c にはラッチ信号 (Latch Signals) が入力される。切り替え回路 102e には切り替え信号 (Select Signals) が入力される。以下、各回路の動作について、信号の流れに従い詳しく説明する。

【 0 0 9 5 】

シフトレジスタ 102a に所定の配線からクロック信号 CLK とスタートパルス信号 SP とが入力されることによって、タイミング信号が生成される。タイミング信号は、記憶回路 A 102b が有する複数のラッチ A (LATA__1 ~ LATA__x) にそれぞれ入力される。なおこのとき、シフトレジスタ 102a において生成されたタイミング信号を、バッファ等で緩衝増幅してから、記憶回路 A 102b が有する複数のラッチ A (LATA__1 ~ LATA__x) にそれぞれ入力するようにしても良い。

【 0 0 9 6 】

記憶回路 A 102b にタイミング信号が入力されると、該タイミング信号に同期して、ビデオ信号線 130 に入力される 1 ビット分のデジタルビデオ信号が、順に複数のラッチ A (LATA__1 ~ LATA__x) のそれぞれに書き込まれ、保持される。

【 0 0 9 7 】

なお、本実施例では記憶回路 A (LATA__1 ~ LATA__x) 102b に順にデジタルビデオ信号を書き込んでいるが、本発明はこの構成に限定されない。

記憶回路 A 102b が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば 4 つのステージごとにラッチをグループに分けた場合、4 分割で分割駆動するという。

【 0 0 9 8 】

記憶回路 A 102b の全てのステージのラッチへの、デジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【 0 0 9 9 】

1 ライン期間が終了すると、記憶回路 B 102c が有する複数のラッチ B (LATB__1 ~ LATB__x) に、ラッチ信号線 131 を介してラッチシグナル (Latch Signal) が供給される。この瞬間、記憶回路 A 102b が有する複数のラッチ A (LATA__1 ~ LATA__x) に保持されているデジタルビデオ信号は、記憶回路 B 102c が有する複数のラッチ B (LATB__1 ~ LATB__x) に一斉に書き込まれ、保持される。

【 0 1 0 0 】

デジタルビデオ信号を記憶回路 B 1 0 2 c に送出し終えた記憶回路 A 1 0 2 b には、再びシフトレジスタ 1 0 2 a からのタイミング信号に同期して、次の 1 ビット分のデジタルビデオ信号の書き込みが順次行われる。この 2 順目の 1 ライン期間中には、記憶回路 B 1 0 2 c に書き込まれ、保持されているデジタルビデオ信号が、電流変換回路 1 0 2 d に入力される。

【 0 1 0 1 】

電流変換回路 1 0 2 d は複数の電流設定回路 (C 1 ~ C x) を有している。電流設定回路 (C 1 ~ C x) のそれぞれにおいて、入力されたデジタルビデオ信号が有する 1 または 0 の情報にもとづき、後段の切り替え回路 1 0 2 e に供給される信号電流 I c の大きさが決まる。具体的には、信号電流 I c は、発光素子が発光する程度の大きさか、もしくは発光しない程度の大きさを有する。

10

【 0 1 0 2 】

そして切り替え回路 1 0 2 e において、切り替え信号線 1 3 2 から入力される切り替え信号 (S e l e c t S i g n a l s) に従い、信号電流 I c を信号線に供給するか、トランジスタ T r 2 をオンにするような電圧を信号線に供給するかが選択される。

【 0 1 0 3 】

図 1 0 に電流設定回路 C 1 及び切り替え回路 D 1 の具体的な構成の一例を示す。なお電流設定回路 C 2 ~ C x も電流設定回路 C 1 と同じ構成を有する。また、電流設定回路 D 2 ~ D x も電流設定回路 D 1 と同じ構成を有する。

【 0 1 0 4 】

電流設定回路 C 1 は定電流源 6 3 1 と、4 つのトランスマッションゲート S W 1 ~ S W 4 と、2 つのインバーター I n b 1、I n b 2 とを有している。なお、定電流源 6 3 1 が有するトランジスタ 6 5 0 の極性は、画素が有するトランジスタ T r 1 及び T r 2 の極性と同じである。

20

【 0 1 0 5 】

記憶回路 B 1 0 2 c が有する L A T B _ 1 から出力されたデジタルビデオ信号によって、S W 1 ~ S W 4 のスイッチングが制御される。なお S W 1 及び S W 3 に入力されるデジタルビデオ信号と、S W 2 及び S W 4 に入力されるデジタルビデオ信号は、I n b 1、I n b 2 によって反転している。そのため S W 1 及び S W 3 がオンのときは S W 2 及び S W 4 はオフ、S W 1 及び S W 3 がオフのときは S W 2 及び S W 4 はオンとなっている。

30

【 0 1 0 6 】

S W 1 及び S W 3 がオンのとき、定電流源 6 3 1 から 0 ではない所定の値の電流 I d が S W 1 及び S W 3 を介して、信号電流 I c として切り替え回路 D 1 に入力される。

【 0 1 0 7 】

逆に S W 2 及び S W 4 がオンのときは、定電流源 6 3 1 からの電流 I d は S W 2 を介してグラウンドにおとされる。また S W 4 を介して電源線 V 1 ~ V x の電源電圧が切り替え回路 D 1 に与えられ、I c = 0 となる。

【 0 1 0 8 】

切り替え回路 D 1 は、2 つのトランスマッションゲート S W 5、S W 6 と、1 つのインバーター I n b 3 とを有している。S W 5、S W 6 は切り替え信号によってそのスイッチングが制御されている。そして、S W 5、S W 6 のそれぞれに入力される切り替え信号は、インバーター I n b 3 によって互いにその極性が反転しているので、S W 5 がオンのとき S W 6 はオフ、S W 5 がオフのとき S W 6 はオンになる。S W 5 がオンのとき信号線 S 1 に信号電流 I c が入力され、S W 6 がオンのとき信号線 S 1 にトランジスタ T r 2 をオンにするような電圧が与えられる。

40

【 0 1 0 9 】

再び図 9 を参照して、前記の動作が、1 ライン期間内に、電流変換回路 1 0 2 d が有する全ての電流設定回路 (C 1 ~ C x) において同時に行われる。よって、デジタルビデオ信号により、全ての信号線に入力される信号電流 I c の値が選択される。

【 0 1 1 0 】

50

本発明において用いられる駆動回路は、本実施例で示した構成に限定されない。さらに、本実施例で示した電流変換回路は、図10に示した構成に限定されない。本発明で用いられる電流変換回路は、信号電流 I_c が取りうる2値のいずれか一方をデジタルビデオ信号によって選択し、選択された値を有する信号電流を信号線に供給することができれば、どのような構成を有していても良い。また切り替え回路も図10に示した構成に限定されず、信号電流 I_c を信号線に inputs するか、トランジスタ T_{r2} をオンにするような電圧を信号線に inputs するかを選択することができる回路であれば良い。

【0111】

なお、シフトレジスタの代わりに、例えばデコーダ回路のような信号線を選択ができる別の回路を用いても良い。

10

【0112】

次に、走査線駆動回路の構成について説明する。

【0113】

図11は走査線駆動回路641の構成を示すブロック図である。走査線駆動回路641は、それぞれシフトレジスタ642、バッファ643を有している。また場合によってはレベルシフタを有していても良い。

【0114】

走査線駆動回路641において、シフトレジスタ642にクロック CLK 及びスタートパルス信号 SP が inputs されることによって、タイミング信号が生成される。生成されたタイミング信号はバッファ643において緩衝増幅され、対応する走査線に供給される。

20

【0115】

走査線には、1ライン分の画素のトランジスタのゲートが接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファ643は大きな電流を流すことが可能なものが用いられる。

【0116】

なお、本発明の発光装置が有する走査線駆動回路は、図11に示した構成に限定されない。例えばシフトレジスタの代わりに、デコーダ回路のような走査線を選択ができる別の回路を用いても良い。

【0117】

本実施例の構成は、実施例1～4と自由に組み合わせて実施することが可能である。

30

【実施例6】

【0118】

本実施例では、アナログ駆動法で駆動する本発明の発光装置が有する信号線駆動回路の構成について説明する。なお走査線駆動回路の構成は、実施例5において示した構成を用いることができるので、ここでは説明を省略する。

【0119】

図12に本実施例の信号線駆動回路401のブロック図を示す。402はシフトレジスタ、403はバッファ、404はサンプリング回路、405は電流変換回路、406は切り替え回路406を示している。

【0120】

シフトレジスタ402には、クロック信号(CLK)、スタートパルス信号(SP)が inputs されている。シフトレジスタ402にクロック信号(CLK)とスタートパルス信号(SP)が inputs されると、タイミング信号が生成される。

40

【0121】

生成されたタイミング信号は、バッファ403において増幅または緩衝増幅されて、サンプリング回路404に inputs される。なお、バッファの代わりにレベルシフタを設けて、タイミング信号を増幅しても良い。また、バッファとレベルシフタを両方設けていても良い。

【0122】

サンプリング回路404では、ビデオ信号線430から inputs されたアナログビデオ信号

50

を、タイミング信号に同期して後段の電流変換回路 405 に入力する。

【0123】

電流変換回路では、入力されたアナログビデオ信号の電圧に見合った大きさの信号電流 I_c を生成し、後段の切り替え回路 406 に入力する。切り替え回路 406 では、信号電流 I_c を信号線に入力するか、トランジスタ T_r2 をオフにするような電圧を信号線に入力するかが選択される。

【0124】

図 13 にサンプリング回路 404 と、電流変換回路 405 が有する電流設定回路 ($C1 \sim Cx$) の具体的な構成を示す。なおサンプリング回路 404 は、端子 410 においてバッファ 403 と接続されている。

10

【0125】

サンプリング回路 404 には、複数のスイッチ 411 が設けられている。そしてサンプリング回路 404 には、ビデオ信号線 430 からアナログビデオ信号が入力されており、スイッチ 411 はタイミング信号に同期して、該アナログビデオ信号をサンプリングし、後段の電流設定回路 $C1$ に入力する。なお図 13 では、電流設定回路 $C1 \sim Cx$ の 1 つである $C1$ はサンプリング回路 404 が有するスイッチ 411 の 1 つに接続されている電流設定回路 $C1$ だけを示しているが、各スイッチ 411 の後段に、図 13 に示したような電流設定回路 $C1$ が接続されているものとする。

【0126】

なお本実施例では、スイッチ 411 にトランジスタを 1 つだけ用いているが、スイッチ 411 はタイミング信号に同期してアナログビデオ信号をサンプリングできるスイッチであれば良く、本実施例の構成に限定されない。

20

【0127】

サンプリングされたアナログビデオ信号は、電流設定回路 $C1$ が有する電流出力回路 412 に入力される。電流出力回路 412 は、入力されたビデオ信号の電圧に見合った値の電流 (信号電流) を出力する。なお図 12 ではアンプ及びトランジスタを用いて電流出力回路を形成しているが、本発明はこの構成に限定されず、入力された信号の電圧に見合った値の電流を出力することができる回路であれば良い。

【0128】

該信号電流は、同じく電流設定回路 $C1$ が有するリセット回路 417 に入力される。リセット回路 417 は、2 つのトランスミッションゲート 413、414 と、インバーター 416 と、を有している。

30

【0129】

トランスミッションゲート 414 にはリセット信号 (Res) が入力されており、トランスミッションゲート 413 には、インバーター 416 によって反転されたりセット信号 (Res) が入力されている。そしてトランスミッションゲート 413 とトランスミッションゲート 414 は、反転されたりセット信号とリセット信号にそれぞれ同期して動作しており、一方がオンのとき片一方がオフになっている。

【0130】

そして、トランスミッションゲート 413 がオンのときに信号電流は後段の切り替え回路 $D1$ に入力される。逆に、トランスミッションゲート 414 がオンのときに電源 415 の電圧が後段の切り替え回路 $D1$ に与えられる。なお信号線は、帰線期間中にリセットするのが望ましい。しかし、画像を表示している期間以外であるならば、必要に応じて帰線期間以外の期間にリセットすることも可能である。

40

【0131】

切り替え回路 $D1$ は、2 つのトランスミッションゲート $SW1$ 、 $SW2$ と、1 つのインバーター Inb とを有している。 $SW1$ 、 $SW2$ は切り替え信号によってそのスイッチングが制御されている。そして、 $SW1$ 、 $SW2$ のそれぞれに入力される切り替え信号は、インバーター Inb によって互いにその極性が反転しているので、 $SW1$ がオンのとき $SW2$ はオフ、 $SW1$ がオフのとき $SW2$ はオンになる。 $SW1$ がオンのとき信号線 $S1$ に

50

信号電流 I_c が入力され、 $SW2$ がオンのとき信号線 $S1$ にトランジスタ $Tr2$ をオンにするような電圧が与えられる。

【0132】

なお、シフトレジスタの代わりに、例えばデコード回路のような信号線の選択ができる別の回路を用いても良い。

【0133】

本発明の発光装置を駆動する信号線駆動回路は、本実施例で示す構成に限定されない。本実施例の構成は、実施例1～実施例4に示した構成と自由に組み合わせて実施することが可能である。

【実施例7】

10

【0134】

本実施例では、図2とは異なる本発明の発光装置の画素の構成について説明する。

【0135】

図14に本実施例の画素の構成を示す。図1に示す画素101は、信号線 S_i ($S1 \sim Sx$ のうちの1つ)、第1走査線 G_j ($G1 \sim Gy$ のうちの1つ)、第2走査線 P_j ($P1 \sim Py$ のうちの1つ) 及び電源線 V_i ($V1 \sim Vx$ のうちの1つ) を有している。

【0136】

また画素101は、 $Tr1$ 、 $Tr2$ 、 $Tr3$ 、 $Tr4$ 、発光素子204及び保持容量205を有している。

【0137】

20

$Tr3$ と $Tr4$ のゲートは、共に第1走査線 G_j に接続されている。 $Tr3$ の第1の端子と第2の端子は、一方は信号線 S_i に、もう一方は $Tr2$ の第1の端子に接続されている。また $Tr4$ の第1の端子と第2の端子は、一方は $Tr2$ の第1の端子に、もう一方は $Tr1$ のゲートに接続されている。つまり、 $Tr3$ の第1の端子と第2の端子のいずれか一方と、 $Tr4$ の第1の端子と第2の端子のいずれか一方とは、接続されている。

【0138】

$Tr1$ の第1の端子は電源線 V_i に、第2の端子は $Tr2$ の第1の端子に接続されている。 $Tr2$ のゲートは第2走査線 P_j に接続されている。そして $Tr2$ の第2の端子は発光素子204が有する画素電極に接続されている。発光素子204は、画素電極と、対向電極と、画素電極と対向電極の間に設けられた有機発光層とを有している。発光素子204の対向電極は発光パネルの外部に設けられた電源によって一定の電圧が与えられている。

30

【0139】

なお、 $Tr3$ と $Tr4$ は、 n チャネル型TFTと p チャネル型TFTのどちらでも良い。ただし、 $Tr3$ と $Tr4$ の極性は同じである。また、 $Tr1$ は n チャネル型TFTと p チャネル型TFTのどちらでも良い。 $Tr2$ は、 n チャネル型TFTと p チャネル型TFTのどちらでも良い。発光素子の画素電極と対向電極は、一方が陽極であり、他方が陰極である。 $Tr2$ が p チャネル型TFTの場合、陽極を画素電極として用い、陰極を対向電極として用いるのが望ましい。逆に、 $Tr2$ が n チャネル型TFTの場合、陰極を画素電極として用い、陽極を対向電極として用いるのが望ましい。

40

【0140】

保持容量205は $Tr1$ のゲートとソースとの間に形成されている。保持容量205は $Tr1$ のゲートとソースの間の電圧 (V_{GS}) をより確実に維持するために設けられているが、必ずしも設ける必要はない。

【0141】

次に、本実施例の発光装置の動作について図15を用いて説明する。本発明の発光装置の動作は、各ラインの画素毎に書き込み期間 T_a と、表示期間 T_d と、逆バイアス期間 T_i とに分けて説明することができる。図15は、各期間におけるトランジスタ $Tr1$ 、 $Tr2$ 、発光素子204の接続を簡単に示した図であり、ここでは $Tr1$ が p チャネル型TFTで、発光素子204の陽極を画素電極として用いた場合を例に挙げる。

50

【 0 1 4 2 】

まず、各ラインの画素において書き込み期間 T_a が開始されると、電源線 $V_1 \sim V_x$ の電圧は、トランジスタ $T_r 2$ 及び $T_r 3$ がオンになったときに順方向バイアスの電流が発光素子に流れる程度の高さに保たれる。つまり、 $T_r 1$ が p チャネル型 TFT で、発光素子 204 の陽極を画素電極として用いた場合、電源線 V_i が対向電極の電圧よりも高くなるように設定する。逆に $T_r 1$ が n チャネル型 TFT で、発光素子 204 の陰極を画素電極として用いた場合は、電源線 V_i が対向電極の電圧よりも低くなるように設定する。

【 0 1 4 3 】

そして、走査線駆動回路 103 によって各ラインの第 1 走査線が順に選択され、トランジスタ $T_r 3$ と $T_r 4$ がオンになる。なお、各第 1 走査線の選択される期間は互いに重ならない。また第 2 走査線 $P_1 \sim P_y$ は選択されない。そして、信号線駆動回路 102 に入力されるビデオ信号に基づき、信号線 $S_1 \sim S_x$ と電源線 $V_1 \sim V_x$ の間に、それぞれビデオ信号の電圧に応じた大きさの信号電流 I_c が流れる。

10

【 0 1 4 4 】

図 15 (A) に、書き込み期間 T_a において、信号線 S_i に信号電流 I_c が流れた場合の、画素の概略図を示す。206 は対向電極に電圧を与える電源との接続用の端子を意味している。また、207 は信号線駆動回路 102 が有する定電流源を意味する。

【 0 1 4 5 】

$T_r 3$ 及び $T_r 4$ はオンの状態にあるので、信号線 S_i に信号電流 I_c が流れると、信号電流 I_c は $T_r 1$ のドレインと第 1 の端子の間に流れる。 $T_r 1$ の第 1 の端子は電源線 V_i に接続されている。

20

【 0 1 4 6 】

$T_r 1$ はゲートとドレインが接続されているので飽和領域で動作している。よって、式 1 から、トランジスタ $T_r 1$ のゲート電圧 V_{GS} は信号電流の電流値 I_c によって定まることがわかる。

【 0 1 4 7 】

書き込み期間 T_a が終了すると、表示期間 T_d が開始される。表示期間 T_d における電源線 V_i の電圧は、書き込み期間 T_a における電圧と同じ高さに保たれている。また表示期間 T_d では、第 1 走査線 $G_1 \sim G_y$ が全て選択されず、第 2 走査線 $P_1 \sim P_y$ が全て選択される。

30

【 0 1 4 8 】

図 15 (B) に、表示期間 T_d における画素の概略図を示す。 $T_r 3$ 及び $T_r 4$ はオフの状態にある。また、 $T_r 1$ のソースは電源線 V_i に接続されている。表示期間 T_d では、書き込み期間 T_a において定められた V_{GS} が維持されており、よって書き込み期間 T_a と同じ大きさの $T_r 1$ のドレイン電流が、 $T_r 2$ を介して発光素子に供給される。発光素子 204 は、供給された電流の大きさに応じた輝度で発光する。

【 0 1 4 9 】

なお、書き込み期間 T_a の直後には必ず表示期間 T_d が出現する。表示期間 T_d の直後には、次の書き込み期間 T_a が出現するか、もしくは逆バイアス期間 T_i が出現する。

【 0 1 5 0 】

40

逆バイアス期間が開始されると、電源線 $V_1 \sim V_x$ の電圧は、トランジスタ $T_r 1$ 及び $T_r 2$ がオンになったときに逆方向バイアスの電圧が発光素子に印加される程度の高さに保たれる。つまり、 $T_r 1$ が p チャネル型 TFT で、発光素子 204 の陽極を画素電極として用いた場合、電源線 V_i が対向電極の電圧よりも低くなるように設定する。逆に $T_r 1$ が n チャネル型 TFT で、発光素子 204 の陰極を画素電極として用いた場合は、電源線 V_i が対向電極の電圧よりも高くなるように設定する。

【 0 1 5 1 】

本実施例では、逆バイアス期間では表示期間 T_d と同様に、トランジスタ $T_r 3$ 、 $T_r 4$ がオフ、 $T_r 2$ がオンの状態である。

【 0 1 5 2 】

50

図 15 (C) に、逆バイアス期間 T_i における画素 101 の概略図を示す。発光素子 204 は逆方向バイアスの電圧が印加されると発光しない状態になる。書き込み期間 T_a において T_{r1} が完全にオンになり、 T_{r1} のソースとドレインの電圧差がほぼ 0 に等しければ、電源線 V_i と対向電極の間の電圧差がそのまま発光素子 204 に印加される。

【0153】

また、逆バイアス期間 T_i の長さは、デューティ比 (1 フレーム期間における表示期間の長さの総和の割合) との兼ね合いを考慮し、設計者が適宜設定することが可能である。

【0154】

なお、本実施例の発光装置は、デジタルビデオ信号を用いて表示を行うことも可能であるし、アナログビデオ信号を用いて表示を行うことも可能である。

10

【0155】

本実施例は、実施例 1 ~ 6 と組み合わせて実施することが可能である。

【実施例 8】

【0156】

本実施例では、図 2、図 14 とは異なる本発明の発光装置の画素の構成について説明する。

【0157】

図 16 に、図 1 で示した画素 101 の詳しい構成を示す。図 16 に示す画素 101 は、信号線 S_i ($S_1 \sim S_x$ のうちの 1 つ)、第 1 走査線 G_j ($G_1 \sim G_y$ のうちの 1 つ)、第 2 走査線 P_j ($P_1 \sim P_y$ のうちの 1 つ) 及び電源線 V_i ($V_1 \sim V_x$ のうちの 1 つ) を有している。

20

【0158】

本実施例の画素 101 は、トランジスタ T_{r1} 、 T_{r2} 、 T_{r3} 、 T_{r4} 、発光素子 224 及び保持容量 225 を有している。

【0159】

トランジスタ T_{r3} とトランジスタ T_{r4} のゲートは、共に第 1 走査線 G_j に接続されている。トランジスタ T_{r3} の第 1 の端子と第 2 の端子は、一方は信号線 S_i に、もう一方はトランジスタ T_{r1} のゲートに接続されている。またトランジスタ T_{r4} の第 1 の端子と第 2 の端子は、一方は信号線 S_i に、もう一方はトランジスタ T_{r1} の第 2 の端子に接続されている。

30

【0160】

トランジスタ T_{r1} の第 1 の端子は電源線 V_i に接続されており、第 2 の端子はトランジスタ T_{r2} の第 1 の端子に接続されている。トランジスタ T_{r2} のゲートは第 2 走査線 P_j に接続されている。トランジスタ T_{r2} の第 2 の端子は、発光素子 224 が有する画素電極に接続されており、対向電極の電圧は一定の高さに保たれている。

【0161】

なお、トランジスタ T_{r3} とトランジスタ T_{r4} は、 n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。ただし、トランジスタ T_{r3} とトランジスタ T_{r4} の極性は同じである。

40

【0162】

また、トランジスタ T_{r1} と T_{r2} は、 n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。ただし、トランジスタ T_{r1} と T_{r2} の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ T_{r1} と T_{r2} は p チャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ T_{r1} と T_{r2} は n チャネル型トランジスタであるのが望ましい。

【0163】

保持容量 225 はトランジスタ T_{r1} のゲートとソースの間に形成されている。保持容量 225 はトランジスタ T_{r1} のゲートとソースの間の電圧 (ゲート電圧) を維持するた

50

めに設けられているが、必ずしも設ける必要はない。

【0164】

次に、本実施例の発光装置の動作について図17を用いて説明する。本発明の発光装置の動作は、各ラインの画素毎に書き込み期間 T_a と、表示期間 T_d と、逆バイアス期間 T_i とに分けて説明することができる。図17は、各期間におけるトランジスタ Tr_1 、 Tr_2 、発光素子224の接続を簡単に示した図であり、ここでは Tr_1 がpチャネル型TFTで、発光素子224の陽極を画素電極として用いた場合を例に挙げる。

【0165】

まず書き込み期間 T_a では、各ラインの画素において書き込み期間 T_a が開始されると、電源線 $V_1 \sim V_x$ の電圧は、トランジスタ Tr_1 及び Tr_2 がオンになったときに順方向バイアスの電流が発光素子に流れる程度の高さに保たれる。

つまり、 Tr_1 pチャネル型TFTで発光素子224の陽極を画素電極として用いた場合、電源線 V_i が対向電極の電圧よりも高くなるように設定する。逆に Tr_1 がnチャネル型TFTで発光素子224の陰極を画素電極として用いた場合は、電源線 V_i が対向電極の電圧よりも低くなるように設定する。

【0166】

そして走査線駆動回路103によって各ラインの第1走査線が順に選択され、第1走査線 G_j にゲートが接続されたトランジスタ Tr_3 及び Tr_4 がオンになる。なお、各第1走査線の選択される期間は互いに重ならない。書き込み期間 T_a では、第2走査線 P_j は選択されておらず、 Tr_2 はオフになっている。

【0167】

そして、信号線駆動回路102に入力されるビデオ信号の電圧に基づき、信号線 $S_1 \sim S_x$ と電源線 $V_1 \sim V_x$ の間に、それぞれビデオ信号に応じた信号電流 I_c が流れる。

【0168】

図17(A)に、書き込み期間 T_a において、信号線 S_i に信号電流 I_c が流れた場合の、画素101の概略図を示す。227は信号線駆動回路102が有する定電流源を意味する。また、226は対向電極に電圧を与える電源への接続用の端子である。

【0169】

書き込み期間 T_a において、トランジスタ Tr_3 及び Tr_4 はオンの状態にあるので、信号線 S_i に信号電流 I_c が流れると、信号電流 I_c はトランジスタ Tr_1 のソースとドレインの間に流れる。このとき、トランジスタ Tr_1 はゲートとドレインが接続されているので、飽和領域で動作する。よって式1からわかるように、トランジスタ Tr_1 のゲート電圧 V_{GS} は信号電流 I_c の値によって定まる。

【0170】

書き込み期間 T_a が終了すると、表示期間 T_d が開始される。表示期間 T_d における電源線 V_i の電圧は、書き込み期間 T_a における電圧と同じ高さに保たれている。また表示期間 T_d では第1走査線 G_j は選択されておらず、第2走査線 P_j が選択される。

【0171】

図17(B)に、表示期間 T_d における画素の概略図を示す。トランジスタ Tr_3 及びトランジスタ Tr_4 はオフになっている。また、トランジスタ Tr_2 はオンになっている。

【0172】

表示期間 T_d では、トランジスタ Tr_1 は、書き込み期間 T_a において定められた V_{GS} がそのまま維持されている。そのため、トランジスタ Tr_1 のドレイン電流は信号電流 I_c と同じ値に維持されたままである。また、トランジスタ Tr_2 はオンになっているので、ドレイン電流はトランジスタ Tr_2 を介して発光素子224に流れる。よって、表示期間 T_d では、該信号電流 I_c と同じ大きさの駆動電流が発光素子224に流れ、かつ該駆動電流の大きさに見合った輝度で、発光素子224が発光する。

【0173】

なお、書き込み期間 T_a の直後には必ず表示期間 T_d が出現する。表示期間 T_d の直後

には、次の書き込み期間 T_a が出現するか、もしくは逆バイアス期間 T_i が出現する。

【0174】

逆バイアス期間が開始されると、電源線 $V_1 \sim V_x$ の電圧は、トランジスタ Tr_1 及び Tr_2 がオンになったときに逆方向バイアスの電圧が発光素子に印加される程度の高さに保たれる。つまり、 Tr_1 が p チャンネル型 T F T で発光素子 224 の陽極を画素電極として用いた場合、電源線 V_i が対向電極の電圧よりも低くなるように設定する。逆に Tr_1 が n チャンネル型 T F T で発光素子 224 の陰極を画素電極として用いた場合は、電源線 V_i が対向電極の電圧よりも高くなるように設定する。

【0175】

本実施例では、逆バイアス期間では表示期間 T_d と同様に、トランジスタ Tr_3 、 Tr_4 がオフ、 Tr_2 がオンの状態である。

10

【0176】

図 17 (C) に、逆バイアス期間 T_i における画素 101 の概略図を示す。発光素子 224 は逆方向バイアスの電圧が印加されると発光しない状態になる。書き込み期間 T_a において Tr_1 が完全にオンになり、 Tr_1 のソースとドレインの電圧差がほぼ 0 に等しければ、電源線 V_i と対向電極の間の電圧差がそのまま発光素子 224 に印加される。

【0177】

また、逆バイアス期間 T_i の長さは、デューティ比 (1 フレーム期間における表示期間の長さの総和の割合) との兼ね合いを考慮し、設計者が適宜設定することが可能である。

20

【0178】

なお、本実施例の発光装置は、デジタルビデオ信号を用いて表示を行うことも可能であるし、アナログビデオ信号を用いて表示を行うことも可能である。

【0179】

本実施例は、実施例 1 ~ 6 と組み合わせて実施することが可能である。

【実施例 9】

【0180】

本実施例では、図 2、図 14、図 16 とは異なる本発明の発光装置の画素の構成について説明する。

【0181】

30

図 18 に、図 1 で示した画素 101 の詳しい構成を示す。図 18 に示す画素 101 は、信号線 S_i ($S_1 \sim S_x$ のうちの 1 つ)、第 1 走査線 G_j ($G_1 \sim G_y$ のうちの 1 つ)、第 2 走査線 P_j ($P_1 \sim P_y$ のうちの 1 つ)、第 3 走査線 R_j ($R_1 \sim R_y$ のうちの 1 つ) 及び電源線 V_i ($V_1 \sim V_x$ のうちの 1 つ) を有している。

【0182】

また本実施例の画素 101 は、トランジスタ Tr_1 、 Tr_2 、 Tr_3 、 Tr_4 、 Tr_5 、発光素子 234 及び保持容量 235 を有している。保持容量 235 はトランジスタ Tr_1 及び Tr_2 のゲートとソースの間の電圧をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0183】

40

トランジスタ Tr_3 のゲートは第 1 走査線 G_j に接続されている。そしてトランジスタ Tr_3 の第 1 の端子と第 2 の端子は、一方は信号線 S_i に接続されており、もう一方はトランジスタ Tr_1 の第 2 の端子に接続されている。

【0184】

トランジスタ Tr_4 のゲートは、第 2 走査線 P_j に接続されている。そしてトランジスタ Tr_4 の第 1 の端子と第 2 の端子は、一方は信号線 S_i に、もう一方はトランジスタ Tr_1 のゲート及びトランジスタ Tr_2 のゲートに接続されている。

【0185】

トランジスタ Tr_5 のゲートは、第 3 走査線 R_j に接続されている。そしてトランジスタ Tr_5 の第 1 の端子と第 2 の端子は、一方はトランジスタ Tr_1 の第 2 の端子に、もう

50

一方はトランジスタ $T_r 2$ の第2の端子に接続されている。

【0186】

トランジスタ $T_r 1$ とトランジスタ $T_r 2$ のゲートは、互いに接続されている。トランジスタ $T_r 1$ とトランジスタ $T_r 2$ の第1の端子は、共に電源線 V_i に接続されている。そして、トランジスタ $T_r 2$ の第2の端子は、発光素子234の画素電極に接続されている。対向電極は一定の高さに保たれている。

【0187】

保持容量235が有する2つの電極は、一方はトランジスタ $T_r 1$ とトランジスタ $T_r 2$ のゲートに、もう一方は電源線 V_i に接続されている。

【0188】

なお、トランジスタ $T_r 1$ 及び $T_r 2$ は n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。ただし、トランジスタ $T_r 1$ 及び $T_r 2$ の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ $T_r 1$ 及び $T_r 2$ は p チャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ $T_r 1$ 及び $T_r 2$ は n チャネル型トランジスタであるのが望ましい。

【0189】

トランジスタ $T_r 3$ 、 $T_r 4$ 、 $T_r 5$ は、 n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。

【0190】

次に、本実施例の発光装置の動作について図19を用いて説明する。本発明の発光装置の動作は、各ラインの画素毎に書き込み期間 T_a と、表示期間 T_d と、逆バイアス期間 T_i とに分けて説明することができる。図19は、各期間におけるトランジスタ $T_r 1$ 、 $T_r 2$ 、発光素子234の接続を簡単に示した図であり、ここでは $T_r 1$ 及び $T_r 2$ が p チャネル型TFTで、発光素子234の陽極を画素電極として用いた場合を例に挙げる。

【0191】

まず、各ラインの画素において書き込み期間 T_a が開始されると、電源線 $V_1 \sim V_x$ の電圧は、トランジスタ $T_r 2$ がオンになったときに順方向バイアスの電流が発光素子に流れる程度の高さに保たれる。つまり、 $T_r 1$ 及び $T_r 2$ が p チャネル型TFTで、発光素子234の陽極を画素電極として用いた場合、電源線 V_i が対向電極の電圧よりも高くなるように設定する。逆に $T_r 1$ 及び $T_r 2$ が n チャネル型TFTで、発光素子234の陰極を画素電極として用いた場合は、電源線 V_i が対向電極の電圧よりも低くなるように設定する。

【0192】

そして、走査線駆動回路103によって各ラインの第1走査線及び第2走査線が順に選択され、トランジスタ $T_r 3$ と $T_r 4$ がオンになる。なお、第3走査線は選択されていないので、トランジスタ $T_r 5$ はオフになっている。各第1走査線及び第2走査線の選択される期間は互いに重ならない。そして、信号線駆動回路102に入力されるビデオ信号に基づき、信号線 $S_1 \sim S_x$ と電源線 $V_1 \sim V_x$ の間に、それぞれビデオ信号の電圧に応じた大きさの信号電流 I_c が流れる。

【0193】

そして、信号線駆動回路102に入力されるビデオ信号に基づき、信号線 $S_1 \sim S_x$ と電源線 $V_1 \sim V_x$ の間に、それぞれビデオ信号に応じた電流（以下、信号電流 I_c ）が流れる。

【0194】

図19(A)に、書き込み期間 T_a において、信号線 S_i にビデオ信号に応じた信号電流 I_c が流れた場合の、画素101の概略図を示す。236は対向電極に電圧を与える電源との接続用の端子を意味している。また、237は信号線駆動回路102が有する定電流源を意味する。

【0195】

10

20

30

40

50

トランジスタ T_r3 はオンの状態にあるので、信号線 S_i にビデオ信号に応じた信号電流 I_c が流れると、信号電流 I_c はトランジスタ T_r1 のドレインとソースの間に流れる。このときトランジスタ T_r1 は、ゲートとドレインが接続されているので飽和領域で動作しており、式1が成り立つ。よって、トランジスタ T_r1 のゲート電圧 V_{GS} は電流値 I_c によって定まる。

【0196】

そしてトランジスタ T_r2 のゲートは、トランジスタ T_r1 のゲートに接続されている。また、トランジスタ T_r2 のソースは、トランジスタ T_r1 のソースに接続されている。したがって、トランジスタ T_r1 のゲート電圧は、そのままトランジスタ T_r2 のゲート電圧となる。よって、トランジスタ T_r2 のドレイン電流は、トランジスタ T_r1 のドレイン電流に比例する。特に、 $\mu C_0 W/L$ 及び V_{TH} が互いに等しいとき、トランジスタ T_r1 とトランジスタ T_r2 のドレイン電流は互いに等しくなる。

10

【0197】

そして、トランジスタ T_r2 のドレイン電流は発光素子234に流れる。発光素子に流れる電流は、定電流源237において定められた信号電流 I_c に応じた大きさであり、流れる電流の大きさに見合った輝度で発光素子234は発光する。発光素子に流れる電流が0に限りなく近かったり、発光素子に流れる電流が逆方向バイアスである場合は、発光素子234は発光しない。

【0198】

各ライン目の画素において書き込み期間 T_a が終了すると、第1走査線、第2走査線の選択が終了する。このとき、第2走査線を選択が、第1走査線よりも先に終了するのが望ましい。なぜならトランジスタ T_r3 が先にオフになってしまうと、保持容量235の電荷が T_r4 を通して漏れてしまうからである。

20

【0199】

書き込み期間 T_a が終了すると、次に表示期間 T_d が開始される。表示期間 T_d における電源線 V_i の電圧は、書き込み期間 T_a における電圧と同じ高さに保たれている。表示期間 T_d が開始されると、第3走査線が順に選択され、トランジスタ T_r5 がオンになる。なお、第1走査線及び第2走査線は選択されていないので、トランジスタ T_r3 及び T_r4 はオフになっている。

【0200】

30

図19(B)に、表示期間 T_d における画素の概略図を示す。トランジスタ T_r3 及びトランジスタ T_r4 はオフの状態にある。また、トランジスタ T_r1 及びトランジスタ T_r2 のソースは電源線 V_i に接続されている。

【0201】

トランジスタ T_r1 、 T_r2 においては、書き込み期間 T_a において定められた V_{GS} がそのまま保持されている。そのため、トランジスタ T_r1 のドレイン電流 I_1 と、トランジスタ T_r2 のドレイン電流 I_2 の値は、共に信号電流 I_c に応じた大きさに維持されたままである。また、トランジスタ T_r5 がオンなので、トランジスタ T_r1 のドレイン電流 I_1 と、トランジスタ T_r2 のドレイン電流 I_2 は、共に発光素子234に流れる。よって、ドレイン電流 I_1 と、ドレイン電流 I_2 を合わせた電流の大きさに見合った輝度で、発光素子234は発光する。

40

【0202】

なお、書き込み期間 T_a の直後には必ず表示期間 T_d が出現する。表示期間 T_d の直後には、次の書き込み期間 T_a が出現するか、もしくは逆バイアス期間 T_i が出現する。

【0203】

逆バイアス期間が開始されると、電源線 $V_1 \sim V_x$ の電圧は、トランジスタ T_r2 がオンになったときに逆方向バイアスの電圧が発光素子に印加される程度の高さに保たれる。つまり、 T_r1 及び T_r2 がpチャネル型TFTで、発光素子234の陽極を画素電極として用いた場合、電源線 V_i が対向電極の電圧よりも低くなるように設定する。逆に T_r1 及び T_r2 がnチャネル型TFTで、発光素子234の陰極を画素電極として用いた場

50

合は、電源線 V_i が対向電極の電圧よりも高くなるように設定する。

【0204】

そして、走査線駆動回路 103 によって各ラインの第 1、第 2 及び第 3 走査線が順に選択され、トランジスタ Tr_3 、 Tr_4 及び Tr_5 がオンになる。そして、信号線駆動回路 102 によって、信号線 $S_1 \sim S_x$ のそれぞれにトランジスタ Tr_1 及び Tr_2 がオンになるような電圧が印加される。

【0205】

図 19 (C) に、逆バイアス期間 T_i における画素 101 の概略図を示す。逆バイアス期間 T_i においては、 Tr_1 及び Tr_2 がオンになるので、逆方向バイアスの電圧が発光素子 234 に印加されることになる。発光素子 234 は逆方向バイアスの電圧が印加されると発光しない状態になる。

10

【0206】

なお、電源線の電圧は、トランジスタ Tr_1 及び Tr_2 がオンになったときに、逆方向バイアスの電圧が発光素子に印加される高さであれば良い。また、逆バイアス期間 T_i の長さは、デューティ比 (1 フレーム期間における表示期間の長さの総和の割合) との兼ね合いを考慮し、設計者が適宜設定することが可能である。

【0207】

なお、発光素子に流れる電流の大きさに見合った輝度で発光素子 234 が発光するので、各画素の階調は、表示期間 T_d における発光素子に流れる電流の大きさで決まる。なお、書き込み期間 T_a においても、ドレイン電流 I_1 の大きさに見合った輝度で発光しているが、その階調に与える影響は、実際のパネルでは無視できる程度に小さいと考えられる。なぜなら、例えば VGA だと 480 ラインの画素が画素部に設けられており、1 ラインの画素の書き込み期間 T_a は 1 フレーム期間の $1/480$ 程度と非常に小さいからである。もちろん、書き込み期間 T_a における発光素子に流れる電流の階調への影響を考慮に入れて、信号電流 I_c の大きさを補正するようにしても良い。

20

【0208】

本実施例の画素では、表示期間において発光素子に流れる電流はドレイン電流 I_1 と、ドレイン電流 I_2 の和である。よって、発光素子に流れる電流がドレイン電流 I_2 のみに依存していない。そのため、トランジスタ Tr_1 とトランジスタ Tr_2 の特性がずれて、トランジスタ Tr_1 のドレイン電流 I_1 に対するトランジスタ Tr_2 のドレイン電流 I_2 の比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

30

【0209】

また、本発明の画素では、書き込み期間 T_a においてトランジスタ Tr_1 のドレイン電流は発光素子に流れていない。よって信号線駆動回路によって画素に電流が供給され、トランジスタ Tr_1 のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

40

【0210】

なお、本実施例において、トランジスタ Tr_4 の第 1 の端子と第 2 の端子は、一方は信号線 S_i に、もう一方はトランジスタ Tr_1 のゲート及びトランジスタ Tr_2 のゲートに接続されている。しかし本実施例はこの構成に限定されない。

本発明の画素は、書き込み期間 T_a においてトランジスタ Tr_1 のゲートとドレインを接続し、表示期間においてトランジスタ Tr_1 のゲートとドレインを切り離すことができるように、トランジスタ Tr_4 が他の素子または配線と接続されていれば良い。

【0211】

つまり、 Tr_3 、 Tr_4 、 Tr_5 は、 T_a では図 19 (A) のように接続され、 T_d では図 19 (B)、 T_i では図 19 (C) のように接続されていれば良い。また、 G_j 、 P_j 、 R_j は 3 本が別の配線となっているが、まとめて 1 本や 2 本にしても良い。

50

【0212】

なお、本実施例の発光装置は、デジタルビデオ信号を用いて表示を行うことも可能であるし、アナログビデオ信号を用いて表示を行うことも可能である。

【0213】

本実施例は、実施例1～6と組み合わせて実施することが可能である。

【実施例10】

【0214】

本実施例では、図2、図14、図16、図18とは異なる本発明の発光装置の画素の構成について説明する。

【0215】

10

図20に、図1で示した画素101の詳しい構成を示す。図20に示す画素101は、信号線 S_i ($S_1 \sim S_x$ のうちの1つ)、第1走査線 G_j ($G_1 \sim G_y$ のうちの1つ)、第2走査線 P_j ($P_1 \sim P_y$ のうちの1つ)、第3走査線 R_j ($R_1 \sim R_y$ のうちの1つ)及び電源線 V_i ($V_1 \sim V_x$ のうちの1つ)を有している。

【0216】

また画素101は、トランジスタ T_{r1} 、 T_{r2} 、 T_{r3} 、 T_{r4} 、 T_{r5} 、 T_{r6} 、発光素子244及び保持容量245を有している。保持容量245はトランジスタ T_{r1} 及び T_{r2} のゲート電圧をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0217】

20

トランジスタ T_{r3} のゲートは第1走査線 G_j に接続されている。そしてトランジスタ T_{r3} の第1の端子と第2の端子は、一方は信号線 S_i に接続されており、もう一方はトランジスタ T_{r1} 及び T_{r2} の第1の端子に接続されている。

【0218】

トランジスタ T_{r4} のゲートは、第2走査線 P_j に接続されている。そしてトランジスタ T_{r4} の第1の端子と第2の端子は、一方は電源線 V_i に、もう一方はトランジスタ T_{r1} 及び T_{r2} のゲートに接続されている。

【0219】

トランジスタ T_{r5} のゲートは、第3走査線 R_j に接続されている。そしてトランジスタ T_{r5} の第1の端子と第2の端子は、一方はトランジスタ T_{r1} 及び T_{r2} の第1の端子に、もう一方は発光素子244の画素電極に接続されている。

30

【0220】

トランジスタ T_{r6} のゲートは、第3走査線 R_j に接続されている。そしてトランジスタ T_{r6} の第1の端子と第2の端子は、一方は電源線 V_i に、もう一方はトランジスタ T_{r2} の第2の端子に接続されている。

【0221】

トランジスタ T_{r1} とトランジスタ T_{r2} のゲートは、互いに接続されている。そして、トランジスタ T_{r1} の第2の端子は、電源線 V_i に接続されている。

【0222】

40

保持容量245が有する2つの電極は、一方はトランジスタ T_{r1} 及び T_{r2} のゲートに、もう一方はトランジスタ T_{r1} 及び T_{r2} のソースに接続されている。対向電極は一定の電圧に保たれている。

【0223】

なお、トランジスタ T_{r1} 及び T_{r2} はnチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタ T_{r1} 及び T_{r2} の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ T_{r1} 及び T_{r2} はnチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ T_{r1} 及び T_{r2} はpチャネル型トランジスタであるのが望ましい。

【0224】

50

トランジスタ $T r 3$ 、 $T r 4$ 、 $T r 5$ 、 $T r 6$ は、 n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。ただし、トランジスタ $T r 5$ と $T r 6$ は共にゲートが第 3 走査線 $R j$ に接続されているため、その極性を同じにする。トランジスタ $T r 5$ のゲートと $T r 6$ のゲートが同じ配線に接続されていない場合、その極性は同じでなくとも良い。

【0225】

次に、本実施例の発光装置の動作について図 2 1 を用いて説明する。本発明の発光装置の動作は、各ラインの画素毎に書き込み期間 $T a$ と、表示期間 $T d$ と、逆バイアス期間 $T i$ とに分けて説明することができる。図 2 1 は、各期間におけるトランジスタ $T r 1$ 、 $T r 2$ 、 $T r 5$ 、発光素子 2 4 4 の接続を簡単に示した図であり、ここでは $T r 1$ 及び $T r 2$ が n チャネル型 $T F T$ で、発光素子 2 4 4 の陽極を画素電極として用いた場合を例に挙げる。

10

【0226】

まず、各ラインの画素において書き込み期間 $T a$ が開始されると、電源線 $V 1 \sim V x$ の電圧は、トランジスタ $T r 2$ 、 $T r 5$ 及び $T r 6$ がオンになったときに順方向バイアスの電流が発光素子に流れる程度の高さに保たれる。つまり、 $T r 1$ 及び $T r 2$ が n チャネル型 $T F T$ で、発光素子 2 4 4 の陽極を画素電極として用いた場合、電源線 $V i$ が対向電極の電圧よりも高くなるように設定する。逆に $T r 1$ 及び $T r 2$ が p チャネル型 $T F T$ で、発光素子 2 4 4 の陰極を画素電極として用いた場合は、電源線 $V i$ が対向電極の電圧よりも低くなるように設定する。

20

【0227】

そして、各ラインの第 1 走査線及び第 2 走査線が順に選択される。よって、トランジスタ $T r 3$ 、 $T r 4$ がオンになる。なお、第 1 及び第 2 走査線の選択される期間は互いに重ならない。また、第 3 走査線は選択されていないので、トランジスタ $T r 5$ 、 $T r 6$ はオフになっている。

【0228】

そして、信号線駆動回路 1 0 2 に入力されるビデオ信号に基づき、信号線 $S 1 \sim S x$ と電源線 $V 1 \sim V x$ の間に、それぞれビデオ信号に応じた信号電流 $I c$ が流れる。

【0229】

図 2 1 (A) に、書き込み期間 $T a$ において、信号線 $S i$ に信号電流 $I c$ が流れた場合の、画素 1 0 1 の概略図を示す。2 4 6 は対向電極に電圧を与える電源との接続用の端子を意味している。また、2 4 7 は信号線駆動回路 1 0 2 が有する定電流源を意味する。

30

【0230】

トランジスタ $T r 3$ はオンの状態にあるので、信号線 $S i$ に信号電流 $I c$ が流れると、信号電流 $I c$ はトランジスタ $T r 1$ のドレインとソースの間に流れる。このときトランジスタ $T r 1$ は、ゲートとドレインが接続されているので飽和領域で動作しており、式 1 が成り立つ。よって、トランジスタ $T r 1$ のゲート電圧 V_{GS} は電流値 $I c$ によって定まる。

【0231】

そして、トランジスタ $T r 2$ のゲートは、トランジスタ $T r 1$ のゲートに接続されている。また、トランジスタ $T r 2$ のソースは、トランジスタ $T r 1$ のソースに接続されている。したがって、トランジスタ $T r 1$ のゲート電圧は、そのままトランジスタ $T r 2$ のゲート電圧となる。

40

【0232】

なお、書き込み期間 $T a$ では、トランジスタ $T r 2$ のドレインは、他の配線及び電源等から電圧が与えられていない、所謂フローティングの状態にある。従って、トランジスタ $T r 2$ にドレイン電流は流れない。

【0233】

書き込み期間 $T a$ が終了すると、各ラインの第 1 走査線及び第 2 走査線の選択が順に終了する。このとき、第 2 走査線の選択が、第 1 走査線よりも先に終了するのが望ましい。

50

なぜならトランジスタ $T r 3$ が先にオフになってしまうと、保持容量 245 の電荷が $T r 4$ を通って漏れてしまうからである。

【0234】

一方、各ラインの画素において書き込み期間 $T a$ が終了すると、次に表示期間 $T d$ が開始される。表示期間 $T d$ における電源線 $V i$ の電圧は、書き込み期間 $T a$ における電圧と同じ高さに保たれている。表示期間 $T d$ が開始されると、各ラインの第3走査線が順に選択され、トランジスタ $T r 5$ 、 $T r 6$ がオンになる。

なお、第1走査線及び第2走査線は選択されていないので、トランジスタ $T r 3$ 及び $T r 4$ はオフになっている。

【0235】

図21(B)に、表示期間 $T d$ における画素の概略図を示す。トランジスタ $T r 3$ 及びトランジスタ $T r 4$ はオフの状態にある。また、トランジスタ $T r 1$ 及びトランジスタ $T r 2$ のドレインは電源線 $V i$ に接続されている。

【0236】

一方トランジスタ $T r 1$ 、 $T r 2$ においては、書き込み期間 $T a$ において定められた V_{GS} がそのまま保持されている。よって、トランジスタ $T r 1$ と同じゲート電圧がトランジスタ $T r 2$ に与えられる。さらに、トランジスタ $T r 6$ がオンになり、トランジスタ $T r 2$ のドレインは電源線 $V i$ に接続されるので、トランジスタ $T r 2$ のドレイン電流は、トランジスタ $T r 1$ のドレイン電流に比例する大きさになる。特に、 $\mu C_0 W / L$ 及び V_{TH} が互いに等しいとき、トランジスタ $T r 1$ とトランジスタ $T r 2$ のドレイン電流は互いに等しくなり、 $I_2 = I_1 = I_c$ となる。

【0237】

また、トランジスタ $T r 5$ がオンなので、トランジスタ $T r 1$ のドレイン電流 I_1 と、トランジスタ $T r 2$ のドレイン電流 I_2 は、共に発光素子に流れる電流として発光素子 244 に流れる。よって、表示期間 $T d$ では、ドレイン電流 I_1 と、ドレイン電流 I_2 を合わせた大きさの電流が発光素子 244 に流れ、該発光素子に流れる電流の大きさに見合った輝度で、発光素子 244 が発光する。

【0238】

なお、書き込み期間 $T a$ の直後には必ず表示期間 $T d$ が出現する。表示期間 $T d$ の直後には、次の書き込み期間 $T a$ が出現するか、もしくは逆バイアス期間 $T i$ が出現する。

【0239】

逆バイアス期間 $T i$ が開始されると、電源線 $V 1 \sim V x$ の電圧は、トランジスタ $T r 2$ 、 $T r 5$ 及び $T r 6$ がオンになったときに逆方向バイアスの電圧が発光素子に印加される程度の高さに保たれる。つまり、 $T r 1$ 及び $T r 2$ が n チャネル型 TFT で、発光素子 244 の陽極を画素電極として用いた場合、電源線 $V i$ が対向電極の電圧よりも低くなるように設定する。逆に $T r 1$ 及び $T r 2$ が p チャネル型 TFT で、発光素子 244 の陰極を画素電極として用いた場合は、電源線 $V i$ が対向電極の電圧よりも高くなるように設定する。

【0240】

そして、走査線駆動回路 103 によって各ラインの第1、第2及び第3走査線が順に選択され、トランジスタ $T r 3$ 、 $T r 4$ 、 $T r 5$ 及び $T r 6$ がオンになる。そして、信号線駆動回路 102 によって、信号線 $S 1 \sim S x$ のそれぞれにトランジスタ $T r 1$ 及び $T r 2$ がオンになるような電圧が印加される。

【0241】

図21(C)に、逆バイアス期間 $T i$ における画素 101 の概略図を示す。逆バイアス期間 $T i$ においては、 $T r 2$ 、 $T r 5$ 及び $T r 6$ がオンになり、逆方向バイアスの電圧が発光素子 244 に印加されることになる。発光素子 244 は逆方向バイアスの電圧が印加されると発光しない状態になる。

【0242】

なお、電源線の電圧は、トランジスタ $T r 2$ 、 $T r 5$ 及び $T r 6$ がオンになったときに

10

20

30

40

50

、逆方向バイアスの電圧が発光素子に印加される高さであれば良い。また、逆バイアス期間 T_i の長さは、デューティー比（1フレーム期間における表示期間の長さの総和の割合）との兼ね合いを考慮し、設計者が適宜設定することが可能である。

【0243】

なお、発光素子に流れる電流の大きさに見合った輝度で発光素子244が発光するので、各画素の階調は、表示期間 T_d における発光素子に流れる電流の大きさで決まる。

【0244】

本実施例の画素では、表示期間において発光素子に流れる電流はドレイン電流 I_1 と、ドレイン電流 I_2 の和である。よって、発光素子に流れる電流がドレイン電流 I_2 のみに依存していない。そのため、トランジスタ Tr_1 とトランジスタ Tr_2 の特性がずれて、トランジスタ Tr_1 のドレイン電流 I_1 に対するトランジスタ Tr_2 のドレイン電流 I_2 の比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

【0245】

また、本実施例の画素では、書き込み期間 T_a においてトランジスタ Tr_1 のドレイン電流は発光素子に流れていない。よって信号線駆動回路によって画素に電流が供給され、トランジスタ Tr_1 のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0246】

なお、本実施例において、トランジスタ Tr_4 の第1の端子と第2の端子は、一方はトランジスタ Tr_1 の第2の端子に、もう一方はトランジスタ Tr_1 のゲート及びトランジスタ Tr_2 のゲートに接続されている。しかし本実施例はこの構成に限定されない。本実施例の画素は、書き込み期間 T_a においてトランジスタ Tr_1 のゲートとドレインを接続し、表示期間においてトランジスタ Tr_1 のゲートとドレインを切り離すことができるように、トランジスタ Tr_4 が他の素子または配線と接続されていれば良い。

【0247】

つまり、 Tr_3 、 Tr_4 、 Tr_5 、 Tr_6 は、 T_a では図21(A)のように接続され、 T_d では図21(B)のように接続され、 T_i では図21(C)のように接続されていれば良い。また、 G_j 、 P_j 、 R_j は3本が別の配線となっているが、まとめて1本や2本にしても良い。

【0248】

また、トランジスタ Tr_5 は、書き込み期間 T_a において信号電流 I_c とトランジスタ Tr_1 のドレイン電流 I_1 を等しい値に近づけるために設けられている。トランジスタ Tr_5 の第1の端子と第2の端子は、一方はトランジスタ Tr_1 及び Tr_2 の第1の端子に、もう一方は発光素子244の画素電極に必ずしも接続している必要はない。トランジスタ Tr_5 は、書き込み期間 T_a において、トランジスタ Tr_2 のソースが発光素子244の画素電極と信号線 S_i とのいずれか一方に接続されるように、他の配線または素子と接続してあれば良い。

【0249】

つまり、 T_a において Tr_1 を流れる電流は全て電流源に流れ、電流源を流れる電流は全て Tr_1 に流れていれば良い。 T_d においては Tr_1 と Tr_2 を流れる電流は発光素子に流れれば良い。

【0250】

なお、本実施例の発光装置は、デジタルビデオ信号を用いて表示を行うことも可能であるし、アナログビデオ信号を用いて表示を行うことも可能である。

【0251】

本実施例は、実施例1～6と組み合わせて実施することが可能である。

【実施例11】

【0252】

本実施例では、図2、図14、図16、図18、図20とは異なる本実施例の発光装置の画素の構成について説明する。

【0253】

図22に、図1で示した画素101の詳しい構成を示す。図22に示す画素101は、信号線 S_i ($S_1 \sim S_x$ のうちの1つ)、第1走査線 G_j ($G_1 \sim G_y$ のうちの1つ)、第2走査線 P_j ($P_1 \sim P_y$ のうちの1つ)、第3走査線 R_j ($R_1 \sim R_y$ のうちの1つ)及び電源線 V_i ($V_1 \sim V_x$ のうちの1つ)を有している。

【0254】

また画素101は、トランジスタ Tr_1 、 Tr_2 、 Tr_3 、 Tr_4 、 Tr_5 、 Tr_6 、発光素子254及び保持容量255を有している。保持容量255はトランジスタ Tr_1 及び Tr_2 のゲート電圧をより確実に保持するために設けられているが、必ずしも設ける必要はない。

10

【0255】

トランジスタ Tr_3 のゲートは第1走査線 G_j に接続されている。そしてトランジスタ Tr_3 の第1の端子と第2の端子は、一方は信号線 S_i に接続されており、もう一方はトランジスタ Tr_1 の第1の端子に接続されている。

【0256】

トランジスタ Tr_4 のゲートは、第2走査線 P_j に接続されている。そしてトランジスタ Tr_4 の第1の端子と第2の端子は、一方は電源線 V_i に、もう一方はトランジスタ Tr_1 及び Tr_2 のゲートに接続されている。

20

【0257】

トランジスタ Tr_6 のゲートは、第3走査線 R_j に接続されている。そしてトランジスタ Tr_6 の第1の端子と第2の端子は、一方はトランジスタ Tr_2 の第1の端子に、もう一方は発光素子254の画素電極に接続されている。

【0258】

トランジスタ Tr_5 のゲートは、第3走査線 R_j に接続されている。そしてトランジスタ Tr_5 の第1の端子と第2の端子は、一方はトランジスタ Tr_1 の第1の端子に、もう一方は発光素子254の画素電極に接続されている。対向電極は一定の電圧に保たれている。

30

【0259】

トランジスタ Tr_1 とトランジスタ Tr_2 のゲートは、互いに接続されている。トランジスタ Tr_1 及び Tr_2 の第2の端子は、電源線 V_i に接続されている。

【0260】

保持容量255が有する2つの電極は、一方はトランジスタ Tr_1 及び Tr_2 のゲートに、もう一方はトランジスタ Tr_1 のソースに接続されている。

【0261】

なお、トランジスタ Tr_1 及び Tr_2 はnチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタ Tr_1 及び Tr_2 の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ Tr_1 及び Tr_2 はnチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ Tr_1 及び Tr_2 はpチャネル型トランジスタであるのが望ましい。

40

【0262】

トランジスタ Tr_3 、 Tr_4 、 Tr_5 、 Tr_6 は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタ Tr_5 と Tr_6 は共にゲートが第3走査線 R_j に接続されているため、その極性を同じにする。トランジスタ Tr_5 のゲートと Tr_6 のゲートが同じ配線に接続されていない場合、その極性は同じでなくとも良い。

【0263】

50

次に、本実施例の発光装置の動作について図 23 を用いて説明する。本発明の発光装置の動作は、各ラインの画素毎に書き込み期間 T_a と、表示期間 T_d と、逆バイアス期間 T_i とに分けて説明することができる。図 23 は、各期間におけるトランジスタ T_{r1} 、 T_{r2} 、 T_{r6} 、発光素子 254 の接続を簡単に示した図であり、ここでは T_{r1} 及び T_{r2} が n チャネル型 TFT で、発光素子 254 の陽極を画素電極として用いた場合を例に挙げる。

【0264】

まず、各ラインの画素において書き込み期間 T_a が開始されると、電源線 $V_1 \sim V_x$ の電圧は、トランジスタ T_{r2} 及び T_{r6} がオンになったときに順方向バイアスの電流が発光素子に流れる程度の高さに保たれる。つまり、 T_{r1} 及び T_{r2} が n チャネル型 TFT で、発光素子 254 の陽極を画素電極として用いた場合、電源線 V_i が対向電極の電圧よりも高くなるように設定する。逆に T_{r1} 及び T_{r2} が p チャネル型 TFT で、発光素子 254 の陰極を画素電極として用いた場合は、電源線 V_i が対向電極の電圧よりも低くなるように設定する。

【0265】

そして、各ラインの第 1 走査線及び第 2 走査線が順に選択される。よって、トランジスタ T_{r3} 、 T_{r4} がオンになる。なお、各第 1 走査線及び第 2 走査線の選択される期間は互いに重ならない。また、第 3 走査線は選択されていないので、トランジスタ T_{r5} 、 T_{r6} はオフになっている。

【0266】

そして、信号線駆動回路 102 に入力されるビデオ信号に基づき、信号線 $S_1 \sim S_x$ と電源線 $V_1 \sim V_x$ の間に、それぞれビデオ信号に応じた信号電流 I_c が流れる。

【0267】

図 23 (A) に、書き込み期間 T_a において、信号線 S_i に信号電流 I_c が流れた場合の、画素 101 の概略図を示す。256 は対向電極に電圧を与える電源との接続用の端子を意味している。また、257 は信号線駆動回路 102 が有する定電流源を意味する。

【0268】

トランジスタ T_{r3} はオンの状態にあるので、信号線 S_i に信号電流 I_c が流れると、信号電流 I_c はトランジスタ T_{r1} のドレインとソースの間に流れる。このときトランジスタ T_{r1} は、ゲートとドレインが接続されているので飽和領域で動作しており、式 1 が成り立つ。よって、トランジスタ T_{r1} のゲート電圧 V_{GS} は電流値 I_c によって定まる。

【0269】

なお、表示期間 T_d では、トランジスタ T_{r6} がオフであるので、トランジスタ T_{r2} のドレインは、他の配線及び電源等から電圧が与えられていない、所謂フローティングの状態にある。従って、トランジスタ T_{r2} にドレイン電流は流れない。

【0270】

各ラインの画素において書き込み期間 T_a が終了すると、第 1 走査線、第 2 走査線の選択が終了する。このとき、第 2 走査線の選択が、第 1 走査線よりも先に終了するのが望ましい。なぜならトランジスタ T_{r3} が先にオフになってしまうと、保持容量 255 の電荷が T_{r4} を通って漏れてしまうからである。

【0271】

各ラインの画素において書き込み期間 T_a が終了すると、次に表示期間 T_d が開始される。表示期間 T_d における電源線 V_i の電圧は、書き込み期間 T_a における電圧と同じ高さに保たれている。表示期間 T_d が開始されると、第 3 走査線が選択される。よって、各ラインの画素においてトランジスタ T_{r5} 、 T_{r6} がオンになる。なお、第 1 走査線及び第 2 走査線は選択されていないので、トランジスタ T_{r3} 及び T_{r4} はオフになっている。

【0272】

図 23 (B) に、表示期間 T_d における画素の概略図を示す。トランジスタ T_{r3} 及び

10

20

30

40

50

トランジスタ $T_r 4$ はオフの状態にある。また、トランジスタ $T_r 1$ 及びトランジスタ $T_r 2$ のドレインは電源線 V_i に接続されている。

【0273】

一方トランジスタ $T_r 1$ においては、書き込み期間 T_a において定められた V_{GS} がそのまま保持されている。そして、トランジスタ $T_r 2$ のゲートは、トランジスタ $T_r 1$ のゲートに接続されている。また、トランジスタ $T_r 2$ のソースは、トランジスタ $T_r 1$ のソースに接続されている。よって、トランジスタ $T_r 1$ のゲート電圧は、そのままトランジスタ $T_r 2$ のゲート電圧となる。さらに、トランジスタ $T_r 2$ のドレインは電源線 V_i に接続されているので、トランジスタ $T_r 2$ のドレイン電流 I_2 は、トランジスタ $T_r 1$ のドレイン電流に比例する大きさになる。特に、 $\mu C_0 W / L$ 及び V_{TH} が互いに等しいとき、トランジスタ $T_r 1$ とトランジスタ $T_r 2$ のドレイン電流は互いに等しくなり、 $I_2 = I_1 = I_c$ となる。

10

【0274】

また、トランジスタ $T_r 5$ がオンなので、トランジスタ $T_r 1$ のドレイン電流 I_1 と、トランジスタ $T_r 2$ のドレイン電流 I_2 は、共に発光素子に流れる電流として発光素子 254 に流れる。よって、表示期間 T_d では、ドレイン電流 I_1 と、ドレイン電流 I_2 を合わせた大きさの電流が発光素子 254 に流れ、該発光素子に流れる電流の大きさに見合った輝度で、発光素子 254 が発光する。

【0275】

なお、書き込み期間 T_a の直後には必ず表示期間 T_d が出現する。表示期間 T_d の直後には、次の書き込み期間 T_a が出現するか、もしくは逆バイアス期間 T_i が出現する。

20

【0276】

逆バイアス期間が開始されると、電源線 $V_1 \sim V_x$ の電圧は、トランジスタ $T_r 2$ 及び $T_r 6$ がオンになったときに逆方向バイアスの電圧が発光素子に印加される程度の高さに保たれる。つまり、 $T_r 1$ 及び $T_r 2$ が p チャネル型 TFT で、発光素子 254 の陽極を画素電極として用いた場合、電源線 V_i が対向電極の電圧よりも低くなるように設定する。逆に $T_r 1$ 及び $T_r 2$ が p チャネル型 TFT で、発光素子 254 の陰極を画素電極として用いた場合は、電源線 V_i が対向電極の電圧よりも高くなるように設定する。

【0277】

そして、走査線駆動回路 103 によって各ラインの第 1 及び第 2 及び第 3 走査線が順に選択され、トランジスタ $T_r 3$ 、 $T_r 4$ 、 $T_r 5$ 及び $T_r 6$ がオンになる。そして、信号線駆動回路 102 によって、信号線 $S_1 \sim S_x$ のそれぞれにトランジスタ $T_r 1$ 及び $T_r 2$ がオンになるような電圧が印加される。

30

【0278】

図 23 (C) に、逆バイアス期間 T_i における画素 101 の概略図を示す。逆バイアス期間 T_i においては、 $T_r 2$ 及び $T_r 6$ がオンになるので、逆方向バイアスの電圧が発光素子 254 に印加されることになる。発光素子 254 は逆方向バイアスの電圧が印加されると発光しない状態になる。

【0279】

なお、電源線の電圧は、トランジスタ $T_r 2$ 及び $T_r 6$ がオンになったときに、逆方向バイアスの電圧が発光素子に印加される高さであれば良い。また、逆バイアス期間 T_i の長さは、デューティ比 (1 フレーム期間における表示期間の長さの総和の割合) との兼ね合いを考慮し、設計者が適宜設定することが可能である。

40

【0280】

なお、発光素子に流れる電流の大きさに見合った輝度で発光素子 254 が発光するので、各画素の階調は、表示期間 T_d における発光素子に流れる電流の大きさで決まる。

【0281】

本実施例の画素では、表示期間において発光素子に流れる電流はドレイン電流 I_1 と、ドレイン電流 I_2 の和である。よって、発光素子に流れる電流がドレイン電流 I_2 のみに依存していない。そのため、トランジスタ $T_r 1$ とトランジスタ $T_r 2$ の特性がずれて、ト

50

ランジスタ Tr_1 のドレイン電流 I_1 に対するランジスタ Tr_2 のドレイン電流 I_2 の比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

【0282】

また、本実施例の画素では、書き込み期間 T_a においてランジスタ Tr_1 のドレイン電流は発光素子に流れていない。よって信号線駆動回路によって画素に電流が供給され、ランジスタ Tr_1 のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

10

【0283】

なお、本実施例において、ランジスタ Tr_4 の第1の端子と第2の端子は、一方はランジスタ Tr_1 の第2の端子に、もう一方はランジスタ Tr_1 のゲート及びランジスタ Tr_2 のゲートに接続されている。しかし本実施例はこの構成に限定されない。本実施例の画素は、書き込み期間 T_a においてランジスタ Tr_1 のゲートとドレインを接続し、表示期間においてランジスタ Tr_1 のゲートとドレインを切り離すことができるように、ランジスタ Tr_4 が他の素子または配線と接続されていれば良い。

【0284】

つまり、 Tr_3 、 Tr_4 、 Tr_5 、 Tr_6 は、 T_a では図23(A)のように接続され、 T_d では図23(B)のように接続され、 T_i では図23(C)のように接続されていれば良い。また、 G_j 、 P_j 、 R_j は3本が別の配線となっているが、まとめて1本や2本にしても良い。

20

【0285】

つまり、 T_a において Tr_1 を流れる電流は全て電流源に流れ、電流源を流れる電流は全て Tr_1 に流れていれば良い。 T_d においては Tr_1 と Tr_2 を流れる電流は発光素子に流れれば良い。

【0286】

なお、本実施例の発光装置は、デジタルビデオ信号を用いて表示を行うことも可能であるし、アナログビデオ信号を用いて表示を行うことも可能である。

【0287】

30

本実施例は、実施例1～6と組み合わせて実施することが可能である。

【実施例12】

【0288】

本実施例では、図2、図14、図16、図18、図20、図22とは異なる本発明の発光装置の画素の構成について説明する。

【0289】

図24に、図1で示した画素101の詳しい構成を示す。図24に示す画素101は、信号線 Si ($S_1 \sim S_x$ のうちの1つ)、第1走査線 G_j ($G_1 \sim G_y$ のうちの1つ)、第2走査線 P_j ($P_1 \sim P_y$ のうちの1つ)、第3走査線 R_j ($R_1 \sim R_y$ のうちの1つ)及び電源線 Vi ($V_1 \sim V_x$ のうちの1つ)を有している。

40

【0290】

また画素101は、ランジスタ Tr_1 、 Tr_2 、 Tr_3 、 Tr_4 、 Tr_5 、 Tr_6 、発光素子264及び保持容量265を有している。保持容量265はランジスタ Tr_1 及び Tr_2 のゲートとソースの間の電圧(ゲート電圧)をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0291】

ランジスタ Tr_3 のゲートは第1走査線 G_j に接続されている。そしてランジスタ Tr_3 の第1の端子と第2の端子は、一方は信号線 Si に接続されており、もう一方はランジスタ Tr_1 の第2の端子に接続されている。

【0292】

50

トランジスタTr 4のゲートは、第2走査線Pjに接続されている。そしてトランジスタTr 4の第1の端子と第2の端子は、一方はトランジスタTr 1の第2の端子に、もう一方はトランジスタTr 1及びTr 2のゲートに接続されている。

【0293】

トランジスタTr 6のゲートは、トランジスタTr 1及びTr 2のゲートに接続されている。そしてトランジスタTr 6の第1の端子と第2の端子は、一方はトランジスタTr 1の第2の端子に、もう一方はトランジスタTr 5の第1の端子または第2の端子に接続されている。

【0294】

トランジスタTr 5のゲートは、第3走査線Rjに接続されている。そしてトランジスタTr 5の第1の端子と第2の端子は、一方はトランジスタTr 2の第2の端子に、もう一方はトランジスタTr 6の第1の端子または第2の端子に接続されている。

【0295】

トランジスタTr 1とトランジスタTr 2とTr 6のゲートは、互いに接続されている。トランジスタTr 1とトランジスタTr 2のソースは、共に電源線Viに接続されている。そして、トランジスタTr 2の第2の端子は、発光素子264の画素電極に接続されている。対向電極は一定の電圧に保たれている。

【0296】

保持容量265が有する2つの電極は、一方はトランジスタTr 1とトランジスタTr 2のゲートに、もう一方は電源線Viに接続されている。

【0297】

なお、トランジスタTr 1、Tr 2及びTr 6はnチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr 1、Tr 2及びTr 6の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr 1及びTr 2はpチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr 1及びTr 2はnチャネル型トランジスタであるのが望ましい。

【0298】

トランジスタTr 3、Tr 4、Tr 5は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。

【0299】

次に、本実施例の発光装置の動作について図25を用いて説明する。本発明の発光装置の動作は、各ラインの画素毎に書き込み期間Taと、表示期間Tdと、逆バイアス期間Tiとに分けて説明することができる。図25は、各期間におけるトランジスタTr 1、Tr 2、Tr 6、発光素子264の接続を簡単に示した図であり、ここではTr 1、Tr 2及びTr 6がpチャネル型TFTで、発光素子264の陽極を画素電極として用いた場合を例に挙げる。

【0300】

まず、各ラインの画素において書き込み期間Taが開始されると、電源線V1~Vxの電圧は、トランジスタTr 2がオンになったときに順方向バイアスの電流が発光素子に流れる程度の高さに保たれる。つまり、Tr 1、Tr 2及びTr 6がpチャネル型TFTで、発光素子264の陽極を画素電極として用いた場合、電源線Viが対向電極の電圧よりも高くなるように設定する。逆にTr 1、Tr 2及びTr 6がnチャネル型TFTで、発光素子264の陰極を画素電極として用いた場合は、電源線Viが対向電極の電圧よりも低くなるように設定する。

【0301】

そして、各ラインの第1走査線及び第2走査線が順に選択される。よって、トランジスタTr 3及びTr 4がオンになる。なお、各第1及び第2走査線の選択される期間は互いに重ならない。また、第3走査線は選択されないため、トランジスタTr 5はオフになっている。

10

20

30

40

50

【0302】

そして、信号線駆動回路102に入力されるビデオ信号に基づき、信号線 $S_1 \sim S_x$ と電源線 $V_1 \sim V_x$ の間に、それぞれビデオ信号に応じた信号電流 I_c が流れる。

【0303】

図25(A)に、書き込み期間 T_a において、信号線 S_i にビデオ信号に応じた信号電流 I_c が流れた場合の、画素101の概略図を示す。266は対向電極に電圧を与える電源との接続用の端子を意味している。また、267は信号線駆動回路102が有する定電流源を意味する。

【0304】

トランジスタ Tr_3 はオンの状態にあるので、信号線 S_i にビデオ信号に応じた信号電流 I_c が流れると、信号電流 I_c はトランジスタ Tr_1 のドレインとソースの間に流れる。このときトランジスタ Tr_1 は、ゲートとドレインが接続されているので飽和領域で動作しており、式1が成り立つ。よって、トランジスタ Tr_1 のゲート電圧 V_{GS} は電流値 I_c によって定まる。このとき、電流値 I_c によって定まるトランジスタ Tr_1 のゲート電圧 V_{GS} は、 Tr_1 の閾値 V_{TH} と Tr_6 の閾値 V_{TH} とを加算した電圧より低くなるように、電流値 I_c の値を定める。

なお、 Tr_1 、 Tr_2 及び Tr_6 がnチャネル型TFTである場合は、 Tr_1 の閾値 V_{TH} と Tr_6 の閾値 V_{TH} とを加算した電圧より高くなるように、電流値 I_c の値を定める。

【0305】

そしてトランジスタ Tr_2 のゲートは、トランジスタ Tr_1 のゲートに接続されている。また、トランジスタ Tr_2 のソースは、トランジスタ Tr_1 のソースに接続されている。したがって、トランジスタ Tr_1 のゲート電圧は、そのままトランジスタ Tr_2 のゲート電圧となる。よって、トランジスタ Tr_2 のドレイン電流は、トランジスタ Tr_1 のドレイン電流に比例する。特に、 $\mu C_0 W/L$ 及び V_{TH} が互いに等しいとき、トランジスタ Tr_1 とトランジスタ Tr_2 のドレイン電流は互いに等しくなり、 $I_2 = I_c$ となる。

【0306】

そして、トランジスタ Tr_2 のドレイン電流 I_2 は発光素子264に流れる。発光素子に流れる電流は、定電流源267において定められた信号電流 I_c に応じた大きさであり、流れる電流の大きさに見合った輝度で発光素子264は発光する。発光素子に流れる電流が0に限りなく近かったり、発光素子に流れる電流が逆方向バイアスである場合は、発光素子264は発光しない。

【0307】

書き込み期間 T_a が終了すると、第1走査線、第2走査線の選択が終了する。このとき、第2走査線の選択が、第1走査線よりも先に終了するのが望ましい。なぜならトランジスタ Tr_3 が先にオフになってしまうと、保持容量265の電荷が Tr_4 を通過して漏れてしまうからである。

【0308】

書き込み期間 T_a が終了すると、次に表示期間 T_d が開始される。表示期間 T_d における電源線 V_i の電圧は、書き込み期間 T_a における電圧と同じ高さに保たれている。表示期間 T_d が開始されると、第3走査線が選択されトランジスタ Tr_5 がオンになる。なお、第1走査線及び第2走査線は選択されていないので、トランジスタ Tr_3 及び Tr_4 はオフになっている。

【0309】

図25(B)に、表示期間 T_d における画素の概略図を示す。トランジスタ Tr_3 及びトランジスタ Tr_4 はオフの状態にある。また、トランジスタ Tr_1 及びトランジスタ Tr_2 のソースは電源線 V_i に接続されている。

【0310】

一方トランジスタ Tr_1 、 Tr_2 においては、書き込み期間 T_a において定められた V_{GS} がそのまま保持されており、該 V_{GS} は Tr_1 の閾値 V_{TH} と Tr_6 の閾値 V_{TH} とを加算した電圧より低い。さらに、トランジスタ Tr_6 のゲートはトランジスタ Tr_1 及び Tr_2

10

20

30

40

50

のゲートと接続されている。そのため、トランジスタ $T r 1$ のドレイン電流とトランジスタ $T r 6$ のドレイン電流は同じ大きさに保たれる。そして、式 1 より、トランジスタ $T r 1$ のドレイン電流は、トランジスタ $T r 6$ のチャネル長及びチャネル幅に左右される。

【0311】

トランジスタ $T r 1$ と $T r 6$ のゲート電圧、移動度、単位面積あたりのゲート容量、閾値、チャネル幅が等しいと仮定すると、式 1 より以下の式 2 が導き出される。なお、式 2 においてトランジスタ $T r 1$ のチャネル長を $L 1$ 、 $T r 6$ のチャネル長を $L 6$ 、 $T r 1$ 及び $T r 6$ のドレイン電流を I_3 とする。

【0312】

$$I_3 = I_1 \times L 1 / (L 1 + L 6) \cdots (式 2)$$

10

【0313】

一方、トランジスタ $T r 2$ のドレイン電流 I_2 の値は、信号電流 $I c$ に応じた大きさに維持されたままである。そして、トランジスタ $T r 5$ がオンなので、トランジスタ $T r 1$ 及び $T r 6$ のドレイン電流 I_3 と、トランジスタ $T r 2$ のドレイン電流 I_2 は、共に発光素子 264 に流れる。よって、ドレイン電流 I_3 と、ドレイン電流 I_2 を合わせた電流の大きさに見合った輝度で、発光素子 264 は発光する。

【0314】

なお、書き込み期間 $T a$ の直後には必ず表示期間 $T d$ が出現する。表示期間 $T d$ の直後には、次の書き込み期間 $T a$ が出現するか、もしくは逆バイアス期間 $T i$ が出現する。

【0315】

20

逆バイアス期間が開始されると、電源線 $V 1 \sim V x$ の電圧は、トランジスタ $T r 2$ がオンになったときに逆方向バイアスの電圧が発光素子に印加される程度の高さに保たれる。つまり、 $T r 1$ 、 $T r 2$ 及び $T r 6$ が p チャネル型 TFT で、発光素子 264 の陽極を画素電極として用いた場合、電源線 $V i$ が対向電極の電圧よりも低くなるように設定する。逆に $T r 1$ 、 $T r 2$ 及び $T r 6$ が n チャネル型 TFT で、発光素子 264 の陰極を画素電極として用いた場合は、電源線 $V i$ が対向電極の電圧よりも高くなるように設定する。

【0316】

そして、走査線駆動回路 103 によって各ラインの第 1 及び第 2 走査線が順に選択され、トランジスタ $T r 3$ 、 $T r 4$ がオンになる。そして、信号線駆動回路 102 によって、信号線 $S 1 \sim S x$ のそれぞれにトランジスタ $T r 1$ 、 $T r 2$ 及び $T r 6$ がオンになるような電圧が印加される。なお第 3 走査線は選択していても選択していなくともどちらでも良い。図 25 (C) は、第 3 走査線を選択していない場合について示しており、 $T r 5$ はオフになっている。

30

【0317】

図 25 (C) に、逆バイアス期間 $T i$ における画素 101 の概略図を示す。逆バイアス期間 $T i$ においては $T r 2$ がオンになるので、逆方向バイアスの電圧が発光素子 264 に印加されることになる。発光素子 264 は逆方向バイアスの電圧が印加されると発光しない状態になる。

【0318】

なお、電源線の電圧は、トランジスタ $T r 2$ がオンになったときに、逆方向バイアスの電圧が発光素子に印加される高さであれば良い。また、逆バイアス期間 $T i$ の長さは、デューティ比 (1 フレーム期間における表示期間の長さの総和の割合) との兼ね合いを考慮し、設計者が適宜設定することが可能である。

40

【0319】

なお、発光素子に流れる電流の大きさに見合った輝度で発光素子 264 が発光するので、各画素の階調は、表示期間 $T d$ における発光素子に流れる電流の大きさで決まる。なお、書き込み期間 $T a$ においても、ドレイン電流 I_1 の大きさに見合った輝度で発光しているが、その階調に与える影響は、実際のパネルでは無視できる程度に小さいと考えられる。なぜなら、例えば V G A だと 480 ラインの画素が画素部に設けられており、1 ラインの画素の書き込み期間 $T a$ は 1 フレーム期間の $1 / 480$ 程度と非常に小さいからである

50

。もちろん、書き込み期間 T_a における発光素子に流れる電流の階調への影響を考慮に入れて、信号電流 I_c の大きさを補正するようにしても良い。

【0320】

本実施例の画素では、表示期間において発光素子に流れる電流はドレイン電流 I_2 と、ドレイン電流 I_3 の和である。よって、発光素子に流れる電流がドレイン電流 I_2 のみに依存していない。そのため、トランジスタ Tr_1 とトランジスタ Tr_2 の特性がずれて、トランジスタ Tr_2 のドレイン電流 I_2 と信号電流 I_c の比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

【0321】

また、本実施例の画素では、書き込み期間 T_a においてトランジスタ Tr_1 のドレイン電流は発光素子に流れていない。よって信号線駆動回路によって画素に電流が供給され、トランジスタ Tr_1 のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0322】

さらに、本実施例の画素では、図2、図14、図16、図18、図20及び図22に示した画素に比べて、書き込み期間におけるトランジスタ Tr_1 のドレイン電流よりも、表示期間における Tr_1 のドレイン電流が小さいため、信号電流 I_c に対する発光素子に流れる電流の比が小さくなる。よって、信号電流 I_c をより大きくすることができるので、雑音の影響を受けにくい。

【0323】

なお、本実施例において、トランジスタ Tr_4 の第1の端子と第2の端子は、一方はトランジスタ Tr_1 の第2の端子に、もう一方はトランジスタ Tr_1 のゲート及びトランジスタ Tr_2 のゲートに接続されている。しかし本実施例はこの構成に限定されない。本実施例の画素は、書き込み期間 T_a においてトランジスタ Tr_1 のゲートとドレインを接続し、表示期間においてトランジスタ Tr_1 のゲートとドレインを切り離すことができるように、トランジスタ Tr_4 が他の素子または配線と接続されていれば良い。

【0324】

また本実施例において、トランジスタ Tr_5 の第1の端子と第2の端子は、一方は Tr_2 の第2の端子に、もう一方は Tr_6 の第1の端子または第2の端子に接続されている。しかし本実施例はこの構成に限定されない。本実施例の画素は、書き込み期間 T_a においてトランジスタ Tr_1 のドレインと画素電極とを切り離し、表示期間においてトランジスタ Tr_1 のドレインと画素電極とを接続することができるように、トランジスタ Tr_5 が他の素子または配線と接続されていれば良い。

【0325】

つまり、 Tr_3 、 Tr_4 、 Tr_5 は、 T_a では図25(A)のように接続され、 T_d では図25(B)のように、 T_i では図25(C)のように接続されていれば良い。また、 G_j 、 P_j 、 R_j は3本が別の配線となっているが、まとめて1本や2本にしても良い。

【0326】

つまり、 T_a において Tr_1 を流れる電流は全て電流源に流れ、電流源を流れる電流は全て Tr_1 に流れていれば良い。 T_d においては Tr_1 と Tr_2 を流れる電流は発光素子に流れれば良い。

【0327】

なお、本実施例の発光装置は、デジタルビデオ信号を用いて表示を行うことも可能であるし、アナログビデオ信号を用いて表示を行うことも可能である。

【0328】

本実施例は、実施例1～6と組み合わせて実施することが可能である。

【実施例13】

【0329】

本実施例では、図2、図14、図16、図18、図20、図22、図24とは異なる本発明の発光装置の画素の構成について説明する。

【0330】

図26に、図1で示した画素101の詳しい構成を示す。図26に示す画素101は、信号線 S_i ($S_1 \sim S_x$ のうちの1つ)、第1走査線 G_j ($G_1 \sim G_y$ のうちの1つ)、第2走査線 P_j ($P_1 \sim P_y$ のうちの1つ)、第3走査線 R_j ($R_1 \sim R_y$ のうちの1つ)及び電源線 V_i ($V_1 \sim V_x$ のうちの1つ)を有している。

【0331】

また画素101は、トランジスタ T_{r1} 、 T_{r2} 、 T_{r3} 、 T_{r4} 、 T_{r5} 、発光素子274及び保持容量275を有している。保持容量275はトランジスタ T_{r1} 及び T_{r2} のゲートとソースの間の電圧(ゲート電圧)をより確実に保持するために設けられているが、必ずしも設ける必要はない。

10

【0332】

トランジスタ T_{r3} のゲートは第1走査線 G_j に接続されている。そしてトランジスタ T_{r3} の第1の端子と第2の端子は、一方は信号線 S_i に接続されており、もう一方はトランジスタ T_{r1} の第2の端子に接続されている。

【0333】

トランジスタ T_{r4} のゲートは、第2走査線 P_j に接続されている。そしてトランジスタ T_{r4} の第1の端子と第2の端子は、一方はトランジスタ T_{r1} の第2の端子に、もう一方はトランジスタ T_{r1} 及び T_{r2} のゲートに接続されている。

20

【0334】

トランジスタ T_{r5} のゲートは、第3走査線 R_j に接続されている。そしてトランジスタ T_{r5} の第1の端子と第2の端子は、一方はトランジスタ T_{r2} の第2の端子及び電源線 V_i に、もう一方はトランジスタ T_{r1} の第2の端子に接続されている。

【0335】

トランジスタ T_{r1} とトランジスタ T_{r2} のゲートは、互いに接続されている。トランジスタ T_{r1} とトランジスタ T_{r2} の第1の端子は、共に発光素子274の画素電極に接続されている。

【0336】

保持容量275が有する2つの電極は、一方はトランジスタ T_{r1} とトランジスタ T_{r2} のゲートに、もう一方は発光素子274の画素電極に接続されている。対向電極は一定の電圧に保たれている。

30

【0337】

なお、トランジスタ T_{r1} 及び T_{r2} はnチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタ T_{r1} 及び T_{r2} の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ T_{r1} 及び T_{r2} はnチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ T_{r1} 及び T_{r2} はpチャネル型トランジスタであるのが望ましい。

40

【0338】

トランジスタ T_{r3} 、 T_{r4} 、 T_{r5} は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。

【0339】

次に、本実施例の発光装置の動作について図27を用いて説明する。本発明の発光装置の動作は、各ラインの画素毎に書き込み期間 T_a と、表示期間 T_d と、逆バイアス期間 T_i とに分けて説明することができる。図27は、各期間におけるトランジスタ T_{r1} 、 T_{r2} 、発光素子274の接続を簡単に示した図であり、ここでは T_{r1} 及び T_{r2} がnチャネル型TFTで、発光素子274の陽極を画素電極として用いた場合を例に挙げる。

【0340】

50

まず、各ラインの画素において書き込み期間 T_a が開始されると、電源線 $V_1 \sim V_x$ の電圧は、トランジスタ $T_r 2$ がオンになったときに順方向バイアスの電流が発光素子に流れる程度の高さに保たれる。つまり、 $T_r 1$ 及び $T_r 2$ が n チャネル型 TFT で、発光素子 274 の陽極を画素電極として用いた場合、電源線 V_i が対向電極の電圧よりも高くなるように設定する。逆に $T_r 1$ 及び $T_r 2$ が n チャネル型 TFT で、発光素子 274 の陰極を画素電極として用いた場合は、電源線 V_i が対向電極の電圧よりも低くなるように設定する。

【0341】

そして、走査線駆動回路 103 によって各ラインの第 1 及び第 2 走査線が順に選択される。なお、各第 1 及び第 2 走査線の選択される期間は互いに重ならない。よって、トランジスタ $T_r 3$ とトランジスタ $T_r 4$ がオンになる。なお、第 3 走査線は選択されていないので、トランジスタ $T_r 5$ はオフになっている。

10

【0342】

そして、信号線駆動回路 102 に入力されるビデオ信号に基づき、信号線 $S_1 \sim S_x$ と電源線 $V_1 \sim V_x$ の間に、それぞれビデオ信号に応じた信号電流 I_c が流れる。

【0343】

図 27 (A) に、書き込み期間 T_a において、信号線 S_i にビデオ信号に応じた信号電流 I_c が流れた場合の、画素 101 の概略図を示す。276 は対向電極に電圧を与える電源との接続用の端子を意味している。また、277 は信号線駆動回路 102 が有する定電流源を意味する。

20

【0344】

トランジスタ $T_r 3$ はオンの状態にあるので、信号線 S_i にビデオ信号に応じた信号電流 I_c が流れると、信号電流 I_c はトランジスタ $T_r 1$ のドレインとソースの間に流れる。このときトランジスタ $T_r 1$ は、ゲートとドレインが接続されているので飽和領域で動作しており、式 1 が成り立つ。よって、トランジスタ $T_r 1$ のゲート電圧 V_{GS} は電流値 I_c によって定まる。

【0345】

そしてトランジスタ $T_r 2$ のゲートは、トランジスタ $T_r 1$ のゲートに接続されている。また、トランジスタ $T_r 2$ のソースは、トランジスタ $T_r 1$ のソースに接続されている。したがって、トランジスタ $T_r 1$ のゲート電圧は、そのままトランジスタ $T_r 2$ のゲート電圧となる。よって、トランジスタ $T_r 2$ のドレイン電流は、トランジスタ $T_r 1$ のドレイン電流に比例する。特に、 $\mu C_0 W / L$ 及び V_{TH} が互いに等しいとき、トランジスタ $T_r 1$ とトランジスタ $T_r 2$ のドレイン電流は互いに等しくなり、 $I_2 = I_c$ となる。

30

【0346】

そして、トランジスタ $T_r 2$ のドレイン電流 I_2 は発光素子 274 に流れる。発光素子に流れる電流は、定電流源 277 において定められた信号電流 I_c に応じた大きさであり、流れる電流の大きさに見合った輝度で発光素子 274 は発光する。発光素子に流れる電流が 0 に限りなく近かったり、発光素子に流れる電流が逆方向バイアスである場合は、発光素子 274 は発光しない。

【0347】

書き込み期間 T_a が終了すると、第 1 走査線、第 2 走査線の選択が終了する。このとき、第 2 走査線の選択が、第 1 走査線よりも先に終了するのが望ましい。なぜならトランジスタ $T_r 3$ が先にオフになってしまうと、保持容量 275 の電荷が $T_r 4$ を通って漏れてしまうからである。

40

【0348】

書き込み期間 T_a が終了すると、次に表示期間 T_d が開始される。表示期間 T_d における電源線 V_i の電圧は、書き込み期間 T_a における電圧と同じ高さに保たれている。表示期間 T_d が開始されると、各ラインの第 3 走査線が順に選択され、トランジスタ $T_r 5$ がオンになる。なお、第 1 走査線及び第 2 走査線は選択されていないので、トランジスタ $T_r 3$ 及び $T_r 4$ はオフになっている。

50

【0349】

図27(B)に、表示期間Tdにおける画素の概略図を示す。トランジスタTr3及びトランジスタTr4はオフの状態にある。また、トランジスタTr1及びトランジスタTr2のソースは発光素子274の画素電極に接続されている。

【0350】

一方トランジスタTr1、Tr2においては、書き込み期間Taにおいて定められた V_{GS} がそのまま保持されている。そして、トランジスタTr2のゲートは、トランジスタTr1のゲートに接続されている。また、トランジスタTr2のソースは、トランジスタTr1のソースに接続されている。よって、トランジスタTr1のゲート電圧は、そのままトランジスタTr2のゲート電圧となる。さらに、トランジスタTr1のドレイン及びトランジスタTr2のドレインは電源線Viに接続されているので、トランジスタTr2のドレイン電流 I_2 は、トランジスタTr1のドレイン電流 I_1 に比例する大きさになる。特に、 $\mu C_0 W/L$ 及び V_{TH} が互いに等しいとき、トランジスタTr1とトランジスタTr2のドレイン電流は互いに等しくなり、 $I_2 = I_1 = I_c$ となる。

【0351】

また、トランジスタTr5がオンなので、トランジスタTr1のドレイン電流 I_1 と、トランジスタTr2のドレイン電流 I_2 は、共に発光素子に流れる電流として発光素子274に流れる。よって、表示期間Tdでは、ドレイン電流 I_1 と、ドレイン電流 I_2 を合わせた大きさの電流が発光素子274に流れ、該発光素子に流れる電流の大きさに見合った輝度で、発光素子274が発光する。

【0352】

なお、書き込み期間Taの直後には必ず表示期間Tdが出現する。表示期間Tdの直後には、次の書き込み期間Taが出現するか、もしくは逆バイアス期間Tiが出現する。

【0353】

逆バイアス期間が開始されると、電源線V1～Vxの電圧は、トランジスタTr2がオンになったときに逆方向バイアスの電圧が発光素子に印加される程度の高さに保たれる。つまり、Tr1及びTr2がnチャネル型TFTで、発光素子274の陽極を画素電極として用いた場合、電源線Viが対向電極の電圧よりも低くなるように設定する。逆にTr1及びTr2がpチャネル型TFTで、発光素子274の陰極を画素電極として用いた場合は、電源線Viが対向電極の電圧よりも高くなるように設定する。

【0354】

そして、走査線駆動回路103によって各ラインの第1及び第2走査線が順に選択され、トランジスタTr3とTr4がオンになる。そして、信号線駆動回路102によって、信号線S1～SxのそれぞれにトランジスタTr1及びTr2がオンになるような電圧が印加される。なお第3走査線は選択していても選択していなくともどちらでも良い。図27(C)は、第3走査線を選択していない場合について示しており、Tr5はオフになっている。

【0355】

図27(C)に、逆バイアス期間Tiにおける画素101の概略図を示す。逆バイアス期間TiにおいてはTr1及びTr2がオンになるので、電源線Viの電圧が発光素子274の画素電極に与えられ、逆方向バイアスの電圧が発光素子274に印加されることになる。発光素子274は逆方向バイアスの電圧が印加されると発光しない状態になる。

【0356】

なお、電源線の電圧は、トランジスタTr1及びTr2がオンになったときに、逆方向バイアスの電圧が発光素子に印加される高さであれば良い。また、逆バイアス期間Tiの長さは、デューティ比(1フレーム期間における表示期間の長さの総和の割合)との兼ね合いを考慮し、設計者が適宜設定することが可能である。

【0357】

なお、発光素子に流れる電流の大きさに見合った輝度で発光素子274が発光するので、各画素の階調は、表示期間Tdにおける発光素子に流れる電流の大きさで決まる。

【0358】

本実施例の画素では、表示期間において発光素子に流れる電流はドレイン電流 I_1 と、ドレイン電流 I_2 の和である。よって、発光素子に流れる電流がドレイン電流 I_2 のみに依存していない。そのため、トランジスタ Tr_1 とトランジスタ Tr_2 の特性がずれて、トランジスタ Tr_2 のドレイン電流 I_2 と信号電流 I_c の比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

【0359】

また、本実施例の画素では、書き込み期間 T_a においてトランジスタ Tr_1 のドレイン電流は発光素子に流れていない。よって信号線駆動回路によって画素に電流が供給され、トランジスタ Tr_1 のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

10

【0360】

なお、本実施例において、トランジスタ Tr_4 の第1の端子と第2の端子は、一方はトランジスタ Tr_1 の第2の端子に、もう一方はトランジスタ Tr_1 のゲート及びトランジスタ Tr_2 のゲートに接続されている。しかし本実施例はこの構成に限定されない。本実施例の画素は、書き込み期間 T_a においてトランジスタ Tr_1 のゲートとドレインを接続し、表示期間においてトランジスタ Tr_1 のゲートとドレインを切り離すことができるように、トランジスタ Tr_4 が他の素子または配線と接続されていれば良い。

20

【0361】

また本実施例において、トランジスタ Tr_5 の第1の端子と第2の端子は、一方は Tr_2 の第2の端子に、もう一方は Tr_6 の第1の端子または第2の端子に接続されている。しかし本実施例はこの構成に限定されない。本実施例の画素は、書き込み期間 T_a においてトランジスタ Tr_1 のドレインと画素電極とを切り離し、表示期間においてトランジスタ Tr_1 のドレインと画素電極とを接続することができるように、トランジスタ Tr_5 が他の素子または配線と接続されていれば良い。

【0362】

つまり、 Tr_3 、 Tr_4 、 Tr_5 は、 T_a では図27(A)のように接続され、 T_d では図27(B)のように接続され、 T_i では図27(C)のように接続されていれば良い。また、 G_j 、 P_j 、 R_j は3本が別の配線となっているが、まとめて1本や2本にしても良い。

30

【0363】

つまり、 T_a において Tr_1 を流れる電流は全て電流源に流れ、電流源を流れる電流は全て Tr_1 に流れていれば良い。 T_d においては Tr_1 と Tr_2 を流れる電流は発光素子に流れれば良い。

【0364】

なお、本実施例の発光装置は、デジタルビデオ信号を用いて表示を行うことも可能であるし、アナログビデオ信号を用いて表示を行うことも可能である。

40

【0365】

本実施例は、実施例1～6と組み合わせて実施することが可能である。

【実施例14】

【0366】

本実施例では、図2、図14、図16、図18、図20、図22、図24、図26とは異なる本発明の発光装置の画素の構成について説明する。

【0367】

図28に、図1で示した画素101の詳しい構成を示す。図28に示す画素101は、信号線 S_i ($S_1 \sim S_x$ のうちの1つ)、第1走査線 G_j ($G_1 \sim G_y$ のうちの1つ)、第2走査線 P_j ($P_1 \sim P_y$ のうちの1つ)、第3走査線 R_j ($R_1 \sim R_y$ のうちの1つ

50

）及び電源線 V_i ($V_1 \sim V_x$ のうちの 1 つ) を有している。

【0368】

また画素 101 は、トランジスタ Tr_1 、 Tr_2 、 Tr_3 、 Tr_4 、 Tr_5 、 Tr_6 、発光素子 284 及び保持容量 285 を有している。保持容量 285 はトランジスタ Tr_1 及び Tr_2 のゲートとソースの間の電圧（ゲート電圧）をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0369】

トランジスタ Tr_3 のゲートは第 1 走査線 G_j に接続されている。そしてトランジスタ Tr_3 の第 1 の端子と第 2 の端子は、一方は信号線 S_i に接続されており、もう一方はトランジスタ Tr_1 の第 2 の端子に接続されている。

10

【0370】

トランジスタ Tr_4 のゲートは、第 2 走査線 P_j に接続されている。そしてトランジスタ Tr_4 の第 1 の端子と第 2 の端子は、一方はトランジスタ Tr_1 の第 2 の端子に、もう一方はトランジスタ Tr_1 及び Tr_2 のゲートに接続されている。

【0371】

トランジスタ Tr_5 のゲートは、第 3 走査線 R_j に接続されている。そしてトランジスタ Tr_5 の第 1 の端子と第 2 の端子は、一方はトランジスタ Tr_2 の第 2 の端子及び電源線 V_i に、もう一方はトランジスタ Tr_6 の第 1 の端子または第 2 の端子に接続されている。

20

【0372】

トランジスタ Tr_6 のゲートは、トランジスタ Tr_1 及び Tr_2 のゲートに接続されている。そしてトランジスタ Tr_6 の第 1 の端子と第 2 の端子は、一方はトランジスタ Tr_1 の第 2 の端子に、もう一方はトランジスタ Tr_5 の第 1 の端子または第 2 の端子に接続されている。

【0373】

トランジスタ Tr_1 とトランジスタ Tr_2 のゲートは、互いに接続されている。トランジスタ Tr_1 とトランジスタ Tr_2 の第 1 の端子は、共に発光素子 284 の画素電極に接続されている。対向電極は一定の電圧に保たれている。

【0374】

保持容量 285 が有する 2 つの電極は、一方はトランジスタ Tr_1 とトランジスタ Tr_2 のゲートに、もう一方は発光素子 284 の画素電極に接続されている。

30

【0375】

なお、トランジスタ Tr_1 、 Tr_2 及び Tr_6 は n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。ただし、トランジスタ Tr_1 、 Tr_2 及び Tr_6 の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ Tr_1 、 Tr_2 及び Tr_6 は n チャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ Tr_1 、 Tr_2 及び Tr_6 は p チャネル型トランジスタであるのが望ましい。

【0376】

トランジスタ Tr_3 、 Tr_4 、 Tr_5 は、n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。

40

【0377】

次に、本実施例の発光装置の動作について図 29 を用いて説明する。本発明の発光装置の動作は、各ラインの画素毎に書き込み期間 T_a と、表示期間 T_d と、逆バイアス期間 T_i とに分けて説明することができる。図 29 は、各期間におけるトランジスタ Tr_1 、 Tr_2 、発光素子 284 の接続を簡単に示した図であり、ここでは Tr_1 、 Tr_2 及び Tr_6 が n チャネル型 TFT で、発光素子 284 の陽極を画素電極として用いた場合を例に挙げる。

【0378】

まず、各ラインの画素において書き込み期間 T_a が開始されると、電源線 $V_1 \sim V_x$ の

50

電圧は、トランジスタ T_{r1} 及び T_{r2} がオンになったときに順方向バイアスの電流が発光素子に流れる程度の高さに保たれる。つまり、 T_{r1} 、 T_{r2} 及び T_{r6} が n チャネル型 $TFET$ で、発光素子 284 の陽極を画素電極として用いた場合、電源線 V_i が対向電極の電圧よりも高くなるように設定する。逆に T_{r1} 、 T_{r2} 及び T_{r6} が p チャネル型 $TFET$ で、発光素子 284 の陰極を画素電極として用いた場合は、電源線 V_i が対向電極の電圧よりも低くなるように設定する。

【0379】

そして、走査線駆動回路 103 によって各ラインの第 1 及び第 2 走査線が選択される。よって、トランジスタ T_{r3} とトランジスタ T_{r4} がオンになる。なお、各第 1 及び第 2 走査線の選択される期間は互いに重ならない。また、第 3 走査線は選択されていないので、トランジスタ T_{r5} はオフになっている。

10

【0380】

そして、信号線駆動回路 102 に入力されるビデオ信号に基づき、信号線 $S_1 \sim S_x$ と電源線 $V_1 \sim V_x$ の間に、それぞれビデオ信号に応じた信号電流 I_c が流れる。

【0381】

図 29 (A) に、書き込み期間 T_a において、信号線 S_i にビデオ信号に応じた信号電流 I_c が流れた場合の、画素 101 の概略図を示す。286 は対向電極に電圧を与える電源との接続用の端子を意味している。また、287 は信号線駆動回路 102 が有する定電流源を意味する。

【0382】

20

トランジスタ T_{r3} はオンの状態にあるので、信号線 S_i にビデオ信号に応じた信号電流 I_c が流れると、信号電流 I_c はトランジスタ T_{r1} のドレインとソースの間に流れる。このときトランジスタ T_{r1} は、ゲートとドレインが接続されているので飽和領域で動作しており、式 1 が成り立つ。よって、トランジスタ T_{r1} のゲート電圧 V_{GS} は電流値 I_c によって定まる。このとき、電流値 I_c によって定まるトランジスタ T_{r1} のゲート電圧 V_{GS} は、 T_{r1} の閾値 V_{TH} と T_{r6} の閾値 V_{TH} とを加算した電圧より高くなるように、電流値 I_c の値を定める。

なお、 T_{r1} 、 T_{r2} 及び T_{r6} が p チャネル型 $TFET$ である場合は、 T_{r1} の閾値 V_{TH} と T_{r6} の閾値 V_{TH} とを加算した電圧より低くなるように、電流値 I_c の値を定める。

【0383】

30

そしてトランジスタ T_{r2} のゲートは、トランジスタ T_{r1} のゲートに接続されている。また、トランジスタ T_{r2} のソースは、トランジスタ T_{r1} のソースに接続されている。したがって、トランジスタ T_{r1} のゲート電圧は、そのままトランジスタ T_{r2} のゲート電圧となる。よって、トランジスタ T_{r2} のドレイン電流は、トランジスタ T_{r1} のドレイン電流に比例する。特に、 $\mu C_0 W / L$ 及び V_{TH} が互いに等しいとき、トランジスタ T_{r1} とトランジスタ T_{r2} のドレイン電流は互いに等しくなり、 $I_2 = I_c$ となる。

【0384】

そして、トランジスタ T_{r2} のドレイン電流 I_2 は発光素子 284 に流れる。発光素子に流れる電流は、定電流源 287 において定められた信号電流 I_c に応じた大きさであり、流れる電流の大きさに見合った輝度で発光素子 284 は発光する。発光素子に流れる電流が 0 に限りなく近かったり、発光素子に流れる電流が逆方向バイアスである場合は、発光素子 284 は発光しない。

40

【0385】

書き込み期間 T_a が終了すると、第 1 走査線、第 2 走査線の選択が終了する。このとき、第 2 走査線の選択が、第 1 走査線よりも先に終了するのが望ましい。なぜならトランジスタ T_{r3} が先にオフになってしまうと、保持容量 285 の電荷が T_{r4} を通って漏れてしまうからである。

【0386】

書き込み期間 T_a が終了すると、次に表示期間 T_d が開始される。表示期間 T_d における電源線 V_i の電圧は、書き込み期間 T_a における電圧と同じ高さに保たれている。表示

50

期間 T_d が開始されると、各ラインの第 3 走査線が順に選択され、トランジスタ T_{r5} がオンになる。なお、第 1 走査線及び第 2 走査線は選択されていないので、トランジスタ T_{r3} 及び T_{r4} はオフになっている。

【0387】

図 29 (B) に、表示期間 T_d における画素の概略図を示す。トランジスタ T_{r3} 及びトランジスタ T_{r4} はオフの状態にある。また、トランジスタ T_{r1} 及びトランジスタ T_{r2} のソースは発光素子 284 の画素電極に接続されている。

【0388】

一方トランジスタ T_{r1} 、 T_{r2} においては、書き込み期間 T_a において定められた V_{GS} がそのまま保持されており、該 V_{GS} は T_{r1} の閾値 V_{TH} と T_{r6} の閾値 V_{TH} とを加算した電圧より高い。さらに、トランジスタ T_{r6} のゲートはトランジスタ T_{r1} 及び T_{r2} のゲートと接続されている。そのため、トランジスタ T_{r1} のドレイン電流とトランジスタ T_{r6} のドレイン電流は同じ大きさに保たれる。そして、式 1 より、トランジスタ T_{r1} のドレイン電流は、トランジスタ T_{r6} のチャネル長及びチャネル幅に左右される。

【0389】

上述したように、トランジスタ T_{r1} と T_{r6} のゲート電圧、移動度、単位面積あたりのゲート容量、閾値、チャネル幅が等しいと仮定すると、式 1 より式 2 が導き出される。

【0390】

一方、トランジスタ T_{r2} のドレイン電流 I_2 の値は、信号電流 I_c に応じた大きさに維持されたままである。

【0391】

そして、トランジスタ T_{r5} がオンなので、トランジスタ T_{r1} 及び T_{r6} のドレイン電流 I_1 と、トランジスタ T_{r2} のドレイン電流 I_2 は、共に発光素子 284 に流れる。よって、ドレイン電流 I_1 と、ドレイン電流 I_2 を合わせた電流の大きさに見合った輝度で、発光素子 284 は発光する。

【0392】

なお、書き込み期間 T_a の直後には必ず表示期間 T_d が出現する。表示期間 T_d の直後には、次の書き込み期間 T_a が出現するか、もしくは逆バイアス期間 T_i が出現する。

【0393】

逆バイアス期間が開始されると、電源線 $V_1 \sim V_x$ の電圧は、トランジスタ T_{r2} がオンになったときに逆方向バイアスの電圧が発光素子に印加される程度の高さに保たれる。つまり、 T_{r1} 、 T_{r2} 及び T_{r6} が n チャネル型 TFT で、発光素子 284 の陽極を画素電極として用いた場合、電源線 V_i が対向電極の電圧よりも低くなるように設定する。逆に T_{r1} 、 T_{r2} 及び T_{r6} が p チャネル型 TFT で、発光素子 284 の陰極を画素電極として用いた場合は、電源線 V_i が対向電極の電圧よりも高くなるように設定する。

【0394】

そして、走査線駆動回路 103 によって各ラインの第 1 及び第 2 走査線が順に選択され、トランジスタ T_{r3} と T_{r4} がオンになる。そして、信号線駆動回路 102 によって、信号線 $S_1 \sim S_x$ のそれぞれにトランジスタ T_{r1} 、 T_{r2} 及び T_{r6} がオンになるような電圧が印加される。なお第 3 走査線は選択していても選択していなくともどちらでも良い。図 29 (C) は、第 3 走査線を選択していない場合について示しており、 T_{r5} はオフになっている。

【0395】

図 29 (C) に、逆バイアス期間 T_i における画素 101 の概略図を示す。逆バイアス期間 T_i においては、 T_{r2} がオンになるので、逆方向バイアスの電圧が発光素子 284 に印加されることになる。発光素子 284 は逆方向バイアスの電圧が印加されると発光しない状態になる。

【0396】

なお、電源線の電圧は、トランジスタ T_{r2} がオンになったときに、逆方向バイアスの電圧が発光素子に印加される高さであれば良い。また、逆バイアス期間 T_i の長さは、デ

ューティー比（１フレーム期間における表示期間の長さの総和の割合）との兼ね合いを考慮し、設計者が適宜設定することが可能である。

【０３９７】

なお、発光素子に流れる電流の大きさに見合った輝度で発光素子２８４が発光するので、各画素の階調は、表示期間Ｔｄにおける発光素子に流れる電流の大きさで決まる。

【０３９８】

本実施例の画素では、表示期間において発光素子に流れる電流はドレイン電流 I_2 と、ドレイン電流 I_3 の和である。よって、発光素子に流れる電流がドレイン電流 I_2 のみに依存していない。そのため、トランジスタＴｒ１とトランジスタＴｒ２の特性がずれて、トランジスタＴｒ２のドレイン電流 I_2 と信号電流 I_c の比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

【０３９９】

また、本実施例の画素では、書き込み期間ＴａにおいてトランジスタＴｒ１のドレイン電流は発光素子に流れていない。よって信号線駆動回路によって画素に電流が供給され、トランジスタＴｒ１のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【０４００】

さらに、本実施例の画素では、図２、図１４、図１６、図１８、図２０、図２２及び図２６に示した画素に比べて、書き込み期間におけるトランジスタＴｒ１のドレイン電流よりも、表示期間におけるＴｒ１のドレイン電流が小さいため、信号電流 I_c に対する発光素子に流れる電流の比が小さくなる。よって、信号電流 I_c をより大きくすることができるので、雑音の影響を受けにくい。

【０４０１】

なお、本実施例において、トランジスタＴｒ４の第１の端子と第２の端子は、一方はトランジスタＴｒ１の第２の端子に、もう一方はトランジスタＴｒ１のゲート及びトランジスタＴｒ２のゲートに接続されている。しかし本実施例はこの構成に限定されない。本実施例の画素は、書き込み期間ＴａにおいてトランジスタＴｒ１のゲートとドレインを接続し、表示期間においてトランジスタＴｒ１のゲートとドレインを切り離すことができるように、トランジスタＴｒ４が他の素子または配線と接続されていれば良い。

【０４０２】

また本実施例において、トランジスタＴｒ５の第１の端子と第２の端子は、一方はＴｒ２の第２の端子に、もう一方はＴｒ２の第２の端子に接続されている。しかし本実施例はこの構成に限定されない。本実施例の画素は、書き込み期間ＴａにおいてトランジスタＴｒ１のドレインと画素電極とを切り離し、表示期間においてトランジスタＴｒ１のドレインと画素電極とを接続することができるように、トランジスタＴｒ５が他の素子または配線と接続されていれば良い。

【０４０３】

つまり、Ｔｒ３、Ｔｒ４、Ｔｒ５、Ｔｒ６は、Ｔａでは図２９（Ａ）のように接続され、Ｔｄでは図２９（Ｂ）のように接続され、Ｔｉでは図２９（Ｃ）のように接続されていれば良い。また、 G_j 、 P_j 、 R_j は３本が別の配線となっているが、まとめて１本や２本にしても良い。

【０４０４】

つまり、ＴａにおいてＴｒ１を流れる電流は全て電流源に流れ、電流源を流れる電流は全てＴｒ１に流れていれば良い。ＴｄにおいてはＴｒ１とＴｒ２を流れる電流は発光素子に流れれば良い。

【０４０５】

なお、本実施例の発光装置は、デジタルビデオ信号を用いて表示を行うことも可能であ

10

20

30

40

50

るし、アナログビデオ信号を用いて表示を行うことも可能である。

【0406】

本実施例は、実施例1～6と組み合わせて実施することが可能である。

【実施例15】

【0407】

本実施例では、図2、図14、図16、図18、図20、図22、図24、図26、図28とは異なる本発明の発光装置の画素の構成について説明する。

【0408】

図30に、図1で示した画素101の詳しい構成を示す。図30に示す画素101は、信号線 S_i ($S_1 \sim S_x$ のうちの1つ)、第1走査線 G_j ($G_1 \sim G_y$ のうちの1つ)、第2走査線 P_j ($P_1 \sim P_y$ のうちの1つ)、第3走査線 R_j ($R_1 \sim R_y$ のうちの1つ)及び電源線 V_i ($V_1 \sim V_x$ のうちの1つ)を有している。

10

【0409】

また画素101は、トランジスタ T_{r1} 、 T_{r2} 、 T_{r3} 、 T_{r4} 、 T_{r5} 、発光素子294及び保持容量295を有している。保持容量295はトランジスタ T_{r1} 及び T_{r2} のゲートとソースの間の電圧(ゲート電圧)をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0410】

トランジスタ T_{r3} のゲートは第1走査線 G_j に接続されている。そしてトランジスタ T_{r3} の第1の端子と第2の端子は、一方は信号線 S_i に接続されており、もう一方はトランジスタ T_{r1} の第2の端子に接続されている。

20

【0411】

トランジスタ T_{r4} のゲートは、第2走査線 P_j に接続されている。そしてトランジスタ T_{r4} の第1の端子と第2の端子は、一方はトランジスタ T_{r1} の第2の端子に、もう一方はトランジスタ T_{r1} 及び T_{r2} のゲートに接続されている。

【0412】

トランジスタ T_{r5} のゲートは、第3走査線 R_j に接続されている。そしてトランジスタ T_{r5} の第1の端子と第2の端子は、一方はトランジスタ T_{r2} の第1の端子及び発光素子294の画素電極に、もう一方はトランジスタ T_{r1} の第1の端子に接続されている。

30

【0413】

トランジスタ T_{r1} とトランジスタ T_{r2} のゲートは、互いに接続されている。トランジスタ T_{r2} の第1の端子は、発光素子294の画素電極に接続されている。トランジスタ T_{r1} とトランジスタ T_{r2} の第2の端子は、共に電源線 V_i に接続されている。対向電極は一定の電圧に保たれている。

【0414】

保持容量295が有する2つの電極は、一方はトランジスタ T_{r1} とトランジスタ T_{r2} のゲートに、もう一方は発光素子294の画素電極に接続されている。

【0415】

なお、トランジスタ T_{r1} 及び T_{r2} はnチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタ T_{r1} 及び T_{r2} の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ T_{r1} 及び T_{r2} はnチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ T_{r1} 及び T_{r2} はpチャネル型トランジスタであるのが望ましい。

40

【0416】

トランジスタ T_{r3} 、 T_{r4} 、 T_{r5} は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。

【0417】

次に、本実施例の発光装置の動作について図31を用いて説明する。本発明の発光装置

50

の動作は、各ラインの画素毎に書き込み期間 T_a と、表示期間 T_d と、逆バイアス期間 T_i とに分けて説明することができる。図 3 1 は、各期間におけるトランジスタ T_{r1} 、 T_{r2} 、発光素子 294 の接続を簡単に示した図であり、ここでは T_{r1} 及び T_{r2} が n チャンネル型 TFT で、発光素子 294 の陽極を画素電極として用いた場合を例に挙げる。

【0418】

まず、各ラインの画素において書き込み期間 T_a が開始されると、電源線 $V_1 \sim V_x$ の電圧は、トランジスタ T_{r1} 及び T_{r2} がオンになったときに順方向バイアスの電流が発光素子に流れる程度の高さに保たれる。つまり、 T_{r1} 及び T_{r2} が n チャンネル型 TFT で、発光素子 294 の陽極を画素電極として用いた場合、電源線 V_i が対向電極の電圧よりも高くなるように設定する。逆に T_{r1} 及び T_{r2} が p チャンネル型 TFT で、発光素子 294 の陰極を画素電極として用いた場合は、電源線 V_i が対向電極の電圧よりも低くなるように設定する。

10

【0419】

そして、走査線駆動回路 103 によって各ラインの第 1 及び第 2 走査線が順に選択され、トランジスタ T_{r3} と T_{r4} がオンになる。なお、各走査線の選択される期間は互いに重ならない。なお、第 3 走査線は選択されていないので、トランジスタ T_{r5} はオフになっている。

【0420】

そして、信号線駆動回路 102 に入力されるビデオ信号に基づき、信号線 $S_1 \sim S_x$ と電源線 $V_1 \sim V_x$ の間に、それぞれビデオ信号に応じた信号電流 I_c が流れる。

20

【0421】

図 3 1 (A) に、書き込み期間 T_a において、信号線 S_i にビデオ信号に応じた信号電流 I_c が流れた場合の、画素 101 の概略図を示す。296 は対向電極に電圧を与える電源との接続用の端子を意味している。また、297 は信号線駆動回路 102 が有する定電流源を意味する。

【0422】

トランジスタ T_{r3} はオンの状態にあるので、信号線 S_i にビデオ信号に応じた信号電流 I_c が流れると、信号電流 I_c はトランジスタ T_{r1} のドレインとソースの間に流れる。このときトランジスタ T_{r1} は、ゲートとドレインが接続されているので飽和領域で動作しており、式 1 が成り立つ。よって、トランジスタ T_{r1} のゲート電圧 V_{GS} は電流値 I_c によって定まる。そしてトランジスタ T_{r2} のゲートは、トランジスタ T_{r1} のゲートに接続されている。

30

【0423】

書き込み期間 T_a が終了すると、第 1 走査線、第 2 走査線の選択が終了する。このとき、第 2 走査線の選択が、第 1 走査線よりも先に終了するのが望ましい。なぜならトランジスタ T_{r3} が先にオフになってしまうと、保持容量 295 の電荷が T_{r4} を通って漏れてしまうからである。

【0424】

書き込み期間 T_a が終了すると、次に表示期間 T_d が開始される。表示期間 T_d における電源線 V_i の電圧は、書き込み期間 T_a における電圧と同じ高さに保たれている。表示期間 T_d が開始されると、第 3 走査線が選択されトランジスタ T_{r5} がオンになる。なお、第 1 走査線及び第 2 走査線は選択されていないので、トランジスタ T_{r3} 及び T_{r4} はオフになっている。

40

【0425】

図 3 1 (B) に、表示期間 T_d における画素の概略図を示す。トランジスタ T_{r3} 及びトランジスタ T_{r4} はオフの状態にある。また、トランジスタ T_{r1} 及びトランジスタ T_{r2} のソースは発光素子 294 の画素電極に接続されている。

【0426】

一方トランジスタ T_{r1} 、 T_{r2} においては、書き込み期間 T_a において定められた V_{GS} がそのまま保持されている。そして、トランジスタ T_{r2} のゲートは、トランジスタ T

50

r 1 のゲートに接続されている。また、トランジスタ T r 2 のソースは、トランジスタ T r 1 のソースに接続されている。よって、トランジスタ T r 1 のゲート電圧は、そのままトランジスタ T r 2 のゲート電圧となる。さらに、トランジスタ T r 1 のドレイン及びトランジスタ T r 2 のドレインは電源線 V i に接続されているので、トランジスタ T r 2 のドレイン電流 I_2 は、トランジスタ T r 1 のドレイン電流 I_1 に比例する大きさになる。特に、 $\mu C_0 W / L$ 及び V_{TH} が互いに等しいとき、トランジスタ T r 1 とトランジスタ T r 2 のドレイン電流は互いに等しくなり、 $I_2 = I_1 = I_c$ となる。

【 0 4 2 7 】

また、トランジスタ T r 5 がオンなので、トランジスタ T r 1 のドレイン電流 I_1 と、トランジスタ T r 2 のドレイン電流 I_2 は、共に発光素子に流れる電流として発光素子 2 9 4 に流れる。よって、表示期間 T d では、ドレイン電流 I_1 と、ドレイン電流 I_2 を合わせた大きさの電流が発光素子 2 9 4 に流れ、該発光素子に流れる電流の大きさに見合った輝度で、発光素子 2 9 4 が発光する。

【 0 4 2 8 】

なお、書き込み期間 T a の直後には必ず表示期間 T d が出現する。表示期間 T d の直後には、次の書き込み期間 T a が出現するか、もしくは逆バイアス期間 T i が出現する。

【 0 4 2 9 】

逆バイアス期間が開始されると、電源線 V 1 ~ V x の電圧は、トランジスタ T r 2 がオンになったときに逆方向バイアスの電圧が発光素子に印加される程度の高さに保たれる。つまり、T r 1 及び T r 2 が n チャネル型 T F T で、発光素子 2 9 4 の陽極を画素電極として用いた場合、電源線 V i が対向電極の電圧よりも低くなるように設定する。逆に T r 1 及び T r 2 が p チャネル型 T F T で、発光素子 2 9 4 の陰極を画素電極として用いた場合は、電源線 V i が対向電極の電圧よりも高くなるように設定する。

【 0 4 3 0 】

そして、走査線駆動回路 1 0 3 によって各ラインの第 1 及び第 2 走査線が順に選択され、トランジスタ T r 3 と T r 4 がオンになる。そして、信号線駆動回路 1 0 2 によって、信号線 S 1 ~ S x のそれぞれにトランジスタ T r 1 及び T r 2 がオンになるような電圧が印加される。なお第 3 走査線は選択していても選択していなくともどちらでも良い。図 3 1 (C) は、第 3 走査線を選択していない場合について示しており、T r 5 はオフになっている。

【 0 4 3 1 】

図 3 1 (C) に、逆バイアス期間 T i における画素 1 0 1 の概略図を示す。逆バイアス期間 T i においては、T r 1 及び T r 2 がオンになるので、逆方向バイアスの電圧が発光素子 2 9 4 に印加されることになる。発光素子 2 9 4 は逆方向バイアスの電圧が印加されると発光しない状態になる。

【 0 4 3 2 】

なお、図 3 0 に示した画素では、逆バイアス期間 T i において T r 2 はゲートとソースが接続されており、なおかつ電源線の電圧 V i が対向電極の電圧よりも低いので、T r 2 はオフの状態にあり、T r 2 のソースとドレインの電圧は同じにはならない。よって、発光素子 2 9 4 に印加される逆方向バイアスの電圧は、電源線 V i と対向電極の間の電圧差と同じにはならず、対向電極と電源線 V i との間の電圧差から T r 2 の V_{DS} を差し引いた値となる。しかし、発光素子 2 9 4 に確実に逆方向バイアスの電圧を印加することができるので、発光素子の劣化による輝度の低下を抑えられる。

【 0 4 3 3 】

また、逆バイアス期間 T i の長さは、デューティ比 (1 フレーム期間における表示期間の長さの総和の割合) との兼ね合いを考慮し、設計者が適宜設定することが可能である。

【 0 4 3 4 】

なお、発光素子に流れる電流の大きさに見合った輝度で発光素子 2 9 4 が発光するので、各画素の階調は、表示期間 T d における発光素子に流れる電流の大きさで決まる。なお

10

20

30

40

50

、書き込み期間 T_a においても、 $T_r 2$ のドレイン電流の大きさに見合った輝度で発光しているが、その階調に与える影響は、実際のパネルでは無視できる程度に小さいと考えられる。なぜなら、例えば VGA だと 480 ラインの画素が画素部に設けられており、1 ラインの画素の書き込み期間 T_a は 1 フレーム期間の $1/480$ 程度と非常に小さいからである。

【0435】

本実施例の画素では、表示期間において発光素子に流れる電流はドレイン電流 I_1 と、ドレイン電流 I_2 の和である。よって、発光素子に流れる電流がドレイン電流 I_2 のみに依存していない。そのため、トランジスタ $T_r 1$ とトランジスタ $T_r 2$ の特性がずれて、トランジスタ $T_r 2$ のドレイン電流 I_2 と信号電流 I_c の比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

10

【0436】

また、本実施例の画素では、書き込み期間 T_a においてトランジスタ $T_r 1$ のドレイン電流は発光素子に流れていない。よって信号線駆動回路によって画素に電流が供給され、トランジスタ $T_r 1$ のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

20

【0437】

なお、本実施例において、トランジスタ $T_r 4$ の第 1 の端子と第 2 の端子は、一方はトランジスタ $T_r 1$ の第 2 の端子に、もう一方はトランジスタ $T_r 1$ のゲート及びトランジスタ $T_r 2$ のゲートに接続されている。しかし本実施例はこの構成に限定されない。本実施例の画素は、書き込み期間 T_a においてトランジスタ $T_r 1$ のゲートとドレインを接続し、表示期間においてトランジスタ $T_r 1$ のゲートとドレインを切り離すことができるように、トランジスタ $T_r 4$ が他の素子または配線と接続されていれば良い。

30

【0438】

また本実施例において、トランジスタ $T_r 5$ の第 1 の端子と第 2 の端子は、一方は $T_r 2$ の第 1 の端子に、もう一方は $T_r 1$ の第 1 の端子に接続されている。しかし本実施例はこの構成に限定されない。本実施例の画素は、書き込み期間 T_a においてトランジスタ $T_r 1$ のソースと画素電極とを切り離し、表示期間においてトランジスタ $T_r 1$ のソースと画素電極とを接続することができるように、トランジスタ $T_r 5$ が他の素子または配線と接続されていれば良い。

40

【0439】

つまり、 $T_r 3$ 、 $T_r 4$ 、 $T_r 5$ は、 T_a では図 31 (A) のように接続され、 T_d では図 31 (B) のように接続され、 T_i では図 31 (C) のように接続されていれば良い。また、 G_j 、 P_j 、 R_j は 3 本が別の配線となっているが、まとめて 1 本や 2 本にしても良い。

【0440】

つまり、 T_a において $T_r 1$ を流れる電流は全て電流源に流れ、電流源を流れる電流は全て $T_r 1$ に流れていれば良い。 T_d においては $T_r 1$ と $T_r 2$ を流れる電流は発光素子に流れれば良い。

40

【0441】

なお、本実施例の発光装置は、デジタルビデオ信号を用いて表示を行うことも可能であるし、アナログビデオ信号を用いて表示を行うことも可能である。

【0442】

本実施例は、実施例 1 ~ 6 と組み合わせて実施することが可能である。

【実施例 16】

【0443】

本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いるこ

50

とで、外部発光量子効率を飛躍的に向上させることができる。これにより、発光素子の低消費電力化、長寿命化、および軽量化が可能になる。

【 0 4 4 4 】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

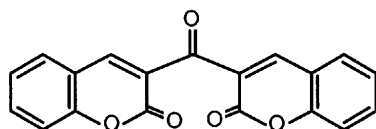
【 0 4 4 5 】

上記の論文により報告された有機発光材料（クマリン色素）の分子式を以下に示す。

【 0 4 4 6 】

【 化 1 】

10



【 0 4 4 7 】

(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

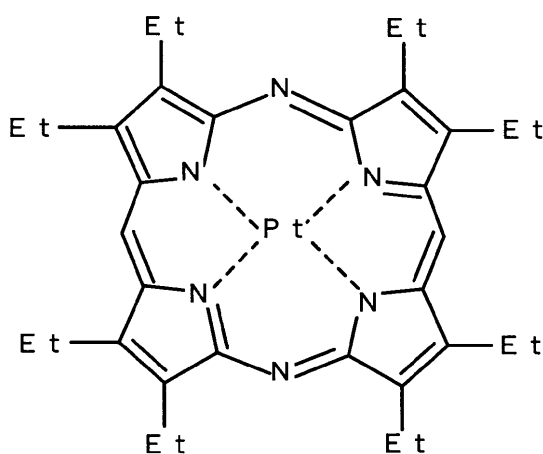
【 0 4 4 8 】

上記の論文により報告された有機発光材料（Pt錯体）の分子式を以下に示す。

【 0 4 4 9 】

【 化 2 】

20



30

【 0 4 5 0 】

(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

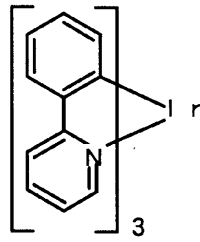
40

【 0 4 5 1 】

上記の論文により報告された有機発光材料（Ir錯体）の分子式を以下に示す。

【 0 4 5 2 】

【化 3】



10

【0453】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。

【0454】

なお、本実施例の構成は、実施例1～実施例15のいずれの構成とも自由に組み合わせて実施することが可能である。

【実施例17】

【0455】

OLEDに用いられる有機発光材料は低分子系と高分子系に大別される。本発明の発光装置は、低分子系の有機発光材料でも高分子系の有機発光材料でも用いることができる。

20

【0456】

低分子系の有機発光材料は、蒸着法により成膜される。したがって積層構造をとりやすく、ホール輸送層、電子輸送層などの機能が異なる膜を積層することで高効率化しやすい。

【0457】

低分子系の有機発光材料としては、キノリノールを配位子としたアルミニウム錯体Alq₃、トリフェニルアミン誘導体(TPD)等が挙げられる。

【0458】

一方、高分子系の有機発光材料は低分子系に比べて物理的強度が高く、素子の耐久性が高い。また塗布により成膜することが可能であるので、素子の作製が比較的容易である。

30

【0459】

高分子系の有機発光材料を用いた発光素子の構造は、低分子系の有機発光材料を用いたときと基本的には同じであり、陰極/有機発光層/陽極となる。しかし、高分子系の有機発光材料を用いた有機発光層を形成する際には、低分子系の有機発光材料を用いたときのような積層構造を形成させることは難しく、知られている中では2層の積層構造が有名である。具体的には、陰極/発光層/正孔輸送層/陽極という構造である。なお、高分子系の有機発光材料を用いた発光素子の場合には、陰極材料としてCaを用いることも可能である。

【0460】

なお、素子の発光色は、発光層を形成する材料で決まるため、これらを選択することで所望の発光を示す発光素子を形成することができる。発光層の形成に用いることができる高分子系の有機発光材料は、ポリパラフェニレンビニレン系、ポリパラフェニレン系、ポリチオフェン系、ポリフルオレン系が挙げられる。

40

【0461】

ポリパラフェニレンビニレン系には、ポリ(パラフェニレンビニレン)[PPV]の誘導体、ポリ(2,5-ジアルコキシ-1,4-フェニレンビニレン)[RO-PPV]、ポリ(2-(2'-エチル-ヘキソキシ)-5-メトキシ-1,4-フェニレンビニレン)[MEH-PPV]、ポリ(2-(ジアルコキシフェニル)-1,4-フェニレンビニレン)[ROPPh-PPV]等が挙げられる。

【0462】

50

ポリパラフェニレン系には、ポリパラフェニレン [P P P] の誘導体、ポリ (2 , 5 - ジアルコキシ - 1 , 4 - フェニレン) [R O - P P P]、ポリ (2 , 5 - ジヘキソキシ - 1 , 4 - フェニレン) 等が挙げられる。

【 0 4 6 3 】

ポリチオフェン系には、ポリチオフェン [P T] の誘導体、ポリ (3 - アルキルチオフェン) [P A T]、ポリ (3 - ヘキシルチオフェン) [P H T]、ポリ (3 - シクロヘキシルチオフェン) [P C H T]、ポリ (3 - シクロヘキシル - 4 - メチルチオフェン) [P C H M T]、ポリ (3 , 4 - ジシクロヘキシルチオフェン) [P D C H T]、ポリ [3 - (4 - オクチルフェニル) - チオフェン] [P O P T]、ポリ [3 - (4 - オクチルフェニル) - 2 , 2 ビチオフェン] [P T O P T] 等が挙げられる。

10

【 0 4 6 4 】

ポリフルオレン系には、ポリフルオレン [P F] の誘導体、ポリ (9 , 9 - ジアルキルフルオレン) [P D A F]、ポリ (9 , 9 - ジオクチルフルオレン) [P D O F] 等が挙げられる。

【 0 4 6 5 】

なお、正孔輸送性の高分子系の有機発光材料を、陽極と発光性の高分子系有機発光材料の間に挟んで形成すると、陽極からの正孔注入性を向上させることができる。一般にアクセプター材料と共に水に溶解させたものをスピンコート法などで塗布する。また、有機溶媒には不溶であるため、上述した発光性の有機発光材料との積層が可能である。

20

【 0 4 6 6 】

正孔輸送性の高分子系の有機発光材料としては、P E D O T とアクセプター材料としてのショウノウスルホン酸 (C S A) の混合物、ポリアニリン [P A N I] とアクセプター材料としてのポリスチレンスルホン酸 [P S S] の混合物等が挙げられる。

【 0 4 6 7 】

なお、本実施例の構成は、実施例 1 ~ 実施例 1 6 と組み合わせて実施することが可能である。

【 実施例 1 8 】

【 0 4 6 8 】

本発明の発光装置の作成方法の一例について、図 3 2 ~ 図 3 5 を用いて説明する。ここでは代表的に、図 2 に示した画素のトランジスタ T r 2 及びトランジスタ T r 4 と、画素部の周辺に設けられる駆動部の T F T を同時に作製する方法について、工程に従って詳細に説明する。なおトランジスタ T r 1 及びトランジスタ T r 3 も、トランジスタ T r 2 及びトランジスタ T r 4 の作製方法に従って作製することが可能である。

30

【 0 4 6 9 】

まず、本実施例ではコーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板 9 0 0 を用いる。なお、基板 9 0 0 としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

40

【 0 4 7 0 】

次いで、図 3 2 (A) に示すように、基板 9 0 0 上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜 9 0 1 を形成する。本実施例では下地膜 9 0 1 として 2 層構造を用いるが、前記絶縁膜の単層膜または 2 層以上積層させた構造を用いても良い。下地膜 9 0 1 の一層目としては、プラズマ C V D 法を用い、S i H₄、N H₃、及び N₂O を反応ガスとして成膜される酸化窒化珪素膜 9 0 1 a を 1 0 ~ 2 0 0 n m (好ましくは 5 0 ~ 1 0 0 n m) 形成する。本実施例では、膜厚 5 0 n m の酸化窒化珪素膜 9 0 1 a (組成比 S i = 3 2 %、O = 2 7 %、N = 2 4 %、H = 1 7 %) を形成した。次いで、下地膜 9 0 1 の二層目としては、プラズマ C V D 法を用い、S i H₄、及び N₂O を反応ガスとして成膜される酸化窒化珪素膜 9 0 1 b を 5 0 ~ 2 0 0 n m (好ましくは 1 0 0 ~

50

150 nm)の厚さに積層形成する。本実施例では、膜厚100 nmの酸化窒化珪素膜901b(組成比Si=32%、O=59%、N=7%、H=2%)を形成した。

【0471】

次いで、下地膜901上に半導体層902~905を形成する。半導体層902~905は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。

この半導体層902~905の厚さは25~80 nm(好ましくは30~60 nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素(シリコン)またはシリコンゲルマニウム($\text{Si}_x\text{Ge}_{1-x}$ ($x=0.0001\sim0.02$))合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55 nmの非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化(500℃、1時間)を行った後、熱結晶化(550℃、4時間)を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層902~905を形成した。

【0472】

また、半導体層902~905を形成した後、TFTのしきい値を制御するために、半導体層902~905に微量な不純物元素(ボロンまたはリン)をドーピングしてもよい。

【0473】

レーザー結晶化法で結晶質半導体膜を作製する場合は、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し、半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300 Hzとし、レーザーエネルギー密度を100~400 mJ/cm²(代表的には200~300 mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30~300 kHzとし、レーザーエネルギー密度を300~600 mJ/cm²(代表的には350~500 mJ/cm²)とすると良い。そして幅100~1000 μm、例えば400 μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50~90%として行う。

【0474】

なおレーザーは、連続発振またはパルス発振の気体レーザーもしくは固体レーザーを用いることができる。気体レーザーとして、エキシマレーザー、Arレーザー、Krレーザーなどがあり、固体レーザーとして、YAGレーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザー、ガラスレーザー、ルビーレーザー、アレキサンドライドレーザー、Ti:サファイアレーザーなどが挙げられる。固体レーザーとしては、Cr、Nd、Er、Ho、Ce、Co、Ti又はTmがドーピングされたYAG、YVO₄、YLF、YAlO₃などの結晶を使ったレーザー等も使用可能である。当該レーザーの基本波はドーピングする材料によって異なり、1 μm前後の基本波を有するレーザー光が得られる。基本波に対する高調波は、非線形光学素子を用いることで得ることができる。

【0475】

またさらに、固体レーザーから発せられた赤外レーザー光を非線形光学素子でグリーンレーザー光に変換後、さらに別の非線形光学素子によって得られる紫外レーザー光を用いることもできる。

【0476】

非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザーを用い、基本波の第2高調波~第4高調波を適用するのが好ましい。代表的には

10

20

30

40

50

、Nd:YVO₄レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を適用するのが望ましい。具体的には、出力10Wの連続発振のYVO₄レーザーから射出されたレーザー光を非線形光学素子により高調波に変換する。また、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面に矩形または楕円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、10～2000cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射する。

【0477】

次いで、半導体層902～905を覆うゲート絶縁膜906を形成する。ゲート絶縁膜906はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜（組成比Si=32%、O=59%、N=7%、H=2%）で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0478】

また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS（Tetraethyl Orthosilicate）とO₂とを混合し、反応圧力40Pa、基板温度300～400とし、高周波（13.56MHz）電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400～500の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0479】

そして、ゲート絶縁膜906上にゲート電極を形成するための耐熱性導電層907を200～400nm（好ましくは250～350nm）の厚さで形成する。耐熱性導電層907は単層で形成しても良いし、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。耐熱性導電層にはTa、Ti、Wから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜が含まれる。これらの耐熱性導電層はスパッタ法やCVD法で形成されるものであり、低抵抗化を図るために含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては30ppm以下とすると良い。本実施例ではW膜を300nmの厚さで形成する。W膜はWをターゲットとしてスパッタ法で形成しても良いし、6フッ化タングステン（WF₆）を用いて熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20μΩcmを実現することができる。

【0480】

一方、耐熱性導電層907にTa膜を用いる場合には、同様にスパッタ法で形成することが可能である。Ta膜はスパッタガスにArを用いる。また、スパッタ時のガス中に適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。α相のTa膜の抵抗率は20μΩcm程度でありゲート電極に使用することができるが、β相のTa膜の抵抗率は180μΩcm程度でありゲート電極とするには不向きであった。Ta₂N膜はα相に近い結晶構造を持つので、Ta膜の下地にTa₂N膜を形成すればα相のTa膜が容易に得られる。また、図示しないが、耐熱性導電層907の下に2～20nm程度の厚さでリン（P）をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、耐熱性導電層907が微量に含有するアルカリ金属元素が第1の形状のゲート絶縁膜906に拡散するのを防ぐことができる。いずれにしても、耐熱性導電層907は抵抗率

を $10 \sim 50 \mu\Omega\text{cm}$ の範囲とすることが好ましい。

【0481】

次に、フォトリソグラフィーの技術を使用してレジストによるマスク908を形成する。そして、第1のエッチング処理を行う。本実施例ではICPエッチング装置を用い、エッチング用ガスに Cl_2 と CF_4 を用い、 1Pa の圧力で $3.2\text{W}/\text{cm}^2$ のRF(13.56MHz)電力を投入してプラズマを形成して行う。

基板側(試料ステージ)にも $224\text{mW}/\text{cm}^2$ のRF(13.56MHz)電力を投入し、これにより実質的に負の自己バイアス電圧が印加される。この条件でW膜のエッチング速度は約 $100\text{nm}/\text{min}$ である。第1のエッチング処理はこのエッチング速度を基にW膜がちょうどエッチングされる時間を推定し、それよりもエッチング時間を20%増加させた時間をエッチング時間とした。

10

【0482】

第1のエッチング処理により第1のテーパ形状を有する導電層909~913が形成される。導電層909~913のテーパ部の角度は $15 \sim 30^\circ$ となるように形成される。残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させるオーバーエッチングを施すものとする。W膜に対する酸化窒化シリコン膜(ゲート絶縁膜906)の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50nm程度エッチングされる。(図32(B))

20

【0483】

そして、第1のドーピング処理を行い導電型の不純物元素を半導体層に添加する。ここでは、n型を付与する不純物元素添加の工程を行う。第1の形状の導電層を形成したマスク908をそのまま残し、第1のテーパ形状を有する導電層909~913をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加する。n型を付与する不純物元素をゲート電極の端部におけるテーパ部とゲート絶縁膜906とを通して、その下に位置する半導体層に達するように添加するためにドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{atoms}/\text{cm}^2$ とし、加速電圧を $80 \sim 160\text{keV}$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。このようなイオンドープ法により第1の不純物領域914~917には $1 \times 10^{20} \sim 1 \times 10^{21} \text{atomic}/\text{cm}^3$ の濃度範囲でn型を付与する不純物元素が添加される。(図32(C))

30

【0484】

この工程において、ドーピングの条件によっては、不純物が第1の形状の導電層909~913の下に回りこみ、第1の不純物領域914~917が第1の形状の導電層909~913と重なることも起こりうる。

【0485】

次に、図32(D)に示すように第2のエッチング処理を行う。エッチング処理も同様にICPエッチング装置により行い、エッチングガスに CF_4 と Cl_2 の混合ガスを用い、RF電力 $3.2\text{W}/\text{cm}^2$ (13.56MHz)、バイアス電力 $45\text{mW}/\text{cm}^2$ (13.56MHz)、圧力 1.0Pa でエッチングを行う。この条件で形成される第2の形状を有する導電層918~922が形成される。その端部にはテーパ部が形成され、該端部から内側にむかって徐々に厚さが増加するテーパ形状となる。第1のエッチング処理と比較して基板側に印加するバイアス電力を低くした分等方性エッチングの割合が多くなり、テーパ部の角度は $30 \sim 60^\circ$ となる。マスク908はエッチングされて端部が削れ、マスク923となる。また、図32(D)の工程において、ゲート絶縁膜906の表面が40nm程度エッチングされる。

40

【0486】

そして、第1のドーピング処理よりもドーズ量を下げ高加速電圧の条件でn型を付与する不純物元素をドーピングする。例えば、加速電圧を $70 \sim 120\text{keV}$ とし、 $1 \times 10^{13}/\text{cm}^2$ のドーズ量で行い、不純物濃度が大きくなった第1の不純物領域924~92

50

7と、前記第1の不純物領域924～927に接する第2の不純物領域928～931とを形成する。この工程において、ドーピングの条件によっては、不純物が第2の形状の導電層918～922の下に回りこみ、第2の不純物領域928～931が第2の形状の導電層918～922と重なることも起こりうる。第2の不純物領域における不純物濃度は、 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ となるようにする。(図33(A))

【0487】

そして、図33(B)に示すように、pチャネル型TFETを形成する半導体層902、905に一導電型とは逆の導電型の不純物領域933(933a、933b)及び934(934a、934b)を形成する。この場合も第2の形状の導電層918、921、922をマスクとしてp型を付与する不純物元素を添加し、自己整合的に不純物領域を形成する。このとき、nチャネル型TFETを形成する半導体層903、904は、レジストのマスク932を形成し全面を被覆しておく。ここで形成される不純物領域933、934はジボラン(B_2H_6)を用いたイオンドープ法で形成する。不純物領域933、934のp型を付与する不純物元素の濃度は、 $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。

【0488】

しかしながら、この不純物領域933、934は詳細にはn型を付与する不純物元素を含有する2つの領域に分けて見ることができる。第3の不純物領域933a、934aは $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でn型を付与する不純物元素を含み、第4の不純物領域933b、934bは $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度でn型を付与する不純物元素を含んでいる。しかし、これらの不純物領域933b、934bのp型を付与する不純物元素の濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 以上とるようにし、第3の不純物領域933a、934aにおいては、p型を付与する不純物元素の濃度をn型を付与する不純物元素の濃度の1.5から3倍となるようにすることにより、第3の不純物領域でpチャネル型TFETのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0489】

その後、図33(C)に示すように、第2の形状を有する導電層918～922およびゲート絶縁膜906上に第1の層間絶縁膜937を形成する。第1の層間絶縁膜937は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第1の層間絶縁膜937は無機絶縁物材料から形成する。第1の層間絶縁膜937の膜厚は100～200nmとする。第1の層間絶縁膜937として酸化シリコン膜を用いる場合には、プラズマCVD法でTEOSと O_2 とを混合し、反応圧力40Pa、基板温度300～400とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。また、第1の層間絶縁膜937として酸化窒化シリコン膜を用いる場合には、プラズマCVD法で SiH_4 、 N_2O 、 NH_3 から作製される酸化窒化シリコン膜、または SiH_4 、 N_2O から作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20～200Pa、基板温度300～400とし、高周波(60MHz)電力密度0.1～1.0W/cm²で形成することができる。また、第1の層間絶縁膜937として SiH_4 、 N_2O 、 H_2 から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法で SiH_4 、 NH_3 から作製することが可能である。

【0490】

そして、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700、代表的には500～600で行うものであり、本実施例では550で4時間の熱処理を行った。また、基板900に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい。

【0491】

レーザーアニール法を用いる場合、結晶化の際に用いたレーザーを使用することが可能である。活性化の場合は、移動速度は結晶化と同じにし、 $0.01 \sim 100 \text{ MW/cm}^2$ 程度（好ましくは $0.01 \sim 10 \text{ MW/cm}^2$ ）のエネルギー密度が必要となる。

【0492】

活性化の工程に続いて、雰囲気ガスを変化させ、 $3 \sim 100\%$ の水素を含む雰囲気中で、 $300 \sim 450$ で $1 \sim 12$ 時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層にある $10^{16} \sim 10^{18}/\text{cm}^3$ のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。いずれにしても、半導体層 $902 \sim 905$ 中の欠陥密度を $10^{16}/\text{cm}^3$ 以下とすることが望ましく、そのために水素を $0.01 \sim 0.1 \text{ atomic\%}$ 程度付与すれば良い。

10

【0493】

そして、有機絶縁物材料からなる第2の層間絶縁膜 939 を $1.0 \sim 2.0 \mu\text{m}$ の平均膜厚で形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで 300 で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで 80 で 60 秒の予備加熱を行い、さらにクリーンオープンで 250 で 60 分焼成して形成することができる。

20

【0494】

このように、第2の層間絶縁膜 939 を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減できる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、第1の層間絶縁膜 937 として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いると良い。

【0495】

その後、所定のパターンのレジストマスクを形成し、それぞれの半導体層に形成されソース領域またはドレイン領域とする不純物領域に達するコンタクトホールを形成する。コンタクトホールはドライエッチング法で形成する。この場合、エッチングガスに CF_4 、 O_2 、 He の混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜 939 をまずエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として第1の層間絶縁膜 937 をエッチングする。さらに、半導体層との選択比を高めるために、エッチングガスを CHF_3 に切り替えて第3の形状のゲート絶縁膜 906 をエッチングすることによりコンタクトホールを形成することができる。

30

【0496】

そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、マスクでパターニングし、その後エッチングすることで、ソース配線 $940 \sim 943$ 、 947 とドレイン配線 $944 \sim 946$ を形成する。なお本明細書では、ソース配線とドレイン配線とを併せて接続配線と呼ぶ。図示していないが、本実施例ではこの接続配線を、膜厚 50 nm のTi膜と、膜厚 500 nm の合金膜（AlとTiとの合金膜）との積層膜で形成した。

40

【0497】

次いで、その上に透明導電膜を $80 \sim 120 \text{ nm}$ の厚さで形成し、パターニングすることによって画素電極 948 を形成する（図34（A））。なお、本実施例では、透明電極として酸化インジウム・スズ（ITO）膜や酸化インジウムに $2 \sim 20\%$ の酸化亜鉛（ZnO）を混合した透明導電膜を用いる。

【0498】

また、画素電極 948 は、ドレイン配線 946 と接して重ねて形成することによってトランジスタTr2のドレイン領域と電気的な接続が形成される。

50

【 0 4 9 9 】

図 3 5 に、図 3 4 (A) の工程まで終了した時点での、画素の上面図を示す。
なお、配線の位置や半導体層の位置を明確にするために、絶縁膜や層間絶縁膜は省略した。
図 3 5 の A - A ' における断面図が、図 3 4 (A) の A - A ' に示した部分に相当する。

【 0 5 0 0 】

図 4 2 に、図 3 5 の B - B ' における断面図を示す。トランジスタ T r 4 は、走査線 9 7 4 の一部であるゲート電極 9 7 5 を有しており、ゲート電極 9 7 5 はトランジスタ T r 5 のゲート電極 9 2 0 とも接続されている。また、トランジスタ T r 3 の半導体層の不純物領域 9 7 7 は、一方は信号線 S i として機能する接続配線 9 4 2 に接続され、もう一方は、接続配線 9 7 1 に接続されている。

10

【 0 5 0 1 】

トランジスタ T r 1 は、容量配線 9 7 3 の一部であるゲート電極 9 7 6 を有しており、ゲート電極 9 7 6 はトランジスタ T r 2 のゲート電極 9 2 2 とも接続されている。また、トランジスタ T r 1 の半導体層の不純物領域 9 7 8 は、一方は接続配線 9 7 1 に接続され、もう一方は、電源線 V i として機能する接続配線 9 4 7 に接続されている。

【 0 5 0 2 】

接続配線 9 4 7 は、トランジスタ T r 2 の不純物領域 9 3 4 a にも接続されている。また、9 7 0 は保持容量であり、半導体層 9 7 2 と、ゲート絶縁膜 9 0 6 と、容量配線 9 7 3 を有している。半導体層 9 7 2 が有する不純物領域 9 7 9 は、接続配線 9 4 3 に接続されている。

20

【 0 5 0 3 】

次に、図 3 4 (B) に示すように、画素電極 9 4 8 に対応する位置に開口部を有する第 3 の層間絶縁膜 9 4 9 を形成する。第 3 の層間絶縁膜 9 4 9 は絶縁性を有していて、バンクとして機能し、隣接する画素の有機発光層を分離する役割を有している。本実施例ではレジストを用いて第 3 の層間絶縁膜 9 4 9 を形成する。

【 0 5 0 4 】

本実施例では、第 3 の層間絶縁膜 9 4 9 の厚さを 1 μ m 程度とし、開口部は画素電極 9 4 8 に近くなればなるほど広くなる、所謂逆テーパ状になるように形成する。これはレジストを成膜した後、開口部を形成しようとする部分以外をマスクで覆い、U V 光を照射して露光し、露光された部分を現像液で除去することによって形成される。

30

【 0 5 0 5 】

本実施例のように、第 3 の層間絶縁膜 9 4 9 を逆テーパ状にすることで、後の工程において有機発光層を成膜した時に、隣り合う画素同士で有機発光層が分断されるため、有機発光層と、第 3 の層間絶縁膜 9 4 9 の熱膨張係数が異なっても、有機発光層がひび割れたり、剥離したりするのを抑えることができる。

【 0 5 0 6 】

なお、本実施例においては、第 3 の層間絶縁膜としてレジストでなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、B C B (ベンゾシクロブテン) 、酸化珪素膜等を用いることもできる。第 3 の層間絶縁膜 9 4 9 は絶縁性を有する物質であれば、有機物と無機物のどちらでも良い。

40

【 0 5 0 7 】

次に、有機発光層 9 5 0 を蒸着法により形成し、更に蒸着法により陰極 (M g A g 電極) 9 5 1 および保護電極 9 5 2 を形成する。このとき有機発光層 9 5 0 及び陰極 9 5 1 を形成するに先立って画素電極 9 4 8 に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例では O L E D の陰極として M g A g 電極を用いるが、公知の他の材料であっても良い。

【 0 5 0 8 】

なお、有機発光層 9 5 0 としては、公知の材料を用いることができる。本実施例では正孔輸送層 (Hole transporting layer) 及び発光層 (Emitting layer)

50

でなる２層構造を有機発光層とするが、正孔注入層、電子注入層若しくは電子輸送層のいずれかを設ける場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【０５０９】

本実施例では正孔輸送層としてポリフェニレンビニレンを蒸着法により形成する。また、発光層としては、ポリビニルカルバゾールに１，３，４－オキサジアゾール誘導体のＰＢＤを３０～４０％分子分散させたものを蒸着法により形成し、緑色の発光中心としてクマリン６を約１％添加している。

【０５１０】

また、保護電極９５２でも有機発光層９５０を水分や酸素から保護することは可能であるが、さらに好ましくは保護膜９５３を設けると良い。本実施例では保護膜９５３として３００ｎｍ厚の窒化珪素膜を設ける。この保護膜も保護電極９５２の後に大気解放しないで連続的に形成しても構わない。

【０５１１】

また、保護電極９５２は陰極９５１の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、有機発光層９５０、陰極９５１は非常に水分に弱いので、保護電極９５２までを大気解放しないで連続的に形成し、外気から有機発光層を保護することが望ましい。

【０５１２】

なお、有機発光層９５０の膜厚は１０～４００ｎｍ（典型的には６０～１５０ｎｍ）、陰極９５１の厚さは８０～２００ｎｍ（典型的には１００～１５０ｎｍ）とすれば良い。

【０５１３】

こうして図３４（Ｂ）に示すような構造の発光装置が完成する。なお、画素電極９４８、有機発光層９５０、陰極９５１の重なっている部分９５４がＯＬＥＤに相当する。

【０５１４】

pチャネル型ＴＦＴ９６０及びnチャネル型ＴＦＴ９６１は駆動回路が有するＴＦＴであり、ＣＭＯＳを形成している。トランジスタＴｒ２及びトランジスタＴｒ４は画素部が有するＴＦＴであり、駆動回路のＴＦＴと画素部のＴＦＴとは同一基板上に形成することができる。

【０５１５】

なお、ＯＬＥＤを用いた発光装置の場合、駆動回路の電源の電圧が５～６Ｖ程度、最大でも１０Ｖ程度で十分なので、ＴＦＴにおいてホットエレクトロンによる劣化があまり問題にならない。また駆動回路を高速で動作させる必要があるので、ＴＦＴのゲート容量は小さいほうが好ましい。よって、本実施例のように、ＯＬＥＤを用いた発光装置の駆動回路では、ＴＦＴの半導体層が有する第２の不純物領域９２９と、第４の不純物領域９３３ｂとが、それぞれゲート電極９１８、９１９と重ならない構成にするのが好ましい。

【０５１６】

本発明の発光装置の作製方法は、本実施例において説明した作製方法に限定されない。本発明の発光装置は公知の方法を用いて作成することが可能である。

【０５１７】

本実施例は、実施例１～１７と自由に組み合わせて実施することが可能である。

【実施例１９】

【０５１８】

本実施例では、本発明の半導体装置の１つである発光装置の画素の構成について説明する。図３６に本実施例の発光装置の画素の断面図を示す。また本実施例では説明を簡便にするために、Ｔｒ１、Ｔｒ２、Ｔｒ４は図示しなかったが、Ｔｒ３とＴｒ５と同じ構成を用いることが可能である。

【０５１９】

７５１はnチャネル型ＴＦＴであり、図２のＴｒ５に相当する。また、７５２はpチャネル型ＴＦＴであり、図２のＴｒ３に相当する。nチャネル型ＴＦＴ７５１は、半導体膜

10

20

30

40

50

753と、第1の絶縁膜770と、第1の電極754、755と、第2の絶縁膜771と、第2の電極756、757とを有している。そして、半導体膜753は、第1濃度の一導電型不純物領域758と、第2濃度の一導電型不純物領域759と、チャネル形成領域760、761を有している。

【0520】

なお本実施例では、第1の絶縁膜770は2つの絶縁膜770a、770bを積層した構造を有しているが、第1の絶縁膜770は単層の絶縁膜であっても良いし、3層以上の絶縁膜を積層した構造を有していても良い。

【0521】

第1の電極754、755とチャネル形成領域760、761は、それぞれ第1の絶縁膜770を間に挟んで重なっている。また、第2の電極756、757と、チャネル形成領域760、761とは、それぞれ第2の絶縁膜771を間に挟んで重なっている。

10

【0522】

pチャネル型TFT752は、半導体膜780と、第1の絶縁膜770と、第1の電極782と、第2の絶縁膜771と、第2の電極781とを有している。そして、半導体膜780は、第3濃度の一導電型不純物領域783と、チャネル形成領域784を有している。

【0523】

第1の電極782とチャネル形成領域784とは、それぞれ第1の絶縁膜770を間に挟んで重なっている。第2の電極781とチャネル形成領域784とは、それぞれ第2の絶縁膜771を間に挟んで重なっている。

20

【0524】

そして本実施例では、図示してはいないが第1の電極754、755と、第2の電極756、757とは電氣的に接続されている。また、第1の電極782と第2の電極781とは電氣的に接続されている。なお、本発明はこの構成に限定されず、第1の電極754、755と、第2の電極756、757とが電氣的に切り離されており、第1の電極754、755に一定の電圧が印加されていても良い。また第1の電極782と第2の電極781とが電氣的に切り離され、第1の電極782に一定に電圧が印加されていても良い。

【0525】

第1の電極に一定の電圧を印加することで、電極が1つの場合に比べて閾値のばらつきを抑えることができ、なおかつオフ電流を抑えることができる。また、第1の電極と第2の電極に同じ電圧を印加することで、実質的に半導体膜の膜厚を薄くしたのと同じように空乏層が早く広がるので、サブスレッショルド係数を小さくすることができ、さらに電界効果移動度を向上させることができる。したがって、電極が1つの場合に比べてオン電流を大きくすることができる。よって、この構造のTFTを駆動回路に使用することにより、駆動電圧を低下させることができる。また、オン電流を大きくすることができるので、TFTのサイズ（特にチャネル幅）を小さくすることができる。そのため集積密度を向上させることができる。

30

【0526】

なお、本実施例は実施例1～実施例17のいずれか一と組み合わせて実施することが可能である。

40

【実施例20】

【0527】

本実施例では、本発明の半導体装置の1つである発光装置の画素の構成について説明する。図37に本実施例の発光装置の画素の断面図を示す。また本実施例では説明を簡便にするために、Tr1、Tr2、Tr4は図示しなかったが、Tr3とTr5と同じ構成を用いることが可能である。

【0528】

図37において、311は基板、312は下地となる絶縁膜（以下、下地膜という）である。基板311としては透光性基板、代表的にはガラス基板、石英基板、ガラスセラミ

50

ックス基板、又は結晶化ガラス基板を用いることができる。但し、作製プロセス中の最高処理温度に耐えるものでなくてはならない。

【0529】

8201はTr5、8202はTr3であり、それぞれnチャネル型TF T、pチャネル型TF Tで形成されている。有機発光層の発光方向が基板の下面(TF T及び有機発光層が設けられていない面)の場合、上記構成であることが好ましい。しかしTr3とTr5は、nチャネル型TF Tでもpチャネル型TF Tでも、どちらでも構わない。

【0530】

Tr5 8201は、ソース領域313、ドレイン領域314、LDD領域315a~315d、分離領域316及びチャネル形成領域317a、317bを含む活性層と、ゲート絶縁膜318と、ゲート電極319a、319bと、第1層間絶縁膜320と、信号線321と、接続配線322とを有している。なお、ゲート絶縁膜318又は第1層間絶縁膜320は基板上の全TF Tに共通であっても良いし、回路又は素子に応じて異ならせても良い。

10

【0531】

また、図37に示すTr5 8201はゲート電極317a、317bが電氣的に接続されており、いわゆるダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造(直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造)であっても良い。

20

【0532】

マルチゲート構造はオフ電流を低減する上で極めて有効であり、Tr5のオフ電流を十分に低くすれば、それだけTr3 8202のゲート電極に接続された保持容量が必要とする最低限の容量を抑えることができる。即ち、保持容量の面積を小さくできるので、マルチゲート構造とすることは発光素子の有効発光面積を広げる上でも有効である。

【0533】

さらに、Tr5 8201においては、LDD領域315a~315dは、ゲート絶縁膜318を介してゲート電極319a、319bと重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、LDD領域315a~315dの長さ(幅)は0.5~3.5 μ m、代表的には2.0~2.5 μ mとすれば良い。なお、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた分離領域316(ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域)がオフ電流の低減に効果的である。

30

【0534】

次に、Tr3 8202は、ソース領域326、ドレイン領域327及びチャネル形成領域329を含む活性層と、ゲート絶縁膜318と、ゲート電極330と、第1層間絶縁膜320と、接続配線331並びに接続配線332で形成されている。本実施例においてTr3 8202はpチャネル型TF Tである。

【0535】

なお、ゲート電極330はシングルゲート構造となっているが、マルチゲート構造であっても良い。

40

【0536】

以上は画素内に設けられたTF Tの構造について説明したが、このとき同時に駆動回路も形成される。図37には駆動回路を形成する基本単位となるCMOS回路が図示されている。

【0537】

図37においては極力動作速度を落とさないようにしつつホットキャリア注入を低減させる構造を有するTF TをCMOS回路のnチャネル型TF T8204として用いる。なお、ここでいう駆動回路としては、ソース信号線駆動回路、ゲート信号線駆動回路を指す。勿論、他の論理回路(レベルシフタ、A/Dコンバータ、信号分割回路等)を形成する

50

ことも可能である。

【0538】

CMOS回路のnチャネル型TF T 8 2 0 4の活性層は、ソース領域335、ドレイン領域336、LDD領域337及びチャネル形成領域338を含み、LDD領域337はゲート絶縁膜318を介してゲート電極339と重なっている。

【0539】

ドレイン領域336側のみにLDD領域337を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型TF T 8 2 0 4はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。

従って、LDD領域337は完全にゲート電極に重なってしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

10

【0540】

また、CMOS回路のpチャネル型TF T 8 2 0 5は、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。従って活性層はソース領域340、ドレイン領域341及びチャネル形成領域342を含み、その上にはゲート絶縁膜318とゲート電極343が設けられる。勿論、nチャネル型TF T 8 2 0 4と同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0541】

なお361～365はチャネル形成領域342、338、317a、317b、329を形成するためのマスクである。

20

【0542】

また、nチャネル型TF T 8 2 0 4及びpチャネル型TF T 8 2 0 5はそれぞれソース領域上に第1層間絶縁膜320を間に介して、接続配線344、345を有している。また、接続配線346によってnチャネル型TF T 8 2 0 4とpチャネル型TF T 8 2 0 5とのドレイン領域は互いに電氣的に接続される。

【0543】

なお本実施例の構成は、実施例1～17と自由に組み合わせて実施することが可能である。

【実施例21】

【0544】

30

本実施例では、陰極を画素電極として用いた画素の構成について説明する。

【0545】

本実施例の画素の断面図を図38に示す。図38において、基板3501上に設けられたTr 5 3502は公知の方法を用いて作製される。本実施例ではダブルゲート構造としている。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート電極を持つマルチゲート構造でも構わない。また本実施例では説明を簡便にするために、Tr 1、Tr 2、Tr 4は図示しなかったが、Tr 5とTr 3と同じ構成を用いることが可能である。

【0546】

40

また、Tr 3 3503はnチャネル型TF Tであり、公知の方法を用いて作製される。また、38で示される配線は、Tr 5 3502のゲート電極39aと39bを電氣的に接続する走査線である。

【0547】

本実施例ではTr 3 3503をシングルゲート構造で図示しているが、複数のTF Tを直列につなげたマルチゲート構造としても良い。さらに、複数のTF Tを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0548】

Tr 5 3502及びTr 3 3503の上には第1層間絶縁膜41が設けられ、その上に樹脂絶縁膜でなる第2層間絶縁膜42が形成される。第2層間絶縁膜42を用いてT

50

F Tによる段差を平坦化することは非常に重要である。後に形成される有機発光層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、有機発光層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0549】

また、43は反射性の高い導電膜でなる画素電極（発光素子の陰極）であり、Tr33503のドレイン領域に電氣的に接続される。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0550】

10

また、絶縁膜（好ましくは樹脂）で形成されたバンク44a、44bにより形成された溝（画素に相当する）の中に発光層45が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機発光材料としてはπ共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。

【0551】

なお、PPV系有機発光材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平10-92576号公報に

20

【0552】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150nm（好ましくは40～100nm）とすれば良い。

【0553】

但し、以上の例は発光層として用いることのできる有機発光材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて有機発光層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば

30

【0554】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機発光材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機発光材料や無機材料は公知の材料を用いることができる。

【0555】

本実施例では発光層45の上にPEDOT（ポリチオフェン）またはPAni（ポリアニリン）でなる正孔注入層46を設けた積層構造の有機発光層としている。そして、正孔注入層46の上には透明導電膜でなる陽極47が設けられる。

40

本実施例の場合、発光層45で生成された光は上面側に向かって（TF Tの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0556】

陽極47まで形成された時点で発光素子3505が完成する。なお、ここでいう発光素子3505は、画素電極（陰極）43、発光層45、正孔注入層46及び陽極47で形成されている。画素電極43は画素の面積にほぼ一致するため、画素全体が発光素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

50

【 0 5 5 7 】

ところで、本実施例では、陽極 4 7 の上にさらに第 2 パッシベーション膜 4 8 を設けている。第 2 パッシベーション膜 4 8 としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部と発光素子とを遮断することであり、有機発光材料の酸化による劣化を防ぐ意味と、有機発光材料からの脱ガスを抑える意味との両方を併せ持つ。これにより発光装置の信頼性が高められる。

【 0 5 5 8 】

以上のように本発明の発光装置は図 3 8 のような構造の画素からなる画素部を有し、オフ電流値の十分に低い $T_r 5$ と、ホットキャリア注入に強い $T_r 3$ とを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な発光装置が得られる。

10

【 0 5 5 9 】

なお、本実施例の構成は、実施例 1 ~ 1 7 構成と自由に組み合わせて実施することが可能である。

【 実施例 2 2 】

【 0 5 6 0 】

本実施例では、図 2 に示した画素を有する発光装置の構造について、図 3 9 を用いて説明する。

【 0 5 6 1 】

図 3 9 は、トランジスタが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図 3 9 (B) は、図 3 9 (A) の A - A ' における断面図、図 3 9 (C) は図 3 9 (A) の B - B ' における断面図である。

20

【 0 5 6 2 】

基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、信号線駆動回路 4 0 0 3 と、第 1 及び第 2 の走査線駆動回路 4 0 0 4 a、b とを囲むようにして、シール材 4 0 0 9 が設けられている。また画素部 4 0 0 2 と、信号線駆動回路 4 0 0 3 と、第 1 及び第 2 の走査線駆動回路 4 0 0 4 a、b との上にシーリング材 4 0 0 8 が設けられている。よって画素部 4 0 0 2 と、信号線駆動回路 4 0 0 3 と、第 1 及び第 2 の走査線駆動回路 4 0 0 4 a、b とは、基板 4 0 0 1 とシール材 4 0 0 9 とシーリング材 4 0 0 8 とによって、充填材 4 2 1 0 で密封されている。

【 0 5 6 3 】

30

また基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、信号線駆動回路 4 0 0 3 と、第 1 及び第 2 の走査線駆動回路 4 0 0 4 a、b とは、複数の T F T を有している。図 3 9 (B) では代表的に、下地膜 4 0 1 0 上に形成された、信号線駆動回路 4 0 0 3 に含まれる駆動 T F T (但し、ここでは n チャネル型 T F T と p チャネル型 T F T を図示する) 4 2 0 1 及び画素部 4 0 0 2 に含まれるトランジスタ $T_r 3$ 4 2 0 2 を図示した。

【 0 5 6 4 】

本実施例では、駆動 T F T 4 2 0 1 には公知の方法で作製された p チャネル型 T F T または n チャネル型 T F T が用いられ、トランジスタ $T_r 3$ 4 2 0 2 には公知の方法で作製された p チャネル型 T F T が用いられる。

【 0 5 6 5 】

40

駆動 T F T 4 2 0 1 及びトランジスタ $T_r 3$ 4 2 0 2 上には層間絶縁膜 (平坦化膜) 4 3 0 1 が形成され、その上にトランジスタ $T_r 3$ 4 2 0 2 のドレインと電氣的に接続する画素電極 (陽極) 4 2 0 3 が形成される。画素電極 4 2 0 3 としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

【 0 5 6 6 】

そして、画素電極 4 2 0 3 の上には絶縁膜 4 3 0 2 が形成され、絶縁膜 4 3 0 2 は画素電極 4 2 0 3 の上に開口部が形成されている。この開口部において、画素電極 4 2 0 3 の上には有機発光層 4 2 0 4 が形成される。有機発光層 4 2 0 4 は公知の有機発光材料また

50

は無機発光材料を用いることができる。また、有機発光材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【0567】

有機発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせる積層構造または単層構造とすれば良い。

【0568】

有機発光層4204の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4205が形成される。また、陰極4205と有機発光層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層4204を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

10

【0569】

以上のようにして、画素電極（陽極）4203、有機発光層4204及び陰極4205からなる発光素子4303が形成される。そして発光素子4303を覆うように、絶縁膜4302上に保護膜4209が形成されている。保護膜4209は、発光素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

20

【0570】

4005aは電源線に接続された引き回し配線であり、トランジスタTr3 4202のソースに電氣的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電氣的に接続される。

【0571】

シーリング材4008としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiber glass - Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

30

【0572】

但し、発光素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0573】

また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

40

【0574】

また充填材4210を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着する物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着する物質4207を配置する。そして、吸湿性物質または酸素を吸着する物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着する物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し

50

、吸湿性物質または酸素を吸着しうる物質 4 2 0 7 は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質 4 2 0 7 を設けることで、発光素子 4 3 0 3 の劣化を抑制できる。

【0575】

図 3 9 (C) に示すように、画素電極 4 2 0 3 が形成されると同時に、引き回し配線 4 0 0 5 a 上に接するように導電性膜 4 2 0 3 a が形成される。

【0576】

また、異方導電性フィルム 4 3 0 0 は導電性フィラー 4 3 0 0 a を有している。基板 4 0 0 1 と F P C 4 0 0 6 とを熱圧着することで、基板 4 0 0 1 上の導電性膜 4 2 0 3 a と F P C 4 0 0 6 上の F P C 用配線 4 3 0 1 とが、導電性フィラー 4 3 0 0 a によって電気的に接続される。

10

【0577】

本実施例の構成は、実施例 1 ~ 実施例 2 1 に示した構成と自由に組み合わせて実施することが可能である。

【実施例 2 3】

【0578】

発光素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0579】

20

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc (D V D) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図 4 0 に示す。

【0580】

30

図 4 0 (A) は発光素子表示装置であり、筐体 2 0 0 1、支持台 2 0 0 2、表示部 2 0 0 3、スピーカー部 2 0 0 4、ビデオ入力端子 2 0 0 5 等を含む。本発明の発光装置は表示部 2 0 0 3 に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光素子表示装置は、パソコン用、TV 放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0581】

図 4 0 (B) はデジタルスチルカメラであり、本体 2 1 0 1、表示部 2 1 0 2、受像部 2 1 0 3、操作キー 2 1 0 4、外部接続ポート 2 1 0 5、シャッター 2 1 0 6 等を含む。本発明の発光装置を表示部 2 1 0 2 に用いることで、本発明のデジタルスチルカメラが完成する。

40

【0582】

図 4 0 (C) はノート型パーソナルコンピュータであり、本体 2 2 0 1、筐体 2 2 0 2、表示部 2 2 0 3、キーボード 2 2 0 4、外部接続ポート 2 2 0 5、ポインティングマウス 2 2 0 6 等を含む。本発明の発光装置を表示部 2 2 0 3 に用いることで、本発明のノート型パーソナルコンピュータが完成する。

【0583】

図 4 0 (D) はモバイルコンピュータであり、本体 2 3 0 1、表示部 2 3 0 2、スイッチ 2 3 0 3、操作キー 2 3 0 4、赤外線ポート 2 3 0 5 等を含む。本発明の発光装置を表示部 2 3 0 2 に用いることで、本発明のモバイルコンピュータが完成する。

【0584】

50

図４０（Ｅ）は記録媒体を備えた携帯型の画像再生装置（具体的にはＤＶＤ再生装置）であり、本体２４０１、筐体２４０２、表示部Ａ２４０３、表示部Ｂ２４０４、記録媒体（ＤＶＤ等）読み込み部２４０５、操作キー２４０６、スピーカー部２４０７等を含む。表示部Ａ２４０３は主として画像情報を表示し、表示部Ｂ２４０４は主として文字情報を表示する。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。本発明の発光装置を表示部Ａ、Ｂ２４０３、２４０４に用いることで、本発明の画像再生装置が完成する。

【０５８５】

図４０（Ｆ）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体２５０１、表示部２５０２、アーム部２５０３を含む。本発明の発光装置を表示部２５０２に用いることで、本発明のゴーグル型ディスプレイが完成する。

10

【０５８６】

図４０（Ｇ）はビデオカメラであり、本体２６０１、表示部２６０２、筐体２６０３、外部接続ポート２６０４、リモコン受信部２６０５、受像部２６０６、バッテリー２６０７、音声入力部２６０８、操作キー２６０９、接眼部２６１０等を含む。本発明の発光装置を表示部２６０２に用いることで、本発明のビデオカメラが完成する。

【０５８７】

ここで図４０（Ｈ）は携帯電話であり、本体２７０１、筐体２７０２、表示部２７０３、音声入力部２７０４、音声出力部２７０５、操作キー２７０６、外部接続ポート２７０７、アンテナ２７０８等を含む。なお、表示部２７０３は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。本発明の発光装置を表示部２７０３に用いることで、本発明の携帯電話が完成する。

20

【０５８８】

なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【０５８９】

また、上記電子機器はインターネットやＣＡＴＶ（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

30

【０５９０】

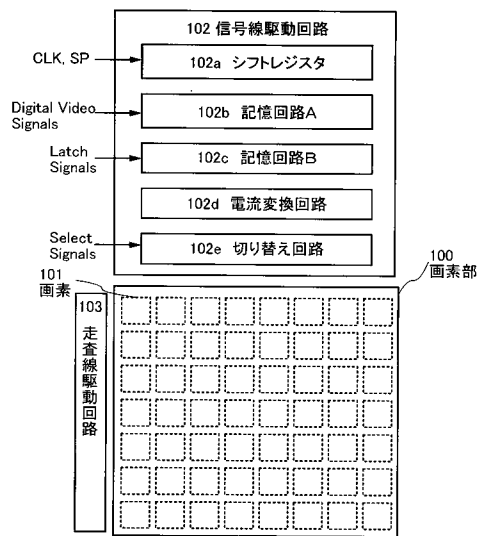
また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【０５９１】

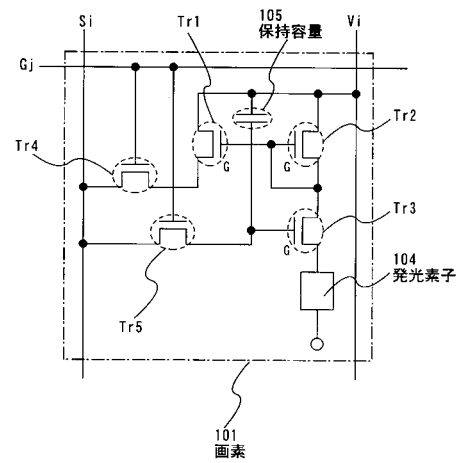
以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例１～２２に示したいずれの構成の発光装置を用いても良い。

40

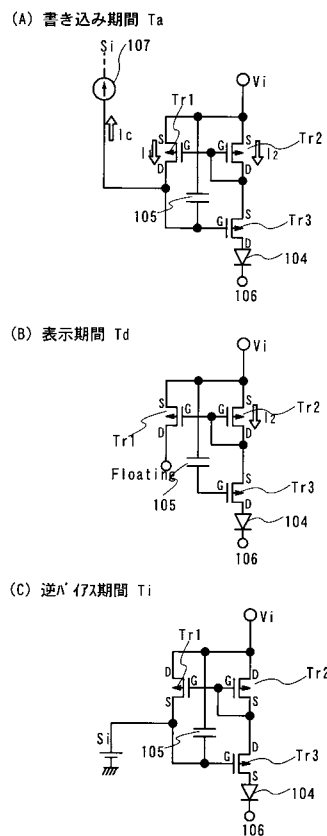
【図 1】



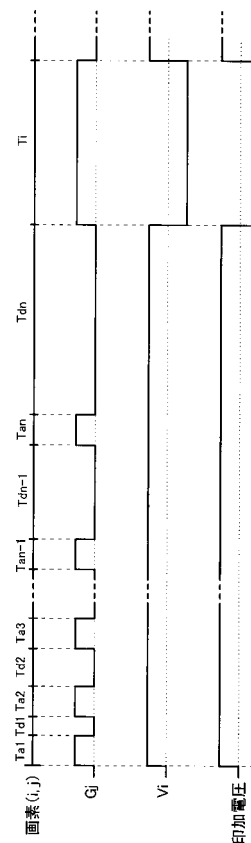
【図 2】



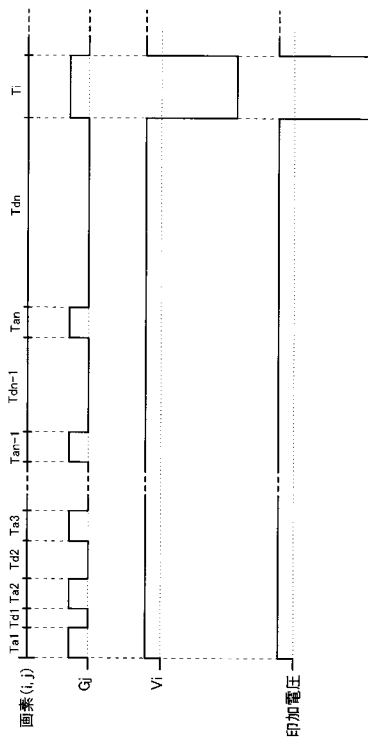
【図 3】



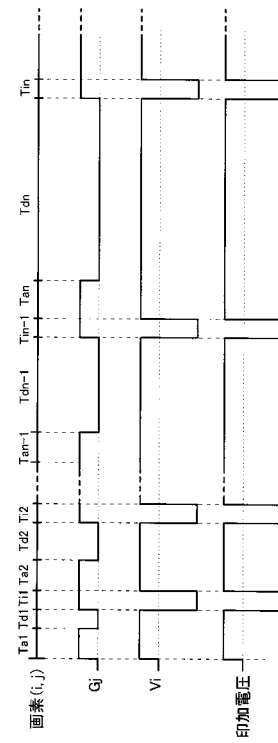
【図 4】



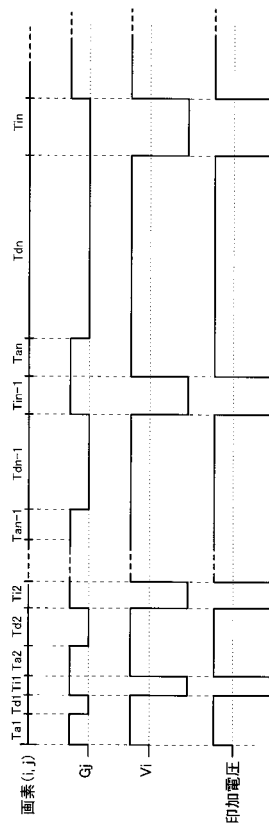
【図 5】



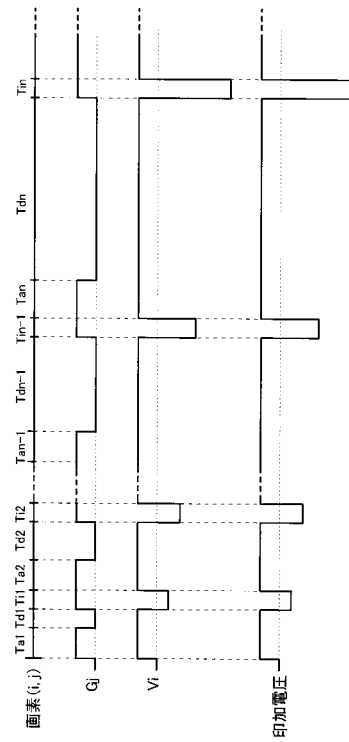
【図 6】



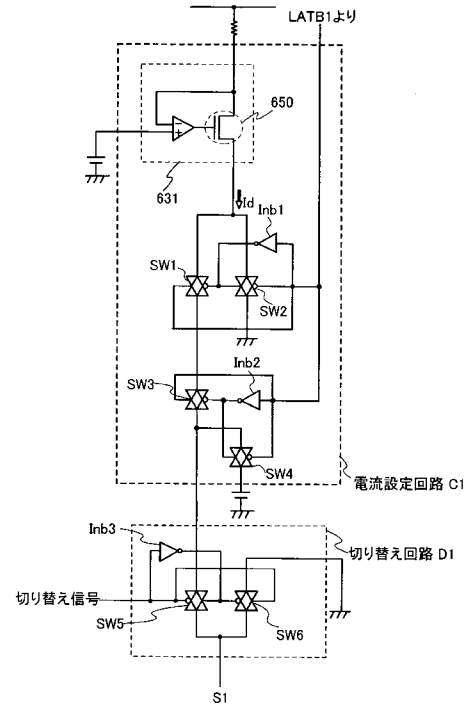
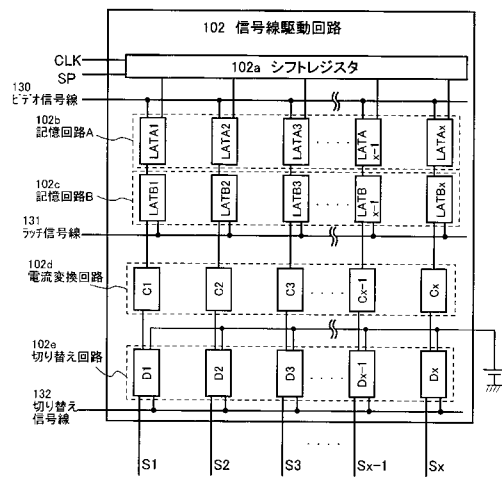
【図 7】



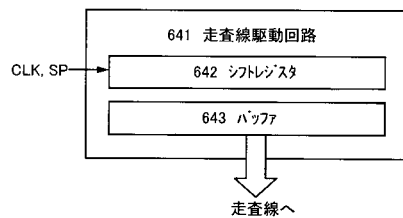
【図 8】



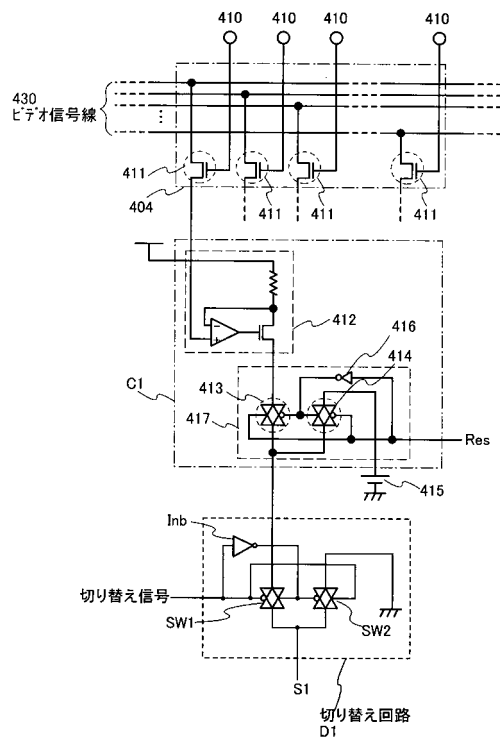
【 図 1 0 】



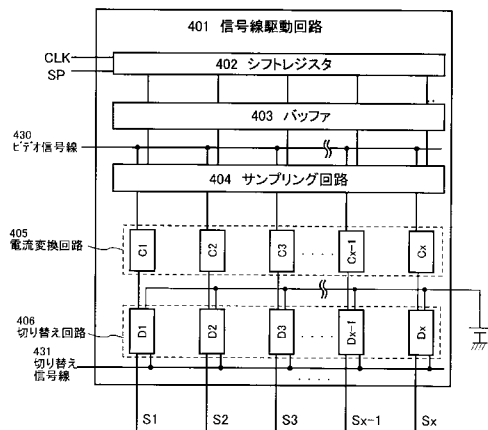
【 図 1 1 】



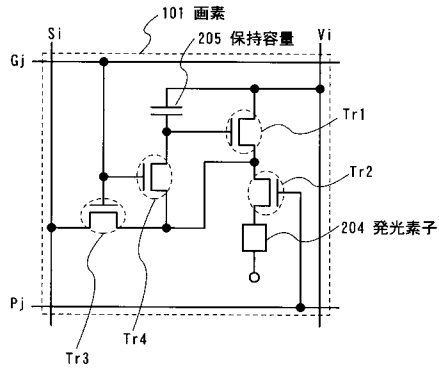
【 図 1 3 】



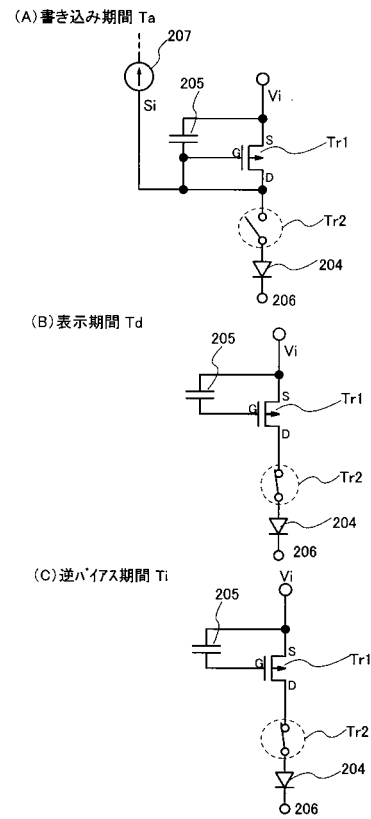
【 図 1 2 】



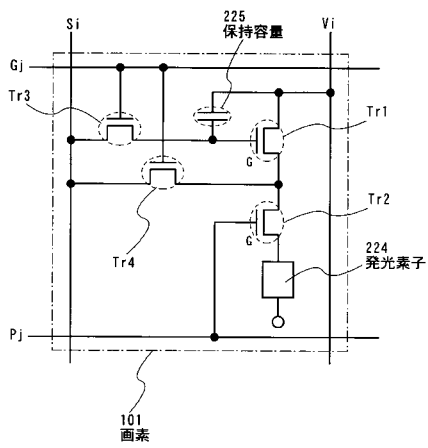
【図 14】



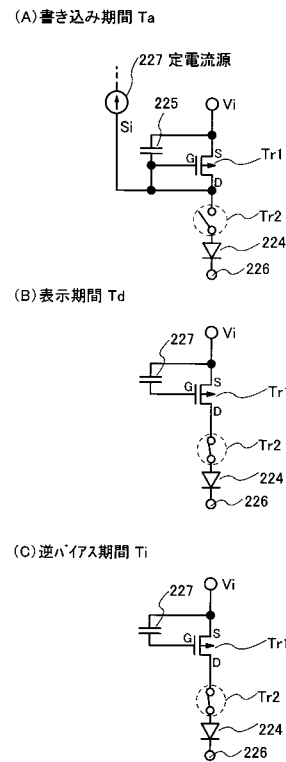
【図 15】



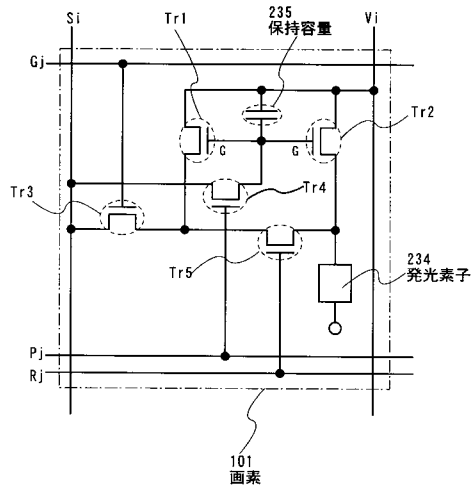
【図 16】



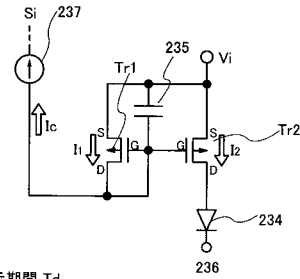
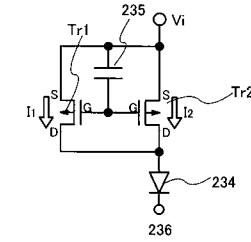
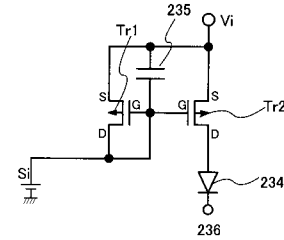
【図 17】



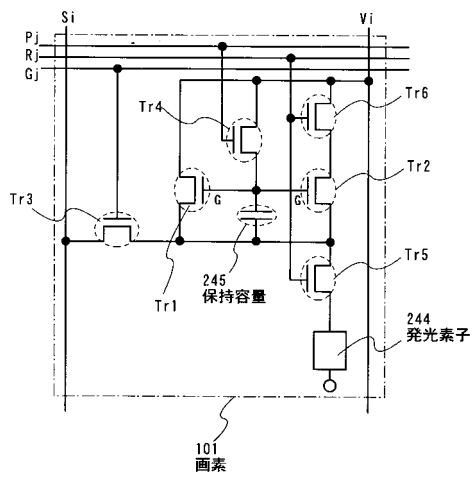
【図 18】



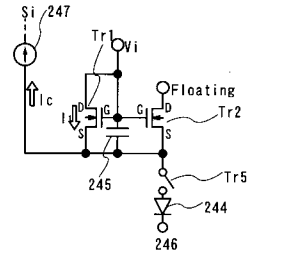
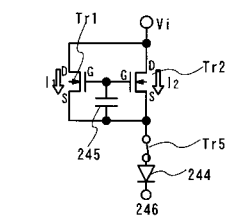
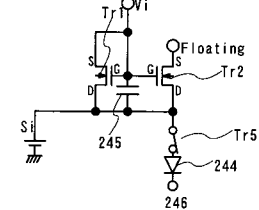
【図 19】

(A) 書き込み期間 T_a (B) 表示期間 T_d (C) 逆バイアス期間 T_i 

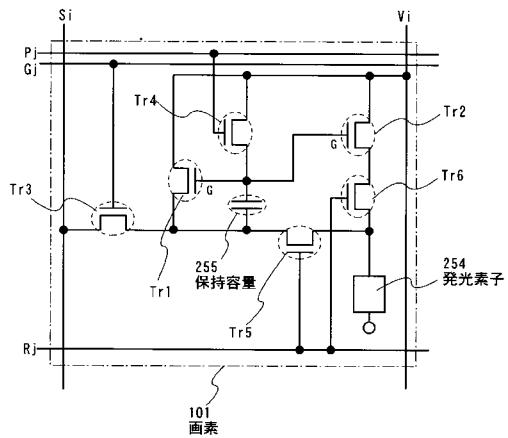
【図 20】



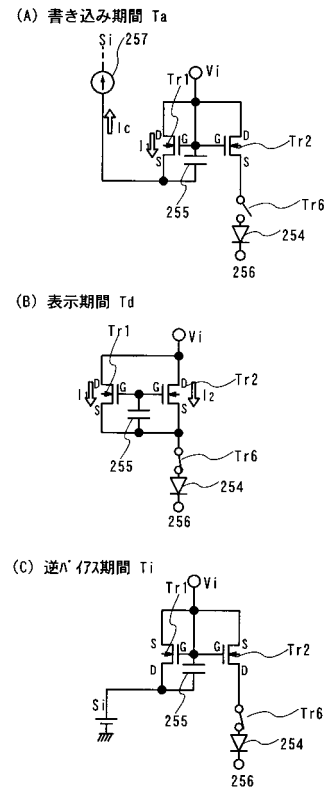
【図 21】

(A) 書き込み期間 T_a (B) 表示期間 T_d (C) 逆バイアス期間 T_i 

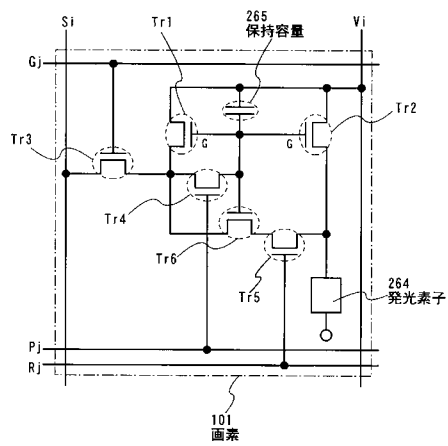
【図 2 2】



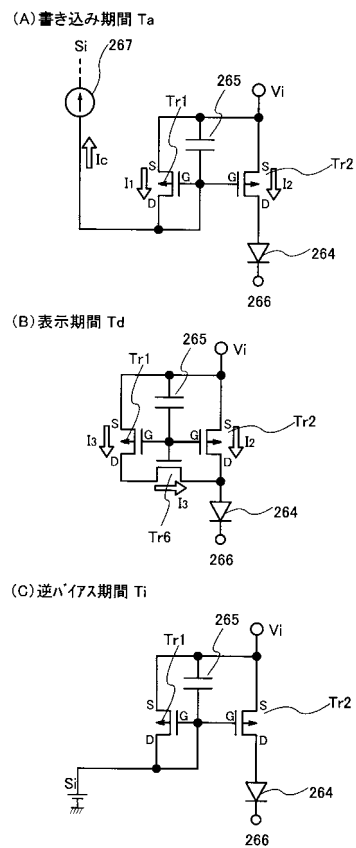
【図 2 3】



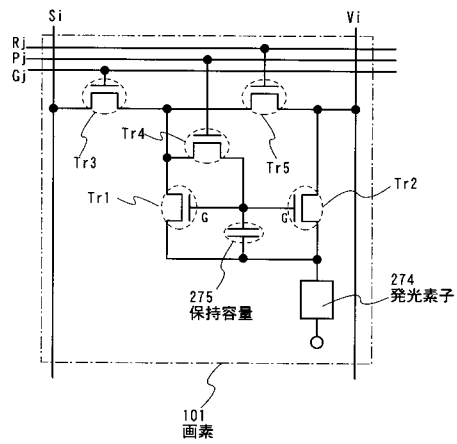
【図 2 4】



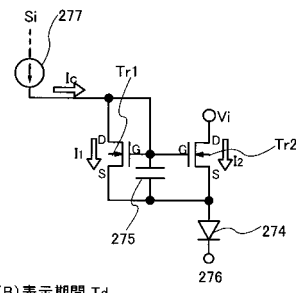
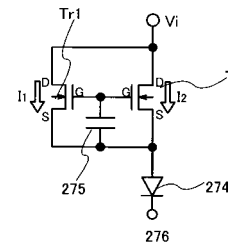
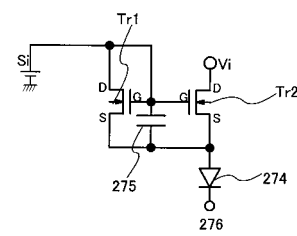
【図 2 5】



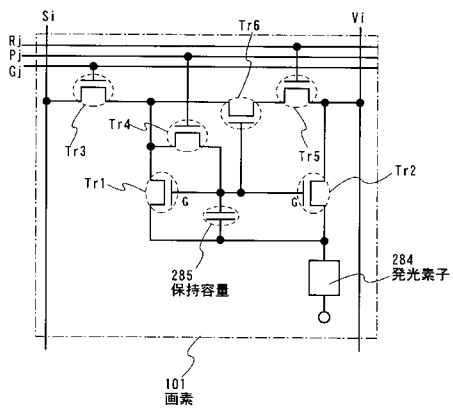
【図 26】



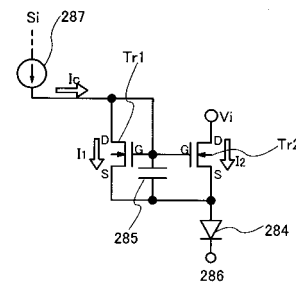
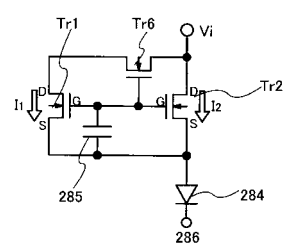
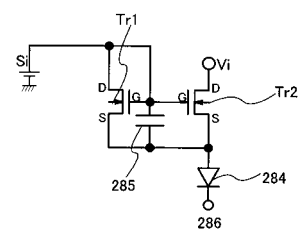
【図 27】

(A) 書き込み期間 T_a (B) 表示期間 T_d (C) 逆ハイズ期間 T_i 

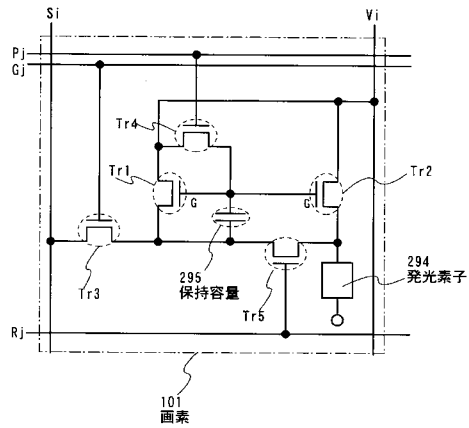
【図 28】



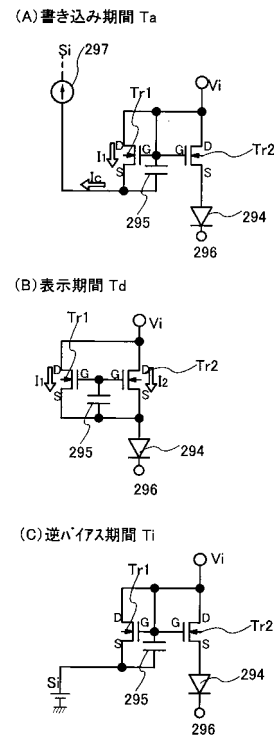
【図 29】

(A) 書き込み期間 T_a (B) 表示期間 T_d (C) 逆ハイズ期間 T_i 

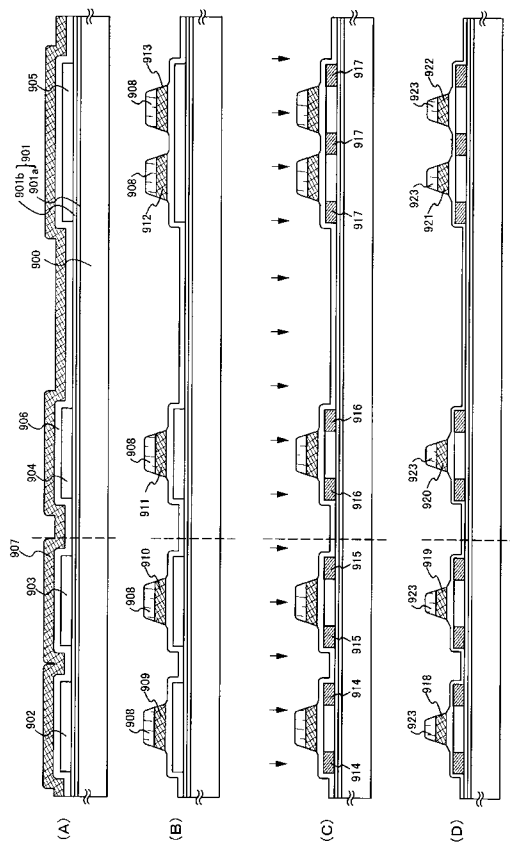
【図 30】



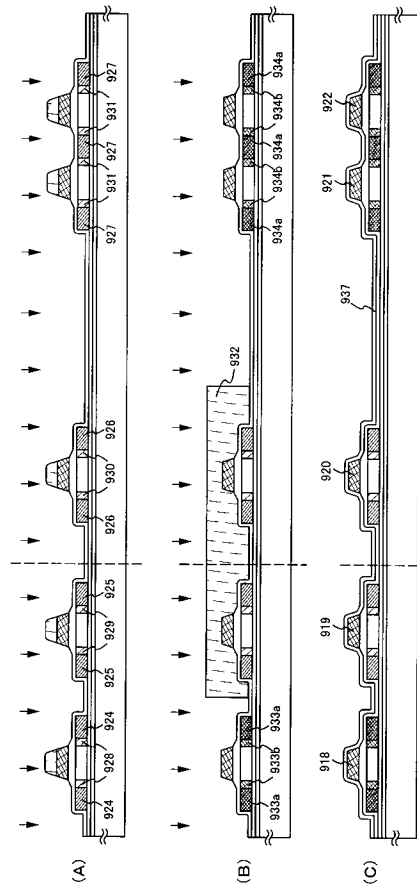
【図 31】



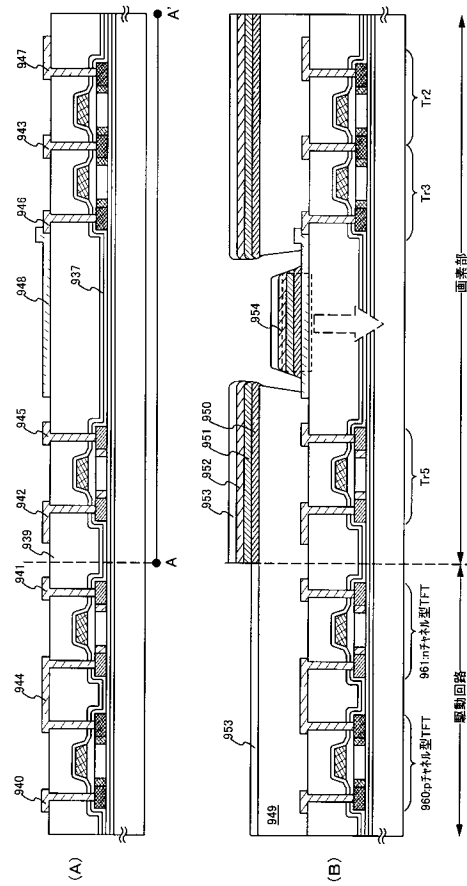
【図 32】



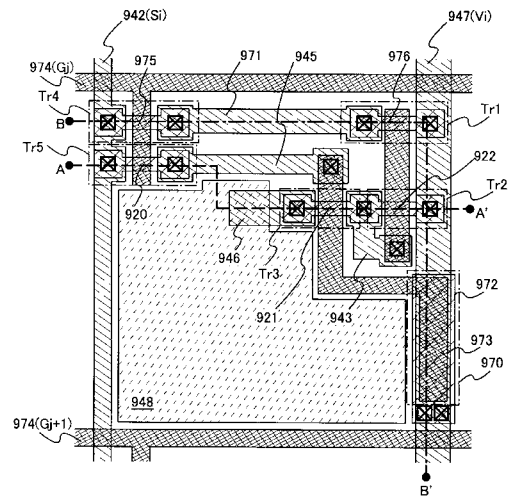
【図 33】



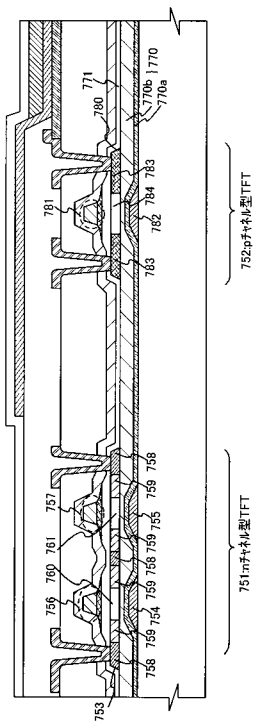
【 図 3 4 】



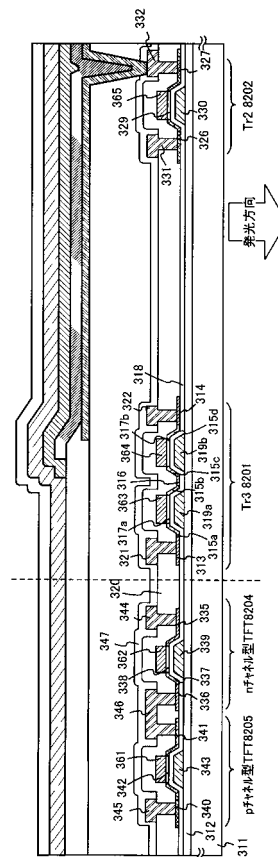
【 図 3 5 】



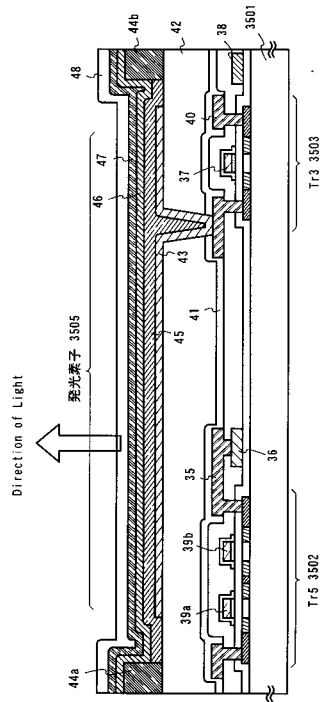
【 図 3 6 】



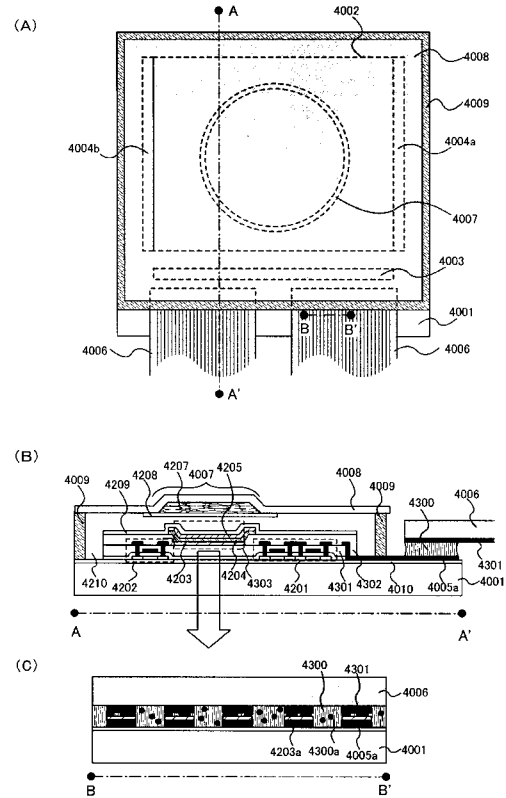
【 図 3 7 】



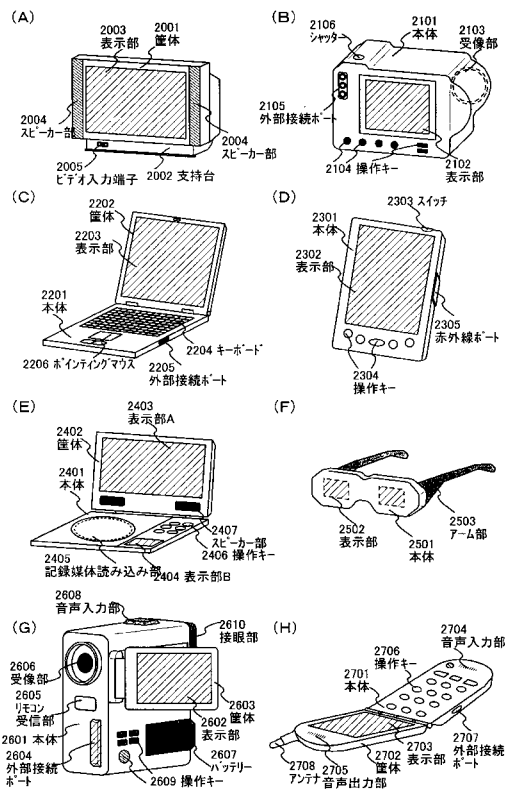
【図 38】



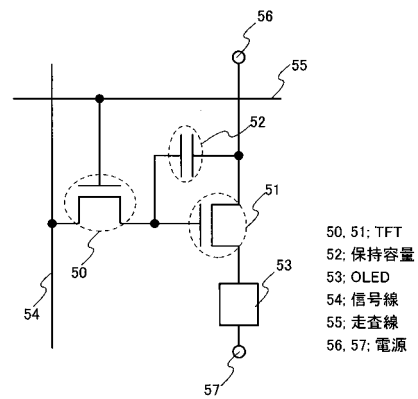
【図 39】



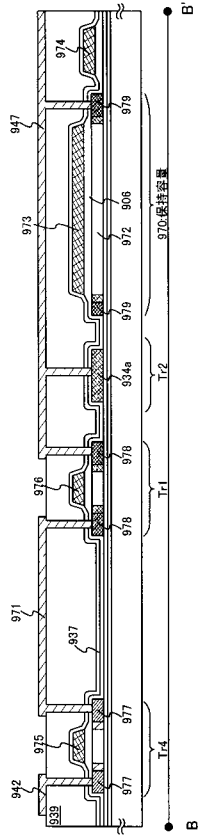
【図 40】



【図 41】



【図 4 2】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 5 B 33/14

A

F ターム(参考) 5C080 AA01 AA06 BB05 CC03 DD03 DD05 DD18 DD26 DD29 FF11
FF12 HH10 JJ02 JJ03 JJ04 JJ06 KK02 KK07 KK23 KK43
KK47 KK50
5C380 AA03 AB06 AB11 AB12 AB18 AB22 AB24 AB25 AB34 AC07
AC08 AC09 AC11 AC12 AC13 BA01 BA38 BB02 BB21 BD02
BD08 BD09 CA03 CA04 CA13 CA16 CA17 CB01 CB14 CB33
CC14 CC26 CC27 CC33 CC39 CC52 CC62 CC63 CC64 CD014
CD015 CD016 CE19 CF06 CF09 CF22 CF23 CF24 CF51 CF64
DA09 DA47

专利名称(译)	表示装置		
公开(公告)号	JP2016224467A	公开(公告)日	2016-12-28
申请号	JP2016183719	申请日	2016-09-21
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 小山潤 秋葉麻衣		
发明人	山崎 舜平 小山 潤 秋葉 麻衣		
IPC分类号	G09G3/30 G09G3/20 G09G3/3241 H01L51/50 G09G3/22 G09G3/32 H05B33/14		
CPC分类号	G09G3/2018 G09G3/2022 G09G3/22 G09G3/3241 G09G3/325 G09G3/3283 G09G2300/0426 G09G2300/0814 G09G2300/0842 G09G2300/0861 G09G2300/0866 G09G2310/0256 G09G2310/0262 G09G2310/027 G09G2320/0233 G09G2320/043 G09G2330/028 G09G2330/04 G09G3/3225 G09G3/3233 G09G3/3258 G09G2300/04 G09G2310/0286 G09G2310/0291 G09G2310/08 G09G2320/045 G09G2330/045 H01L27/12 H01L27/124 H01L27/1255 H01L27/1285 H01L27/13 H01L27/15 H01L27/3244 H01L27/3248 H01L27/3258 H01L27/3262 H01L27/3265 H01L27/3276 H01L27/3279 H01L29/4908 H01L29/66757 H01L33/20 H01L33/32 H01L51/0036 H01L51/0038 H01L51/0039 H01L51/0059 H01L51/0073 H01L51/0081 H01L51/0085 H01L51/0087 H01L51/5259 H01L2227/323 H01L2251/308		
FI分类号	G09G3/30.J G09G3/20.670.J G09G3/3241 G09G3/20.624.B G09G3/20.611.H H05B33/14.A G09F9/30.338 G09F9/30.365 G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3283 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC33 3K107/EE04 3K107/HH05 5C080/AA01 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD05 5C080/DD18 5C080/DD26 5C080/DD29 5C080/FF11 5C080/FF12 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK23 5C080/KK43 5C080/KK47 5C080/KK50 5C380/AA03 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB18 5C380/AB22 5C380/AB24 5C380/AB25 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/BA01 5C380/BA38 5C380/BB02 5C380/BB21 5C380/BD02 5C380/BD08 5C380/BD09 5C380/CA03 5C380/CA04 5C380/CA13 5C380/CA16 5C380/CA17 5C380/CB01 5C380/CB14 5C380/CB33 5C380/CC14 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CD014 5C380/CD015 5C380/CD016 5C380/CE19 5C380/CF06 5C380/CF09 5C380/CF22 5C380/CF23 5C380/CF24 5C380/CF51 5C380/CF64 5C380/DA09 5C380/DA47 5C094/AA07 5C094/BA03 5C094/BA27 5C094/DA13 5C094/DB01 5C094/EA04 5C094/EA10 5C094/FA01 5C094/FA02 5C094/FB02 5C094/FB14 5C094/FB15 5C380/AA01		
优先权	2001290290 2001-09-21 JP		
其他公开文献	JP6082155B2		
外部链接	Espacenet		

摘要(译)

根据TFT的控制电流供给至发光元件的特性的本发明，能够防止发光元件的亮度变化，防止在发光元件的亮度降低，由于有机发光层的恶化，但该有机发光层它可以是无关的劣化或温度变化获得一定的亮度驱动发光器件的方法的规定。发光控制施加到TFT的电压的元件的一个相当的亮度，通过控制流过在信号线驱动电路的TFT中的电流，流过发光元件的电流，而不受TFT的特性的影响保持在所需的值。此外，在每隔一定时间施加反偏压电压施加到发光元件。上述两种配置产生了协同效果，更可以防止亮度的降低，

由于有机发光层的恶化，但流过的电流的光，而不受TFT的特性可以保持
在期望的值的影响的发光元件。The 19

