

【特許請求の範囲】

【請求項 1】

駆動電流を生成する駆動トランジスタ、前記駆動トランジスタの出力端に接続された電気光学素子、映像信号の信号振幅に応じた情報を保持する保持容量、および前記信号振幅に応じた情報を前記保持容量に書き込む縦続接続された第 1 のサンプリングトランジスタおよび第 2 のサンプリングトランジスタを具備する画素回路が行列状に配置されており、

前記画素回路を垂直走査するための垂直走査パルスを生成する垂直走査部と接続される垂直走査線と、

前記垂直走査部での前記垂直走査に合わせて映像信号を前記画素回路に供給する水平走査部と接続される水平走査線と、

を備え、

前記垂直走査部は少なくとも前記画素回路を垂直走査して前記保持容量に前記信号振幅に応じた情報を書き込むための書込走査パルスを生成する書込走査部を有するものであり、

前記垂直走査線として前記書込走査部と接続される書込走査線を有し、前記書込走査部からの垂直走査用の書込駆動パルスが複数行の前記第 1 のサンプリングトランジスタの制御入力端に共通に供給されるように前記書込走査線が配線されており、

前記書込走査線が共用されている前記複数行の組ごとに、前記第 2 のサンプリングトランジスタの制御入力端は、自行が属する組を除く他の組のそれぞれ異なる行の垂直走査用の前記垂直走査パルスが前記垂直走査部から供給されるように前記垂直走査線と接続されている

ことを特徴とする表示装置。

【請求項 2】

前記第 2 のサンプリングトランジスタの制御入力端は、前記他の組のそれぞれ異なる行の同種の垂直走査用の前記垂直走査パルスが前記垂直走査部から供給されるように同種の前記垂直走査線と接続されている

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記第 2 のサンプリングトランジスタの制御入力端は、前記他の組のそれぞれ異なる行の異種の垂直走査用の前記垂直走査パルスが前記垂直走査部から供給されるように異種の前記垂直走査線と接続されている

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記垂直走査部は前記駆動電流を前記電気光学素子に流すために使用される第 1 電位および前記第 1 電位とは異なる第 2 電位を切り替えて前記駆動トランジスタの電源供給端に供給する駆動走査部を有するものであり、

前記駆動走査部と接続される電源供給線を前記垂直走査線の一例として有し、前記電源供給線は前記書込走査線を共用している前記複数行の前記駆動トランジスタの電源供給端に共通に接続されており、

前記書込走査線と前記電源供給線が共用されている前記複数行の組ごとに、前記第 2 のサンプリングトランジスタの制御入力端は、前記他の組でかつそれぞれ異なる組の垂直走査用の前記垂直走査パルスが前記垂直走査部から供給されるように前記垂直走査線と接続されている

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

前記書込走査線が共用されている前記複数行の組ごとに、前記垂直走査部での前記垂直走査に合わせて各行用の映像信号を順番に切り替えて前記画素回路に供給する前記水平走査部と、

前記書込駆動パルスにより前記第 1 のサンプリングトランジスタを垂直走査するとともに、前記書込走査パルスを共用している組内で、共用した何れかの行の表示処理の期間に

10

20

30

40

50

入り共用化した全ての行の表示処理が完了するまでの全表示処理期間では、前記第 1 のサンプリグトランジスタの導通と合わせて前記第 2 のサンプリグトランジスタの何れか 1 つを順番に導通させることで前記表示処理が順番になされるように、前記垂直走査用の同種もしくは異種の前記垂直走査パルスを設定する前記垂直走査部と、

を備えたことを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

前記垂直走査部は、前記全表示処理期間では、複数行の前記第 2 のサンプリグトランジスタの内、順番に導通する 1 つの前記第 2 のサンプリグトランジスタを除くものは全てオフするように、前記垂直走査用の同種もしくは異種の前記垂直走査パルスを設定することを特徴とする請求項 5 に記載の表示装置。

10

【請求項 7】

前記垂直走査部は、前記第 2 のサンプリグトランジスタを順番に導通させることの必要な垂直走査期間では、前記第 1 および前記第 2 のサンプリグトランジスタの双方を導通させることで、通常通りの表示処理が行なわれるように前記垂直走査パルスを設定する

ことを特徴とする請求項 5 に記載の表示装置。

【請求項 8】

前記垂直走査部は、前記垂直走査パルスの変化状態が各行で揃うように設定することを特徴とする請求項 5 に記載の表示装置。

【請求項 9】

前記垂直走査部は、前記駆動電流を前記電気光学素子に流すために使用される第 1 電位および前記第 1 電位とは異なる第 2 電位を切り替えて前記駆動トランジスタの電源供給端と接続された前記電源供給線に供給する駆動走査部を有し、

基準電位と信号電位で切り替わる映像信号を前記サンプリグトランジスタに供給する前記水平走査部を有し、

前記垂直走査部と前記水平走査部は、前記駆動トランジスタの電源供給端に前記第 1 電位が供給されている時間帯で、かつ、前記サンプリグトランジスタに前記映像信号における前記基準電位が供給されている時間帯で、前記第 1 のサンプリグトランジスタと前記第 2 のサンプリグトランジスタに双方を導通させて前記基準電位の情報ゲート構造の第 1 のサンプリグトランジスタとサンプリグトランジスタの双方を導通させて前記基準電位の情報を前記保持容量に保持させることで、前記電気光学素子を消光させる

20

30

ことを特徴とする請求項 5 に記載の表示装置。

【請求項 10】

前記駆動電流を一定に維持する駆動信号一定化回路を備えている

ことを特徴とする請求項 5 に記載の表示装置。

【請求項 11】

前記駆動信号一定化回路は、所定の大きさの電源電圧が前記駆動トランジスタの前記電源供給端に供給され電流が流れる状態でかつ所定の大きさの基準電位が前記サンプリグトランジスタの入力端に供給されるようにして前記第 1 および前記第 2 のサンプリグトランジスタを導通させることで前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持させる閾値補正機能を実現するように構成されている

40

ことを特徴とする請求項 9 に記載の表示装置。

【請求項 12】

前記垂直走査部は、前記画素回路を垂直走査して前記保持容量に前記信号振幅に応じた情報を書き込むための書込走査パルスを前記第 1 のサンプリグトランジスタの制御入力端に供給する書込走査部と、前記駆動電流を前記電気光学素子に流すために使用される第 1 電位および前記第 1 電位とは異なる第 2 電位を切り替えて前記駆動トランジスタの電源供給端に供給する駆動走査部とを有し、

前記水平走査部は、基準電位と信号電位で切り替わる映像信号を前記サンプリグトランジスタに供給するものであり、

50

前記駆動信号一定化回路は、前記書込走査部、前記水平駆動部、および前記駆動走査部の制御の元で、前記第1電位に対応する電圧が前記駆動トランジスタの前記電源供給端に供給されかつ映像信号における基準電位の時間帯に前記第1および前記第2のサンプリグトランジスタを導通させることにより、前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持させる閾値補正機能を実現するように構成されている

ことを特徴とする請求項11に記載の表示装置。

【請求項13】

前記駆動信号一定化回路は、前記駆動トランジスタの移動度による前記駆動電流の依存性を抑制する移動度補正機能を実現するように構成されている

ことを特徴とする請求項9に記載の表示装置。

10

【請求項14】

前記駆動信号一定化回路は、前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持させる閾値補正機能動作の後に、前記映像信号における信号電位の時間帯で、前記第1および前記第2のサンプリグトランジスタの双方を導通させることにより、前記保持容量に信号電位に応じた情報を書き込む際に前記移動度補正機能を実現するように構成されている

ことを特徴とする請求項13に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、電気光学素子（表示素子や発光素子とも称される）を具備する画素回路（画素とも称される）を有する表示装置に関する。より詳細には、駆動信号の大小によって輝度に変化する電流駆動型の電気光学素子を表示素子として有し、画素回路ごとに能動素子を有して当該能動素子によって画素単位で表示駆動が行なわれる表示装置に関する。

【背景技術】

【0002】

画素の表示素子として、印加される電圧や流れる電流によって輝度に変化する電気光学素子を用いた表示装置がある。たとえば、印加される電圧によって輝度に変化する電気光学素子としては液晶表示素子が代表例であり、流れる電流によって輝度に変化する電気光学素子としては、有機エレクトロルミネッセンス（Organic Electro Luminescence, 有機EL, Organic Light Emitting Diode, OLED; 以下、有機ELと記す）素子が代表例である。後者の有機EL素子を用いた有機EL表示装置は、画素の表示素子として、自発光素子である電気光学素子を用いたいわゆる自発光型の表示装置である。

30

【0003】

有機EL素子は下部電極と上部電極との間に有機正孔輸送層や有機発光層を積層させてなる有機薄膜（有機層）を設けてなり、有機薄膜に電界をかけると発光する現象を利用した電気光学素子であり、有機EL素子を流れる電流値を制御することで発色の階調を得ている。

【0004】

有機EL素子は比較的低い印加電圧（たとえば10V以下）で駆動できるため低消費電力である。また有機EL素子は自ら光を発する自発光素子であるため、液晶表示装置では必要とされるバックライトなどの補助照明部材を必要とせず、軽量化および薄型化が容易である。さらに、有機EL素子の応答速度は非常に高速である（たとえば数 μ s程度）ので、動画表示時の残像が発生しない。これらの利点があることから、電気光学素子として有機EL素子を用いた平面自発光型の表示装置の開発が近年盛んになっている。

40

【0005】

ところで、液晶表示素子を用いた液晶表示装置や有機EL素子を用いた有機EL表示装置を始めとする電気光学素子を用いた表示装置においては、その駆動方式として、単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が単純であるもの、大型でかつ高精細の表示装置

50

の実現が難しいなどの問題がある。

【0006】

このため、近年、画素内部の発光素子に供給する画素信号を、同様に画素内部に設けた能動素子、たとえば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ (Thin Film Transistor ; TFT) をスイッチングトランジスタとして使用して制御するアクティブマトリクス方式の開発が盛んに行なわれている。

【0007】

ここで、画素回路内の電気光学素子を発光させる際には、映像信号線を介して供給される入力画像信号をスイッチングトランジスタ（サンプリングトランジスタと称する）で駆動トランジスタのゲート端（制御入力端子）に設けられた保持容量（画素容量とも称する）に取り込み、取り込んだ入力画像信号に応じた駆動信号を電気光学素子に供給する。

10

【0008】

電気光学素子として液晶表示素子を用いる液晶表示装置では、液晶表示素子が電圧駆動型の素子であることから、保持容量に取り込んだ入力画像信号に応じた電圧信号そのもので液晶表示素子を駆動する。これに対して、電気光学素子として有機EL素子などの電流駆動型の素子を用いる有機EL表示装置では、保持容量に取り込んだ入力画像信号に応じた駆動信号（電圧信号）を駆動トランジスタで電流信号に変換して、その駆動電流を有機EL素子などに供給する。

【0009】

有機EL素子を代表例とする電流駆動型の電気光学素子では、駆動電流値が異なると発光輝度も異なる。よって、安定した輝度で発光させるためには、安定した駆動電流を電気光学素子に供給することが肝要となる。たとえば、有機EL素子に駆動電流を供給する駆動方式としては、定電流駆動方式と定電圧駆動方式とに大別できる（周知の技術であるので、ここでは公知文献の提示はしない）。

20

【0010】

有機EL素子の電圧－電流特性は傾きの大きい特性を有するので、定電圧駆動を行なうと、僅かな電圧のばらつきや素子特性のばらつきが大きな電流のばらつきを生じ大きな輝度ばらつきをもたらす。よって、一般的には、駆動トランジスタを飽和領域で使用する定電流駆動が用いられる。もちろん、定電流駆動でも、電流変動があれば輝度ばらつきを招くが、小さな電流ばらつきであれば小さな輝度ばらつきしか生じない。

30

【0011】

逆に言えば、定電流駆動方式であっても、電気光学素子の発光輝度が不変であるためには、入力画像信号に応じて保持容量に書き込まれ保持される駆動信号が一定であることが重要となる。たとえば、有機EL素子の発光輝度が不変であるためには、入力画像信号に応じた駆動電流が一定であることが重要となる。

【0012】

ところが、プロセス変動により電気光学素子を駆動する能動素子（駆動トランジスタ）の閾値電圧や移動度がばらついてしまう。また、有機EL素子などの電気光学素子の特性が経時的に変動する。このような駆動用の能動素子の特性ばらつきや電気光学素子の特性変動があると、定電流駆動方式であっても、発光輝度に影響を与えてしまう。

40

【0013】

このため、表示装置の画面全体に亘って発光輝度を均一に制御するため、各画素回路内で上述した駆動用の能動素子や電気光学素子の特性変動に起因する輝度変動を補正するための仕組みが種々検討されている。

【0014】

【特許文献1】特開2006-215213号公報

【0015】

たとえば、特許文献1に記載の仕組みでは、有機EL素子用の画素回路として、駆動トランジスタの閾値電圧にばらつきや経時変化があった場合でも駆動電流を一定にするための閾値補正機能や、駆動トランジスタの移動度にばらつきや経時変化があった場合でも駆

50

動電流を一定にするための移動度補正機能や、有機EL素子の電流－電圧特性に経時変化があった場合でも駆動電流を一定にするためのブートストラップ機能が提案されている。

【0016】

一方、低コスト化を考えた場合、画素数を減らすことがないように、画素アレイ部の周辺部に設けられる各種の走査回路から引き出される走査線の数減らすことが考えられる。この際には、1つの水平走査線に対して複数列の画素を割り当てる、あるいは1つの垂直走査線に対して複数行の画素を割り当てることで、走査回路から出力された走査信号を複数の画素で共用することになる。

【0017】

画素アレイ部内に配線される走査線数を削減することで、各走査線を駆動するための回路コスト分だけ低コスト化が可能となる。この際には、液晶表示装置において提案されている、画素数を減らすことなく取出し配線の数削減する仕組みを採用入れることが考えられる。たとえば、水平走査側に着目すると、信号線を複数画素で共用化することで低コスト化を図る仕組みを採用入れることが考えられる（たとえば、特許文献2を参照）。

【0018】

【特許文献2】特開2006-251322号公報

【0019】

特許文献2に記載の仕組みは、信号線を隣接画素で共用し、1つの画素に2つの映像信号を入力して映像信号を書き換える方式である。

【発明の開示】

【発明が解決しようとする課題】

【0020】

しかしながら、特許文献2に記載の仕組みは、電流駆動型の電気光学素子を駆動する際に、電流を流しながら信号書込みを行なうことで移動度補正を行なう仕組みのものには採用入れることはできない。何故なら、映像信号電圧を2回以上駆動トランジスタのゲートに入力すると最初の映像信号に対して移動度補正を行なってしまい、2回目以降に駆動トランジスタのゲートに入力される映像信号に対しては正常に移動度補正動作を行なうことができないためである。

【0021】

また、特許文献1に記載の仕組みでは、補正用の電位を供給する配線と、補正用のスイッチングトランジスタと、それを駆動するスイッチング用のパルスが必要であり、駆動トランジスタおよびサンプリングトランジスタを含めると5つのトランジスタを使用する5TR駆動の構成を採っており、垂直走査線の数が多いなど、画素回路の構成が複雑である。画素回路の構成要素が多いことから、表示装置の高精細化の妨げとなる。その結果、5TR駆動の構成では、携帯機器（モバイル機器）などの小型の電子機器で用いられる表示装置への適用が困難になる。

【0022】

このため、画素回路の簡素化を図りつつ、さらに走査線の数削減する仕組みの開発要求がある。この際には、走査線の数削減するとともに、画素回路の簡素化に伴って、5TR駆動の構成では生じていない問題が新たに発生することがないようにすることも考慮されるべきである。

【0023】

本発明は、上記事情に鑑みてなされたもので、先ず、垂直走査系に着目して、制御線や制御信号の数を増やさずに、垂直走査線や垂直走査信号を複数画素（つまり複数行）で共用化することのできる仕組みを提供することを目的とする。

【0024】

さらに好ましくは、画素回路の簡素化により表示装置の高精細化を可能にする仕組みを提供することを目的とする。また、画素回路の簡素化に当たっては、好ましくは、駆動トランジスタや電気光学素子の特性ばらつきによる輝度変化を抑制することの可能な仕組みを提供することを目的とする。

10

20

30

40

50

【課題を解決するための手段】

【0025】

本発明に係る表示装置の一形態は、垂直走査線を複数画素（つまり複数行）で共用化するべく、駆動電流を生成する駆動トランジスタ、駆動トランジスタの出力端に接続された電気光学素子、映像信号の信号振幅に応じた情報を保持する保持容量、および信号振幅に応じた情報を保持容量に書き込む縦続接続された第1のサンプリングトランジスタおよび第2のサンプリングトランジスタを具備し、保持容量に保持された情報に基づく駆動電流を駆動トランジスタで生成して電気光学素子に流すことで電気光学素子が発光する画素回路が行列状に配置されている画素アレイ部を備えるものとする。

【0026】

そして、画素アレイ部には、さらに、画素回路を垂直走査するための垂直走査パルスを生成する垂直走査部と接続される垂直走査線と、垂直走査部での垂直走査に合わせて映像信号を画素回路（詳しくは第1および第2のサンプリングトランジスタ）に供給する水平走査部と接続される水平走査線とを備えるものとする。

【0027】

さらに、垂直走査部は少なくとも画素回路を垂直走査して保持容量に信号振幅に応じた情報を書き込むための書込走査パルス生成する書込走査部を有するものとし、垂直走査線として書込走査部と接続される書込走査線を有し、書込走査部からの垂直走査用の書込駆動パルスが複数行の第1のサンプリングトランジスタの制御入力端に共通に供給されるように書込走査線を配線しておく。さらに、書込走査線が共用されている複数行の組ごとに、第2のサンプリングトランジスタの制御入力端は、自行が属する組を除く他の組のそれぞれ異なる行の同種や異種の垂直走査用の垂直走査パルスが垂直走査部から供給されるように垂直走査線と接続しておく。

【0028】

つまり、垂直走査系の走査線や走査信号を複数行で共用するために、共用対象の垂直走査線を書込走査線として取り扱い、先ずサンプリングトランジスタを2段接続構成とされたいわゆるダブルゲート構成のものにする。そして、第1のサンプリングトランジスタについては、共用対象となる書込走査線を複数行で共用するように複数行の第1のサンプリングトランジスタの制御入力端に共通に接続する。

【0029】

一方、第2のサンプリングトランジスタについては、第1および第2のサンプリングトランジスタの組合せによって、通常通りの1行ごとの垂直走査に合わせて、映像信号が駆動トランジスタの制御入力端に供給されるように、自行が属する共用化された組を除く他の組のそれぞれ異なる行の同種や異種の垂直走査線と接続しておく。因みに、「異種」とあるが、組内で第2のサンプリングトランジスタの制御入力端と接続される各垂直走査線の全てが異種であることを意味するものではなく、組内の各第2のサンプリングトランジスタの制御入力端が、少なくとも2種類の垂直走査線と接続されていることを意味する。

【0030】

これに合わせて、水平走査部側では、書込走査線が共用されている複数行の組ごとに、垂直走査部での垂直走査に合わせて各行用の映像信号を順番に切り替えて画素回路に供給するようにする。垂直走査部側では、書込駆動パルスにより第1のサンプリングトランジスタを垂直走査するとともに、書込走査パルスを共用している組内で、共用した何れかの行の表示処理期間に入り共用化した全ての行の表示処理が完了するまでの全表示処理期間では、第1のサンプリングトランジスタの導通と合わせて第2のサンプリングトランジスタの何れか1つを順番に導通させることで表示処理が順番になされるように、垂直走査用の同種もしくは異種の垂直走査パルスを設定する。

【0031】

「表示処理」とは、発光期間における画像表示と関係する処理を意味し、たとえば映像信号の信号振幅に応じた情報を保持容量に保持する信号書込み処理や、駆動トランジスタの閾値電圧に対応する電圧を保持容量に保持させる閾値補正処理およびその準備処理や、

10

20

30

40

50

駆動トランジスタの移動度による駆動電流の依存性を抑制する移動度補正処理、などが含まれる。因みに、第2のサンプリングトランジスタを順番に導通させることの必要ない期間では、垂直走査部は、第1および第2のサンプリングトランジスタの双方を導通させることで、通常通りの表示処理（一例としては、閾値補正処理およびその準備処理が該当する）が行なわれるように垂直走査パルスを設定する。

【発明の効果】

【0032】

本発明の一形態によれば、サンプリングトランジスタをダブルゲート構造とし、第1のサンプリングトランジスタを制御するための垂直走査線として共用対象の書込走査線を割り当てることで複数行の画素回路で1本の書込走査線を共用する一方、第2のサンプリングトランジスタを制御するための垂直走査線としては、既存の垂直走査線であって、自行が属する共用化された組を除く他の組のそれぞれ異なる行の同種や異種の垂直走査線を割り当てる。

【0033】

このため、制御線や制御信号の数を増やさずに、垂直走査線の内の書込走査線や当該書込走査線を経由して画素回路に供給される書込駆動パルスを複数行の画素回路で共用することで低コスト化を図ることが可能となる。

【発明を実施するための最良の形態】

【0034】

以下、図面を参照して本発明の実施形態について詳細に説明する。

【0035】

＜表示装置の全体概要＞

図1は、本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。本実施形態では、たとえば画素の表示素子（電気光学素子、発光素子）として有機EL素子を、能動素子としてポリシリコン薄膜トランジスタ（TFT；Thin Film Transistor）をそれぞれ用い、薄膜トランジスタを形成した半導体基板上に有機EL素子を形成してなるアクティブマトリクス型有機ELディスプレイ（以下「有機EL表示装置」と称する）に適用した場合を例に説明する。このような有機EL表示装置は、半導体メモリやミニディスク（MD）やカセットテープなどの記録媒体を利用した携帯型の音楽プレイヤーやその他の電子機器の表示部に利用される。

【0036】

なお、以下においては、画素の表示素子として有機EL素子を例に具体的に説明するが、これは一例であって、対象となる表示素子是有機EL素子に限らない。一般的に電流駆動で発光する表示素子の全てに、後述する全ての実施形態が同様に適用できる。

【0037】

図1に示すように、有機EL表示装置1は、複数の表示素子としての有機EL素子（図示せず）を持った画素回路（画素とも称される）Pが表示アスペクト比である縦横比がX：Y（たとえば9：16）の有効映像領域を構成するように配置された表示パネル部100と、この表示パネル部100を駆動制御する種々のパルス信号を発するパネル制御部の一例である駆動信号生成部200と、映像信号処理部300を備えている。駆動信号生成部200と映像信号処理部300とは、1チップのIC（Integrated Circuit；半導体集積回路）に内蔵されている。

【0038】

たとえば、パネル型の表示装置では、TFTや電気光学素子などの画素回路を構成する素子を行列状に配置した画素アレイ部102と、画素アレイ部102の周辺に配置され、各画素回路Pを駆動するための走査線と接続された走査部（水平駆動部や垂直駆動部）を主要部とする制御部109と、制御部109を動作させるための各種の信号を生成する駆動信号生成部200や映像信号処理部300を備えて装置の全体が構成されるのが一般的である。

【0039】

10

20

30

40

50

一方、製品形態としては、画素アレイ部 102 と制御部 109 を同一の基板 101（ガラス基板）上に搭載した表示パネル部 100 と駆動信号生成部 200 や映像信号処理部 300 を別体としつつ、図示のように、これら全てを備えたモジュール（複合部品）形態の有機 EL 表示装置 1 として提供されることに限らない。表示パネル部 100 には画素アレイ部 102 を搭載し、この表示パネル部 100 のみで有機 EL 表示装置 1 として提供することも可能である。この場合、表示パネル部 100 のみで構成された有機 EL 表示装置 1 とは別基板（たとえばフレキシブル基板）上に制御部 109 や駆動信号生成部 200 や映像信号処理部 300 などの周辺回路を搭載する形態（周辺回路パネル外配置構成と称する）とする。

【0040】

また、画素アレイ部 102 と制御部 109 とを同一の基板 101 上に搭載して表示パネル部 100 を構成するパネル上配置構成の場合、画素アレイ部 102 の TFT を生成する工程にて同時に制御部 109（必要に応じて駆動信号生成部 200 や映像信号処理部 300 も）用の各 TFT を生成する仕組み（TFT 一体構成と称する）と、COG（Chip On Glass）実装技術により画素アレイ部 102 が搭載された基板 101 上に制御部 109（必要に応じて駆動信号生成部 200 や映像信号処理部 300 も）用の半導体チップを直接実装する仕組み（COG 搭載構成と称する）をとってもよい。

【0041】

表示パネル部 100 は、基板 101 の上に、画素回路 P が n 行 $\times$ m 列のマトリクス状に配列された画素アレイ部 102 と、画素回路 P を垂直方向に走査する垂直走査部の一例である垂直駆動部 103 と、画素回路 P を水平方向に走査する水平走査部の一例である水平駆動部（水平セクタあるいはデータ線駆動部とも称される）106 と、外部接続用の端子部（パッド部）108 などが集積形成されている。すなわち、垂直駆動部 103 や水平駆動部 106 などの周辺駆動回路が、画素アレイ部 102 と同一の基板 101 上に形成された構成となっている。

【0042】

垂直駆動部 103 としては、たとえば、書込走査部（ライトスキャナ WS；Write Scan）104 や電源供給能力を有する電源スキャナとして機能する駆動走査部（ドライブスキャナ DS；Drive Scan）105 を有する。垂直駆動部 103 と水平駆動部 106 とで、信号電位の保持容量への書込みや、閾値補正動作や、移動度補正動作や、ブートストラップ動作を制御する制御部 109 が構成される。

【0043】

図示した垂直駆動部 103 および対応する走査線の構成は、画素回路 P が後述する本実施形態の 2TR 構成の場合に適合させて示したものであるが、画素回路 P の構成によっては、その他の走査部が設けられることもある。

【0044】

画素アレイ部 102 は、一例として、図示する左右方向の一方側もしくは両側から書込走査部 104 および駆動走査部 105 で駆動され、かつ図示する上下方向の一方側もしくは両側から水平駆動部 106 で駆動されるようになっている。

【0045】

端子部 108 には、有機 EL 表示装置 1 の外部に配された駆動信号生成部 200 から、種々のパルス信号が供給されるようになっている。また同様に、映像信号処理部 300 から映像信号 V_{sig} が供給されるようになっている。カラー表示対応の場合には、色別（本例では R（赤）、G（緑）、B（青）の 3 原色）の映像信号 V_{sig_R} 、 V_{sig_G} 、 V_{sig_B} が供給される。

【0046】

一例としては、垂直駆動用のパルス信号として、垂直方向の書込み開始パルスの一例であるシフトスタートパルス SPDS、SPWS や垂直走査クロック CKDS、CKWS など必要なパルス信号が供給される。また、水平駆動用のパルス信号として、水平方向の書込み開始パルスの一例である水平スタートパルス SPH や水平走査クロック CKH など必要なパルス信号が供給

10

20

30

40

50

される。

【0047】

端子部108の各端子は、配線199を介して、垂直駆動部103や水平駆動部106に接続されるようになっている。たとえば、端子部108に供給された各パルスは、必要に応じて図示を割愛したレベルシフタ部で電圧レベルを内部的に調整した後、バッファを介して垂直駆動部103の各部や水平駆動部106に供給される。

【0048】

画素アレイ部102は、図示を割愛するが（詳細は後述する）、表示素子としての有機EL素子に対して画素トランジスタが設けられた画素回路Pが行列状に2次元配置され、この画素配列に対して行ごとに垂直走査線が配線されるとともに、列ごとに信号線（水平走査線の一例）が配線された構成となっている。

10

【0049】

たとえば、画素アレイ部102には、垂直走査側の各走査線（垂直走査線：書込走査線104WSおよび電源供給線105DSL）と水平走査側の走査線（水平走査線）である映像信号線（データ線）106HSが形成されている。垂直走査と水平走査の各走査線の交差部分には図示を割愛した有機EL素子とこれを駆動する薄膜トランジスタ（TFT；Thin Film Transistor）が形成される。有機EL素子と薄膜トランジスタの組み合わせで画素回路Pを構成する。

【0050】

具体的には、マトリクス状に配列された各画素回路Pに対しては、書込走査部104によって書込駆動パルスWSで駆動されるn行分の書込走査線104WS₁～104WS_nおよび駆動走査部105によって電源駆動パルスDSLで駆動されるn行分の電源供給線105DSL₁～105DSL_nが画素行ごとに配線される。

20

【0051】

書込走査部104および駆動走査部105は、駆動信号生成部200から供給される垂直駆動系のパルス信号に基づき、書込走査線104WSおよび電源供給線105DSLを介して各画素回路Pを順次選択する。水平駆動部106は、駆動信号生成部200から供給される水平駆動系のパルス信号に基づき、選択された画素回路Pに対し映像信号線106HSを介して映像信号Vsigの内の所定電位をサンプリングして保持容量に書き込ませる。

【0052】

本実施形態の有機EL表示装置1においては、線順次駆動や面順次駆動あるいはその他の方式での駆動が可能になっており、たとえば、垂直駆動部103の書込走査部104および駆動走査部105は行単位で画素アレイ部102を走査するとともに、これに同期して水平駆動部106が、画像信号を、1水平ライン分を同時に、画素アレイ部102に書き込む。

30

【0053】

水平駆動部106は、たとえば、全列の映像信号線106HS上に設けられた図示を割愛したスイッチを一斉にオンさせるドライバ回路を備えて構成され、映像信号処理部300から入力される画素信号を、垂直駆動部103によって選択された行の1ライン分の全ての画素回路Pに同時に書き込むべく、全列の映像信号線106HS上に設けられた図示を割愛したスイッチを一斉にオンさせ、ドライバ回路を経由して水平走査線（映像信号線106HS）に映像信号Vsig（水平走査信号の一例）が供給される。

40

【0054】

垂直駆動部103の各部は、論理ゲートの組合せ（ラッチも含む）とドライバ回路によって構成され、論理ゲートにより画素アレイ部102の各画素回路Pを行単位で選択し、ドライバ回路を経由して垂直走査線に垂直走査信号が供給される。なお、図1では、画素アレイ部102の一方側にのみ垂直駆動部103を配置する構成を示しているが、画素アレイ部102を挟んで左右両側に垂直駆動部103を配置する構成を採用することも可能である。同様に、図1では、画素アレイ部102の一方側にのみ水平駆動部106を配置する構成を示しているが、画素アレイ部102を挟んで上下両側に水平駆動部106を配置す

50

る構成を採ることも可能である。

【0055】

これら垂直駆動部103（書込走査部104および駆動走査部105）や水平駆動部106と垂直走査線（書込走査線104WSおよび電源供給線105DSL）や水平走査線（映像信号線106HS）の接続態様から分るように、走査信号を画素アレイ部102の各画素回路Pに供給するには走査線が必要となり、単純な仕組みでは、画素回路Pの数が増えると走査線の数もそれに応じて増え、この走査線を駆動するドライバ回路も増えてしまう。図1では便宜的に、行ごとや列ごとに走査線を配置した形態で示しているが、後述する本実施形態の仕組みでは、画素数を維持しつつ走査線（特に書込走査線104WS）の数を削減する仕組みを採る。

10

【0056】

<画素回路>

図2は、図1に示した有機EL表示装置1を構成する本実施形態の画素回路Pに対する第1比較例を示す図である。なお、表示パネル部100の基板101上において画素回路Pの周辺部に設けられた垂直駆動部103と水平駆動部106も合わせて示している。図3は、本実施形態の画素回路Pに対する第2比較例を示す図である。なお、表示パネル部100の基板101上において画素回路Pの周辺部に設けられた垂直駆動部103と水平駆動部106も合わせて示している。図4は有機EL素子や駆動トランジスタの動作点を説明する図である。図4Aは、有機EL素子や駆動トランジスタの特性ばらつきが駆動電流 I_{ds} に与える影響を説明する図である。

20

【0057】

図5は、本実施形態の画素回路Pに対する第3比較例を示す図である。なお、表示パネル部100の基板101上において画素回路Pの周辺部に設けられた垂直駆動部103と水平駆動部106も合わせて示している。後述する本実施形態の画素回路PにおけるEL駆動回路は、第3比較例の画素回路Pにおける少なくとも保持容量120と駆動トランジスタ121を具備したEL駆動回路をベースとする。そういった意味では、第3比較例の画素回路Pは、事実上、本実施形態の画素回路PのEL駆動回路と同様の回路構造を持つと言っても過言ではない。

【0058】

<比較例の画素回路：第1例>

図2に示すように、第1比較例の画素回路Pは、基本的にp型の薄膜電界効果トランジスタ（TFET）でドライブトランジスタが構成されている点に特徴を有する。また、ドライブトランジスタの他に走査用に2つのトランジスタを使用した3Tr駆動の構成を採っている。

30

【0059】

具体的には、第1比較例の画素回路Pは、p型の駆動トランジスタ121、アクティブLの駆動パルスが供給されるp型の発光制御トランジスタ122、アクティブHの駆動パルスが供給されるn型トランジスタ125、電流が流れることで発光する電気光学素子（発光素子）の一例である有機EL素子127、および保持容量（画素容量とも称される）120を有する。なお、最も単純な回路として、発光制御トランジスタ122を取り外した2Tr駆動の構成を採ることもできる。この場合、有機EL表示装置1としては駆動走査部105を取り外した構成を採る。

40

【0060】

駆動トランジスタ121は、制御入力端子であるゲート端に供給される電位に応じた駆動電流を有機EL素子127に供給するようになっている。一般に、有機EL素子127は整流性があるためダイオードの記号で表わしている。なお、有機EL素子127には、寄生容量 C_{el} が存在する。図では、寄生容量 C_{el} を有機EL素子127と並列に示す。

【0061】

サンプリングトランジスタ125は、駆動トランジスタ121のゲート端（制御入力端子）側に設けられたスイッチングトランジスタであり、また、発光制御トランジスタ12

50

2もスイッチングトランジスタである。なお、一般的には、サンプリングトランジスタ125はアクティブLの駆動パルスが供給されるp型に置き換えることもできる。発光制御トランジスタ122はアクティブHの駆動パルスが供給されるn型に置き換えることもできる。

【0062】

画素回路Pは、垂直走査側の各走査線104WS、105DSと水平走査側の走査線である映像信号線106HSの交差部に配されている。書込走査部104からの書込走査線104WSは、サンプリングトランジスタ125のゲート端に接続され、駆動走査部105からの駆動走査線105DSは発光制御トランジスタ122のゲート端に接続されている。

【0063】

サンプリングトランジスタ125は、ソース端Sを信号入力端として映像信号線106HSに接続され、ドレイン端Dを信号出力端として駆動トランジスタ121のゲート端Gに接続され、その接続点と第2電源電位Vc2（たとえば正電源電圧、第1電源電位Vc1と同じでもよい）との間に保持容量120が設けられている。括弧書きで示すように、サンプリングトランジスタ125は、ソース端Sとドレイン端Dとを逆転させ、ドレイン端Dを信号入力端として映像信号線106HSに接続し、ソース端Sを信号出力端として駆動トランジスタ121のゲート端Gに接続することもできる。

【0064】

駆動トランジスタ121、発光制御トランジスタ122、および有機EL素子127は、第1電源電位Vc1（たとえば正電源電圧）と基準電位の一例である接地電位GNDの間で、この順に直列に接続されている。具体的には、駆動トランジスタ121は、ソース端Sが第1電源電位Vc1に接続され、ドレイン端Dが発光制御トランジスタ122のソース端Sに接続されている。発光制御トランジスタ122のドレイン端Dが、有機EL素子127のアノード端Aに接続され、有機EL素子127のカソード端Kが全画素共通のカソード共通配線127Kに接続されている。カソード共通配線127Kは、一例として接地電位GNDとされ、この場合、カソード電位Vcathも接地電位GNDとなる。

【0065】

なお、より簡易な構成としては、図2に示した画素回路Pの構成においては、最も単純な回路として、発光制御トランジスタ122を取り外した2Tr駆動の構成を採用することもできる。この場合、有機EL表示装置1としては駆動走査部105を取り外した構成を採用ことになる。

【0066】

図2に示した3Tr駆動や図示を割愛した2Tr駆動の何れにおいても、有機EL素子127は電流発光素子のため、有機EL素子127に流れる電流量をコントロールすることで発色の諧調を得る。このため、駆動トランジスタ121のゲート端への印加電圧を変化させ、保持容量120に保持されるゲート・ソース間電圧Vgsを変化させることで、有機EL素子127に流れる電流値をコントロールする。この際には、映像信号線106HSから供給される映像信号Vsigの電位（映像信号線電位）を信号電位とする。なお、階調を示す信号振幅は ΔV_{in} とする。

【0067】

書込走査部104からアクティブHの書込駆動パルスWSを供給して書込走査線104WSを選択状態とし、水平駆動部106から映像信号線106HSに信号電位を印加すると、n型トランジスタ125が導通して、信号電位が駆動トランジスタ121のゲート端の電位となり、信号振幅 ΔV_{in} に対応する情報が保持容量120に書き込まれる。駆動トランジスタ121および有機EL素子127に流れる電流は、保持容量120に保持されている駆動トランジスタ121のゲート・ソース間電圧Vgsに応じた値となり、有機EL素子127はその電流値に応じた輝度で発光し続ける。書込走査線104WSを選択して映像信号線106HSに与えられた映像信号Vsigを画素回路Pの内部に伝える動作を、「書込み」あるいは「サンプリング」と呼ぶ。一度信号の書込みを行なえば、次に書き換えられるまでの間、有機EL素子127は一定の輝度で発光を続ける。

10

20

30

40

50

【0068】

第1比較例の画素回路Pでは、駆動トランジスタ121のゲート端に供給する印加電圧を信号振幅 ΔV_{in} に応じて変化させることで、EL有機EL素子127に流れる電流値を制御している。このとき、p型の駆動トランジスタ121のソース端は第1電源電位 V_{c1} に接続されており、この駆動トランジスタ121は常に飽和領域で動作している。

【0069】

<比較例の画素回路：第2例>

次に、本実施形態の画素回路Pの特徴を説明する上での比較例として、図3に示す第2比較例の画素回路Pについて説明する。第2比較例（後述する本実施形態も同様）の画素回路Pは、基本的にn型の薄膜電界効果トランジスタでドライブトランジスタが構成されている点に特徴を有する。p型ではなく、n型で各トランジスタを構成することができれば、トランジスタ作成において従来のアモルファスシリコン（a-Si）プロセスを用いることが可能になる。これにより、トランジスタ基板の低コスト化が可能となり、このような構成の画素回路Pの開発が期待される。

【0070】

第2比較例の画素回路Pは、基本的にn型の薄膜電界効果トランジスタでドライブトランジスタが構成されている点で後述する本実施形態と同じであるが、有機EL素子127や駆動トランジスタ121の特性変動（ばらつきや経時変化）による駆動電流 I_{ds} に与える影響を防ぐための駆動信号一定化回路が設けられていない。

【0071】

具体的には、第2比較例の画素回路Pは、第1比較例の画素回路Pにおけるp型の駆動トランジスタ121を単純にn型の駆動トランジスタ121に置き換え、そのソース端側に発光制御トランジスタ122や有機EL素子127を配置したものである。なお、発光制御トランジスタ122もn型に置き換えている。もちろん、最も単純な回路として、発光制御トランジスタ122を取り外した2Tr駆動の構成を採ることもできる。

【0072】

第2比較例の画素回路Pでは、発光制御トランジスタを設けるか否かに関わらず、有機EL素子127を駆動するときには、駆動トランジスタ121のドレイン端側が第1電源電位 V_{c1} に接続され、ソース端が有機EL素子127のアノード端側に接続されることで、全体としてソースフォロワ回路を形成するようになっている。

【0073】

<電気光学素子の $I_{el}-V_{el}$ 特性との関係>

一般的に、図4に示すように、駆動トランジスタ121はドレイン・ソース間電圧に関わらず駆動電流 I_{ds} が一定となる飽和領域で駆動される。よって、飽和領域で動作するトランジスタのドレイン端－ソース間に流れる電流を I_{ds} 、移動度を μ 、チャンネル幅（ゲート幅）を W 、チャンネル長（ゲート長）を L 、ゲート容量（単位面積当たりのゲート酸化膜容量）を C_{ox} 、トランジスタの閾値電圧を V_{th} とすると、駆動トランジスタ121は下記の式（1）に示した値を持つ定電流源となっている。なお、“ $\wedge$ ”はべき乗を示す。式（1）から明らかなように、飽和領域ではトランジスタのドレイン電流 I_{ds} はゲート・ソース間電圧 V_{gs} によって制御され定電流源として動作する。

【0074】

【数1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \cdots (1)$$

【0075】

ところが、一般的に有機EL素子を始めとする電流駆動型の発光素子の $I-V$ 特性は、図4A（1）に示すように時間が経過すると変化する。図4A（1）に示す有機EL素子で代表される電流駆動型の発光素子の電流－電圧（ $I_{el}-V_{el}$ ）特性において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。

【0076】

たとえば、発光素子の一例である有機EL素子127に発光電流 I_{el} が流れるとき、そのアノード・カソード間電圧 V_{el} は一意的に決定される。ところが、図4A(1)に示すように、発光期間中では、有機EL素子127のアノード端は駆動トランジスタ121のドレイン・ソース間電流 I_{ds} (=駆動電流 I_{ds})で決定される発光電流 I_{el} が流れ、それによって有機EL素子127のアノード・カソード間電圧 V_{el} 分だけ上昇する。

【0077】

図2に示した第1比較例の画素回路Pは、この有機EL素子127のアノード・カソード間電圧 V_{el} 分の上昇の影響は駆動トランジスタ121のドレイン端側に現れるが、駆動トランジスタ121が飽和領域で動作する定電流駆動であるため、有機EL素子127には定電流 I_{ds} が流れ続け、有機EL素子127の $I_{el}-V_{el}$ 特性が変化してもその発光輝度が経時変化することはない。

10

【0078】

駆動トランジスタ121と発光制御トランジスタ122と保持容量120とサンプリングトランジスタ125とを備え、図2に示した接続態様とされた画素回路Pの構成にて、電気光学素子の一例である有機EL素子127の電流-電圧特性の変化を補正して駆動電流を一定に維持する駆動信号一定化回路が構成されるようになっているのである。つまり、画素回路Pを映像信号 V_{sig} で駆動するとき、p型の駆動トランジスタ121のソース端は第1電源電位 V_{c1} に接続されており、常に飽和領域で動作するように設計されているので、式(1)に示した値を持つ定電流源となる。

20

【0079】

また、第1比較例の画素回路Pにおいては、有機EL素子127の $I_{el}-V_{el}$ 特性の経時変化(図4A(1))とともに、駆動トランジスタ121のドレイン端の電圧が変化してゆくが、駆動トランジスタ121は、保持容量120のブートストラップ機能によってゲート・ソース間電圧 V_{gs} が原理的には一定に保持されるため、駆動トランジスタ121は定電流源として動作し、その結果、有機EL素子127には一定量の電流が流れ、有機EL素子127を一定の輝度で発光させることができ、発光輝度は変化しない。

【0080】

第2比較例の画素回路Pでも、駆動トランジスタ121のソース端の電位(ソース電位 V_s)は、駆動トランジスタ121と有機EL素子127との動作点で決まるし、駆動トランジスタ121は飽和領域で駆動されるので、動作点のソース電圧に対応したゲート・ソース間電圧 V_{gs} に関し、前述の式(1)に規定された電流値の駆動電流 I_{ds} を流す。

30

【0081】

ところが、第1比較例の画素回路Pのp型の駆動トランジスタ121をn型に変更した単純な回路(第2比較例の画素回路P)では、ソース端が有機EL素子127側に接続されてしまう。その結果、前述の図4A(1)に示したように経時変化する有機EL素子127の $I_{el}-V_{el}$ 特性により、同じ発光電流 I_{el} に対するアノード・カソード間電圧 V_{el} が V_{el1} から V_{el2} へと変化することで、駆動トランジスタ121の動作点が変わってしまう、同じゲート電位 V_g を印加しても駆動トランジスタ121のソース電位 V_s は変化してしまう。これにより、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は変化してしまう。特性式(1)から明らかなように、ゲート・ソース間電圧 V_{gs} が変動すると、たとえゲート電位 V_g が一定であっても駆動電流 I_{ds} が変動してしまう。この原因による駆動電流 I_{ds} の変動は画素回路Pごとの発光輝度のばらつきや経時変動となって現れ、画質の劣化が起きる。

40

【0082】

これに対して、詳細は後述するが、n型の駆動トランジスタ121を使用する場合においても、駆動トランジスタ121のソース端の電位 V_s の変動にゲート端の電位 V_g が連動するようにするブートストラップ機能を実現する回路構成および駆動タイミングとすることで、有機EL素子127の特性の経時変動による有機EL素子127のアノード電位変動(つまり駆動トランジスタ121のソース電位変動)があっても、その変動を相殺す

50

るようにゲート電位 V_g を変動させることができる。これにより、画面輝度の均一性（ユニフォームティ）を確保できる。ブートストラップ機能により、有機 EL 素子を代表とする電流駆動型の発光素子の経時変動補正能力を向上させることができる。もちろん、このブートストラップ機能は、発光開始時点で、有機 EL 素子 127 に発光電流 I_{el} が流れ始め、それによってアノード・カソード間電圧 V_{el} が安定となるまで上昇していく過程で、そのアノード・カソード間電圧 V_{el} の変動に伴って駆動トランジスタ 121 のソース電位 V_s が変動する際にも機能する。

【0083】

＜駆動トランジスタの $V_{gs} - I_{ds}$ 特性との関係＞

また、第 1 および第 2 比較例では、駆動トランジスタ 121 の特性については特に問題視していなかったが、画素ごとに駆動トランジスタ 121 の特性が異なると、その影響が駆動トランジスタ 121 に流れる駆動電流 I_{ds} に影響を及ぼす。一例としては、式 (1) から分かるように、移動度 μ や閾値電圧 V_{th} が画素によってばらついたりした場合や経時的に変化した場合、ゲート・ソース間電圧 V_{gs} が同じであっても、駆動トランジスタ 121 に流れる駆動電流 I_{ds} にばらつきや経時変化が生じ、有機 EL 素子 127 の発光輝度も画素ごとに変化してしまうことになる。

【0084】

たとえば、駆動トランジスタ 121 の製造プロセスのばらつきにより、画素回路 P ごとに閾値電圧 V_{th} や移動度 μ などの特性変動がある。駆動トランジスタ 121 を飽和領域で駆動する場合においても、この特性変動により、駆動トランジスタ 121 に同一のゲート電位を与えても、画素回路 P ごとにドレイン電流（駆動電流 I_{ds} ）が変動し、発光輝度のばらつきになって現れる。

【0085】

前述のように、駆動トランジスタ 121 が飽和領域で動作しているときのドレイン電流 I_{ds} は、特性式 (1) で表される。駆動トランジスタ 121 の閾値電圧ばらつきに着目した場合、特性式 (1) から明らかなように、閾値電圧 V_{th} が変動すると、ゲート・ソース間電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が変動する。また、駆動トランジスタ 121 の移動度ばらつきに着目した場合、特性式 (1) から明らかなように、移動度 μ が変動すると、ゲート・ソース間電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が変動する。

【0086】

このように、閾値電圧 V_{th} や移動度 μ の違いで $V_{gs} - I_{ds}$ 特性に大きな違いが出てしまうと、同じ信号振幅 ΔV_{in} を与えても、駆動電流 I_{ds} が変動し、発光輝度が異なってしまう、画面輝度の均一性が得られない。これに対して、閾値補正機能および移動度補正機能を実現する駆動タイミング（詳細は後述する）とすることで、それらの変動の影響を抑制でき、画面輝度の均一性を確保できる。

【0087】

本実施形態で採用する閾値補正動作および移動度補正動作では、書込みゲインが 1（理想値）であると仮定した場合、発光時のゲート・ソース間電圧 V_{gs} が “ $\Delta V_{in} + V_{th} - \Delta V$ ” で表されるようにすることで、ドレイン・ソース間電流 I_{ds} が、閾値電圧 V_{th} のばらつきや変動に依存しないようにするとともに、移動度 μ のばらつきや変動に依存しないようにする。結果として、閾値電圧 V_{th} や移動度 μ が製造プロセスや経時により変動しても、駆動電流 I_{ds} は変動せず、有機 EL 素子 127 の発光輝度も変動しない。移動度補正時には、大きな移動度 μ_1 に対しては移動度補正パラメータ ΔV_1 が大きくなるようにする一方、小さい移動度 μ_2 に対しては移動度補正パラメータ ΔV_2 も小さくなるように負帰還をかけることになる。こう言った意味で、移動度補正パラメータ ΔV を負帰還量 ΔV とも称する。

【0088】

＜比較例の画素回路：第 3 例＞

図 3 に示す第 2 比較例の画素回路 P における有機 EL 素子 127 の経時変化による駆動電流変動を防ぐ回路（ブートストラップ回路）を搭載し、また駆動トランジスタ 121 の

10

20

30

40

50

特性変動（閾値電圧ばらつきや移動度ばらつき）による駆動電流変動を防ぐ駆動方式を採用したのが本実施形態の画素回路Pにてベースとする図5に示す第3比較例の画素回路Pである。

【0089】

第3比較例の画素回路Pは、第2比較例の画素回路Pと同様に、n型の駆動トランジスタ121を使用する。加えて、有機EL素子の経時変化による当該有機EL素子への駆動電流 I_{ds} の変動を抑制するための回路、すなわち電気光学素子の一例である有機EL素子の電流－電圧特性の変化を補正して駆動電流 I_{ds} を一定に維持する駆動信号一定化回路を備えた点に特徴を有する。さらに、有機EL素子の電流－電圧特性に経時変化があった場合でも駆動電流を一定にする機能を備えた点に特徴を有する。

10

【0090】

すなわち、駆動トランジスタ121の他に走査用に1つのスイッチングトランジスタ（サンプリングトランジスタ125）を使用する2TR駆動の構成を採るとともに、各スイッチングトランジスタを制御する電源駆動パルスDSLおよび書込駆動パルスWSのオン／オフタイミング（スイッチングタイミング）の設定により、有機EL素子127の経時変化や駆動トランジスタ121の特性変動（たとえば閾値電圧や移動度などのばらつきや変動）による駆動電流 I_{ds} に与える影響を防ぐ点に特徴を有する。2TR駆動の構成であり、素子数や配線数が少ないため、高精細化が可能である。

【0091】

図3に示した第2比較例に対しての構成上の大きな違いは、保持容量120の接続態様を変形して、有機EL素子127の経時変化による駆動電流変動を防ぐ回路として、駆動信号一定化回路の一例であるブートストラップ回路を構成する点にある。駆動トランジスタ121の特性変動（たとえば閾値電圧や移動度などのばらつきや変動）による駆動電流 I_{ds} に与える影響を抑制する方法としては、各トランジスタ121、125の駆動タイミングを工夫することで対処する。

20

【0092】

具体的には、第3比較例の画素回路Pは、保持容量120、n型の駆動トランジスタ121、およびアクティブH（ハイ）の書込駆動パルスWSが供給されるn型トランジスタ125、電流が流れることで発光する電気光学素子（発光素子）の一例である有機EL素子127を有する。

30

【0093】

駆動トランジスタ121のゲート端（ノードND122）とソース端との間に保持容量120が接続され、駆動トランジスタ121のソース端が直接に有機EL素子127のアノード端に接続されている。保持容量120は、ブートストラップ容量としても機能するようになっている。有機EL素子127のカソード端は、第1比較例や第2比較例と同様に、全画素共通のカソード共通配線127Kに接続され、カソード電位 V_{cath} （たとえば接地電位GND）が与えられる。

【0094】

駆動トランジスタ121のドレイン端は、電源スキャナとして機能する駆動走査部105からの電源供給線105DSLに接続されている。電源供給線105DSLは、この電源供給線105DSLそのものが、駆動トランジスタ121に対しての電源供給能力を備える点に特徴を有する。

40

【0095】

具体的には、駆動走査部105は、駆動トランジスタ121のドレイン端に対して、それぞれ電源電圧に相当する高電圧側の第1電位 V_{cc} と低電圧側の第2電位 V_{ss} とを切り替えて供給する電源電圧切替回路を具備している。

【0096】

第2電位 V_{ss} としては、映像信号線106HSにおける映像信号 V_{sig} のオフセット電位 V_{ofs} （基準電位とも称する）より十分低い電位とする。具体的には、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} （ゲート電位 V_g とソース電位 V_s の差）が駆動トラ

50

ンジスタ121の閾値電圧 V_{th} より大きくなるように、電源供給線105DSLの低電位側の第2電位 V_{ss} を設定する。なお、オフセット電位 V_{ofs} は、閾値補正動作に先立つ初期化動作に利用するとともに映像信号線106HSを予めプリチャージしておくためにも利用する。

【0097】

サンプリングトランジスタ125は、ゲート端が書込走査部104からの書込走査線104WSに接続され、ドレイン端が映像信号線106HSに接続され、ソース端が駆動トランジスタ121のゲート端（ノードND122）に接続されている。そのゲート端には、書込走査部104からアクティブHの書込駆動パルスWSが供給される。

【0098】

サンプリングトランジスタ125は、ソース端とドレイン端とを逆転させた接続態様とすることもできる。また、サンプリングトランジスタ125としては、ディプレッション型およびエンハンスメント型の何れをも使用できる。

【0099】

＜画素回路の動作：第3比較例＞

図6は、図5に示した第3比較例の画素回路Pに関する第3比較例の駆動タイミングの基本例を説明するタイミングチャートであり、線順次駆動の場合で示している。図6においては、時間軸を共通にして、書込走査線104WSの電位変化、電源供給線105DSLの電位変化、および映像信号線106HSの電位変化を表してある。また、これらの電位変化と並行に、1行分（図では1行目）について駆動トランジスタ121のゲート電位 V_g およびソース電位 V_s の変化も表してある。

【0100】

後述する本実施形態においても、この図6に示す第3比較例の駆動タイミングの考え方を適用する。なお、図6では、第3比較例の画素回路Pにおいて、閾値補正機能、移動度補正機能、ブートストラップ機能を実現するための基本例を示すもので、閾値補正機能、移動度補正機能、ブートストラップ機能を実現するための駆動タイミングは、図6に示す態様に限らず、様々な変形が可能である。これら様々な変形の駆動タイミングであっても、後述する各実施形態の仕組みを適用できる。

【0101】

図6に示す駆動タイミングは、線順次駆動の場合であり、書込駆動パルスWS、電源駆動パルスDSL、および映像信号 V_{sig} は、1行分を1組として、各信号のタイミング（特に位相関係）が行単位で独立に制御され、行が代わると1H（Hは水平走査期間）分シフトされる。

【0102】

以下では、説明や理解を容易にするため、特段の断りのない限り、書込みゲインが1（理想値）であると仮定して、保持容量120に信号振幅 ΔV_{in} の情報を、書き込む、保持する、あるいはサンプリングするなど簡潔に記して説明する。書込みゲインが1未満の場合、保持容量120には信号振幅 ΔV_{in} の大きさそのものではなく、信号振幅 ΔV_{in} の大きさに対応するゲイン倍された情報が保持されることになる。

【0103】

因みに、信号振幅 ΔV_{in} に対応する保持容量120に書き込まれる情報の大きさの割合を、書込みゲイン G_{input} と称する。ここで、書込みゲイン G_{input} は、具体的には、電気回路的に保持容量120と並列に配置される寄生容量を含めた全容量 C_1 と、電気回路的に保持容量120と直列に配置される全容量 C_2 との容量直列回路において、信号振幅 ΔV_{in} を容量直列回路に供給したときに容量 C_1 に配分される電荷量に関係する。式で表せば、 $g = C_1 / (C_1 + C_2)$ とすると、書込みゲイン $G_{input} = C_2 / (C_1 + C_2) = 1 - C_1 / (C_1 + C_2) = 1 - g$ となる。以下の説明において、“ g ”が登場する記載は書込みゲインを考慮したものである。

【0104】

また、説明や理解を容易にするため、特段の断りのない限り、ブートストラップゲイン

10

20

30

40

50

が 1（理想値）であると仮定して簡潔に記して説明する。因みに、駆動トランジスタ 121 のゲート・ソース間に保持容量 120 が設けられている場合に、ソース電位 V_s の上昇に対するゲート電位 V_g の上昇率をブートストラップゲイン（ブートストラップ動作能力） G_{bst} と称する。ここで、ブートストラップゲイン G_{bst} は、具体的には、保持容量 120 の容量値 C_s 、駆動トランジスタ 121 のゲート・ソース間に形成される寄生容量 C_{121gs} の容量値 C_{gs} 、ゲート・ドレイン間に形成される寄生容量 C_{121gd} の容量値 C_{gd} 、およびサンプリグトランジスタ 125 のゲート・ソース間に形成される寄生容量 C_{125gs} の容量値 C_{ws} に関係する。式で表せば、ブートストラップゲイン $G_{bst} = (C_s + C_{gs}) / (C_s + C_{gs} + C_{gd} + C_{ws})$ となる。

【0105】

10

また、第 3 比較例の駆動タイミングでは、映像信号 V_{sig} が非有効期間であるオフセット電位 V_{ofs} にある期間を 1 水平期間の前半部とし、有効期間である信号電位 $V_{in} (= V_{ofs} + \Delta V_{in})$ にある期間を 1 水平期間の後半部とする。また、映像信号 V_{sig} の有効期間と非有効期間を合わせた 1 水平期間ごとに、閾値補正動作を複数回（図では 3 回）に亘って繰り返すようにする。その各回の映像信号 V_{sig} の有効期間と非有効期間の切替タイミング（ t_{13V} , t_{15V} ）、および書込駆動パルス WS のアクティブとインアクティブの切替タイミング（ t_{13W} , t_{15W} ）については、そのタイミングに、各回を “_” なしの参照子で示すことで区別する。

【0106】

20

まず、有機 EL 素子 127 の発光期間 B では、電源供給線 105 DSL が第 1 電位 V_{cc} であり、サンプリグトランジスタ 125 がオフした状態である。このとき、駆動トランジスタ 121 は飽和領域で動作するように設定されているため、有機 EL 素子 127 に流れる駆動電流 I_{ds} は駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} に応じて、式（1）に示される値をとる。

【0107】

次に、非発光期間に入ると、先ず放電期間 C では、電源供給線 105 DSL を第 2 電位 V_{ss} に切り替える。このとき、第 2 電位 V_{ss} が有機 EL 素子 127 の閾値電圧 V_{thEL} とカソード電位 V_{cath} の和よりも小さいとき、つまり “ $V_{ss} < V_{thEL} + V_{cath}$ ” であれば、有機 EL 素子 127 は消光し、電源供給線 105 DSL が駆動トランジスタ 121 のソース側となる。このとき、有機 EL 素子 127 のアノードは第 2 電位 V_{ss} に充電される。

30

【0108】

さらに、初期化期間 D では、映像信号線 106 HS がオフセット電位 V_{ofs} となったときにサンプリグトランジスタ 125 をオンして駆動トランジスタ 121 のゲート電位をオフセット電位 V_{ofs} とする。このとき、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は “ $V_{ofs} - V_{ss}$ ” という値をとる。この “ $V_{ofs} - V_{ss}$ ” が駆動トランジスタ 121 の閾値電圧 V_{th} よりも大きくないと閾値補正動作を行なうことができないために、“ $V_{ofs} - V_{ss} > V_{th}$ ” とする必要がある。

【0109】

この後、第 1 閾値補正期間 E に入ると、電源供給線 105 DSL を再び第 1 電位 V_{cc} に切り替える。電源供給線 105 DSL（つまり駆動トランジスタ 121 への電源電圧）を第 1 電位 V_{cc} とすることで、有機 EL 素子 127 のアノードが駆動トランジスタ 121 のソースとなり駆動トランジスタ 121 から駆動電流 I_{ds} が流れる。有機 EL 素子 127 の等価回路はダイオードと容量で表されるため、有機 EL 素子 127 のカソード電位 V_{cath} に対するアノード電位を V_{el} としたとき、“ $V_{el} \leq V_{cath} + V_{thEL}$ ” である限り、換言すれば、有機 EL 素子 127 のリーク電流が駆動トランジスタ 121 に流れる電流よりもかなり小さい限り、駆動トランジスタ 121 の駆動電流 I_{ds} は保持容量 120 と有機 EL 素子 127 の寄生容量 C_{el} を充電するために使われる。このとき、有機 EL 素子 127 のアノード電位 V_{el} は時間とともに上昇してゆく。

40

【0110】

一定時間経過後、サンプリグトランジスタ 125 をオフする。このとき、駆動トラン

50

ジスタ 121 のゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} よりも大きいと（つまり閾値補正が完了していないと）、駆動トランジスタ 121 の駆動電流 I_{ds} は保持容量 120 を充電するように流れ続け、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は上昇してゆく。このとき、有機 EL 素子 127 には逆バイアスがかかっているため、有機 EL 素子 127 が発光することはない。

【0111】

さらに第 2 閾値補正期間 G に入ると、再び映像信号線 106 HS がオフセット電位 V_{ofs} となったときにサンプリングトランジスタ 125 をオンして駆動トランジスタ 121 のゲート電位をオフセット電位 V_{ofs} として、再度閾値補正動作を開始する。この動作を繰り返すことで、最終的に、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} という値をとる。このとき “ $V_{el} = V_{ofs} - V_{th} \leq V_{cath} + V_{thEL}$ ” となっている。

10

【0112】

なお、この第 3 比較例の動作例では、閾値補正動作を繰り返し実行することで確実に駆動トランジスタ 121 の閾値電圧 V_{th} に相当する電圧を保持容量 120 に保持させるために、1 水平期間を処理サイクルとして、閾値補正動作を複数回に亘って繰り返すようにしているが、この繰り返し動作は必須ではなく、1 水平期間を処理サイクルとして、1 回のみの閾値補正動作を実行するようにしてもよい。

【0113】

閾値補正動作終了後（本例では第 3 閾値補正期間 I の後）は、サンプリングトランジスタ 125 をオフして書込み & 移動度補正準備期間 J に入る。映像信号線 106 HS が信号電位 $V_{in} (= V_{ofs} + \Delta V_{in})$ となったときに、サンプリングトランジスタ 125 を再度オンしてサンプリング期間 & 移動度補正期間 K に入る。信号振幅 ΔV_{in} は階調に応じた値である。サンプリングトランジスタ 125 のゲート電位はサンプリングトランジスタ 125 をオンしているために信号電位 $V_{in} (= V_{ofs} + \Delta V_{in})$ となるが、駆動トランジスタ 121 のドレイン端は第 1 電位 V_{cc} であり駆動電流 I_{ds} が流れるためソース電位 V_s は時間とともに上昇してゆく。図では、この上昇分を ΔV で示している。

20

【0114】

このとき、ソース電圧 V_s が有機 EL 素子 127 の閾値電圧 V_{thEL} とカソード電位 V_{cath} の和を越えなければ、換言すると、有機 EL 素子 127 のリーク電流が駆動トランジスタ 121 に流れる電流よりもかなり小さければ、駆動トランジスタ 121 の駆動電流 I_{ds} は保持容量 120 と有機 EL 素子 127 の寄生容量と C_{el} を充電するのに使用される。

30

【0115】

この時点では、駆動トランジスタ 121 の閾値補正動作は完了しているため、駆動トランジスタ 121 が流す電流は移動度 μ を反映したものとなる。具体的には、移動度 μ が大きいと、このときの電流量が大きく、ソースの上昇も早い。逆に移動度 μ が小さいと、電流量が小さく、ソースの上昇は遅くなる。これにより、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は移動度 μ を反映して小さくなり、一定時間経過後に完全に移動度 μ を補正するゲート・ソース間電圧 V_{gs} となる。

【0116】

この後には、発光期間 L に入り、サンプリングトランジスタ 125 をオフして書込みを終了し、有機 EL 素子 127 を発光させる。保持容量 120 によるブートストラップ効果により、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は一定であるので、駆動トランジスタ 121 は一定電流（駆動電流 I_{ds} ）を有機 EL 素子 127 に流し、有機 EL 素子 127 のアノード電位 V_{el} は有機 EL 素子 127 に駆動電流 I_{ds} という電流が流れる電圧 V_x まで上昇し、有機 EL 素子 127 は発光する。

40

【0117】

第 3 比較例の画素回路 P においても、有機 EL 素子 127 は発光時間が長くなるとその $I-V$ 特性は変化してしまう。そのため、ノード ND 121 の電位（つまり駆動トランジスタ 121 のソース電位 V_s ）も変化する。しかしながら、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は保持容量 120 によるブートストラップ効果で一定値に保たれ

50

ているので、有機EL素子127に流れる電流は変化しない。よって、有機EL素子127のI-V特性が劣化しても、有機EL素子127には一定電流（駆動電流 I_{ds} ）が常に流れ続け、有機EL素子127の輝度が変化することはない。

【0118】

ここで、駆動電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性を表した式（1）の V_{gs} に“ $\Delta V_{in} - \Delta V + V_{th}$ ”を代入することで、式（2-1）のように表すことができる。因みに、書込みゲインを考慮したときには、式（1）の V_{gs} に“ $(1-g)\Delta V_{in} - \Delta V + V_{th}$ ”を代入することで、式（2-2）のように表すことができる。式（2-1）や式（2-2）（纏めて式（2）と称する）において、 $k = (1/2)(W/L)C_{ox}$ である。

10

【0119】

【数2】

$$\left. \begin{aligned} I_{ds} &= k\mu(V_{gs} - V_{th})^2 = k\mu(\Delta V_{in} - \Delta V)^2 \cdots (2-1) \\ I_{ds} &= k\mu(V_{gs} - V_{th})^2 = k\mu((1-g)\Delta V_{in} - \Delta V)^2 \cdots (2-2) \end{aligned} \right\} \cdots (2)$$

【0120】

この式（2）から、閾値電圧 V_{th} の項がキャンセルされており、有機EL素子127に供給される駆動電流 I_{ds} は駆動トランジスタ121の閾値電圧 V_{th} に依存しないことが分かる。基本的に駆動電流 I_{ds} は信号振幅 ΔV_{in} （詳しくは信号振幅 ΔV_{in} に対応して保持容量120に保持されるサンプリング電圧 $= V_{gs}$ ）によって決まる。換言すると、有機EL素子127は信号振幅 ΔV_{in} に応じた輝度で発光することになる。

20

【0121】

その際、保持容量120に保持される情報はソース電位 V_s の上昇分 ΔV で補正されている。上昇分 ΔV はちょうど式（2）の係数部に位置する移動度 μ の効果を打ち消すように働く。駆動トランジスタ121の移動度 μ に対する補正分 ΔV を保持容量120に書き込まれる信号に加えるのであるが、その方向は実際には負の方向であり、こう言った意味で、上昇分 ΔV は、移動度補正パラメータ ΔV や負帰還量 ΔV とも称する。

【0122】

30

有機EL素子127に流れる駆動電流 I_{ds} は、駆動トランジスタ121の閾値電圧 V_{th} や移動度 μ の変動が相殺され、実質的に信号振幅 ΔV_{in} のみに依存することになる。駆動電流 I_{ds} は閾値電圧 V_{th} や移動度 μ に依存しないので、閾値電圧 V_{th} や移動度 μ が製造プロセスによりばらついていたり経時変化があったりしても、ドレイン・ソース間の駆動電流 I_{ds} は変動せず、有機EL素子127の発光輝度も変動しない。

【0123】

また、駆動トランジスタ121のゲート・ソース間に保持容量120を接続することで、n型の駆動トランジスタ121を使用する場合においても、駆動トランジスタ121のソース端の電位 V_s の変動にゲート端の電位 V_g が連動するようにするブートストラップ機能を実現する回路構成および駆動タイミングとしており、有機EL素子127の特性の経時変動による有機EL素子127のアノード電位変動（つまり駆動トランジスタ121のソース電位変動）があっても、その変動を相殺するようにゲート電位 V_g を変動させることができる。

40

【0124】

これにより、有機EL素子127の特性の経時変化の影響が緩和され、画面輝度の均一性を確保できる。駆動トランジスタ121のゲート・ソース間の保持容量120によるブートストラップ機能により、有機EL素子を代表とする電流駆動型の発光素子の経時変動補正能力を向上させることができる。もちろん、ブートストラップ機能は、発光開始時点で、有機EL素子127に発光電流 I_{el} が流れ始め、それによってアノード・カソード間電圧 V_{el} が安定となるまで上昇していく過程で、そのアノード・カソード間電圧 V_{el} の変

50

動に伴って駆動トランジスタ 121 のソース電位 V_s が変動する際にも機能する。

【0125】

このように、第3比較例の画素回路 P（事実上、後述する本実施形態の画素回路 P も同様）およびそれを駆動する制御部 109 による駆動タイミングによれば、駆動トランジスタ 121 や有機 EL 素子 127 の特性変動（ばらつきや経時変動）があった場合でも、それらの変動分を補正することで、表示画面上にはその影響が現われず、輝度変化のない高品質な画像表示が可能になる。

【0126】

ところで、閾値補正機能や、信号書込み機能や、移動度補正機能や、ブートストラップ機能を働かせるためには、各種のトランジスタへの信号をスイッチング制御する必要がある。たとえば、図5に示した第3比較例の画素回路 P を図6に示した駆動タイミングのように制御するには、サンプリングトランジスタ 125 をオン／オフ制御したり、駆動トランジスタ 121 への電源供給を第1電位 V_{cc} と第2電位 V_{ss} でスイッチング制御したり、映像信号 V_{sig} をオフセット電位 V_{ofs} と信号電位 V_{in} ($= V_{ofs} + \Delta V_{in}$) でスイッチング制御したりする必要がある。これら信号を画素アレイ部 102 の各画素回路 P に供給するには走査線が必要となり、画素回路 P の数が増えると走査線の数もそれに応じて増えてしまう。このような観点から、画素数を維持しつつ走査線の数を削減する仕組みが求められている。

【0127】

前述の第3比較例の画素回路 P をベースとして低コスト化を考えた場合、画素数を減らすことなく、画素アレイ部 102 の周辺に設けられている制御部 109（書込走査部 104、駆動走査部 105、水平駆動部 106）から引き出される走査線の数を減らすことが先ず考えられる。走査線を削減することで、その走査線を駆動するための回路コストだけ低コスト化が可能となる。

【0128】

＜比較例の画素回路：第4例と第5例＞

図7は、図1に示した有機 EL 表示装置 1 を構成する本実施形態の画素回路 P に対する第4比較例を示す図である。図7Aは、第4比較例の画素回路 P に関する第4比較例の駆動タイミングを説明するタイミングチャートであり、線順次駆動の場合で示している。図7Bは、第5比較例の駆動タイミングを説明するタイミングチャートであり、線順次駆動の場合で示している。なお、図7では、4画素分（1行1列の $P_{1,1}$ 、1行2列の $P_{1,2}$ 、2行1列の $P_{2,1}$ 、2行2列の $P_{2,2}$ ）とともに表示パネル部 100 の基板 101 上において画素回路 P の周辺部に設けられた垂直駆動部 103 と水平駆動部 106 も合わせて示している。これら第4比較例および第5比較例は、走査線数を削減して低コスト化を図るようにした一態様である。

【0129】

ここで、走査線数を削減して低コスト化を図る場合に、水平駆動部 106 側に着目すると、映像信号線 106 HS を複数画素で共用化することが考えられる。その際には液晶表示装置において、信号線を複数画素で共用化することで低コスト化を図る仕組みを採用することが考えられる。たとえば、特開 2006-251322 号公報に記載の仕組みを採用することが考えられる。

【0130】

しかしながら、特開 2006-251322 号公報に記載の仕組みは、信号線を隣接画素で共用し、1つの画素に2つの映像信号を入力して映像信号を書き換える方式であるため、電流を流しながら信号書込みを行なわない方式に対しては有効な手段であるが、電流駆動型の電気光学素子を駆動する際に、電流を流しながら信号書込みを行なうことで移動度補正を行なう第3比較例に、単純にその仕組みを採用することはできない。何故なら、映像信号 V_{sig} を2回以上駆動トランジスタ 121 のゲートに入力すると、最初の映像信号 V_{sig} に対して移動度補正を行なってしまう、2回目以降に駆動トランジスタ 121 のゲートに入力される映像信号 V_{sig} に対しては正常に移動度補正動作を行なうことがで

きないためである。これにより、第3比較例の画素回路Pでは映像信号線106HSを共用化することが難しく、低コスト化という点で問題があると言える。

【0131】

一方、垂直駆動部103側に着目すると、書込走査線104WSと電源供給線105DSLの何れかを複数画素で共用化することが考えられる。たとえば書込走査線104WSを複数画素で共用化することを考えた場合、図7に示すような第4比較例の構成を採ることが考えられる。この第4比較例の構成は、行の系統別に共通線で信号サンプリングを選択する方法である。具体的には、第4比較例の構成では、2ラインで書込走査線104WSに与える書込駆動パルスWSを共用化する例で示している。先ず、サンプリングトランジスタを第1のサンプリングトランジスタ125と第2のサンプリングトランジスタ625の2段縦続接続構成に変更する。端的には、サンプリングトランジスタをダブルゲート構造にするということである。

【0132】

縦続接続している2つのサンプリングトランジスタ125、625がともにオンしたときに映像信号線106HSからの映像信号Vsig（オフセット電位Vofsや信号電位Vofs+ ΔV in）が駆動トランジスタ121のゲートに供給されるので、サンプリングトランジスタ125、625はAND（論理積）機能を果たす。よって、2つのサンプリングトランジスタ125、625の合成となる閾値補正準備パルスや閾値補正パルスでは組内の全行のサンプリングトランジスタ125、625が全てオンするように、また信号書込みパルスや移動度補正パルスでは各垂直走査の行に応じてサンプリングトランジスタ625が

【0133】

そして、たとえば第1のサンプリングトランジスタ125に対しては、書込走査部104からの書込駆動パルスWSで2ライン（2行）を共通に制御する。第2のサンプリングトランジスタ625に関しては、一例として、隣接する奇数行と偶数行の2系統に分けて、2ラインのサンプリング制御線604SC_o、604SC_eを列で共通化して、それぞれ個別に駆動する。

【0134】

このため、図7に示すように、奇数ラインと偶数ラインでサンプリング制御線604SC_o、604SC_eをそれぞれ個別に駆動するために、サンプリング制御線604SC_oをサンプリング制御信号SC_oで制御する駆動回路604_oとサンプリング制御線604SC_eをサンプリング制御信号SC_eで制御する駆動回路604_eを有する制御回路604を、書込走査部104および駆動走査部105とは別に用意する。

【0135】

図7Aに示す第4比較例のタイミングチャートのように、2段目の奇数列のサンプリングトランジスタ625_o、625_eについては、奇数列と偶数列でサンプリング期間&移動度補正期間Qを別の水平走査期間に割り当てる。このため、他行のサンプリング期間&移動度補正期間Kをも加味して、奇数列のサンプリング制御信号SC_oは偶数列のサンプリング期間&移動度補正期間Q_eにインアクティブLにし、偶数列のサンプリング制御信号SC_eは奇数列のサンプリング期間&移動度補正期間Q_oにインアクティブLにする。

【0136】

第1のサンプリングトランジスタ125については2ライン分が共通に駆動され、第2のサンプリングトランジスタ625については奇数列分が共通に駆動されかつ偶数列分が共通に駆動されるので、閾値補正動作を複数回行なっているとき奇数ラインと偶数ラインとでは閾値補正動作が1回分の差を持ち、本例では偶数列の方が1回分少なくなる。その結果、奇数ラインと偶数ラインで閾値補正終了後から信号サンプリングまでの時間がラインごとに1H以上離れる。

【0137】

しかしながら、第4比較例のような方式では、ムラやスジといった画質劣化の問題を引き起こす要因として、奇数ラインと偶数ラインで閾値補正終了後から信号サンプリングま

での時間がラインごとに1 H以上離れてしまう点（第1の要因と称する）と、閾値補正回数が異なる点（第2の要因と称する）がある。

【0138】

第1の要因による画質劣化は、ラインごとに1 H以上離れてしまうのではなく、ラインごとに書込みタイミングが時間差を持ってしまい、その時間差が1 H以上あることにある。よって、第1の要因は図7 Bのように時間差を短くすることで大きく改善することが可能と考えられる。

【0139】

第2の要因は、閾値補正回数が異なることで画質劣化が発生するということであるが、これは、基本的に閾値補正は時間に対して飽和傾向となっているので、ある程度回数を多くすれば（換言すると補正時間を長くすれば）回数が1回増減しても画質に影響しない性質を持つ。つまり、画質に与える影響度合いは、回数が少ないときは1回の回数の差は画質不良として認識されるが、回数が増えるほど1回の回数の差が与える影響が小さくなるということができる。

【0140】

画質劣化の問題を解消する手法として、第1の要因からの側面では前述のように、たとえば、図7 Bに示す第5比較例のタイミングチャートのように、複数の水平期間（本例では2 H期間）を合成して閾値補正期間をその合成した部分で共通に（2ライン同時に）行なった後、サンプリング期間&移動度補正期間Kに入ると、順に（たとえば奇数列→偶数列の順に）信号書込みを行なう方式にしつつ、第4比較例のように共通線を用いる駆動にすることが考えられる。

【0141】

しかしながら、この第5比較例の場合、合成した2ライン分の信号書込みを行なうために、映像信号Vsig（詳しくは信号電位 $V_{in} = V_{ofs} + \Delta V_{in}$ ）を奇数行用の V_{sig_o} と偶数行用の V_{sig_e} とに切り替えて信号書込みを行なう必要がある。このためには、信号電位 $V_{in} (= V_{ofs} + \Delta V_{in})$ を奇数行用の信号電位 $V_{in_o} = V_{ofs} + \Delta V_{in_o}$ と偶数行用の信号電位 $V_{in_e} = V_{ofs} + \Delta V_{in_e}$ とに切り替えることになり、水平駆動部106に記憶部（たとえばラインメモリ）を備えなければならず、低コスト化という点では難点がある。

【0142】

＜改善手法：第1実施形態＞

図8～図8 Bは、図7～図7 Bで示した第4比較例および第5比較例の問題点を解消しつつ、垂直駆動部103側の書込走査線104 WSや電源供給線105 DSLを複数画素で共用化する有機EL表示装置の第1実施形態を説明する図である。ここで、図8は、第1実施形態の有機EL表示装置1の8画素（4行2列）分の画素回路Pと各走査部（書込走査部104、駆動走査部105、水平駆動部106）との間の各走査線（書込走査線104 WS、電源供給線105 DSL、映像信号線106 HS）の接続関係の概要を示す図である。図8 Aは図8の4画素（2行2列）分の画素回路Pとの結線関係の詳細を示す図である。図8 Bは、第1実施形態の駆動タイミングを説明するタイミングチャートであり、線順次駆動の場合で示している。文中説明において行番号を示して説明する際には、“_”と行番号の参照子を付して示すこともある。後述する他の実施形態も同様である。

【0143】

後述する他の実施形態も含めて、本実施形態は、垂直走査系の走査線を複数画素で共用化するに当たり、第4比較例や第5比較例と同様に、書込走査線104 WSを2つ（2行分）以上の画素回路Pで共用する。詳しくは、複数行（典型例は隣接する複数行）の一方のサンプリングトランジスタ（第1のサンプリングトランジスタ125）の制御入力端（ゲート）を共通の書込走査線104 WSに接続して共通の書込駆動パルスWSで制御する。

【0144】

さらに、他方のサンプリングトランジスタ（第2のサンプリングトランジスタ625）の制御入力端（ゲート）を他行（共用化している部分は除く）の同種または異種の垂直走

10

20

30

40

50

査線に接続し、たとえば他行の書込駆動パルスWSや他行の電源駆動パルスDSL をサンプリング制御信号SCとして利用して制御する点に特徴を有する。他方のサンプリングトランジスタの制御入力端を他行の同種または異種の垂直走査線に接続するので、サンプリングトランジスタ625の制御に書込走査部104や駆動走査部105を利用することができ、第5比較例とは異なり、他方のサンプリングトランジスタを制御する走査部を書込走査部104および駆動走査部105とは別に用意する必要がないという利点がある。

【0145】

第1のサンプリングトランジスタ125は通常通りの書込駆動パルスWSを使用して複数行分共通に制御する。一方、第2のサンプリングトランジスタ625は、他行の書込駆動パルスWSや他行の電源駆動パルスDSL を利用して、共用化した組内で、複数回に亘る表示処理期間（本例では閾値補正期間）の大部分ではサンプリングトランジスタ125のオンと合わせてオンするように制御する。

10

【0146】

そして、共用化した何れかの行の表示処理期間（本例では信号書込み期間や移動度補正期間に入り共用化した全ての行の表示処理（本例では信号書込みや移動度補正）が完了するまでの期間（全表示処理期間：本例では全サンプリング期間&移動度補正期間Q_allと称する）では、サンプリングトランジスタ125のオンと合わせてサンプリングトランジスタ625の何れか1つを順番にオンさせることで表示処理（本例では信号書込みや移動度補正）が順番になされるように制御する。

【0147】

全サンプリング期間&移動度補正期間Q_allでは、何れかのサンプリングトランジスタ625が表示処理（本例では信号書込みや移動度補正）のためにオンするとき、書込駆動パルスWSや書込走査線104WSを共用化している他行のサンプリングトランジスタ125もオンしているので、他行での表示処理動作（本例では信号書込みや移動度補正）を禁止するべく、他行のサンプリングトランジスタ625がオフするように他行の書込駆動パルスWSや他行の電源駆動パルスDSL を設定する。

20

【0148】

また、サンプリングトランジスタ625を制御するためにも利用される他行の書込駆動パルスWSや他行の電源駆動パルスDSL は、各行で極力同じような遷移状態となるようにする、つまり他行における書込駆動パルスWSや電源駆動パルスDSL に基づくトランジスタの基本的なオン／オフ動作の状態が極力揃うようにする。サンプリングトランジスタ625を制御するためのサンプリング制御信号SCに書込駆動パルスWSや電源駆動パルスDSL を利用したことで、行によって動作のアンバランスが生じないようにするためである。これにより、各行の垂直走査線を制御するための走査パルスは、基準パルスを作成して、それをシフトレジスタで1Hずつ順次シフトさせる一般的な仕組みを適用可能となる。

30

【0149】

特に、後述する他の実施形態との相違点として、第1実施形態では、他方のサンプリングトランジスタの制御入力端（ゲート）を他行の電源供給線105DSL に接続し、他行の電源駆動パルスDSL を利用して制御する点に特徴を有する。つまり、共用化部分を除く他行の電源駆動パルスDSL を用いて他方のサンプリングトランジスタを制御することで、書込走査部104から引き出される走査線（書込走査線104WS）の本数を削減するものである。

40

【0150】

理解を容易にするため、第4比較例や第5比較例と同様に、2行分の書込走査線104WSに与える書込駆動パルスWSを共用化する例で各図は示している。なお、2種類の垂直走査線（書込走査線104WSと電源供給線105DSL）を区別するため、図8および図8Aでは（後述する他の実施形態でも同様である）、電源供給線105DSL を点線で示している。

【0151】

垂直方向に隣接する2画素（2ライン分の画素回路P）で書込走査線104WSに与える

50

書込駆動パルスWSを共用するため、先ず、図7に示した第4比較例と同様に、サンプリングトランジスタを第1のサンプリングトランジスタ125と第2のサンプリングトランジスタ625の2段縦続接続構成とし、サンプリングトランジスタをダブルゲート構造にする。

【0152】

そして、図8および図8Aに示すように、第1のサンプリングトランジスタ125に対しては、2ライン(2行)分の画素回路Pを同じ書込走査線104WSに接続することで、書込走査部104からの書込駆動パルスWSで2ラインを共通に制御する。第2のサンプリングトランジスタ625は、ゲートを2行前の電源供給線105DSLに接続することで、駆動走査部105からの2行前の電源駆動パルスDSLで制御する。

10

【0153】

たとえば、N行目とN+1行目のサンプリングトランジスタ125の各ゲートはサンプリングトランジスタ125の制御線である書込走査線104WS_Nに共通に接続されている。一方、N行目のサンプリングトランジスタ625のゲートはその2行前であるN-2行目の駆動トランジスタ121の電源制御線である電源供給線105DSL_{N-2}に接続されており、N+1行目のサンプリングトランジスタ625のゲートはその2行前であるN-1行目の駆動トランジスタ121の電源制御線である電源供給線105DSL_{N-1}に接続されている。

【0154】

図8および図8Aから理解されるように、第2のサンプリングトランジスタ625のゲートを2行前の電源供給線105DSLに接続するので、書込走査線104WSあるいは電源供給線105DSLと交差させる必要が生じる。なお、画素アレイ部102の垂直走査の端部(本例では最上部)についてはサンプリングトランジスタ625を制御する電源供給線105DSLが不足することになるが、その分のダミーの行を設ければよい。

20

【0155】

図8Bには、第1実施形態のタイミングチャートが示されている。後述する他の実施形態も含めて、線順次駆動であり、電源駆動パルスDSLおよび書込駆動パルスWSや映像信号Vsigは、書込駆動パルスWSや書込走査線104WSを共通化した2行分を1組として各信号のタイミング(特に位相関係)が規定され、組が変わると2H分シフトされる。以下の説明においては、N行目とN+1行目に着目して説明する。

30

【0156】

先ず、サンプリングトランジスタ125とサンプリングトランジスタ625でAND(論理積)機能を果たすので、N行目のサンプリングトランジスタ125、625により合成された制御信号は書込駆動パルスWS_N(WS_{N+1}を兼用)と電源駆動パルスDSL_{N-2}との論理積となるし、N+1行目のサンプリングトランジスタ125、625により合成された制御信号は書込駆動パルスWS_N(WS_{N+1}を兼用)と電源駆動パルスDSL_{N-1}との論理積となる。

【0157】

N行目のサンプリングトランジスタ625_NとN+1行目のサンプリングトランジスタ625_{N+1}についてはサンプリング期間&移動度補正期間Qを別の水平走査期間に割り当てる。このため、先ず、全サンプリング期間&移動度補正期間Q_{all}に入ると、N行目とN+1行目の閾値補正回数が同じになるように他行の閾値補正の禁止を加味して、N+1行目の閾値補正時にN行目のサンプリングトランジスタ625_Nをオフさせておくべく電源駆動パルスDSL_{N-2}を第2電位V_{ss}にする。

40

【0158】

また、他行のサンプリング&移動度補正の禁止をも加味して、サンプリング期間&移動度補正期間Q_NにはN+1行目のサンプリングトランジスタ625_{N+1}を制御するためのサンプリング制御信号SC_{N+1}としても利用されるN-1行目の電源駆動パルスDSL_{N-1}を第2電位V_{ss}にしてN行目の信号書込み完了後に第1電位V_{cc}に戻す。サンプリング期間&移動度補正期間Q_{N+1}にはN行目のサンプリングトランジスタ625_Nを制御するため

50

のサンプリング制御信号SC_Nとしても利用されるN-2行目の電源駆動パルスDSL_N-2を第2電位V_{ss}にしてN+1行目の信号書込み完了後に第1電位V_{cc}に戻す。2行前の電源駆動パルスDSLを第2電位V_{ss}にすることで信号電位V_{in}のサンプリングを決定することになる。

【0159】

因みに、図ではN行目の信号書込み完了後でN+1行目の閾値補正開始前に電源駆動パルスDSL_N-2を第2電位V_{ss}にして、そのままサンプリング期間&移動度補正期間Q_{N+1}時に入るようにしているが、このことは必須ではなく、少なくとも閾値補正期間P_{N+1}とサンプリング期間&移動度補正期間Q_{N+1}に電源駆動パルスDSL_N-2が第2電位V_{ss}にあればよい。

10

【0160】

ここで、各行の発光期間（第1実施形態）について考察する。閾値補正期間P_{N+1}やサンプリング期間&移動度補正期間Q_{N+1}にN-2行目の電源駆動パルスDSL_N-2を第2電位V_{ss}にすると、そのままではサンプリング期間&移動度補正期間Q_{N-2}後のサンプリングトランジスタ125のオフタイミング以降の発光時間が電源駆動パルスDSL_N-2を第2電位V_{ss}にした分異なってしまうため、N-2行目とN-1行目で視覚的には輝度差が感じられる。

【0161】

そこで、各行の有機EL素子127の発光期間を揃えるため、全サンプリング期間&移動度補正期間Q_{all}後のサンプリングトランジスタ125のオフと電源ラインである電源供給線105DSLの第1電位V_{cc}と第2電位V_{ss}の切替え（電源オフ）をN-2行目とN-1行目で同じような遷移状態とすべく、N-2行目に対して1H分後ろにずれた状態でN-1行目の電源駆動パルスDSL_N-1を第2電位V_{ss}にする。

20

【0162】

因みに、サンプリング期間&移動度補正期間Q_Nに電源駆動パルスDSL_N-1を第2電位V_{ss}にしていることに合わせて、N-1行目に対して1H分前にずれた状態でN-2行目の電源駆動パルスDSL_N-2を第2電位V_{ss}にする。こうすることで、N-2行目とN-1行目の電源駆動パルスDSL_N-2、DSL_N-1が1Hずれた状態で同じような遷移状態となる。各行の電源駆動パルスDSLのオン/オフが1Hずれた状態で揃うことになる。

【0163】

有機EL素子127の発光期間は、基本的には、サンプリング期間&移動度補正期間Q後の書込駆動パルスWSをインアクティブとするタイミング（サンプリングトランジスタ125のオフタイミング）と電源ラインである電源供給線105DSLの第2電位V_{ss}への切替え（電源オフ）で決定される。本例では、サンプリング期間&移動度補正期間Q後の書込駆動パルスWSをインアクティブとした後に閾値準備期間に入るために電源供給線105DSLを第2電位V_{ss}へ切り替える前に、電源駆動パルスDSL_N、DSL_{N+1}を一旦第2電位V_{ss}に切り替えている。このため、各行のサンプリング期間&移動度補正期間Q後にサンプリングトランジスタ125をオフした時点が発光開始タイミングとなり、その後に閾値補正動作に入る前の初期化のために電源駆動パルスDSLを第2電位V_{ss}に切り替えるタイミングが発光終了タイミングとなり、そのうちの電源駆動パルスDSLが第2電位V_{ss}の期間を除いた分がトータルの発光期間となる。

30

40

【0164】

2つのサンプリングトランジスタ125、625がANDとなって機能するため、他段を誤動作させないために電源駆動パルスDSLを第2電位V_{ss}に切り替える。図6と図8Bに示したタイミングチャートの電源駆動パルスDSLの関係から理解されるように、閾値補正動作に入る前の初期化のために電源駆動パルスDSLを第2電位V_{ss}に切り替えるタイミングは行ごとに1Hずつシフトする。これにより、N行目とN+1行目では、発光期間の開始タイミングと終了タイミングがそれぞれ1Hずれた状態となり、双方の発光期間が同一になる。

【0165】

50

このように、第1実施形態の仕組みでは、別の組（本例ではN行目およびN+1行目ともに2行前）の電源駆動パルスDSLを第2電位V_{ss}にして（換言すると駆動トランジスタ121への電源をオフにして）、信号電位のサンプリングや移動度補正を行なうタイミングを決定しているので、自行の電源駆動パルスDSLもサンプリング期間&移動度補正期間の後で第2電位V_{ss}になる期間がある。しかしながら、信号書込み終了後に自行の電源供給線105DSLが第2電位V_{ss}になっても（つまり電源がオフしても）、駆動トランジスタ121のゲート・ソース間には保持容量120が接続されておりブートストラップ機能が働きゲート・ソース間電圧V_{gs}は一定であるため、再び電源供給線105DSLが第1電位V_{cc}に戻ったとき（つまり電源がオンしたとき）に、有機EL素子127は再び正常に発光することができ、発光輝度が変化することはない。

10

【0166】

また、第1のサンプリングトランジスタ125については2ライン分が共通に駆動され、第2のサンプリングトランジスタ625については電源駆動パルスDSL_{N-2}、DSL_{N-1}で行別に駆動されるので、書込駆動パルスWSを共通化した2行についてサンプリング期間&移動度補正期間Qを別の水平走査期間に割り当てつつ閾値補正動作を複数回行なっているとき、第4比較例とは異なり、何れも閾値補正動作が同じ回数となる。よって、第4比較例のようなムラやスジといった画質劣化の問題が生じることはない。

【0167】

また、第2のサンプリングトランジスタ625のゲートを2行前の電源供給線105DSLに接続して2行前の電源駆動パルスDSLで制御するようにしているので、第5比較例とは異なり、第2のサンプリングトランジスタ625を制御する走査部を書込走査部104および駆動走査部105とは別に用意する必要がなく低コスト化を確実に実現できる利点がある。

20

【0168】

垂直駆動部103（スキヤナまたはドライバ）から出力される制御信号の数を増やすことなく、また外部に余分な制御回路や制御線を持たずにサンプリングトランジスタ125の制御線である書込走査線104WSの本数を減らす（本例では半分にする）ことができ低コスト化が確実に可能となる。

【0169】

なお、前例では、第2のサンプリングトランジスタ625のゲートを2行前の電源供給線105DSLに接続するようにしていたが、これは一例に過ぎず、第2のサンプリングトランジスタ625のゲートは、共用化している部分を除いた他行の電源供給線105DSLである限り何れの行の電源供給線105DSLに接続してもよい。ただし、共用化している部分から離れるほど配線長が長くなり書込走査線104WSとの交差が増える不利益が生じる。たとえば配線抵抗が大きくなることでのタイミングずれが交差によるクロスショートが増えるなどが起こり得る。また、画素アレイ部102の垂直走査の端部に設けるダミーの行数が増える難点もある。したがって、第2のサンプリングトランジスタ625のゲートは、共用化している部分の近傍の電源供給線105DSLに接続するのが好ましい。

30

【0170】

また、前例では、書込駆動パルスWSを2行分で共用化する例で説明したが、これは一例に過ぎず、共用化の対象となる書込駆動パルスWSが2行分であればよく、隣接する2行分でなくてもよい。

40

【0171】

さらに、前例では、理解を容易にするため、隣接する2行分で書込駆動パルスWSを共用化する例で説明したが、これは一例に過ぎず、共用化の対象数は任意（k個とする）であり、サンプリングトランジスタをダブルゲート構造にして、k行分で書込駆動パルスWSを共用化するようにしてもよい。この場合、第2のサンプリングトランジスタ625については、共用化の対象となる行を除く他の組の各別の行の電源供給線105DSLに接続して各別の行の電源駆動パルスDSLをサンプリング制御信号SCに使用するようにすればよい。ただし、2行の共用化の場合と同様に、共用化している部分から離れるほど、配線長が長

50

くなる、書込走査線 104WS との交差が増える、ダミー行が増える、などの不利益が生じる。

【0172】

＜改善手法：第2実施形態＞

図9および図9Aは、図7～図7Bで示した第4比較例および第5比較例の問題点を解消しつつ、垂直駆動部103側の書込走査線104WSや電源供給線105DSLを複数画素で共用化する有機EL表示装置の第2実施形態を説明する図である。ここで、図9は、第2実施形態の有機EL表示装置1の8画素（4行2列）分の画素回路Pと各走査部（書込走査部104、駆動走査部105、水平駆動部106）との間の各走査線（書込走査線104WS、電源供給線105DSL、映像信号線106HS）の接続関係の概要を示す図である。図9Aは、第2実施形態の駆動タイミングを説明するタイミングチャートであり、線順次駆動の場合で示している。理解を容易にするため、第1実施形態と同様に、隣接する2行分の画素回路Pに与える書込駆動パルスWSや書込走査線104WSを共用化する例で各図は示している。

10

【0173】

第2実施形態では、第2のサンプリングトランジスタ625の制御入力端（ゲート）を、共用化行の一方は共用化部分を除く他の組の書込走査線104WSに接続して他の組の書込駆動パルスWSをサンプリング制御信号SCとして利用して制御するとともに、共用化行の他方は共用化部分を除く他の組の別行の電源供給線105DSLに接続して他行の電源駆動パルスDSLをサンプリング制御信号SCとして利用して制御する点に特徴を有する。つまり、共用化部分を除く他の組の書込駆動パルスWSと他行の電源駆動パルスDSL（共用化部分でそれぞれ異なる行にする）を用いて第2のサンプリングトランジスタ625を制御することで、書込走査部104から引き出される走査線（書込走査線104WS）の本数を削減して、書込駆動パルスWSを複数画素で共用するものである。

20

【0174】

垂直方向に隣接する2画素（2ライン分の画素回路P）で書込走査線104WSに与える書込駆動パルスWSを共用するため、先ず、図8～図8Bに示した第1実施形態と同様に、サンプリングトランジスタを第1のサンプリングトランジスタ125と第2のサンプリングトランジスタ625の2段縦続接続構成にする。そして、図9に示すように、第1のサンプリングトランジスタ125に対しては、2ライン（2行）分の画素回路Pを同じ書込走査線104WSに接続することで、書込走査部104からの書込駆動パルスWSで2ラインを共通に制御する。第2のサンプリングトランジスタ625は、共用化部分の一方のゲートを1組前の共用化部分（2行前）の書込走査線104WSに接続することで書込走査線104WSからの2行前の書込駆動パルスWSで制御するとともに、共用化部分の他方のゲートを2行前の電源供給線105DSLに接続することで駆動走査部105からの2行前の電源駆動パルスDSLで制御する。

30

【0175】

たとえば、N行目とN+1行目のサンプリングトランジスタ125の各ゲートはサンプリングトランジスタ125の制御線である書込走査線104WSに共通に接続されている。一方、N行目のサンプリングトランジスタ625のゲートはその共用化部分の1つ前の共用化部分（1組前）であるN-2（あるいはN-1）行目のサンプリングトランジスタ125のゲート制御線である書込走査線104WSに接続されており、N+1行目のサンプリングトランジスタ625のゲートはその2行前であるN-1行目の駆動トランジスタ121の電源制御線である電源供給線105DSLに接続されている。

40

【0176】

図9から理解されるように、第2のサンプリングトランジスタ625のゲートを2行前の書込走査線104WSや電源供給線105DSLに接続するので、書込走査線104WSあるいは電源供給線105DSLと交差させる必要が生じる。なお、画素アレイ部102の垂直走査の端部（本例では最上部）についてはサンプリングトランジスタ625を制御する書込走査線104WSや電源供給線105DSLが不足することになるが、その分のダミーの行

50

を設ければよい。

【0177】

図9Aに示す第2実施形態のタイミングチャートのように、N行目のサンプリングトランジスタ625_NとN+1行目のサンプリングトランジスタ625_{N+1}についてはサンプリング期間&移動度補正期間Qを別の水平走査期間に割り当てる。このため、N行目のサンプリングトランジスタ625_Nを制御するための1組前の書込駆動パルスWS_{N-2}(WS_{N-1}と兼用)はサンプリング期間&移動度補正期間Q_NにアクティブHにする。

【0178】

加えて、他行のサンプリング&移動度補正の禁止をも加味して、サンプリング期間&移動度補正期間Q_NにはN+1行目のサンプリングトランジスタ625_{N+1}を制御するためのサンプリング制御信号SC_{N+1}としても利用される2行前の電源駆動パルスDSL_{N-1}を第2電位V_{ss}にする。因みに、N+1行目のサンプリング期間&移動度補正期間Q_{N+1}ではN行目のサンプリングトランジスタ625_Nを制御するためのサンプリング制御信号SC_Nとしても利用される1組前の書込駆動パルスWS_{N-2}をインアクティブLにしているので原理的にはN行目の電源駆動パルスDSL_Nは第1電位V_{cc}のままでもよいが、本例では動作の対称性のため第2電位V_{ss}にしている。事実上、1行前の電源駆動パルスDSLを第2電位V_{ss}にすることで信号電位のサンプリングを決定することになる。つまり、全ラインを1Hずつシフトして同じような変化状態とした方が垂直駆動部103(スキャナ、ドライバ)をより簡単な構成にすることができるのでこのようにしているが、このことは必須でない。

【0179】

ここで、各行の発光期間(第2実施形態)について考察する。本例でも、各行のサンプリング期間&移動度補正期間Q後にサンプリングトランジスタ125をオフした時点が発光開始タイミングとなり、その後に閾値補正動作に入る前の初期化のために電源駆動パルスDSLを第2電位V_{ss}に切り替えるタイミングが発光終了タイミングとなり、そのうちの電源駆動パルスDSLが第2電位V_{ss}の期間を除いた分がトータルの発光期間となる。

【0180】

このように、第2実施形態の仕組みでは、第2のサンプリングトランジスタ625を制御する制御信号の取扱いが第1実施形態とは異なるものの、別の組(N行目に対して1行前)の電源駆動パルスDSLを第2電位V_{ss}にして(換言すると駆動トランジスタ121への電源をオフにして)、信号電位のサンプリングや移動度補正を行なうタイミングを決定しているので、自行の電源駆動パルスDSLもサンプリング期間&移動度補正期間の後で第2電位V_{ss}になる期間がある。しかしながら、第1実施形態での説明から理解されるように、駆動トランジスタ121のゲート・ソース間には保持容量120が接続されておりブートストラップ機能が働きゲート・ソース間電圧V_{gs}は一定であるため、再び電源供給線105DSLが第1電位V_{cc}に戻ったとき(つまり電源がオンしたとき)に有機EL素子127は再び正常に発光することができる。

【0181】

また、書込駆動パルスWSを共通化した2行についてサンプリング期間&移動度補正期間Qを別の水平走査期間に割り当てつつ閾値補正動作を複数回行なっているとき、第1実施形態と同様に何れも閾値補正動作が同じ回数となる。よって、第4比較例のようなムラやスジといった画質劣化の問題が生じることはない。

【0182】

また、第2のサンプリングトランジスタ625の一方のゲートを1組前の書込走査線104WSに接続して1組前の書込駆動パルスWSで制御するとともに第2のサンプリングトランジスタ625の他方のゲートを2行前の電源供給線105DSLに接続して2行前の電源駆動パルスDSLで制御するようにしているので、第1実施形態と同様に、垂直駆動部103(スキャナまたはドライバ)から出力される制御信号の数を増やすことなく、また外部に余分な制御回路や制御線を持たずにサンプリングトランジスタ125の制御線である書込走査線104WSの本数を減らす(本例では半分にする)ことができ低コスト化が確実に

可能となる。

【0183】

＜改善手法：第3実施形態＞

図10および図10Aは、図7～図7Bで示した第4比較例および第5比較例の問題点を解消しつつ、垂直駆動部103側の書込走査線104WSや電源供給線105DSLを複数画素で共用化する有機EL表示装置の第3実施形態を説明する図である。ここで、図10は、第3実施形態の有機EL表示装置1の12画素（6行2列）分分の画素回路Pと各走査部（書込走査部104、駆動走査部105、水平駆動部106）との間の各走査線（書込走査線104WS、電源供給線105DSL、映像信号線106HS）の接続関係の概要を示す図である。図10Aは、第3実施形態の駆動タイミングを説明するタイミングチャートであり、線順次駆動の場合で示している。理解を容易にするため、第1、第2実施形態と同様に、隣接する2行分の画素回路Pに与える書込駆動パルスWSや書込走査線104WSを共用化する例で各図は示している。

10

【0184】

第3実施形態では、第2のサンプリングトランジスタ625の制御入力端（ゲート）を、共用化行の一方は他行の電源供給線105DSLに接続して他行の電源駆動パルスDSLを利用して制御するとともに、共用化行の他方は共用化部分を除く他の組の書込走査線104WSに接続して他の組の書込駆動パルスWSを利用して制御する点に特徴を有する。つまり、共用化部分を除く他行の電源駆動パルスDSLと他の組の書込駆動パルスWSを用いて第2のサンプリングトランジスタ625を制御することで、書込走査部104から引き出される走査線（書込走査線104WS）の本数を削減するものである。一方と他方の取扱いが異なるだけで、事実上、第2実施形態と同じと考えてよい。

20

【0185】

たとえば、N行目とN+1行目のサンプリングトランジスタ125の各ゲートはサンプリングトランジスタ125の制御線である書込走査線104WSに共通に接続されている。一方、N行目のサンプリングトランジスタ625のゲートはその2行前であるN-2行目の駆動トランジスタ121の電源制御線である電源供給線105DSLに接続されており、N+1行目のサンプリングトランジスタ625のゲートはその共用化部分の1つ後の共用化部分（1組後）であるN+2（あるいはN+3）行目のサンプリングトランジスタ125のゲート制御線である書込走査線104WSに接続されている。

30

【0186】

図10から理解されるように、第2のサンプリングトランジスタ625のゲートを2行前の電源供給線105DSLや1行後の書込走査線104WSに接続するので、書込走査線104WSあるいは電源供給線105DSLと交差させる必要が生じる。なお、画素アレイ部102の垂直走査の端部（本例では電源供給線105DSLは最上部、書込走査線104WSは最下部）についてはサンプリングトランジスタ625を制御する書込走査線104WSや電源供給線105DSLが不足することになるが、その分のダミーの行を設ければよい。

【0187】

図10Aに示す第3実施形態のタイミングチャートのように、N行目のサンプリングトランジスタ625_NとN+1行目のサンプリングトランジスタ625_{N+1}についてはサンプリング期間&移動度補正期間Qを別の水平走査期間に割り当てる。このため、先ず、N+1行目のサンプリングトランジスタ625_{N+1}を制御するための1組後の書込駆動パルスWS_{N+2}（WS_{N+3}と兼用）はサンプリング期間&移動度補正期間Q_{N+1}にアクティブHにする。また、N行目とN+1行目の閾値補正回数が同じになるように他行の閾値補正の禁止を加味して、N+1行目の閾値補正時にN行目のサンプリングトランジスタ625_Nをオフさせておくべく電源駆動パルスDSL_{N-2}を第2電位V_{ss}にする。

40

【0188】

加えて、他行のサンプリング&移動度補正の禁止をも加味して、サンプリング期間&移動度補正期間Q_{N+1}にはN行目のサンプリングトランジスタ625_Nを制御するためのサンプリング制御信号SC_Nとしても利用される2行前の電源駆動パルスDSL_{N-2}を第2電位

50

V_{ss}にする。因みに、図ではN行目の信号書込み完了後でN+1行目の閾値補正開始前に電源駆動パルスDSL_{N-2}を第2電位V_{ss}にしているが、このことは必須ではなく、少なくとも閾値補正期間P_{N+1}とサンプリング期間&移動度補正期間Q_{N+1}に電源駆動パルスDSL_{N-2}が第2電位V_{ss}にあればよい。事実上、第2実施形態と同様に、1行前の電源駆動パルスDSLを第2電位V_{ss}にすることで信号電位のサンプリングを決定することになる。

【0189】

因みに、N行目のサンプリング期間&移動度補正期間Q_Nで電源駆動パルスDSL_{N-1}を第2電位V_{ss}に切り替え、N+1行目のサンプリング期間&移動度補正期間Q_{N+1}で電源駆動パルスDSL_Nを第2電位V_{ss}に切り替えているが、これは各ラインの走査パルスの変化状態を1Hずつシフトした状態で揃えるためである。つまり、全ラインを1Hずつシフトして同じような変化状態とした方が垂直駆動部103（スキャナ、ドライバ）をより簡単な構成にすることができるのでこのようにしているが、このことは必須でない。

【0190】

ここで、各行の発光期間（第3実施形態）について考察する。第3実施形態の場合、N行目のサンプリングトランジスタ625_Nを制御するサンプリング制御信号SC_Nとして第1実施形態と同様に電源駆動パルスDSL_{N-2}を使用しており、第1実施形態と同様の対処が必要になる。すなわち、閾値補正期間P_{N+1}やサンプリング期間&移動度補正期間Q_{N+1}にN-2行目の電源駆動パルスDSL_{N-2}を第2電位V_{ss}にすると、そのままではサンプリング期間&移動度補正期間Q_{N-2}後のサンプリングトランジスタ125のオフタイミング以降の発光時間が電源駆動パルスDSL_{N-2}を第2電位V_{ss}にした分異なってしまう、N-2行目とN-1行目で視覚的には輝度差が感じられる。

【0191】

そこで、各行の有機EL素子127の発光期間を揃えるため、サンプリング期間&移動度補正期間Q後のサンプリングトランジスタ125のオフと電源ラインである電源供給線105DSLの第1電位V_{cc}と第2電位V_{ss}の切替え（電源オフ）をN-2行目とN-1行目で同じような遷移状態とするべく、N-2行目に対して1H分後ろにずれた状態でN-1行目の電源駆動パルスDSL_{N-1}を第2電位V_{ss}にする。以下、第1実施形態と同様である。

【0192】

このように、第3実施形態の仕組みでは、第2のサンプリングトランジスタ625の一方と他方の取扱いが第2実施形態と逆ではあるが、基本的な考え方は第2実施形態と同様であり、第2実施形態と同様の効果を楽しむことができる。

【0193】

ところで、ダブルゲート構造とした第2のサンプリングトランジスタ625を制御するサンプリング制御信号SCの取扱いに着目して第1実施形態と第2・第3実施形態を比べた場合、第1実施形態では何れも同じ種類の制御信号（別の組の相異なる行の電源駆動パルスDSL）をサンプリング制御信号SCとして利用しているのに対して、第2・第3実施形態では、異なる種類の制御信号（別の組の書込駆動パルスWSと電源駆動パルスDSL）をサンプリング制御信号SCとして利用していると言った違いがある。

【0194】

動作の対称性、換言すると、第2のサンプリングトランジスタ625を制御するためのサンプリング制御信号SCのタイミングの観点からは、同種の垂直走査パルス（電源駆動パルスDSL）を使用する第1実施形態の方が優れている。書込走査線104WSと電源供給線105DSLとでは負荷が異なり、書込駆動パルスWSや書込走査線104WSを複数行で共用化するに当たり第2のサンプリングトランジスタ625を制御するためにこれら異種の垂直走査パルスを使用すると、その差が画像に現われる懸念があるからである。

【0195】

なお、第2実施形態や第3実施形態においても、第1実施形態で述べたように、共用化される書込駆動パルスWSや書込走査線104WSの数は2つに限定されないし、第2のサン

10

20

30

40

50

プリングトランジスタ625のゲートを制御する書込駆動パルスWSや電源駆動パルスDSLの行の設定は、共用化される書込駆動パルスWSや書込走査線104WSの組とは別の組で、それぞれ異なる行である限り、前述の例に限定されない。ただし、2行の共用化の場合と同様に、共用化している部分から離れるほど、配線長が長くなる、書込走査線104WSとの交差が増える、ダミー行が増える、などの不利益が生じる。

【0196】

異種の場合は、近い画素の制御パルス（サンプリング制御信号SC）や電源駆動パルスDSLが使用できるため、配線の引き回しが簡単になるというメリットがある。第2実施形態と第3実施形態の優劣としては、第2実施形態の方が近いラインのパルスを使っているため、配線の引き回しが簡単になる。

10

【0197】

＜改善手法：第4実施形態＞

図11～図11Bは、図7～図7Bで示した第4比較例および第5比較例の問題点を解消しつつ、垂直駆動部103側の書込走査線104WSや電源供給線105DSLを複数画素で共用化する有機EL表示装置の第4実施形態を説明する図である。ここで、図11は、第2実施形態の有機EL表示装置1の12画素（6行2列）分の画素回路Pと各走査部（書込走査部104、駆動走査部105、水平駆動部106）との間の各走査線（書込走査線104WS、電源供給線105DSL、映像信号線106HS）の接続関係の概要を示す図である。図11Aおよび図11Bは、第4実施形態の駆動タイミングを説明するタイミングチャートであり、線順次駆動の場合で示している。理解を容易にするため、第1～第3実施形態と同様に、隣接する2行分の画素回路Pに与える垂直走査系の駆動パルス（走査パルス）や垂直走査線を共用化する例で各図は示している。

20

【0198】

第4実施形態は、サンプリングトランジスタをサンプリングトランジスタ125とサンプリングトランジスタ625のダブルゲート構造にして2行分の書込駆動パルスWSを共用化するとともに、2行分の電源駆動パルスDSLをも共用化する点に特徴を有する。

【0199】

ダブルゲート構造にした第2のサンプリングトランジスタ625の制御に関しては、前述の第1～第3実施形態の何れをも採用することができ、サンプリングトランジスタ625のゲートを共用化している部分を除く別行の同種または異種の垂直走査線（書込走査線104WSや電源供給線105DSL）に接続し、他行の書込駆動パルスWSや他行の電源駆動パルスDSLを利用して制御する。ただし、第4実施形態では、電源駆動パルスDSLについても複数行の画素回路Pで共用化するようにしているので、サンプリングトランジスタ625の制御に電源駆動パルスDSLを使用する際には別の組のものを使用するように適宜変更する。

30

【0200】

たとえば、理解を容易にするため、図11および図11Aに示すように、2行分の書込走査線104WSに与える書込駆動パルスWSを共用化するとともに同じ2行分の電源供給線105DSLに与える電源駆動パルスDSLを共用化する例で各図は示している。先ず、第1～第3実施形態と同様に、垂直方向に隣接する2画素（2ライン分の画素回路P）で書込走査線104WSに与える書込駆動パルスWSを共用するため、サンプリングトランジスタを第1のサンプリングトランジスタ125と第2のサンプリングトランジスタ625の2段縦続接続構成とし、サンプリングトランジスタをダブルゲート構造にする。

40

【0201】

そして、図11に示すように、第1のサンプリングトランジスタ125に対しては、2ライン（2行）分の画素回路Pを同じ書込走査線104WSに接続することで、書込走査部104からの書込駆動パルスWSで2ラインを共通に制御する。第2のサンプリングトランジスタ625のゲートは、N行目とN+1行目で別の組の電源供給線105DSLに接続することで、駆動走査部105からの別の組の電源駆動パルスDSLで制御する。

【0202】

50

たとえば、N行目のサンプリングトランジスタ625のゲートはその2組前であるN-4行目およびN-3行目の駆動トランジスタ121の電源制御線である電源供給線105 DSL_{N-4} (105 DSL_{N-3}と兼用) に接続されており、N+1行目のサンプリングトランジスタ625のゲートはその1組前であるN-2行目およびN-1行目の駆動トランジスタ121の電源制御線である電源供給線105 DSL_{N-2} (105 DSL_{N-1}と兼用) に接続されている。

【0203】

図11から理解されるように、第2のサンプリングトランジスタ625のゲートを2組前や1組前の電源供給線105 DSL に接続するので、書込走査線104 WSあるいは電源供給線105 DSL と交差させる必要が生じる。なお、画素アレイ部102の垂直走査の端部 (本例では最上部) についてはサンプリングトランジスタ625を制御する電源供給線105 DSL が不足することになるが、その分のダミーの行を設ければよい。

10

【0204】

図11Aに示す第4実施形態のタイミングチャートのように、N行目のサンプリングトランジスタ625_NとN+1行目のサンプリングトランジスタ625_{N+1}についてはサンプリング期間&移動度補正期間Qを別の水平走査期間に割り当てる。このため、先ず、N行目とN+1行目の閾値補正回数が同じになるように他行の閾値補正の禁止を加味して、N+1行目の閾値補正時にN行目のサンプリングトランジスタ625_Nをオフさせておくべく2組前の電源駆動パルスDSL_{N-4} (DSL_{N-3} と兼用) を第2電位V_{ss}にする。

【0205】

20

また、他行のサンプリング&移動度補正の禁止をも加味して、サンプリング期間&移動度補正期間Q_NにはN+1行目のサンプリングトランジスタ625_{N+1}を制御するためのサンプリング制御信号SC_{N+1}としても利用される1組前の電源駆動パルスDSL_{N-2} (DSL_{N-1} と兼用) を第2電位V_{ss}にしてN行目の信号書込み完了後に第1電位V_{cc}に戻す。さらに、サンプリング期間&移動度補正期間Q_{N+1}にはN行目のサンプリングトランジスタ625_Nを制御するためのサンプリング制御信号SC_Nとしても利用される2組前の電源駆動パルスDSL_{N-4} (DSL_{N-3} と兼用) を第2電位V_{ss}にしてN+1行目の信号書込み完了後に第1電位V_{cc}に戻す。別の組の電源駆動パルスDSL を第2電位V_{ss}にすることで信号電位のサンプリングを決定することになる。

【0206】

30

第4実施形態の仕組みでは、第2のサンプリングトランジスタ625の一方のゲートを2組前の電源供給線105 DSL に接続して2組前の電源駆動パルスDSL で制御するとともに第2のサンプリングトランジスタ625の他方のゲートを1組前の電源供給線105 DSL に接続して1組前の電源駆動パルスDSL で制御するようにしている。このため、第1～第3実施形態と同様に、垂直駆動部103 (スキャナまたはドライバ) から出力される制御信号の数を増やすことなく、また外部に余分な制御回路や制御線を持たずにサンプリングトランジスタ125の制御線である書込走査線104 WSの本数を減らす (本例では半分にする) ことができ低コスト化が確実に可能となる。

【0207】

40

加えて、第4実施形態の仕組みでは、電源駆動パルスDSL についても2行で共用化している用しているので、外部に余分な制御線を持たずに書込駆動パルスWS用の制御線である書込走査線104 WSおよび電源駆動パルスDSL 用の制御線である電源供給線105 DSL を削減 (本例では半分に) することができ、第1～第3実施形態よりも低コスト化が可能となる。

【0208】

ここで、各行の発光期間 (第4実施形態) について考察する。第4実施形態の場合、N行目のサンプリングトランジスタ625_Nを制御するサンプリング制御信号SC_Nの取扱いが第1実施形態に似通っており、2行前であるか2組前であるかの違いに過ぎず、第1実施形態と同様の対処が必要になる。すなわち、閾値補正期間P_{N+1}やサンプリング期間&移動度補正期間Q_{N+1}に2組前の電源駆動パルスDSL_{N-4} を第2電位V_{ss}にすると、その

50

ままではサンプリング期間&移動度補正期間Q_{N-2}後のサンプリングトランジスタ125のオフタイミング以降の発光時間が電源駆動パルスDSL_{N-4}を第2電位V_{ss}にした分異なってしまうため、N-4行目およびN-3行目とN-2行目およびN-1行目で視覚的には輝度差が感じられる。

【0209】

そこで、各行の有機EL素子127の発光期間を揃えるため、サンプリング期間&移動度補正期間Q後のサンプリングトランジスタ125のオフと電源ラインである電源供給線105DSLの第1電位V_{cc}と第2電位V_{ss}の切替え（電源オフ）をN-4行目およびN-3行目とN-2行目およびN-1行目で同じような遷移状態とすべく、N-4行目およびN-3行目に対して1H分後ろにずれた状態でN-2行目およびN-1行目の電源駆動パルスDSL_{N-2}（DSL_{N-1}と兼用）を第2電位V_{ss}にする。以下、第1実施形態と同様である。しかしながら、これでは不十分である。

【0210】

まず、第3比較例～第3実施形態の駆動タイミングでは、電源供給線105DSL第2電位V_{ss}への切替え（つまり電源オフ）によって有機EL素子127を消光する方式を採用しているので、有機EL素子127の発光期間はサンプリング期間&移動度補正期間Q後のサンプリングトランジスタ125のオフと電源ラインである電源供給線105DSLの第2電位V_{ss}への切替え（電源オフ）で決定される。

【0211】

これに対して、第4実施形態の仕組みでは、N行目とN+1行目の電源供給線105DSLの第2電位V_{ss}の切替え（電源オフ）が同じタイミングであり、閾値補正動作に入る前の初期化のために電源駆動パルスDSLを第2電位V_{ss}に切り替えるタイミング（つまり発光期間の終了タイミング）はN行目とN+1行目で同じになる。このため、第1実施形態に準じた対処をしても、N行目とN+1行目で発光期間の開始タイミングが1H分異なることに起因して、発光時間が1H分異なってしまう、視覚的には輝度差が感じられる。

【0212】

この問題を解消するには、第4実施形態の仕組みを採るときには、発光期間の終了タイミング（有機EL素子127の消光タイミング）を電源供給線105DSLの第2電位V_{ss}への切替え（電源ラインによる制御）で行なわずに、図11Bに示すように、信号線電位（映像信号線106HSの電位）がオフセット電位V_{ofs}となったときにダブルゲート構造の第1のサンプリングトランジスタ125と第2のサンプリングトランジスタ625の双方をオン（導通）させてオフセット電位V_{ofs}の情報を保持容量120にサンプリングすることで、この後には有機EL素子127を消光する方式を採るのがよい。これにより、行ごと発光時間の差異をなくすことができ、輝度ムラのない均一な画質を得ることが可能となる。

【0213】

因みに、第4実施形態の仕組みでは、図11Aからも明らかなように、第1～第3実施形態とは異なり閾値補正動作が同じ回数とはならない。この点では、図7および図7Bに示した第4比較例と同じである。しかしながら、第4比較例とは異なり、N行目とN+1行目で閾値補正終了後から信号サンプリングまでの時間がラインごとに同じで1H以内である。また、閾値補正回数が異なることが画質に与える影響度合いは、回数が少ないときは1回の回数の差は画質不良として認識されるが、回数が増えるほど1回の回数の差が与える影響が小さくなるので、本例のように閾値補正回数が1回異なっている、ムラやスジといった画質劣化の問題は殆ど解消される。

【0214】

なお、前述の第1～第4実施形態では、電流駆動型の電気光学素子の一例である有機EL素子127を駆動する際に、駆動トランジスタ121から電流を流しながら信号書込みを行なうことで（つまり保持容量120に信号電位V_{in}に応じた情報をサンプリングしながら）移動度補正を行なう仕組みへの適用例において、書込駆動パルスWS（書込走査線104WS）を複数行で共用化する仕組みについて具体的に示したが、その適用は、電流を流

10

20

30

40

50

さずに信号書込みを行なう画素回路、換言すると、駆動トランジスタ121に電流を流さない状態で保持容量120への信号書込みが完全に終えた後に移動度補正を行なう（信号書込みと移動度補正を別のタイミングで行なう）方式や、駆動トランジスタ121に電流を流さない状態で保持容量120への信号書込みが概ね終えた後に、駆動トランジスタ121に電流を流して引き続き移動度補正に入る方式へも適用できる。

【0215】

たとえば、特開2006-215213号公報に記載の5TR構成のものへの適用が可能であり、この場合、前記第1～第4実施形態における電源供給線105DSLや電源駆動パルスDSLは、同公報に記載のトランジスタTr4のゲートに接続される走査線DSや制御信号DSに置き換えて、書込走査線104WSや書込駆動パルスWSは、同公報に記載のトランジスタTr1のゲートに接続される走査線WSや制御信号WSに置き換えて適用すればよい。

10

【0216】

以上、本発明について実施形態を用いて説明したが、本発明の技術的範囲は前記実施形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で前記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれる。

【0217】

また、前記の実施形態は、クレーム（請求項）にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組合せの全てが発明の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜の組合せにより種々の発明を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この幾つかの構成要件が削除された構成が発明として抽出され得る。

20

【0218】

<画素回路の変形例>

たとえば、画素回路Pの側面からの変更が可能である。たとえば、回路理論上は「双対の理」が成立するので、画素回路Pに対しては、この観点からの変形を加えることができる。この場合、図示を割愛するが、先ず、前述の各実施形態に示した画回路Pがn型の駆動トランジスタ121を用いて構成しているのに対し、p型の駆動トランジスタ121を用いて画素回路Pを構成する。これに合わせて映像信号Vsigのオフセット電位Vofsに対する信号振幅 ΔV_{in} の極性や電源電圧の大小関係を逆転させるなど、双対の理に従った変更を加える。

30

【0219】

たとえば「双対の理」に従った変形態様の画素回路Pでは、p型の駆動トランジスタ（以下p型駆動トランジスタ121pと称する）のゲート端とソース端と間に保持容量120を接続し、p型駆動トランジスタ121pのソース端を直接に有機EL素子127のカソード端に接続する。有機EL素子127のアノード端は基準電位としてのアノード電位V_{anode}にする。このアノード電位V_{anode}は、基準電位を供給する全画素共通の基準電源（高電位側）に接続する。p型駆動トランジスタ121pは、そのドレイン端が低電圧側の第1電位V_{ss}に接続され、有機EL素子127を発光させる駆動電流I_{ds}を流す。

40

【0220】

このような双対の理を適用して駆動トランジスタ121をp型にした変形例の有機EL表示装置においても、n型の駆動トランジスタ121にした有機EL表示装置と同様に、閾値補正動作、移動度補正動作、およびブートストラップ動作を実行することができる。

【0221】

このような画素回路Pを駆動する際に、前述の第1～第4実施形態のように、サンプリングトランジスタをダブルゲート構造にして、その内の第1のサンプリングトランジスタ125を通常の手書き駆動パルスWSで走査しつつ、第2のサンプリングトランジスタ625は、手書き走査線104WS（手書き駆動パルスWS）を共用化する複数行の組以外の手書き駆動パ

50

ルスWSや電源駆動パルスDSL をサンプリング制御信号SCとして利用して制御することで、前記実施形態と同様に、垂直駆動部103（スキャナまたはドライバ）から出力される制御信号の数を増やすことなく、また外部に余分な制御回路や制御線を持たずに、書込駆動パルスWSをサンプリングトランジスタ125のゲートに供給する走査線である書込走査線104WSの本数を減らすことができ低コスト化ができる。

【0222】

なお、ここで説明した画素回路Pの変形例は、前記第1～第4実施形態に示した構成に対して「双対の理」に従った変更を加えたものであるが、回路変更の手法はこれに限定されるものではない。閾値補正動作を実行するに当たり、書込走査部104での走査に合わせて各水平周期内でオフセット電位Vofs と信号電位Vin（= Vofs + ΔVin）で切り替わる映像信号Vsig が映像信号線106HSに伝達されるように駆動を行ない、閾値補正の初期化動作のために駆動トランジスタ121のドレイン側（電源供給側）を第1電位と第2電位とでスイッチング駆動を行なうものである限り、画素回路Pを構成するトランジスタ数は問わない。2TR構成であるか否かは不問でありトランジスタ数が3個以上であってもよく、それらの全てに、サンプリングトランジスタをダブルゲート化する前述の本実施形態の各改善手法を適用して、書込走査線104WS（書込駆動パルスWS）の数を減らすことで低コスト化を図るという本実施形態の思想を適用することができる。

【0223】

また、閾値補正動作を実行するに当たり、オフセット電位Vofs と信号電位Vinを駆動トランジスタ121のゲートに供給する仕組みとしては、前記実施形態の2TR構成のように映像信号Vsig で対処することに限らず、たとえば、特開2006-215213号公報に記載のように、別のトランジスタを介して供給する仕組みを採ることもでき、それらの変形例においても、サンプリングトランジスタをダブルゲート化する前述の本実施形態の各改善手法を適用して、映像信号線106HS（映像信号Vsig）の数を減らすことで低コスト化を図るという本実施形態の思想を適用することができる。

【図面の簡単な説明】

【0224】

【図1】本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。

【図2】本実施形態の画素回路に対する第1比較例を示す図である。

【図3】本実施形態の画素回路に対する第2比較例を示す図である。

【図4】有機EL素子や駆動トランジスタの動作点を説明する図である。

【図4A】有機EL素子や駆動トランジスタの特性ばらつきが駆動電流に与える影響を説明する図である。

【図5】本実施形態の画素回路に対する第4比較例を示す図である。

【図6】図5に示した第3比較例の画素回路に関する第3比較例の駆動タイミングの基本例を説明するタイミングチャートである。

【図7】図1に示した有機EL表示装置を構成する本実施形態の画素回路に対する第4比較例を示す図である。

【図7A】第4比較例の画素回路に関する第4比較例の駆動タイミングを説明するタイミングチャートである。

【図7B】第5比較例の駆動タイミングを説明するタイミングチャートである。

【図8】第1実施形態の有機EL表示装置の各走査線と画素回路の接続関係の全体概要を示す図である。

【図8A】第1実施形態の画素回路と走査線の結線関係の詳細を示す図である。

【図8B】第1実施形態の駆動タイミングを説明するタイミングチャートである。

【図9】第2実施形態の有機EL表示装置の各走査線と画素回路の接続関係の全体概要を示す図である。

【図9A】第2実施形態の駆動タイミングを説明するタイミングチャートである。

【図10】第3実施形態の有機EL表示装置の各走査線と画素回路の接続関係の全体概要

10

20

30

40

50

を示す図である。

【図10A】第3実施形態の駆動タイミングを説明するタイミングチャートである。

【図11】第4実施形態の有機EL表示装置の各走査線と画素回路の接続関係の全体概要を示す図である。

【図11A】第4実施形態の駆動タイミングを説明するタイミングチャート（その1）である。

【図11B】第4実施形態の駆動タイミングを説明するタイミングチャート（その2）である。

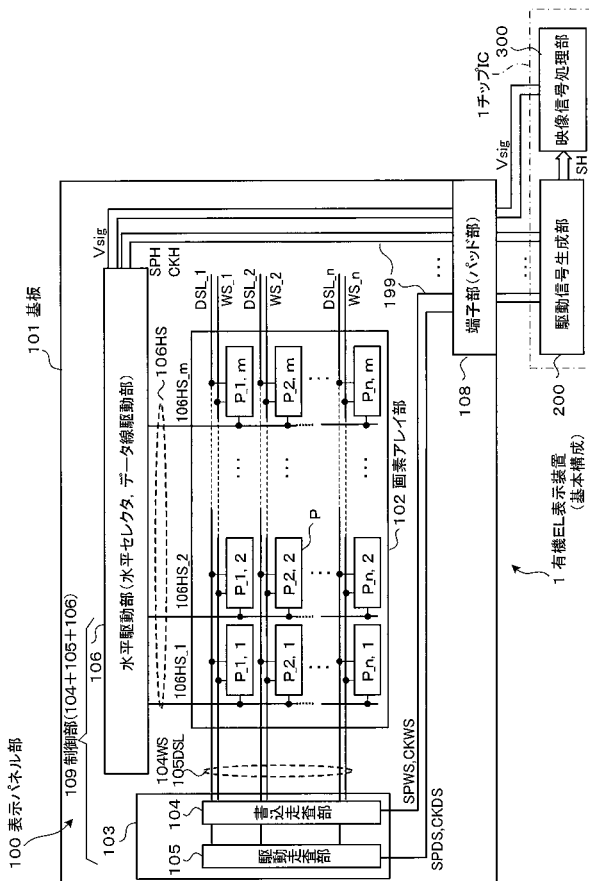
【符号の説明】

【0225】

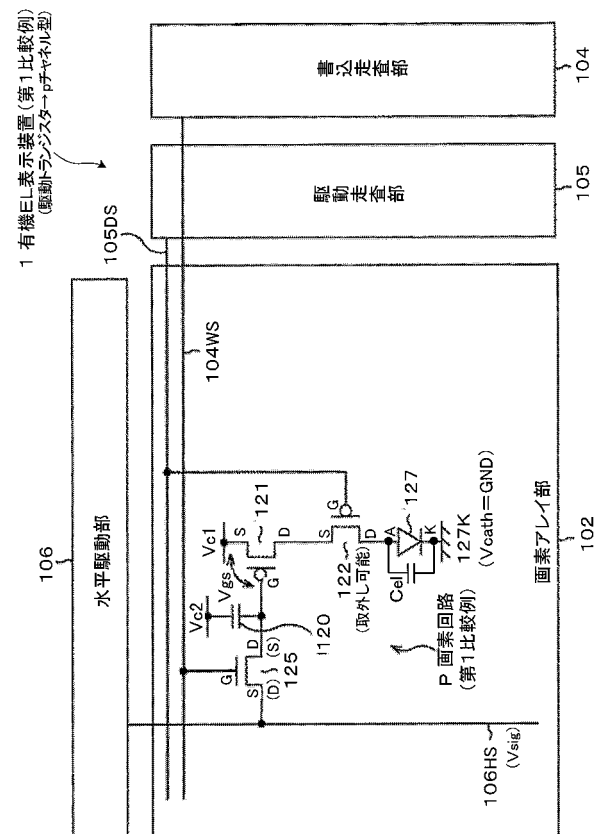
1…有機EL表示装置、100…表示パネル部、101…基板、102…画素アレイ部、103…垂直駆動部、104…書込走査部、105…駆動走査部、106…水平駆動部、109…制御部、120…保持容量、121…駆動トランジスタ、122…発光制御トランジスタ、125, 625…サンプリングトランジスタ、127…有機EL素子（電気光学素子の一例）、200…駆動信号生成部、300…映像信号処理部、Cel…寄生容量、P…画素回路

10

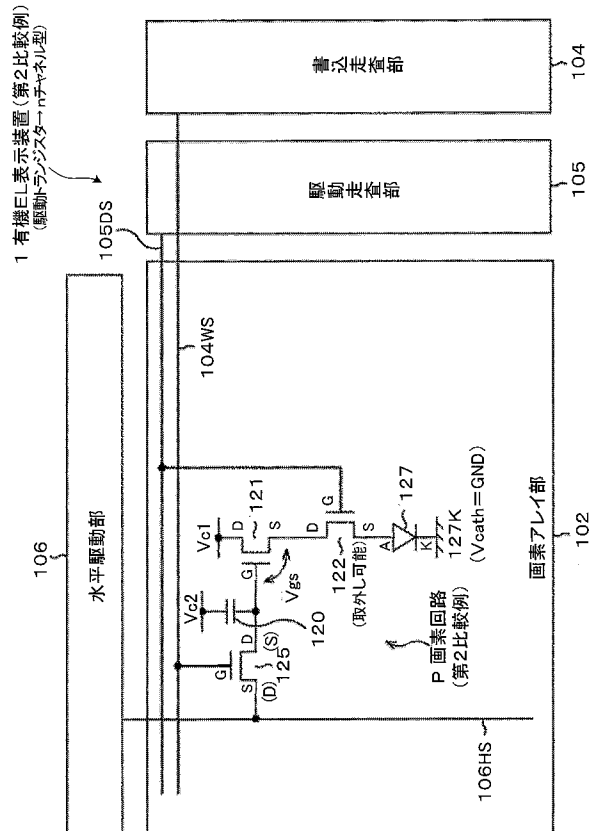
【図1】



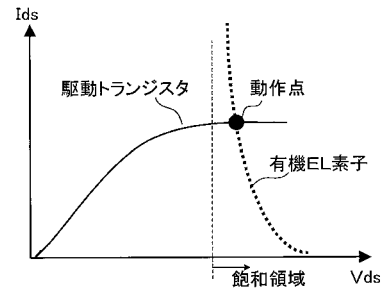
【図2】



【図 3】

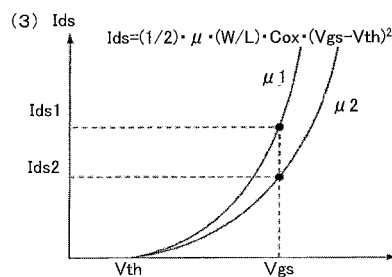
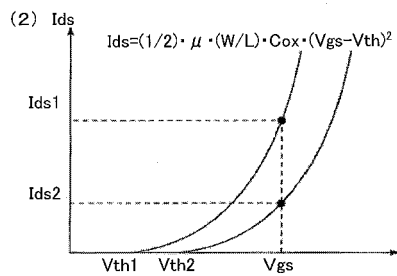
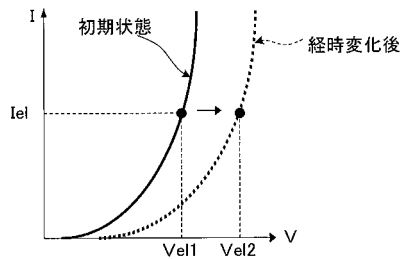


【図 4】

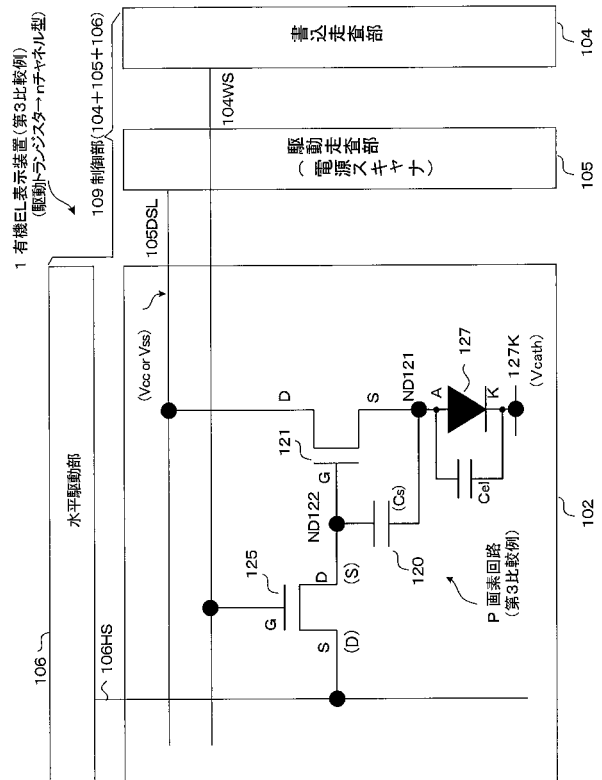


【図 4 A】

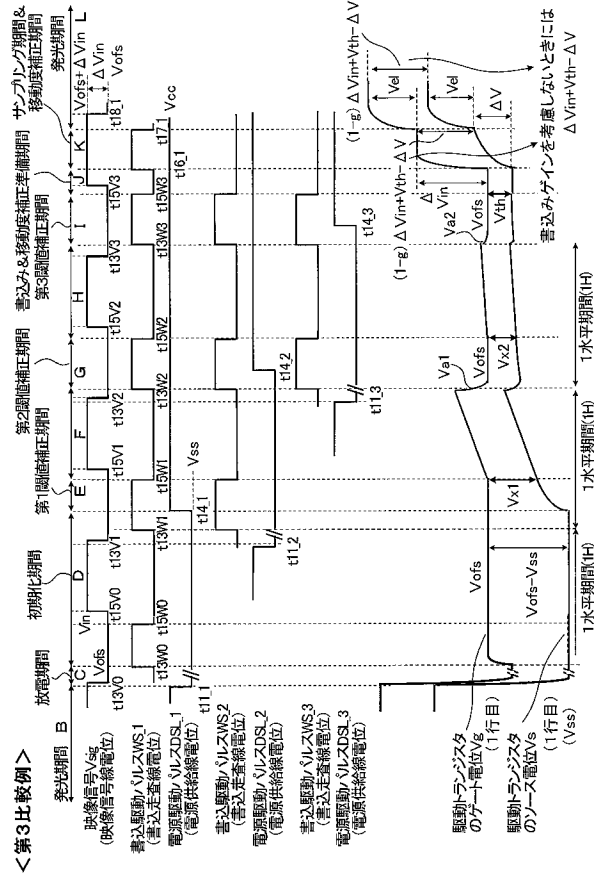
(1) <有機EL素子のV-I特性の経時変化>



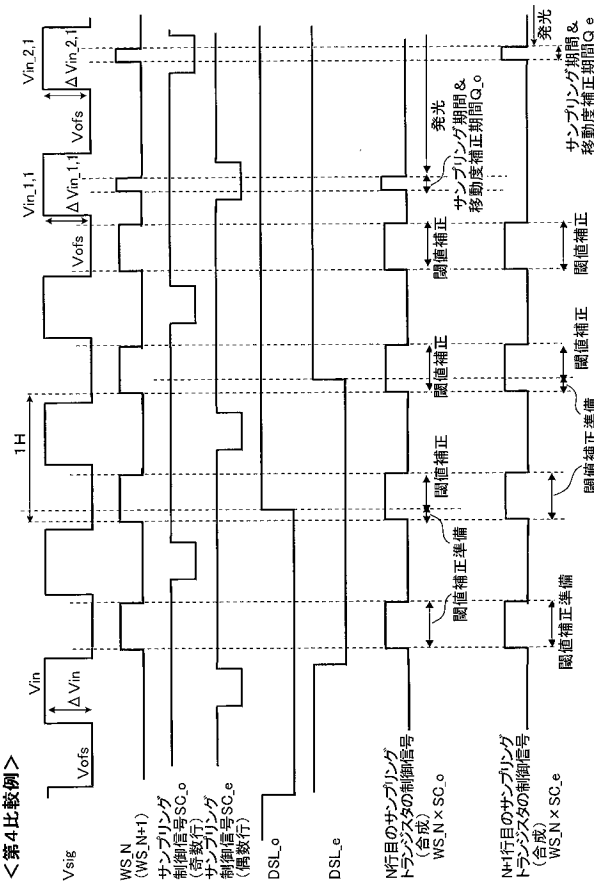
【図 5】



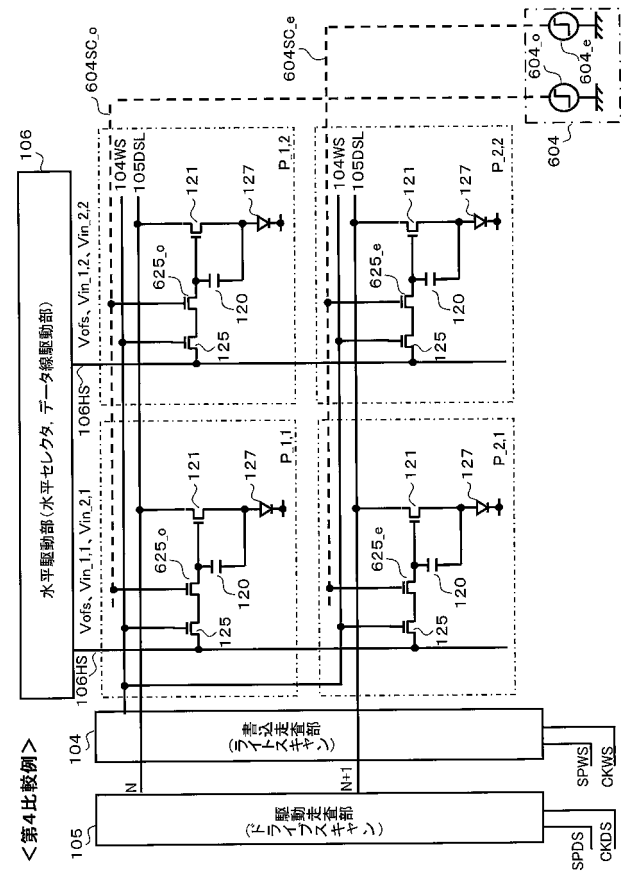
【図6】



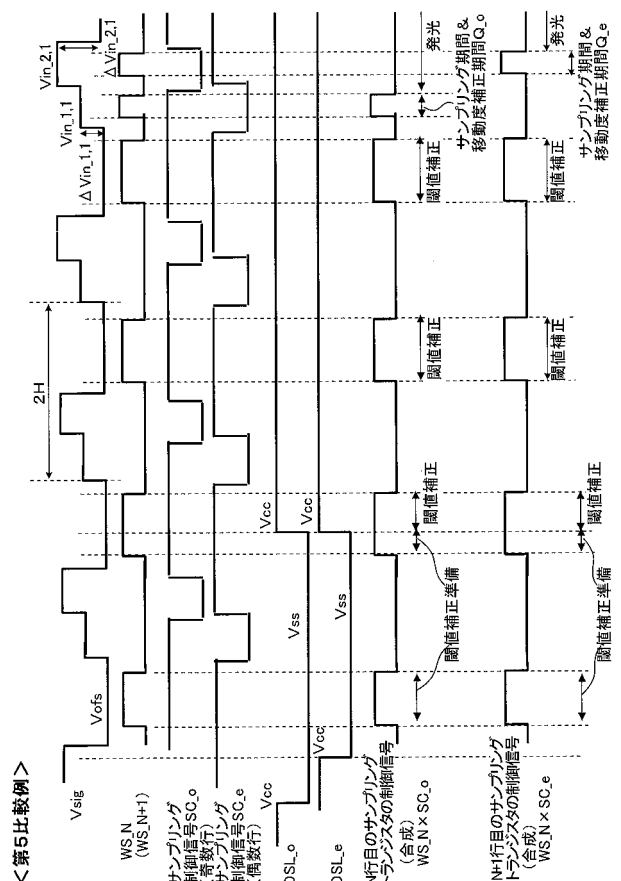
【図7A】



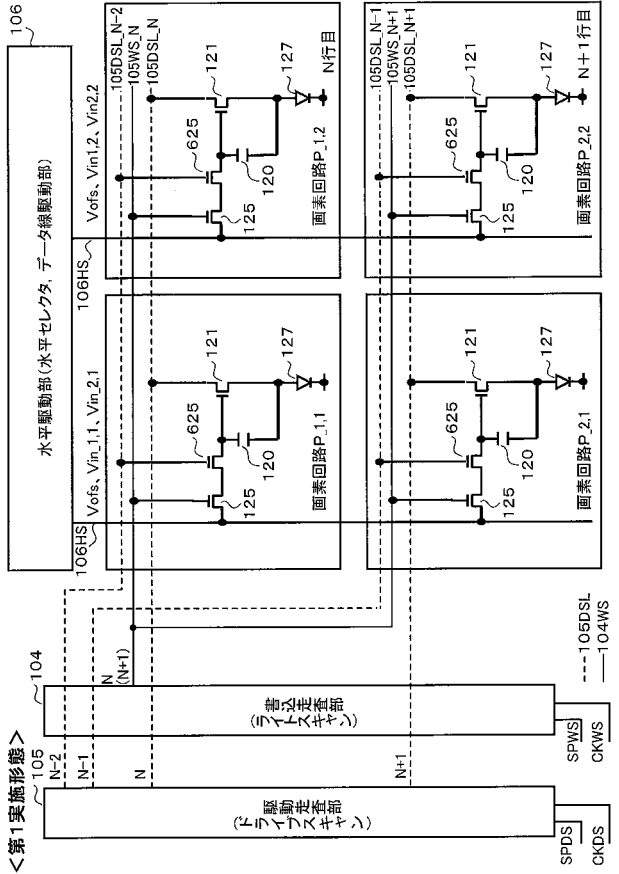
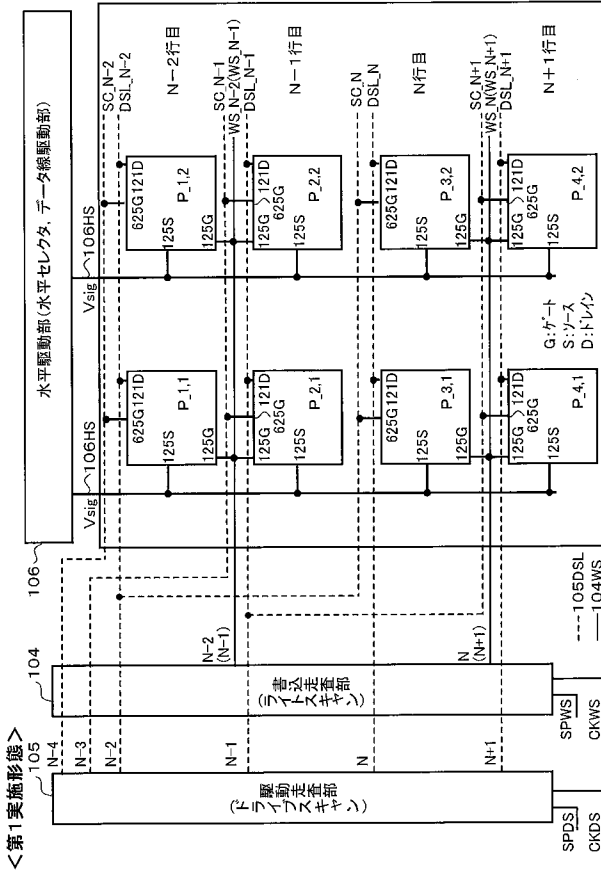
【図7】



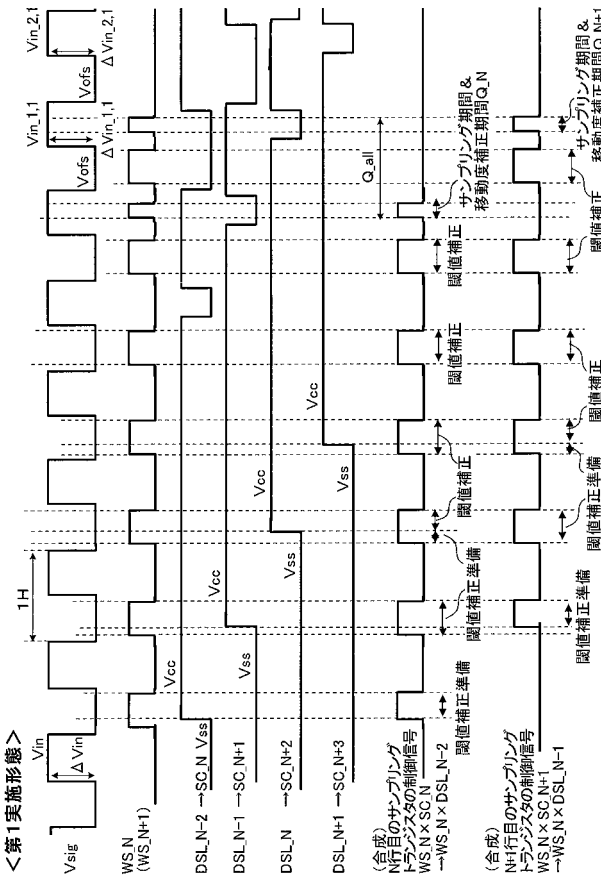
【図7B】



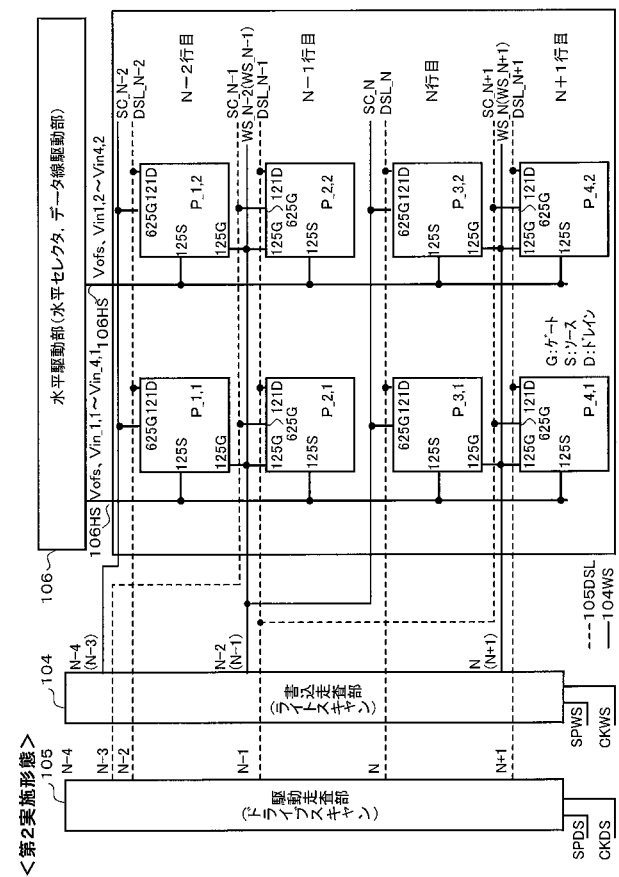
【图 8 A】



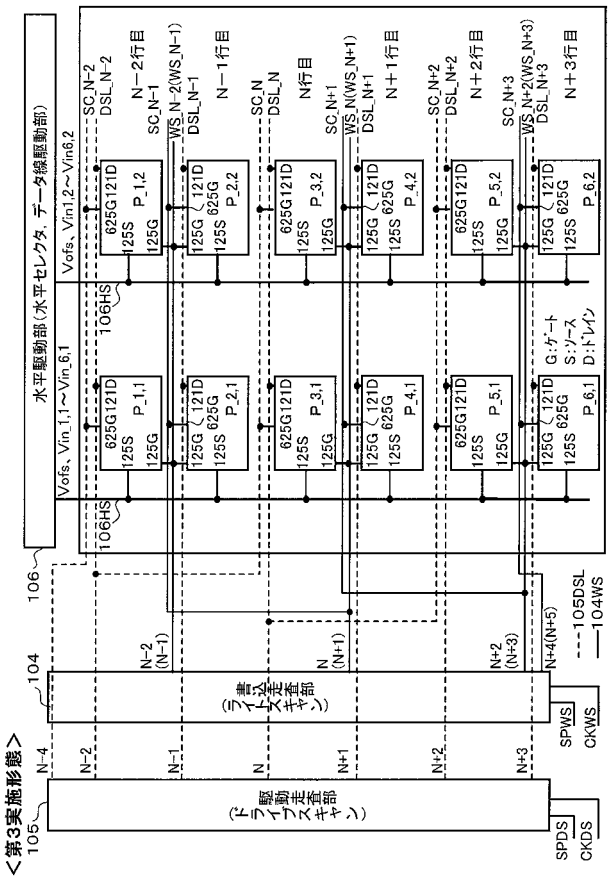
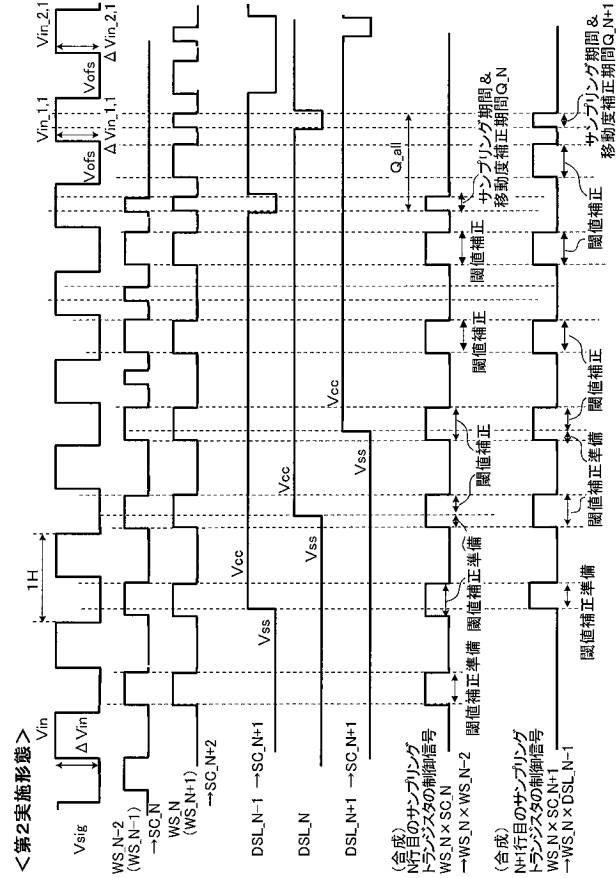
【 8 B 】



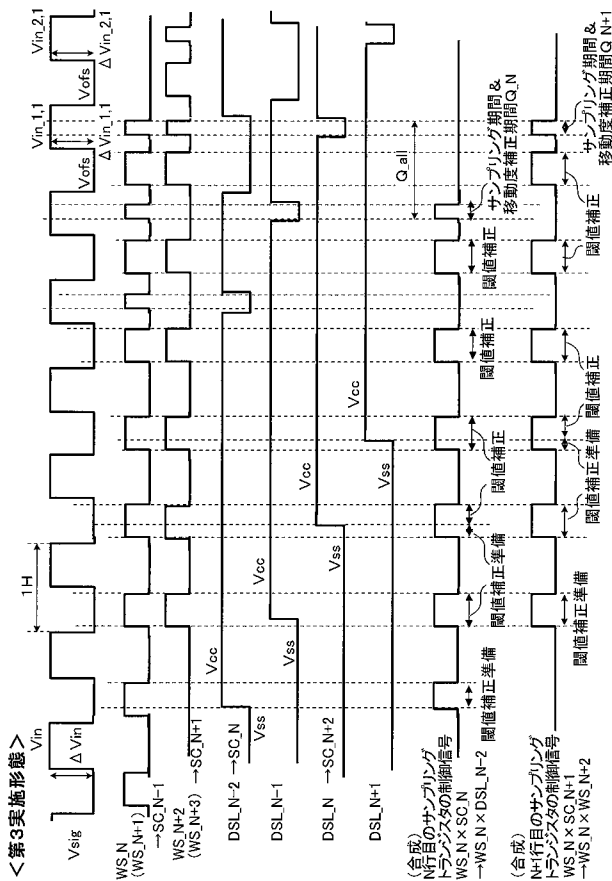
【図 9】



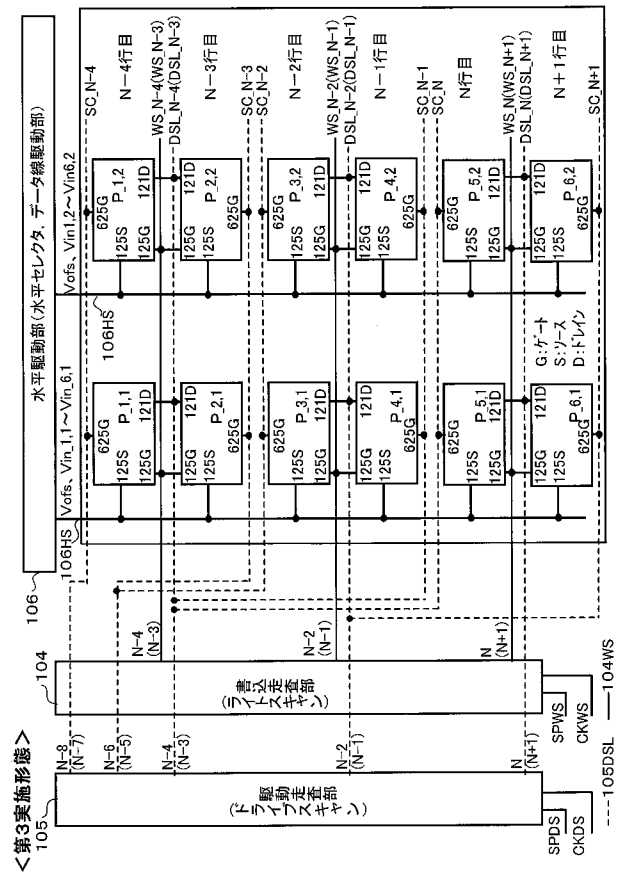
【 図 1 0 】



【 図 1 0 A 】



【図 1 1】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 1 1 H
	G 0 9 G 3/20	6 4 2 A
	G 0 9 F 9/30	3 6 5 Z
	G 0 9 F 9/30	3 3 8
	H 0 5 B 33/14	A

(72)発明者 山本 哲郎
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 内野 勝秀
東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 3K107 AA01 BB01 CC33 CC35 CC43 EE03 HH02 HH04 HH05
5C080 AA06 BB05 DD05 DD22 EE29 FF11 HH09 JJ02 JJ03 JJ04
JJ05
5C094 AA03 AA05 AA21 AA53 BA03 BA27 CA19 DB04

专利名称(译)	表示装置		
公开(公告)号	JP2010008523A	公开(公告)日	2010-01-14
申请号	JP2008165203	申请日	2008-06-25
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀		
发明人	山本 哲郎 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50		
CPC分类号	G09G3/3258 G09G3/3233 G09G3/3266 G09G3/3659 G09G2300/0426 G09G2300/0819 G09G2310/0262		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.622.Q G09G3/20.622.G G09G3/20.622.R G09G3/20.622.D G09G3/20.611.H G09G3/20.642.A G09F9/30.365.Z G09F9/30.338 H05B33/14.A G09F9/30.365 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/CC43 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C094/AA03 5C094/AA05 5C094/AA21 5C094/AA53 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DB04 5C380/AA01 5C380/AB08 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB34 5C380/AB47 5C380/AC12 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BC02 5C380/BD02 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB17 5C380/CB20 5C380/CC02 5C380/CC03 5C380/CC05 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC34 5C380/CC39 5C380/CC41 5C380/CC62 5C380/CC63 5C380/CD022 5C380/CD023 5C380/CF07 5C380/CF09 5C380/DA06 5C380/DA47		
代理人(译)	船桥 国则		
外部链接	Espacenet		

摘要(译)

要解决的问题：在有机电致发光显示设备中，在不增加控制线和控制信号的数量共享多条线的垂直扫描线。解决方案：采样晶体管采用双栅极结构。要共享的写扫描线104WS被分配为用于控制第一采样晶体管125的垂直扫描线，并且由多条线的像素电路P共享。对于用于控制第二采样晶体管625的垂直扫描线，现有的垂直扫描线是相同种类或不同种类的不同线的垂直扫描线，其中一组不是共享组。自行属于，被分配。例如，当共享N行和第N+1行的写扫描线104WS时，N线的采样晶体管625的栅极连接到N-2线的电源线105DSL_N-2，并且栅极第N+1线的采样晶体管625的第一线连接到第N-1线的电源线105DSL_N-1。

