

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-8799

(P2009-8799A)

(43) 公開日 平成21年1月15日(2009.1.15)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/30 J	5C080
H01L 51/50 (2006.01)	G09G 3/30 H	
	G09G 3/20 642P	
	G09G 3/20 611H	
審査請求 未請求 請求項の数 7 O L (全 21 頁) 最終頁に続く		

(21) 出願番号	特願2007-168874 (P2007-168874)	(71) 出願人	000005049
(22) 出願日	平成19年6月27日 (2007. 6. 27)		シャープ株式会社
			大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	100104695
			弁理士 島田 明宏
		(72) 発明者	岸 宣孝
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC14 CC33 CC36
			CC45 EE04 HH05
			5C080 AA06 BB05 DD05 DD26 EE28
			FF11 JJ02 JJ03 JJ04

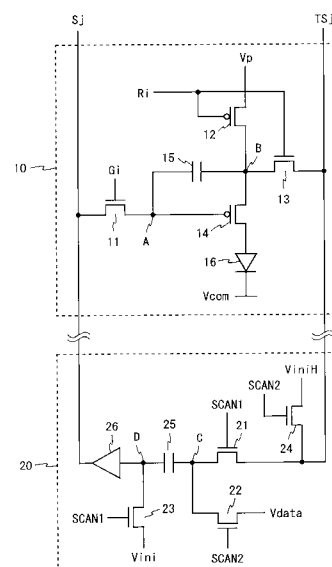
(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

【課題】画素回路の規模を増大させずに、データ電圧の振幅を効率よく利用し、高い精度で閾値補正を行う表示装置を提供する。

【解決手段】閾値補正回路20内のスイッチ23をオンさせてデータ線Sjに初期電圧Viniを与え、画素回路10内のTFT11、13をオン、TFT12をオフさせると、センス線TSjの電位は($V_{ini} - V_{th}$)となる。このときスイッチ21をオンさせて、コンデンサ25に駆動用TFT14の閾値電圧Vthを保持する。次にスイッチ21～23の状態を切り替えて、データ線Sjに電圧($V_{data} + V_{th}$)を印加し、TFT11～13の状態を切り替える。TFT11オフ後に有機EL素子16に流れる電流の量は、駆動用TFT14のゲート端子電圧($V_{data} + V_{th}$)によって定まる。これにより、駆動用TFTの閾値電圧のばらつきを補償する。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

電流駆動型の表示装置であって、

複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、制御端子がスイッチング素子を介して前記データ線に接続された駆動素子とを含み、前記駆動素子の閾値電圧をセンス線に出力する機能を有する複数の画素回路と、

前記走査線を用いて書き込み対象の画素回路を選択すると共に、選択した画素回路から前記センス線に前記閾値電圧が出力されるように制御する走査信号出力回路と、

表示データに対応したデータ電圧に前記センス線に出力された閾値電圧を加算または減算した電圧を前記データ線に印加する走査信号出力回路とを備えた、表示装置。

10

【請求項 2】

前記画素回路は、

前記駆動素子の制御端子と一方の導通端子とに接続された容量をさらに含み、

前記駆動素子に対する電源供給を遮断したときに、前記容量に接続された導通端子を前記センス線に接続することを特徴とする、請求項 1 に記載の表示装置。

【請求項 3】

前記電気光学素子および前記駆動素子は、前記画素回路内で第 1 および第 2 の電源配線間に直列に設けられており、

前記画素回路は、

前記駆動素子の制御端子と一方の導通端子とに接続された容量と、

20

前記駆動素子の制御端子と前記データ線に接続された第 1 のスイッチング素子と、

前記駆動素子の一方の導通端子と前記第 1 の電源配線とに接続された第 2 のスイッチング素子と、

前記容量に接続された導通端子と前記センス線とに接続された第 3 のスイッチング素子とをさらに含むことを特徴とする、請求項 1 に記載の表示装置。

【請求項 4】

前記画素回路は、前記駆動素子の制御端子と前記第 1 の電源配線以下の電位を有する第 3 の電源配線とに接続された第 4 のスイッチング素子をさらに含み、

前記第 1 のスイッチング素子がオフ状態である期間の一部において、前記第 4 のスイッチング素子がオン状態になることを特徴とする、請求項 3 に記載の表示装置。

30

【請求項 5】

前記駆動素子および前記第 1 ～ 第 3 のスイッチング素子は薄膜トランジスタであり、

前記第 2 および第 3 のスイッチング素子のうち一方は P チャネル型、他方は N チャネル型であり、両者の制御端子は共通の走査線に接続されていることを特徴とする、請求項 3 に記載の表示装置。

【請求項 6】

前記データ線のそれぞれに対応して、前記センス線が複数設けられていることを特徴とする、請求項 1 に記載の表示装置。

【請求項 7】

複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、制御端子がスイッチング素子を介して前記データ線に接続された駆動素子とを含み、前記駆動素子の閾値電圧をセンス線に出力する機能を有する複数の画素回路を備えた表示装置の駆動方法であって、

40

前記走査線を用いて書き込み対象の画素回路を選択すると共に、選択した画素回路から前記センス線に前記閾値電圧が出力されるように制御するステップと、

表示データに対応したデータ電圧に前記センス線に出力された閾値電圧を加算または減算した電圧を前記データ線に印加するステップとを備えた、表示装置の駆動方法。

【発明の詳細な説明】**【技術分野】****【0001】**

50

本発明は、表示装置に関し、より特定的には、有機ＥＬディスプレイやＦＥＤなどの電流駆動素子を用いた表示装置およびその駆動方法に関する。

【背景技術】

【０００２】

近年、薄型、軽量、高速応答可能な表示装置の需要が高まり、これに伴い、有機ＥＬ（Electro Luminescence）ディスプレイやＦＥＤ（Field Emission Display）に関する研究開発が活発に行われている。

【０００３】

有機ＥＬディスプレイに含まれる有機ＥＬ素子は、印加される電圧が高く、流れる電流が多いほど、高い輝度で発光する。ところが、有機ＥＬ素子の輝度と電圧の関係は、駆動時間や周辺温度などの影響を受けて容易に変動する。このため、有機ＥＬディスプレイに電圧制御型の駆動方式を適用すると、有機ＥＬ素子の輝度のばらつきを抑えることが非常に困難になる。これに対して、有機ＥＬ素子の輝度は電流にほぼ比例し、この比例関係は周辺温度などの外的要因の影響を受けにくい。したがって、有機ＥＬディスプレイには電流制御型の駆動方式を適用することが好ましい。

10

【０００４】

一方、表示装置の画素回路や駆動回路は、アモルファスシリコン、低温多結晶シリコン、ＣＧ（Continuous Grain）シリコンなどで構成されたＴＦＴ（Thin Film Transistor：薄膜トランジスタ）を用いて構成される。ところが、ＴＦＴの特性（例えば、閾値電圧や移動度）には、ばらつきが生じやすい。そこで、有機ＥＬディスプレイの画素回路にはＴＦＴの特性のばらつきを補償する回路が設けられ、この回路の作用により有機ＥＬ素子の輝度のばらつきが抑えられる。

20

【０００５】

電流駆動型の駆動方式においてＴＦＴの特性のばらつきを補償する方式は、駆動用ＴＦＴに流れる電流の量を電流信号で制御する電流プログラム方式と、この電流の量を電圧信号で制御する電圧プログラム方式とに大別される。電流プログラム方式を用いれば閾値電圧と移動度のばらつきを補償することができ、電圧プログラム方式を用いれば閾値電圧のばらつきのみを補償することができる。

【０００６】

ところが、電流プログラム方式には、第１に、非常に微少な量の電流を扱うので画素回路や駆動回路の設計が困難である、第２に、電流信号を設定する間に寄生容量の影響を受けやすいので大面積化が困難であるという問題がある。これに対して、電圧プログラム方式では、寄生容量などの影響は軽微であり、回路設計も比較的容易である。また、移動度のばらつきが電流量に与える影響は、閾値電圧のばらつきが電流量に与える影響よりも小さく、移動度のばらつきはＴＦＴ作製工程である程度抑えることができる。したがって、電圧プログラム方式を適用した表示装置でも、十分な表示品位が得ることができる。

30

【０００７】

電流駆動型の駆動方式を適用した有機ＥＬディスプレイについては、従来から、以下に示す画素回路が知られている。図１３は、特許文献１に記載された画素回路の回路図である。図１３に示す画素回路９０は、駆動用ＴＦＴ９１、スイッチ用ＴＦＴ９２～９４、コンデンサ９５、９６、および、有機ＥＬ素子９７（ＯＬＥＤ：Organic Light Emitting Diodeともいう）を備えている。画素回路９０に含まれるＴＦＴは、いずれもＰチャネル型である。

40

【０００８】

画素回路９０では、電源配線Ｖ_p（電位はＶ_{DD}）と共通陰極（ＧＮＤ）との間に、駆動用ＴＦＴ９１、スイッチ用ＴＦＴ９４および有機ＥＬ素子９７が、この順序で直列に設けられている。駆動用ＴＦＴ９１のゲート端子とデータ線Ｓ_jの間には、コンデンサ９５とスイッチ用ＴＦＴ９２がこの順序で直列に設けられている。駆動用ＴＦＴ９１のゲート端子とドレイン端子の間にはスイッチ用ＴＦＴ９３が設けられ、駆動用ＴＦＴ９１のゲート端子と電源配線Ｖ_pの間にはコンデンサ９６が設けられている。スイッチ用ＴＦ

50

T 9 2、9 3、9 4 のゲート端子は、それぞれ、走査線 G i、オートゼロ線 A Z i および照明線 I L i に接続されている。

【 0 0 0 9 】

図 1 4 は、画素回路 9 0 に対するデータ書き込み時のタイミングチャートである。時刻 t 0 より前では、走査線 G i とオートゼロ線 A Z i の電位はハイレベルに、照明線 I L i の電位はローレベルに、データ線 S j の電位は基準電位 V s t d に制御される。時刻 t 0 において走査線 G i の電位がローレベルに変化すると、スイッチ用 T F T 9 2 がオン状態に変化する。次に時刻 t 1 においてオートゼロ線 A Z i の電位がローレベルに変化すると、スイッチ用 T F T 9 3 がオン状態に変化する。これにより、駆動用 T F T 9 1 のゲート端子とドレイン端子は同電位となる。

10

【 0 0 1 0 】

次に時刻 t 2 において照明線 I L i の電位がハイレベルに変化すると、スイッチ用 T F T 9 4 がオフ状態に変化する。このとき、電源配線 V p から駆動用 T F T 9 1 とスイッチ用 T F T 9 3 を経由して駆動用 T F T 9 1 のゲート端子に電流が流れ込み、駆動用 T F T 9 1 のゲート端子電位は駆動用 T F T 9 1 がオン状態である間は上昇する。駆動用 T F T 9 1 は、ゲート - ソース間電圧が閾値電圧 V t h (負の値) になる (すなわち、ゲート端子電位が (V D D + V t h) になる) と、オフ状態に変化する。したがって、駆動用 T F T 9 1 のゲート端子電位は (V D D + V t h) まで上昇する。

【 0 0 1 1 】

次に時刻 t 3 においてオートゼロ線 A Z i の電位がハイレベルに変化すると、スイッチ用 T F T 9 3 がオフ状態に変化する。このときコンデンサ 9 5 には、駆動用 T F T 9 1 のゲート端子とデータ線 S j との電位差 (V D D + V t h - V s t d) が保持される。

20

【 0 0 1 2 】

次に時刻 t 4 においてデータ線 S j の電位が基準電位 V s t d からデータ電位 V d a t a に変化すると、駆動用 T F T 9 1 のゲート端子電位は、同じ量 (V d a t a - V s t d) だけ変化して (V D D + V t h + V d a t a - V s t d) となる。次に時刻 t 5 において走査線 G i の電位がハイレベルに変化すると、スイッチ用 T F T 9 2 がオフ状態に変化する。このときコンデンサ 9 6 には、駆動用 T F T 9 1 のゲート - ソース間電圧 (V t h + V d a t a - V s t d) が保持される。次に時刻 t 6 において、データ線 S j の電位がデータ電位 V d a t a から基準電位 V s t d に変化する。

30

【 0 0 1 3 】

次に時刻 t 7 において照明線 I L i の電位がローレベルに変化すると、スイッチ用 T F T 9 4 がオン状態に変化する。これにより、電源配線 V p から駆動用 T F T 9 1 とスイッチ用 T F T 9 4 を経由して有機 E L 素子 9 7 に電流が流れる。駆動用 T F T 9 1 を流れる電流の量はゲート端子電位 (V D D + V t h + V d a t a - V s t d) に応じて増減するが、閾値電圧 V t h が異なっても電位差 (V d a t a - V s t d) が同じであれば電流量は同じである。したがって、閾値電圧 V t h の値にかかわらず、有機 E L 素子 9 7 には電位 V d a t a に応じた量の電流が流れ、有機 E L 素子 9 7 はデータ電位 V d a t a に応じた輝度で発光する。

【 特許文献 1 】 国際公開第 9 8 / 4 8 4 0 3 号パンフレット

40

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 4 】

上述したように、図 1 3 に示す画素回路 9 0 を用いれば、駆動用 T F T 9 1 の閾値電圧のばらつきを補償し、有機 E L 素子 9 7 を所望の輝度で発光させることができる。しかしながら、画素回路 9 0 には以下に示す問題点がある。

【 0 0 1 5 】

第 1 の問題点は、表示信号出力回路のダイナミックレンジ (データ電圧の振幅) を効率よく利用できないことである。画素回路 9 0 では、容量カップリングによるデータ書き込みが行われるので、画素回路の外部からあるデータ電圧を書き込んでも、オーバードライ

50

ブ電圧として実際に駆動用 T F T に印加される電圧は、その $C_c / (C_c + C_s + C_{gs})$ 倍になる（ただし、 C_c はコンデンサ 95 の容量、 C_s はコンデンサ 96 の容量、 C_{gs} は駆動用 T F T 91 のゲート - ソース間容量）。このようにデータ電圧の振幅を効率よく利用できないので、データドライバ回路の消費電力が増大する。カップリング容量 C_c を極めて大きくすれば、データ電圧の振幅を効率よく利用できるが、そうすると画素回路の面積が増大する。また、高い精度で制御できない寄生容量 C_{gs} が駆動電圧に影響を及ぼすことも問題となる。

【0016】

第2の問題点は、画素回路の規模が大きくなることである。上述したように、寄生容量対策としてカップリング容量 C_c を大きくすると、画素回路のレイアウトにおいてコンデンサ 95 の占める面積が大きくなる。このため、光を基板下部から取り出すボトムエミッション構成の有機 E L ディスプレイでは、開口率が低下する。また、回路面積の増大は製造時の歩留まり低下の要因になるので、画素回路の面積や素子数を削減する必要がある。

10

【0017】

第3の問題点は、閾値補正の精度が低いことである。上述したように、実際の駆動電圧は外部から与えた電圧の $C_c / (C_c + C_s + C_{gs})$ 倍になるので、閾値補正の効果も $C_c / (C_c + C_s + C_{gs})$ 倍になる。このため、閾値電圧を完全に補正することは困難である。

【0018】

それ故に、本発明は、画素回路の規模を増大させずに、データ電圧の振幅を効率よく利用し、高い精度で閾値補正を行う表示装置を提供することを目的とする。

20

【課題を解決するための手段】

【0019】

第1の発明は、電流駆動型の表示装置であって、

複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、制御端子がスイッチング素子を介して前記データ線に接続された駆動素子とを含み、前記駆動素子の閾値電圧をセンス線に出力する機能を有する複数の画素回路と、

前記走査線を用いて書き込み対象の画素回路を選択すると共に、選択した画素回路から前記センス線に前記閾値電圧が出力されるように制御する走査信号出力回路と、

表示データに対応したデータ電圧に前記センス線に出力された閾値電圧を加算または減算した電圧を前記データ線に印加する走査信号出力回路とを備える。

30

【0020】

第2の発明は、第1の発明において、

前記画素回路は、

前記駆動素子の制御端子と一方の導通端子とに接続された容量をさらに含み、

前記駆動素子に対する電源供給を遮断したときに、前記容量に接続された導通端子を前記センス線に接続することを特徴とする。

【0021】

第3の発明は、第1の発明において、

前記電気光学素子および前記駆動素子は、前記画素回路内で第1および第2の電源配線間に直列に設けられており、

40

前記画素回路は、

前記駆動素子の制御端子と一方の導通端子とに接続された容量と、

前記駆動素子の制御端子と前記データ線に接続された第1のスイッチング素子と、

前記駆動素子の一方の導通端子と前記第1の電源配線とに接続された第2のスイッチング素子と、

前記容量に接続された導通端子と前記センス線とに接続された第3のスイッチング素子とをさらに含むことを特徴とする。

【0022】

第4の発明は、第3の発明において、

50

前記画素回路は、前記駆動素子の制御端子と前記第 1 の電源配線以下の電位を有する第 3 の電源配線とに接続された第 4 のスイッチング素子をさらに含み、

前記第 1 のスイッチング素子がオフ状態である期間の一部において、前記第 4 のスイッチング素子がオン状態になることを特徴とする。

【0023】

第 5 の発明は、第 3 の発明において、

前記駆動素子および前記第 1 ~ 第 3 のスイッチング素子は薄膜トランジスタであり、

前記第 2 および第 3 のスイッチング素子のうち一方は P チャネル型、他方は N チャネル型であり、両者の制御端子は共通の走査線に接続されていることを特徴とする。

【0024】

第 6 の発明は、第 1 の発明において、

前記データ線のそれぞれに対応して、前記センス線が複数設けられていることを特徴とする。

【0025】

第 7 の発明は、複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、制御端子がスイッチング素子を介して前記データ線に接続された駆動素子とを含み、前記駆動素子の閾値電圧をセンス線に出力する機能を有する複数の画素回路を備えた表示装置の駆動方法であって、

前記走査線を用いて書き込み対象の画素回路を選択すると共に、選択した画素回路から前記センス線に前記閾値電圧が出力されるように制御するステップと、

表示データに対応したデータ電圧に前記センス線に出力された閾値電圧を加算または減算した電圧を前記データ線に印加するステップとを備える。

【発明の効果】

【0026】

上記第 1 または第 7 の発明によれば、選択された画素回路から駆動素子の閾値電圧を読み出し、データ電圧に閾値電圧を加算または減算した電圧を駆動素子の制御端子に与えることができる。したがって、駆動素子の閾値電圧を検出して閾値電圧のばらつきを補償し、電気光学素子を所望の輝度で発光させることができる。また、閾値補正回路を画素回路の外部に設けることにより、画素回路の規模を小さくすることができる。また、閾値電圧を電圧信号として検出することにより、電流信号を帰還する場合とは異なり電流電圧変換素子が不要になるので、補正効果のばらつきを抑えることができる。また、検出した閾値電圧をデータ電圧にそのまま加算または減算することにより、高い精度で閾値補正を行うことができる。また、カップリング容量を介さずに駆動素子の制御端子に所望の電圧を与えられるので、データ電圧の振幅を有効に利用し、消費電力を低減することができる。

【0027】

上記第 2 の発明によれば、駆動素子の閾値電圧を正確に検出する画素回路を小さな回路規模で実現することができる。

【0028】

上記第 3 の発明によれば、少数の素子を用いて画素回路を構成することにより、表示装置の歩留まりを高くすることができる。

【0029】

上記第 4 の発明によれば、駆動素子の閾値電圧を検出するときにセンス線に一定の電位を与えることにより、閾値電圧を高い精度で検出し、閾値補正の精度を高くすることができる。

【0030】

上記第 5 の発明によれば、第 2 および第 3 のスイッチング素子は排他的にオン状態になるので、駆動素子の閾値電圧をセンス線に出力する機能を有する表示装置を、走査線を削減して構成することができる。

【0031】

上記第 6 の発明によれば、駆動素子の閾値電圧を読み出すときに複数のセンス線を用い

10

20

30

40

50

ることにより、閾値電圧の検出期間を長くし、閾値補正の精度を高くすることができる。

【発明を実施するための最良の形態】

【0032】

図1～図12を参照して、本発明の第1～第5の実施形態に係る表示装置について説明する。以下に示す表示装置は、電気光学素子や複数のスイッチング素子を含む画素回路を備えている。画素回路に含まれるスイッチング素子は、低温ポリシリコンTFTやCGシリコンTFTやアモルファスシリコンTFTなどで構成することができる。これらTFTの構成や作成プロセスは公知であるため、ここではその説明を省略する。また、画素回路に含まれる電気光学素子は、有機EL素子であるとする。有機EL素子の構成も公知であるので、ここではその説明を省略する。以下、第1～第5の実施形態に共通する表示装置の全体構成について説明し、その後、各実施形態に係る表示装置の画素回路と閾値補正回路について説明する。

10

【0033】

(表示装置の全体構成)

図1は、本発明の第1～第5の実施形態に係る表示装置の構成を示すブロック図である。図1に示す表示装置1は、 $(m \times n)$ 個の画素回路 A_{ij} (ただし、 m および n は2以上の整数、 i は1以上 n 以下の整数、 j は1以上 m 以下の整数)、表示制御回路2、ゲートドライバ回路3、および、ソースドライバ回路4を備えている。ゲートドライバ回路3は走査信号出力回路として機能し、ソースドライバ回路4は表示信号出力回路として機能する。

20

【0034】

表示装置1には、互いに平行な n 本の走査線 G_i と、これに直交する互いに平行な m 本のデータ線 S_j とが設けられる。画素回路 A_{ij} は、走査線 G_i とデータ線 S_j の各交差点に対応してマトリクス状に配置されている。また、互いに平行な n 本の制御線 R_i が走査線 G_i と平行に配置され、互いに平行な m 本のセンス線 TS_j がデータ線 S_j と平行に配置されている。走査線 G_i と制御線 R_i はゲートドライバ回路3に接続され、データ線 S_j とセンス線 TS_j はソースドライバ回路4に接続される。さらに、画素回路 A_{ij} の配置領域には、図示しない電源配線 V_p (電位は V_{DD})と共通陰極 V_{com} が配置されている。電源配線 V_p は第1の電源配線に相当し、共通陰極 V_{com} は第2の電源配線に相当する。なお、共通陰極 V_{com} に代えて、陰極配線 CA_i を配置してもよい。

30

【0035】

表示制御回路2は、ゲートドライバ回路3に対して出力イネーブル信号 OE 、スタートパルス YI およびクロック YCK を出力し、ソースドライバ回路4に対してスタートパルス SP 、クロック CLK 、表示データ DA 、および、ラッチパルス LP を出力する。また、表示制御回路2は、閾値補正回路9に接続される a 本(a は1以上の整数)の制御線 $SCAN_1 \sim SCAN_a$ の電位を制御する。

【0036】

ゲートドライバ回路3は、シフトレジスタ回路、論理演算回路、および、バッファ(いずれも図示せず)を含んでいる。シフトレジスタ回路は、クロック YCK に同期してスタートパルス YI を順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスと出力イネーブル信号 OE との間で論理演算を行う。論理演算回路の出力は、バッファを経由して、対応する走査線 G_i と制御線 R_i に与えられる。1本の走査線 G_i には m 個の画素回路 A_{ij} が接続されており、画素回路 A_{ij} は走査線 G_i を用いて m 個ずつ一括して選択される。

40

【0037】

ソースドライバ回路4は、 m ビットのシフトレジスタ5、レジスタ6、ラッチ7、 m 個の D/A 変換器8、および、 m 個の閾値補正回路9を含み、1行分の画素回路 A_{ij} にデータを同じタイミングで送信する線順次走査を行う。より詳細には、シフトレジスタ5は、縦続接続された m 個のレジスタを有し、初段のレジスタに供給されたスタートパルス SP をクロック CLK に同期して転送し、各段のレジスタからタイミングパルス DLP を出

50

力する。タイミングパルス D L P の出力タイミングに合わせて、レジスタ 6 には表示データ D A が供給される。レジスタ 6 は、タイミングパルス D L P に従い、表示データ D A を記憶する。レジスタ 6 に 1 行分の表示データ D A が記憶されると、表示制御回路 2 はラッチ 7 に対してラッチパルス L P を出力する。ラッチ 7 は、ラッチパルス L P を受け取ると、レジスタ 6 に記憶された表示データを保持する。

【 0 0 3 8 】

D / A 変換器 8 と閾値補正回路 9 は、データ線 S j に対応して設けられる。D / A 変換器 8 は、ラッチ 7 に保持された表示データをアナログ信号電圧に変換し、対応する閾値補正回路 9 に出力する。閾値補正回路 9 は、データ線 S j とセンス線 T S j に接続されている。センス線 T S j には、ゲートドライバ回路 3 によって選択された画素回路 A i j から、駆動用 T F T の閾値電圧が出力される。閾値補正回路 9 は、センス線 T S j に出力された電圧に基づき、D / A 変換器 8 の出力電圧に駆動用 T F T の閾値電圧を加算または減算した電圧をデータ線 S j に印加する。閾値補正回路 9 の作用により、画素回路 A i j に含まれる駆動用 T F T の閾値電圧のばらつきを補償することができる（詳細は後述）。

10

【 0 0 3 9 】

なお、ソースドライバ回路 4 は、線順次走査に代えて、各画素回路に 1 つずつ順にデータを送信する点順次走査を行ってもよい。点順次走査を行うときには、ある走査線 G i が選択されている間、データ線 S j の電圧はデータ線 S j の容量によって保持される。点順次走査を行うソースドライバ回路の構成は公知であるので、ここでは説明を省略する。

20

【 0 0 4 0 】

（第 1 の実施形態）

図 2 は、本発明の第 1 の実施形態に係る表示装置に含まれる画素回路と閾値補正回路の回路図である。図 2 に示す画素回路 1 0 と閾値補正回路 2 0 は、図 1 では画素回路 A i j と閾値補正回路 9 に相当する。画素回路 1 0 は、スイッチ用 T F T 1 1 ~ 1 3、駆動用 T F T 1 4、コンデンサ 1 5、および、有機 E L 素子 1 6 を備えている。スイッチ用 T F T 1 1、1 3 は N チャンネル型、スイッチ用 T F T 1 2 と駆動用 T F T 1 4 は P チャンネル型である。

【 0 0 4 1 】

画素回路 1 0 は、電源配線 V p、共通陰極 V c o m、走査線 G i、制御線 R i、データ線 S j、および、センス線 T S j に接続されている。共通陰極 V c o m は、表示装置内のすべての有機 E L 素子 1 6 の共通電極となる。画素回路 1 0 では、電源配線 V p と共通陰極 V c o m を結ぶ経路上に、電源配線 V p 側から順に、スイッチ用 T F T 1 2、駆動用 T F T 1 4、および、有機 E L 素子 1 6 が直列に設けられている。駆動用 T F T 1 4 のゲート端子とデータ線 S j の間には、スイッチ用 T F T 1 1 が設けられている。スイッチ用 T F T 1 1 と駆動用 T F T 1 4 の接続点を節点 A、スイッチ用 T F T 1 2 と駆動用 T F T 1 4 の接続点を節点 B という。節点 A と節点 B の間にはコンデンサ 1 5 が設けられ、節点 B とセンス線 T S j の間にはスイッチ用 T F T 1 3 が設けられている。スイッチ用 T F T 1 1 のゲート端子は走査線 G i に接続され、スイッチ用 T F T 1 2、1 3 のゲート端子は制御線 R i に接続されている。走査線 G i と制御線 R i の電位はゲートドライバ回路 3 によって制御され、データ線 S j の電位はソースドライバ回路 4 によって制御される。

30

40

【 0 0 4 2 】

閾値補正回路 2 0 は、スイッチ 2 1 ~ 2 4、コンデンサ 2 5、および、アナログバッファ 2 6 を備えている。スイッチ 2 1 ~ 2 4 はいずれも N チャンネル型のトランジスタであり、アナログバッファ 2 6 はボルテージホロワ回路（ユニティゲインアンプ）である。センス線 T S j はスイッチ 2 1、2 4 の一端に接続され、スイッチ 2 1 の他端にはスイッチ 2 2 の一端とコンデンサ 2 5 の一方の電極が接続されている。コンデンサ 2 5 の他方の電極には、スイッチ 2 3 の一端とアナログバッファ 2 6 が接続されている。スイッチ 2 2 の他端には D / A 変換器 8 から出力されたデータ電圧 V d a t a が与えられ、スイッチ 2 3 の他端には初期電圧 V i n i が与えられ、スイッチ 2 4 の他端には V i n i よりも高く、V D D 以下の予備電圧 V i n i H が与えられる。閾値補正回路 2 0 は 2 本の制御線 S C A N

50

1、SCAN 2を用いて制御される。スイッチ 21、23のゲート端子は制御線SCAN 1に接続され、スイッチ 22、24のゲート端子は制御線SCAN 2に接続されている。

【0043】

図3は、画素回路10に対するデータ書き込み時のタイミングチャートである。以下、図3を参照して、走査線Giとデータ線Sjに接続された画素回路10にデータ電圧Vdataを書き込むときの動作を説明する。図3では、時刻t0から時刻t2までが画素回路10の選択期間となる。時刻t0から時刻t1では駆動用TFT14の閾値電圧を検知する処理が行われ、時刻t1から時刻t2では補正後のデータ電圧を書き込む処理が行われる。以下、駆動用TFT14の閾値電圧をVth(負の値)とし、スイッチ21とコンデンサ25の接続点を節点C、スイッチ23とコンデンサ25の接続点を節点Dという。

10

【0044】

時刻t0より前では、走査線Giと制御線Riの電位はローレベルに制御され、スイッチ用TFT11、13はオフ状態、スイッチ用TFT12はオン状態にある。このとき、コンデンサ15には前回のデータ書き込み時に与えられた電荷が蓄積されており、駆動用TFT14はオン状態にある。このため、電源配線Vpからスイッチ用TFT12と駆動用TFT14を経由して有機EL素子16に電流が流れ、有機EL素子16は発光する。

【0045】

時刻t0において走査線Giと制御線Riの電位がハイレベルに変化すると、スイッチ用TFT11、13はオン状態、スイッチ用TFT12はオフ状態に変化する。時刻t0から時刻t1では、データ線Sjの電位はViniであるので(理由は後述)、節点Aの電位もViniとなる。

20

【0046】

時刻t0以降、コンデンサ15に蓄積されていた電荷は駆動用TFT14と有機EL素子16を経由して放電され、節点Bの電位は駆動用TFT14がオン状態である間は下降する。駆動用TFT14は、ゲート-ソース間電圧が閾値電圧Vthになる(すなわち、節点Bの電位が(Vini - Vth)になると、オフ状態に変化する。したがって、節点Bの電位は(Vini - Vth)まで下降する。このときスイッチ用TFT13はオン状態であるので、センス線TSjの電位も(Vini - Vth)まで下降する。閾値補正回路20は、以下に示すように、センス線TSjに出力された電位(Vini - Vth)に基づき動作する。

30

【0047】

制御線SCAN 1の電位は、時刻t0から時刻t1ではハイレベルに、時刻t1から時刻t2ではローレベルに制御される。制御線SCAN 2の電位は、時刻t0から時刻t1ではローレベルに、時刻t1から時刻t2ではハイレベルに制御される。このため、時刻t0から時刻t1では、スイッチ21、23はオン状態、スイッチ22、24はオフ状態となり、時刻t1から時刻t2ではその逆になる。

【0048】

時刻t0から時刻t1では、スイッチ23はオン状態であるので、節点Dの電位はViniとなり、データ線Sjの電位もViniとなる。このときスイッチ21はオン状態であるので、節点Cの電位はセンス線TSjの電位と同じく(Vini - Vth)となる。

40

【0049】

時刻t1において、スイッチ21がオフ状態、スイッチ22がオン状態に変化すると、節点Cの電位は(Vini - Vth)からVdataに変化する。コンデンサ25に蓄積された電荷の量は時刻t1の前後で変化しないので、節点Dの電位は節点Cの電位と同じ量(Vdata - Vini + Vth)だけ変化して(Vdata + Vth)となる。このとき、データ線Sjの電位も(Vdata + Vth)となる。

【0050】

時刻t1において、制御線Riの電位がローレベルに変化すると、スイッチ用TFT12はオン状態、スイッチ用TFT13はオフ状態に変化する。また、時刻t1において、スイッチ24がオン状態に変化すると、センス線TSjの電位はViniHとなる。なお

50

、予備電圧 V_{iniH} は、時刻 t_1 の前後でセンス線 TS_j の電位がほぼ同じになる（すなわち、 $V_{iniH} = (V_{ini} - V_{th})$ となる）ように決定することが好ましい。

【0051】

時刻 t_1 以降も、走査線 Gi の電位はハイレベルであるので、スイッチ用 $TF T 1 1$ はオン状態を保つ。このため、節点 A の電位は、データ線 S_j の電位と同じく $(V_{data} + V_{th})$ となる。制御線 R_i に与えられるオン電位（ローレベル電位）は、スイッチ用 $TF T 1 2$ が深い線形領域で動作するように決定される。スイッチ用 $TF T 1 2$ における電圧降下を無視すると、節点 B の電位は V_{DD} となる。

【0052】

時刻 t_2 において、走査線 Gi の電位がローレベルに変化すると、スイッチ用 $TF T 1 1$ はオフ状態に変化する。このときコンデンサ 15 には、節点 A と節点 B の間の電位差 $(V_{DD} - V_{data} - V_{th})$ が保持される。時刻 t_2 以降、コンデンサ 15 に保持された電圧は変化しないので、節点 A の電位は $(V_{data} + V_{th})$ のままである。したがって、時刻 t_2 以降、次に同じ画素回路 10 に対するデータ書き込みが行われるまで、電源配線 V_p からスイッチ用 $TF T 1 2$ と駆動用 $TF T 1 4$ を経由して有機 EL 素子 16 に電流が流れ、有機 EL 素子 16 は発光する。このとき駆動用 $TF T 1 4$ を流れる電流の量は節点 A の電位 $(V_{data} + V_{th})$ に応じて増減するが、以下に示すように、閾値電圧 V_{th} が異なってもデータ電圧 V_{data} が同じであれば電流量は同じになる。

【0053】

駆動用 $TF T 1 4$ を飽和領域で動作させたとき、ドレイン・ソース間を流れる電流 I_{EL} は、深い線形領域で動作するスイッチ用 $TF T 1 2$ における電圧降下を無視すれば、次式（１）で与えられる。

$$I_{EL} = 1/2 \cdot W/L \cdot C_{ox} \cdot \mu (V_{DD} - V_g + V_{th})^2 \quad \dots (1)$$

ただし、上式（１）において、 W/L は駆動用 $TF T 1 4$ のアスペクト比、 C_{ox} はゲート容量、 μ は移動度、 V_g はゲート端子電位（節点 A の電位）である。

【0054】

式（１）に示す電流 I_{EL} は、閾値電圧 V_{th} に応じて変動する。本実施形態に係る表示装置では、ゲート端子電位 V_g が $(V_{data} + V_{th})$ となるので、電流 I_{EL} は次式（２）に示すようになる。

$$I_{EL} = 1/2 \cdot W/L \cdot C_{ox} \cdot \mu (V_{DD} - V_{data})^2 \quad \dots (2)$$

【0055】

式（２）に示す電流 I_{EL} は、閾値電圧 V_{th} には依存しない。したがって、閾値電圧 V_{th} の値にかかわらず、有機 EL 素子 16 にはデータ電圧 V_{data} に応じた量の電流が流れ、有機 EL 素子 16 はデータ電圧 V_{data} に応じた輝度で発光する。本実施形態に係る表示装置では、閾値補正は閾値補正回路 20 で行われるが、閾値補正回路 20 に複雑な論理回路やメモリなどを設ける必要がない。

【0056】

以下、アナログバッファ 26 について説明する。データ線 S_j の容量がコンデンサ 25 の容量と比べて無視できる程度に小さい場合には、閾値補正回路 20 にアナログバッファ 26 を設ける必要はない。一方、数インチ以上の表示パネルでは、データ線 S_j の容量は数 pF 以上になる場合が多いので、このような場合にはアナログバッファ 26 を設ける必要がある。この場合、アナログバッファ 26 としてボルテージホロワ回路（ユニティゲインアンプ）を用いれば、回路規模の増大を最小限に抑えながら駆動能力を高めることができる。

【0057】

また、アナログバッファ 26 に一般的な差動増幅器を用いた場合、差動対を形成するトランジスタの特性がばらつき、アナログバッファ 26 の特性がばらつくことがある。このようなばらつきが発生すると、表示画面には筋状のむらが現れ、表示品位が低下する。そこで、この不具合を防止するためには、アナログバッファ 26 を表示パネル上に形成せず、表示パネル外の周辺 IC に内蔵すればよい。周辺 IC に内蔵される回路は、典型的に

10

20

30

40

50

は単結晶シリコンによるトランジスタで形成される。したがって、周辺ＩＣに内蔵すれば、特性のばらつきが極めて小さいアナログバッファ２６を得ることができる。

【００５８】

また、上記の不具合を防止するために、アナログバッファ２６として、オフセットキャンセル機能を有するバッファ（図４を参照）を用いてもよい。図４（ａ）に示すバッファでは、差動増幅器３１の正側入力端子、負側入力端子および出力端子は、それぞれ、バッファの入力端子、コンデンサ３２の一方の電極、および、バッファの出力端子に接続されている。コンデンサ３２の他方の電極とバッファの入力端子との間には、スイッチ３３が設けられている。差動増幅器３１の負側入力端子と出力端子との間には、スイッチ３４が設けられている。コンデンサ３２の他方の電極と差動増幅器３１の出力端子との間には、

10

【００５９】

制御信号ＳＣ＿Ａ、ＳＣ＿Ｂは、図４（ｂ）に示すように排他的にスイッチをオン状態にするレベル（ここでは、ハイレベルとする）になる。制御信号ＳＣ＿Ａがハイレベルである間（図４（ｃ）を参照）、スイッチ３３、３４はオン状態、スイッチ３５はオフ状態となる。このとき、差動増幅器３１の正側入力端子と負側入力端子の間には、差動増幅器３１のオフセット電圧Ｖｏｆｆが現れる。オフセット電圧Ｖｏｆｆは、コンデンサ３２に保持される。

【００６０】

20

制御信号ＳＣ＿Ｂがハイレベルである間（図４（ｄ）を参照）、スイッチ３３、３４はオフ状態、スイッチ３５はオン状態となる。これに伴い、差動増幅器３１の負側入力電圧はオフセット電圧Ｖｏｆｆだけ変化し、差動増幅器３１の出力電圧（バッファの出力電圧）も同じ量だけ変化して入力電圧Ｖｉｎに等しくなる。このように、図４（ａ）に示すバッファを用いれば、差動増幅器３１のオフセット電圧をキャンセルすることができる。なお、オフセットキャンセル機能を有するバッファを表示パネル外の周辺ＩＣに内蔵してもよい。

【００６１】

以上に示すように、本実施形態に係る表示装置は、駆動用ＴＦＴ１４の閾値電圧Ｖｔｈをセンス線ＴＳｊに出力する機能を有する画素回路１０と、走査線Ｇｉを用いて書き込み対象の画素回路１０を選択すると共に、選択した画素回路１０からセンス線ＴＳｊに駆動用ＴＦＴ１４の閾値電圧Ｖｔｈが出力されるように制御するゲートドライバ回路３と、データ電圧Ｖｄａｔａからセンス線ＴＳｊに出力された閾値電圧Ｖｔｈの絶対値を減算した電圧（Ｖｄａｔａ＋Ｖｔｈ）をデータ線Ｓｊに印加するソースドライバ回路４を備えている。

30

【００６２】

したがって、本実施形態に係る表示装置によれば、ゲートドライバ回路３によって選択された画素回路１０から駆動用ＴＦＴ１４の閾値電圧Ｖｔｈを読み出し、電圧（Ｖｄａｔａ＋Ｖｔｈ）を駆動用ＴＦＴ１４のゲート端子に与えることができる。一般に、Ｐチャネル型の駆動用ＴＦＴでは、閾値電圧の絶対値を減算した電圧をゲート端子に与えれば、閾値電圧のばらつきを補償することができる。よって、本実施形態に係る表示装置によれば、駆動用ＴＦＴ１４の閾値電圧を検出して閾値電圧のばらつきを補償し、有機ＥＬ素子１６を所望の輝度で発光させることができる。

40

【００６３】

また、閾値補正回路２０を画素回路の外部に設け、センス線ＴＳｊを用いて閾値電圧を検出することにより、画素回路１０の規模を縮小することができる。また、閾値電圧を電圧信号として検出することにより、電流信号を帰還する場合とは異なり電流電圧変換素子が不要になるので、補正効果のばらつきを抑えることができる。また、検出した閾値電圧Ｖｔｈをデータ電圧Ｖｄａｔａにそのまま加算することにより、高い精度で閾値補正を行うことができる。また、カップリング容量を介さずに駆動用ＴＦＴ１４のゲート端子に所

50

望の電圧を与えられるので、データ電圧 V_{data} の振幅を有効に利用し、消費電力を低減することができる。

【0064】

また、画素回路 10 は、駆動用 T F T 14 のゲート端子とドレイン端子に接続されたコンデンサ 15 を含み、スイッチ用 T F T 12 をオフ状態にして駆動用 T F T 14 に対する電源供給を遮断したときに、駆動用 T F T 14 のドレイン端子（駆動用 T F T 14 の導通端子のうち、コンデンサ 15 に接続されたほう）をセンス線 TS_j に接続する。これにより、駆動用 T F T 14 の閾値電圧を正確に検出する画素回路を小さな回路規模で実現することができる。また、図 2 に示す画素回路 10 を用いることにより、少数の素子を用いて画素回路を構成し、表示装置の歩留まりを高くすることができる。

10

【0065】

（第 2 の実施形態）

図 5 は、本発明の第 2 の実施形態に係る表示装置に含まれる画素回路と閾値補正回路の回路図である。第 2 の実施形態に係る表示装置は、図 1 から制御線 R_i を除いた構成を有する。画素回路 A_{ij} の配置領域には、初期電圧 V_{ini} が印加された電源配線（図示せず。以下、第 3 の電源配線という）がさらに配置されている。図 5 に示す画素回路 40 と閾値補正回路 50 は、図 1 では画素回路 A_{ij} と閾値補正回路 9 に相当する。以下に示す各実施形態では、各実施形態の構成要素のうち第 1 の実施形態と同一の要素については、同一の参照符号を付して説明を省略する。

【0066】

20

画素回路 40 は、第 1 の実施形態に係る画素回路 10 に対して、スイッチ用 T F T 41 を追加し、スイッチ用 T F T 12、13 のゲート端子を走査線 $G_i - 1$ （走査線 G_i の 1 本上に配置された走査線）に接続する変更を施したものである。スイッチ用 T F T 41 は、N チャネル型である。スイッチ用 T F T 41 は、節点 A と第 3 の電源配線（電位は V_{ini} ）に接続されている。スイッチ用 T F T 41 のゲート端子は、スイッチ用 T F T 12、13 のゲート端子と共に走査線 $G_i - 1$ に接続されている。

【0067】

閾値補正回路 50 は、スイッチ 51a ~ b、52a ~ b、53a ~ b、54a ~ b、55、コンデンサ 56、57、および、アナログバッファ 26 を備えている。閾値補正回路 50 に含まれる 9 個のスイッチは、いずれも N チャネル型のトランジスタである。センス線 TS_j はスイッチ 51a、54a、55 の一端に接続されている。スイッチ 51a の他端にはスイッチ 52a の一端とコンデンサ 56 の一方の電極が接続されている。コンデンサ 56 の他方の電極にはスイッチ 51b、52b の一端が接続されている。スイッチ 52a の他端には D/A 変換器 8 から出力されたデータ電圧 V_{data} が与えられ、スイッチ 51b の他端には初期電圧 V_{ini} が与えられ、スイッチ 52b の他端にはアナログバッファ 26 が接続されている。スイッチ 53a ~ b、54a ~ b、および、コンデンサ 57 の接続形態もこれと同様である。スイッチ 55 の他端には、予備電圧 V_{iniH} が与えられる。

30

【0068】

閾値補正回路 50 は、5 本の制御線 $SCAN1 \sim SCAN5$ を用いて制御される。スイッチ 51a ~ b のゲート端子は制御線 $SCAN1$ に接続され、スイッチ 52a ~ b のゲート端子は制御線 $SCAN2$ に接続され、スイッチ 53a ~ b のゲート端子は制御線 $SCAN3$ に接続され、スイッチ 54a ~ b のゲート端子は制御線 $SCAN4$ に接続され、スイッチ 55 のゲート端子は制御線 $SCAN5$ に接続されている。

40

【0069】

図 6 は、画素回路 40 に対するデータ書き込み時のタイミングチャートである。以下、図 6 を参照して、走査線 G_i とデータ線 S_j に接続された画素回路 40 にデータ電圧 V_{data} を書き込むときの動作を説明する。図 6 では、時刻 t_4 から時刻 t_6 までは画素回路 40 の選択期間となり、時刻 t_0 から時刻 t_2 までは 1 つ上の画素回路の選択期間となる。時刻 t_0 から時刻 t_2 では駆動用 T F T 14 の閾値電圧を検知する処理が行われ、時

50

刻 t_4 から時刻 t_6 では補正後のデータ電圧を書き込む処理が行われる。以下、駆動用 T F T 1 4 の閾値電圧を V_{th} (負の値) とし、スイッチ 5 1 a とコンデンサ 5 6 の接続点を節点 C、スイッチ 5 1 b とコンデンサ 5 6 の接続点を節点 D、スイッチ 5 4 a とコンデンサ 5 7 の接続点を節点 E、スイッチ 5 4 b とコンデンサ 5 7 の接続点を節点 F という。

【0070】

走査線 $G_i - 1$ の電位は、時刻 t_0 から時刻 t_2 ではハイレベル、それ以外ではローレベルに制御される。走査線 G_i の電位は、時刻 t_4 から時刻 t_6 ではハイレベル、それ以外ではローレベルに制御される。制御線 S C A N 1 の電位は、時刻 t_1 でハイレベルからローレベルに変化する。制御線 S C A N 2 の電位は、時刻 t_3 でローレベルからハイレベルに変化し、時刻 t_6 でローレベルに変化する。制御線 S C A N 3 の電位は、時刻 t_2 でハイレベルからローレベルに変化する。制御線 S C A N 4 の電位は、時刻 t_3 でローレベルからハイレベルに変化し、時刻 t_5 でローレベルに変化する。制御線 S C A N 5 の電位は、時刻 t_0 でハイレベルからローレベルに変化し、時刻 t_3 でハイレベルに変化し、時刻 t_4 でローレベルに変化する。画素回路 4 0 に含まれる 4 個のスイッチ用 T F T と閾値補正回路 5 0 に含まれる 9 個のスイッチは、これら信号線の電位に応じて、オン状態またはオフ状態となる。

10

【0071】

時刻 t_0 から時刻 t_2 では、スイッチ用 T F T 1 1、1 2 はオフ状態、スイッチ用 T F T 1 3、4 1 はオン状態となる。このため、節点 A の電位は V_{ini} となり、時刻 t_1 では節点 B およびセンス線 T S j の電位は $(V_{ini} - V_{th})$ となる。

20

【0072】

時刻 t_0 から時刻 t_1 では、スイッチ 5 1 a、5 1 b はオン状態、スイッチ 5 2 a、5 2 b はオフ状態となる。このため、節点 D の電位は V_{ini} となり、接点 C の電位はセンス線 T S j_n の電位と同じく $(V_{ini} - V_{th})$ となる。時刻 t_1 においてスイッチ 5 1 a、5 1 b はオフ状態に変化し、時刻 t_3 においてスイッチ 5 2 a、5 2 b はオン状態に、スイッチ 5 3 b はオフ状態に変化する。このため、節点 C の電位は $(V_{ini} - V_{th})$ から V_{data} に変化し、節点 D の電位は節点 C の電位と同じ量だけ変化して $(V_{data} + V_{th})$ となる。時刻 t_3 以降、データ線 S j の電位は $(V_{data} + V_{th})$ となる。

30

【0073】

時刻 t_4 において、スイッチ用 T F T 1 1 はオン状態に変化する。このとき、節点 A の電位は $(V_{data} + V_{th})$ となる。時刻 t_6 において、スイッチ用 T F T 1 1 はオフ状態に変化する。このときコンデンサ 1 5 には、節点 A と節点 B の電位差 $(V_{DD} - V_{data} - V_{th})$ が保持される。時刻 t_6 以降、有機 E L 素子 1 6 は、閾値電圧 V_{th} の値にかかわらず、データ電圧 V_{data} に応じた輝度で発光する。

【0074】

時刻 t_3 から時刻 t_6 では、1 つ下の画素回路に含まれる駆動用 T F T の閾値電圧 (以下、 V_{th}' という) を検知する処理が行われる。より詳細には、時刻 t_3 から時刻 t_4 では、スイッチ 5 5 がオン状態となり、センス線 T S j の電位は V_{iniH} となる。時刻 t_5 では、センス線 T S j の電位は $(V_{ini} - V_{th}')$ となる。時刻 t_4 から時刻 t_5 では、スイッチ 5 3 a、5 3 b はオフ状態、スイッチ 5 4 a、5 4 b はオン状態となる。このため、節点 F の電位は V_{ini} となり、節点 E の電位はセンス線 T S j の電位と同じく $(V_{ini} - V_{th}')$ となる。コンデンサ 5 7 に保持された電位差は、1 つ下の画素回路にデータ電圧を書き込むときに使用される。

40

【0075】

第 1 の実施形態に係る表示装置は、駆動用 T F T の閾値電圧を検出する処理を、画素回路の選択期間からデータ電圧の書き込み期間を引いた時間内に行う。このため、閾値電圧のばらつきが大きいときには、閾値電圧の検出期間が不足し、閾値電圧を正しく検出できないことがある。

【0076】

50

これに対して、本実施形態に係る表示装置は、駆動用 T F T の閾値電圧を検出する処理を 1 つ上の行の画素回路の選択期間内に行う。これにより、閾値電圧の検出期間を長くし、閾値補正の精度を高くすることができる。

【 0 0 7 7 】

また、本実施形態に係る表示装置は、画素回路 4 0 の内部に、駆動用 T F T 1 4 のゲート端子と第 3 の電源配線に接続され、スイッチ用 T F T 1 1 がオフ状態である期間の一部（ここでは、1 つ上の行の画素回路の選択期間）でオン状態となるスイッチ用 T F T 4 1 を備えている。これにより、駆動用 T F T 1 4 の閾値電圧を検出するときにセンス線 T S j に一定の電位を与えて、閾値電圧を高い精度で検出し、閾値補正の精度を高くすることができる。

10

【 0 0 7 8 】

（第 3 の実施形態）

図 7 は、本発明の第 3 の実施形態に係る表示装置に含まれる画素回路と閾値補正回路の回路図である。第 3 の実施形態に係る表示装置は、図 1 に対して走査線 G i と平行な n 本の制御線 R i B を追加した構成を有する。図 7 に示す画素回路 6 0 と閾値補正回路 2 0 は、図 1 では画素回路 A i j と閾値補正回路 9 に相当する。

【 0 0 7 9 】

画素回路 6 0 は、スイッチ用 T F T 6 1 ~ 6 3、駆動用 T F T 6 4、コンデンサ 1 5、および、有機 E L 素子 1 6 を備えている。画素回路 6 0 に含まれる 4 個の T F T は、いずれも N チャネル型である。画素回路 6 0 では、電源配線 V p と共通陰極 V c o m を結ぶ経路上に、電源配線 V p 側から順に、スイッチ用 T F T 6 2、駆動用 T F T 6 4、および、有機 E L 素子 1 6 が直列に設けられている。駆動用 T F T 6 4 のゲート端子とデータ線 S j の間には、スイッチ用 T F T 6 1 が設けられている。スイッチ用 T F T 6 1 と駆動用 T F T 6 4 の接続点を節点 P、駆動用 T F T 6 4 と有機 E L 素子 1 6 の接続点を節点 Q という。節点 P と節点 Q の間にはコンデンサ 1 5 が設けられ、節点 Q とセンス線 T S j の間にはスイッチ用 T F T 6 3 が設けられている。スイッチ用 T F T 6 1 ~ 6 3 のゲート端子は、それぞれ、走査線 G i、制御線 R i B および制御線 R i に接続されている。走査線 G i と制御線 R i、R i B の電位はゲートドライバ回路 3 によって制御され、データ線 S j の電位はソースドライバ回路 4 によって制御される。

20

【 0 0 8 0 】

図 8 は、画素回路 6 0 に対するデータ書き込み時のタイミングチャートである。図 8 に示すように、走査線 G i および制御線 R i、S C A N 1、S C A N 2 の電位は、図 3 と同じように変化する。制御線 R i B の電位は、制御線 R i の電位がローレベルのときにはハイレベル、制御線 R i の電位がハイレベルのときにはローレベルとなる。本実施形態に係る表示装置は、第 1 の実施形態に係る表示装置と同様に動作し、同様の効果を奏する。なお、一般に、N チャネル型の駆動用 T F T では、閾値電圧の絶対値を加算した電圧をゲート端子に与えれば、閾値電圧のばらつきを補償することができる。

30

【 0 0 8 1 】

（第 4 の実施形態）

図 9 は、本発明の第 4 の実施形態に係る表示装置に含まれる画素回路と閾値補正回路の回路図である。第 4 の実施形態に係る表示装置は、第 1 の実施形態に係る表示装置と同じ構成を有する。図 9 に示す画素回路 7 0 と閾値補正回路 2 0 は、図 1 では画素回路 A i j と閾値補正回路 9 に相当する。画素回路 7 0 は、第 3 の実施形態に係る画素回路 6 0 に対して、スイッチ用 T F T 6 2 を削除し、駆動用 T F T 6 4 のドレイン端子を電源配線 V p に接続する変更を施したものである。

40

【 0 0 8 2 】

有機 E L 素子 1 6 には、印加電圧が所定レベル（発光開始電圧と呼ばれる）よりも低いときには、電流が流れず、発光しないという性質（ダイオード性）がある。本実施形態に係る表示装置では、初期電圧 V i n i は、駆動用 T F T 6 4 の閾値電圧を検出している間に、有機 E L 素子 1 6 への印加電圧が発光開始電圧より低くなるように決定される。具体

50

的には、有機EL素子16の閾値電圧 V_{th} （正の値）を検出するときに、節点Qの電位は $(V_{ini} - V_{th})$ となる。初期電圧 V_{ini} は、このときの節点Qと共通陰極 V_{com} の電位差が有機EL素子16の発光開始電圧よりも低くなるように決定される。

【0083】

図10は、画素回路70に対するデータ書き込み時のタイミングチャートである。図10に示すように、走査線 G_i および制御線 R_i 、SCAN1、SCAN2の電位は、図3と同様に变化する。本実施形態に係る表示装置は、第1の実施形態に係る表示装置と同様に動作し、同様の効果を奏する。また、上記のように初期電圧 V_{ini} を決定すれば、駆動用TFT64の閾値電圧を検出している間、有機EL素子16にほとんど電流が流れない。したがって、スイッチ用TFT62を削除しても、駆動用TFT64の閾値電圧を検知し、閾値補正を行うことができる。

10

【0084】

（第5の実施形態）

図11は、本発明の第5の実施形態に係る表示装置におけるセンス線の接続形態を示す図である。本実施形態に係る表示装置は、各データ線に対応して複数（ここでは、2本）のセンス線を備えている。図11において、画素回路80は上述した画素回路10、40、60、70などであり、スイッチ用TFT81は上述したスイッチ用TFT13、63などである。センス線 TS_j1 、 TS_j2 は、図1ではセンス線 TS_j に相当する。

【0085】

第1の例（図11（a））では、2本のセンス線 TS_j1 、 TS_j2 は、画素回路80の1列分とほぼ同じ長さを有し、互いに平行に配置されている。奇数行目の画素回路80に含まれるスイッチ用TFT81のゲート端子はセンス線 TS_j1 に接続され、偶数行目の画素回路80に含まれるスイッチ用TFT81のゲート端子はセンス線 TS_j2 に接続されている。このように各データ線に対応して2本のセンス線 TS_j1 、 TS_j2 を設けることにより、画素回路80に含まれる駆動用TFTの閾値電圧の検出期間を長くすることができる。

20

【0086】

第2の例（図11（b））では、2本のセンス線 TS_j1 、 TS_j2 は、画素回路80の1列分の半分とほぼ同じ長さを有し、同一直線上に配置されている。 $(m \times n)$ 個の画素回路80は、1行目から $(n/2)$ 行目までと $(n/2 + 1)$ 行目から n 行目までに2分割される。上半分の画素回路80に含まれるスイッチ用TFT81のゲート端子はセンス線 TS_j1 に接続され、下半分の画素回路80に含まれるスイッチ用TFT81のゲート端子は他方のセンス線 TS_j2 に接続されている。

30

【0087】

この場合、ゲートドライバ回路3は、上半分の画素回路80と下半分の画素回路80を1行ずつ交互に選択する。これにより、画素回路80は、1行目、 $(n/2 + 1)$ 行目、2行目、 $(n/2 + 2)$ 行目、...の順に選択される。このように各データ線に対応して2本のセンス線 TS_j1 、 TS_j2 を同一直線上に設けることにより、センス線 TS_j のレイアウト面積を増やさずに、画素回路80に含まれる駆動用TFTの閾値電圧の検出期間を長くすることができる。なお、図11（b）に示すセンス線の接続形態を有する表示装置では、ソースドライバ回路4は、画素回路80の配置領域の上側と下側に分けて配置される（図12を参照）。

40

【0088】

以上に示すように、各データ線に対応して複数のセンス線を備えた本実施形態に係る表示装置によれば、駆動用TFTの閾値電圧の検出期間を長くし、閾値補正の精度を高くすることができる。

【0089】

なお、第1～第5の実施形態では、画素回路は電気光学素子として有機EL素子を含むこととしたが、有機EL素子以外の電流駆動型の電気光学素子（例えば、半導体LEDやFEDの発光部など）を含んでいてもよい。また、画素回路は、電気光学素子の駆動素子

50

として、ガラス基板などの絶縁基板上に形成されたM O Sトランジスタ（シリコンゲートM O S構造を含む）であるT F Tを含むこととしたが、閾値電圧を有する任意の電圧制御型の素子（すなわち、制御端子に印加された制御電圧に応じて出力電流が変化し、制御電圧が所定値以上または以下になると出力電流を遮断する素子）を含んでいてもよい。したがって、画素回路は、駆動素子として、半導体基板上に形成されるM O Sトランジスタなども含む、一般の絶縁ゲート型電界効果トランジスタを含んでいてもよい。

【0090】

また、本発明は上述した各実施形態に限定されるものではなく、種々の変更が可能である。異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態も、本発明の技術的範囲に含まれる。

【図面の簡単な説明】

【0091】

【図1】本発明の第1～第5の実施形態に係る表示装置の構成を示すブロック図である。

【図2】本発明の第1の実施形態に係る表示装置に含まれる画素回路と閾値補正回路の回路図である。

【図3】本発明の第1の実施形態に係る表示装置における画素回路に対するデータ書き込み時のタイミングチャートである。

【図4】オフセットキャンセル機能を有するバッファの回路図、タイミングチャートおよび動作を説明するための図である。

【図5】本発明の第2の実施形態に係る表示装置に含まれる画素回路と閾値補正回路の回路図である。

【図6】本発明の第2の実施形態に係る表示装置における画素回路に対するデータ書き込み時のタイミングチャートである。

【図7】本発明の第3の実施形態に係る表示装置に含まれる画素回路と閾値補正回路の回路図である。

【図8】本発明の第3の実施形態に係る表示装置における画素回路に対するデータ書き込み時のタイミングチャートである。

【図9】本発明の第4の実施形態に係る表示装置に含まれる画素回路と閾値補正回路の回路図である。

【図10】本発明の第4の実施形態に係る表示装置における画素回路に対するデータ書き込み時のタイミングチャートである。

【図11】本発明の第5の実施形態に係る表示装置におけるセンス線の接続形態を示す図である。

【図12】図11（b）に示すセンス線の接続形態を有する表示装置の構成を示すブロック図である。

【図13】従来の表示装置に含まれる画素回路の回路図である。

【図14】図13に示す画素回路に対するデータ書き込み時のタイミングチャートである。

【符号の説明】

【0092】

1 ... 表示装置

2 ... 表示制御回路

3 ... ゲートドライバ回路

4 ... ソースドライバ回路

5 ... シフトレジスタ

6 ... レジスタ

7 ... ラッチ

8 ... D / A 変換器

9、20、50 ... 閾値補正回路

Aij、10、40、60、70、80 ... 画素回路

10

20

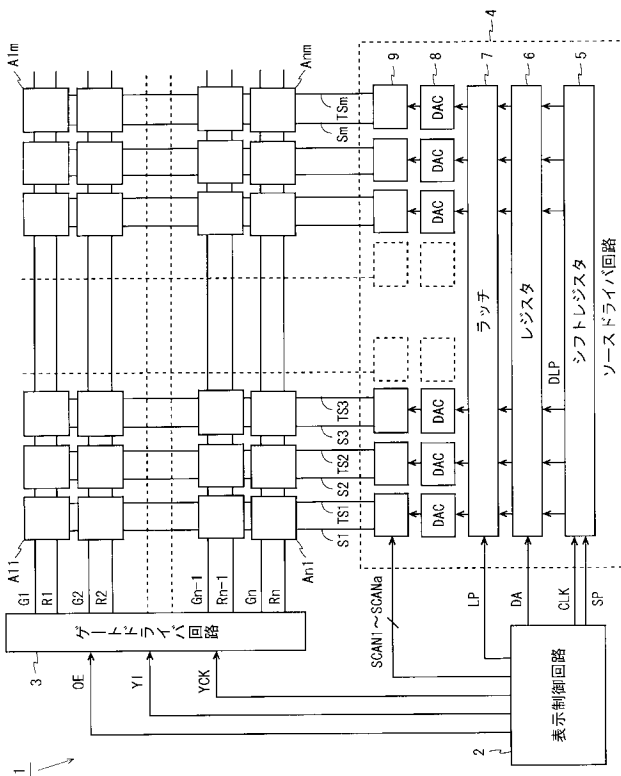
30

40

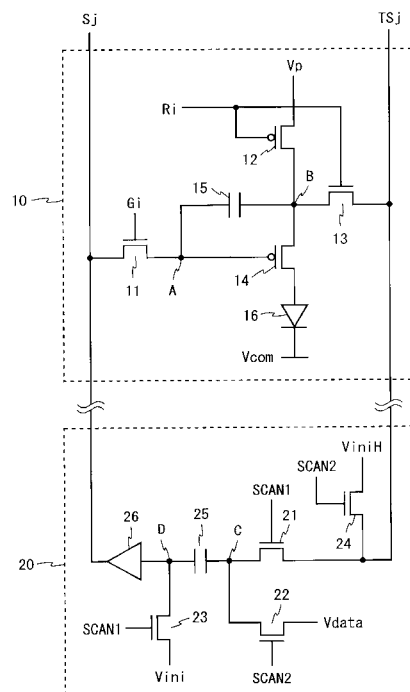
50

1 1 ~ 1 3、4 1、6 1 ~ 6 3、8 1 ... スイッチ用 T F T
 1 4、6 4 ... 駆動用 T F T
 1 5、2 5、5 6、5 7 ... コンデンサ
 1 6 ... 有機 E L 素子
 2 1 ~ 2 4、5 1 ~ 5 5 ... スイッチ
 2 6 ... アナログバッファ
 G i ... 走査線
 S j ... データ線
 R i、S C A N 1 ~ a ... 制御線
 T S j ... センス線

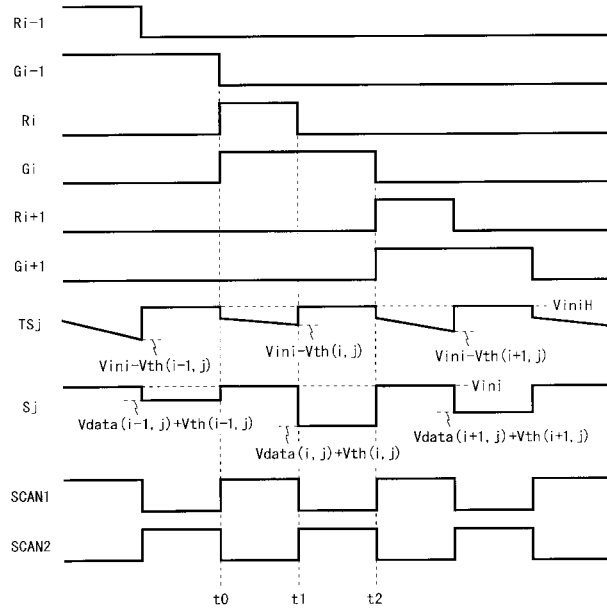
【図 1】



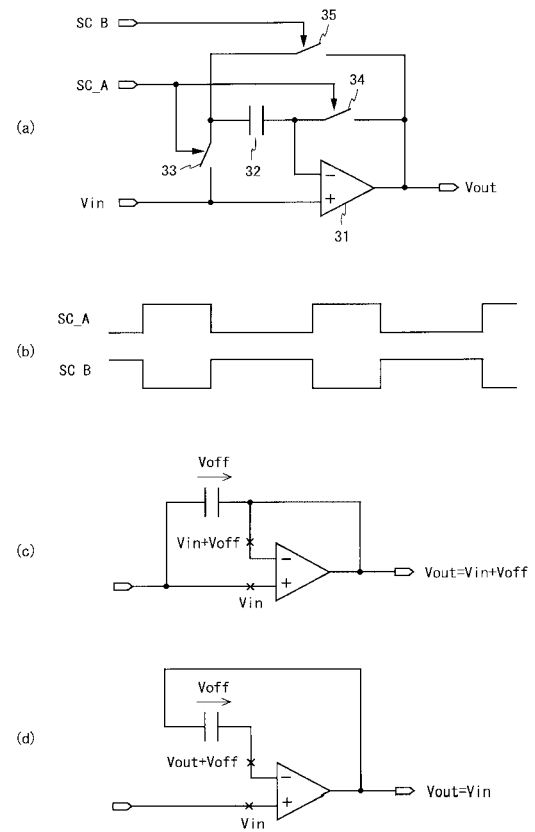
【図 2】



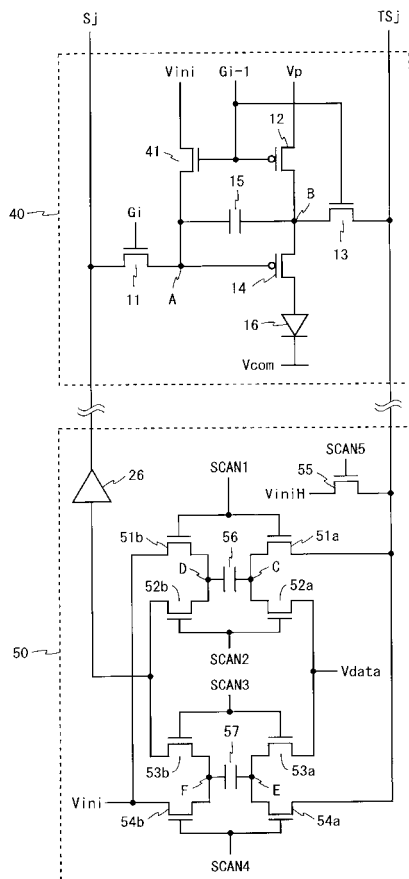
【図 3】



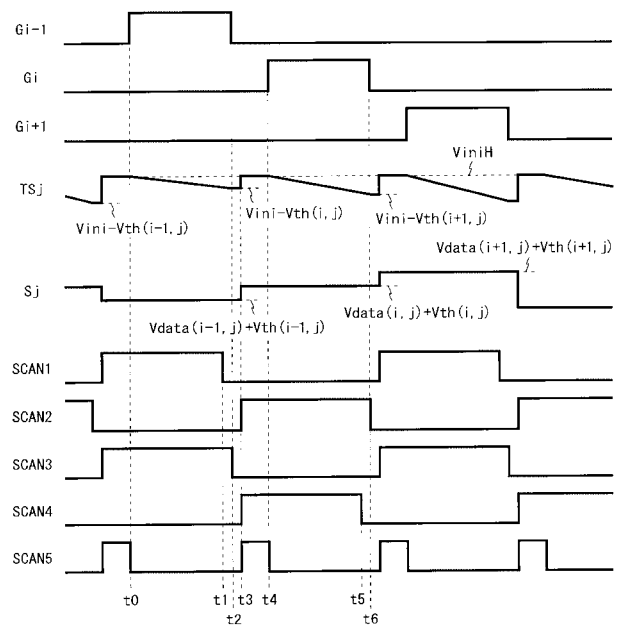
【図 4】



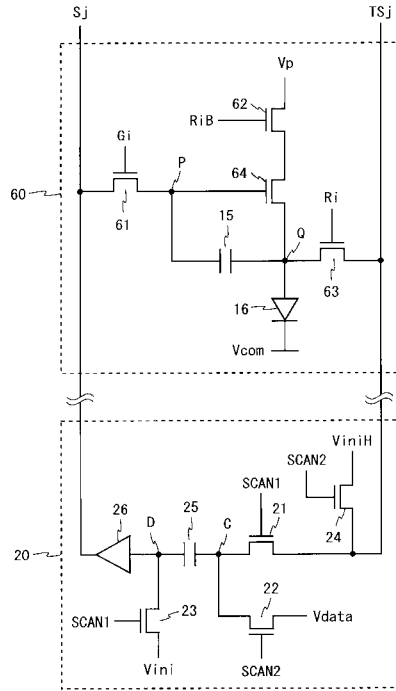
【図 5】



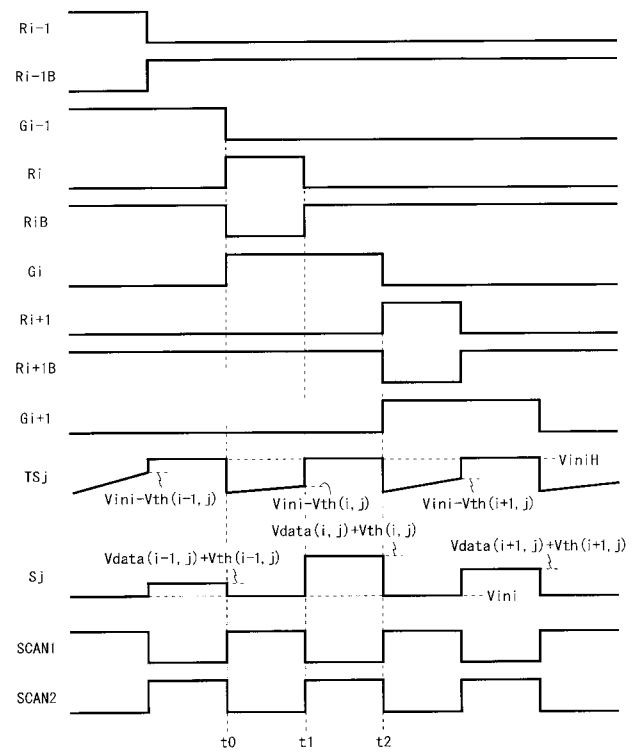
【図 6】



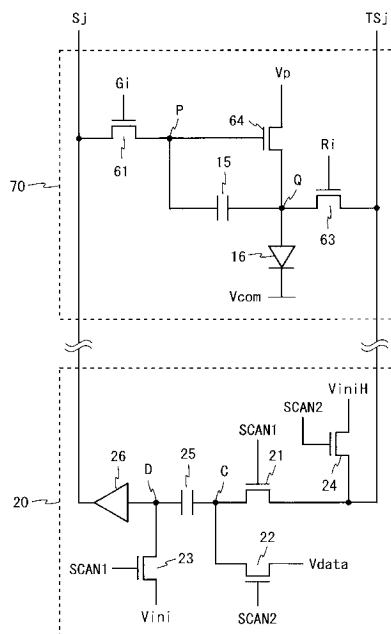
【図 7】



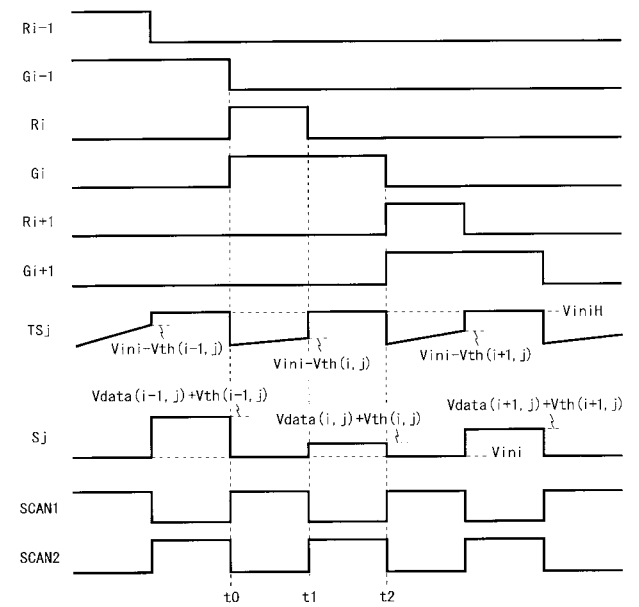
【図 8】



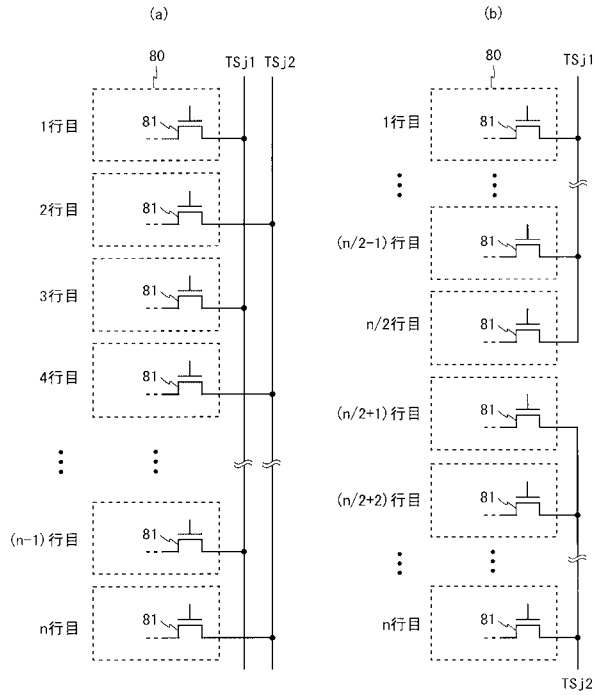
【図 9】



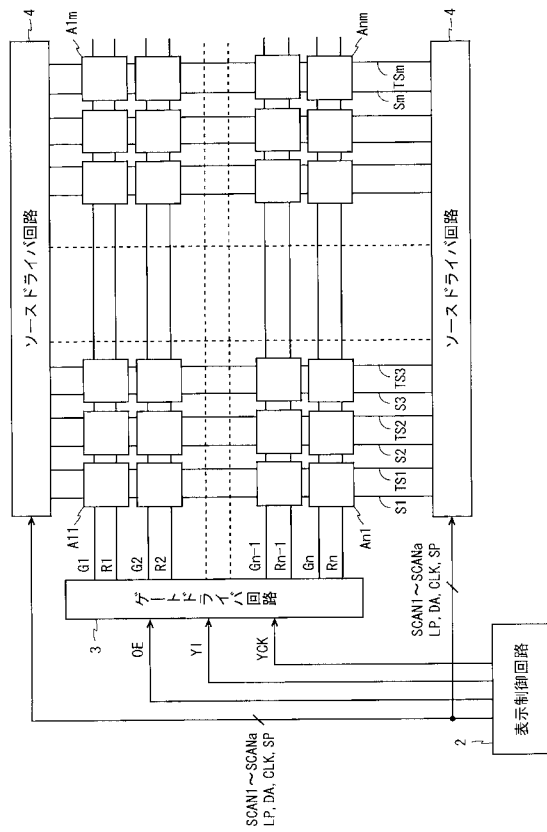
【図 10】



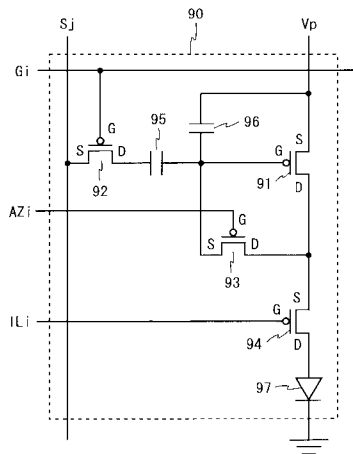
【図 1 1】



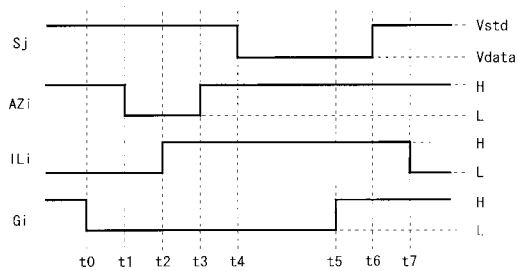
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 1 A
H 0 5 B	33/14	A

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2009008799A	公开(公告)日	2009-01-15
申请号	JP2007168874	申请日	2007-06-27
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	岸宣孝		
发明人	岸 宣孝		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G2320/0295		
FI分类号	G09G3/30.K G09G3/30.J G09G3/30.H G09G3/20.642.P G09G3/20.611.H G09G3/20.642.A G09G3/20.611.A G09G3/20.624.B G09G3/20.623.B G09G3/20.621.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC33 3K107/CC36 3K107/CC45 3K107/EE04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD26 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB12 5C380/AB22 5C380/AB24 5C380/AB45 5C380/BA01 5C380/BA05 5C380/BA13 5C380/BA29 5C380/BA34 5C380/BA37 5C380/BA39 5C380/BB03 5C380/BB04 5C380/CA04 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA22 5C380/CA26 5C380/CA32 5C380/CA48 5C380/CA57 5C380/CB01 5C380/CB04 5C380/CB12 5C380/CB14 5C380/CB17 5C380/CB31 5C380/CB33 5C380/CC04 5C380/CC07 5C380/CC09 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC53 5C380/CC55 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD024 5C380/CE20 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF27 5C380/CF28 5C380/CF31 5C380/CF43 5C380/CF48 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA34 5C380/FA02 5C380/FA21 5C380/FA28		
代理人(译)	岛田彰		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种显示装置，其在不增加像素电路的规模的情况下有效地利用数据电压的幅度并且以高精度校正阈值。当阈值校正电路20中的开关23导通以向数据线Sj提供初始电压Vini以导通像素电路10中的TFT 11和13并截止TFT 12时，感测线TSj的电位变为 (Vini-Vth)。此时，开关21导通以将驱动TFT 14的阈值电压Vth保持在电容器25中。接下来，切换开关21至23的状态，将电压 (Vdata + Vth) 施加至数据线Sj，并且切换TFT 11至13的状态。在TFT 11关断之后流过有机EL元件16的电流由驱动TFT 14的栅极端子电压 (Vdata + Vth) 确定。这补偿了驱动TFT的阈值电压的变化。[选择图]图2

