

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-523425

(P2008-523425A)

(43) 公表日 平成20年7月3日(2008.7.3)

|                                     |                |             |
|-------------------------------------|----------------|-------------|
| (51) Int.Cl.                        | F I            | テーマコード (参考) |
| <b>G09G 3/32 (2006.01)</b>          | G09G 3/32 A    | 3K107       |
| <b>G09G 3/30 (2006.01)</b>          | G09G 3/30 K    | 5C080       |
| <b>G09G 3/20 (2006.01)</b>          | G09G 3/30 J    |             |
| <b>H01L 51/50 (2006.01)</b>         | G09G 3/20 624B |             |
|                                     | G09G 3/20 611H |             |
| 審査請求 未請求 予備審査請求 未請求 (全 33 頁) 最終頁に続く |                |             |

(21) 出願番号 特願2007-544707 (P2007-544707)  
 (86) (22) 出願日 平成17年12月6日 (2005.12.6)  
 (85) 翻訳文提出日 平成19年8月3日 (2007.8.3)  
 (86) 国際出願番号 PCT/CA2005/001844  
 (87) 国際公開番号 W02006/060902  
 (87) 国際公開日 平成18年6月15日 (2006.6.15)  
 (31) 優先権主張番号 2,490,858  
 (32) 優先日 平成16年12月7日 (2004.12.7)  
 (33) 優先権主張国 カナダ (CA)

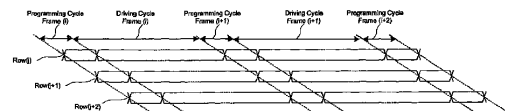
(71) 出願人 507257080  
 イグニス・イノベーション・インコーポレ  
 ーテッド  
 IGNIS INNOVATION IN  
 CORPORATED  
 カナダ オンタリオ キッチナー フレダ  
 リック ストリート 22 スイート 1  
 O2O  
 (74) 代理人 100097490  
 弁理士 細田 益穂  
 (74) 代理人 100113354  
 弁理士 石井 総  
 (74) 代理人 100097504  
 弁理士 青木 純雄

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型発光デバイスのピクセルをプログラミング及び駆動する方法並びにシステム

## (57) 【要約】

アクティブマトリクス型発光デバイスのピクセルをプログラミング及び駆動する方法並びにシステムが提供される。該ピクセルは、電圧プログラム型ピクセル回路であり、発光デバイス、駆動トランジスタ及び記憶キャパシタを有する。該ピクセルは、複数の動作サイクルを持つプログラミングサイクルと、駆動サイクルとを有する。プログラミングサイクルの間において、OLEDと駆動トランジスタとの間の接続部の電圧は、駆動トランジスタの所望のゲート/ソース電圧が記憶キャパシタに記憶されるように制御される。



## 【特許請求の範囲】

## 【請求項 1】

表示システムをプログラミング及び駆動する方法であって、前記表示システムが、行及び列に配列された複数のピクセル回路を有する表示アレイであって、各ピクセル回路が、

電圧供給電極に接続された第 1 端子と、第 2 端子とを有する発光デバイスと、

第 1 端子と、第 2 端子とを有するキャパシタと、

選択ラインに接続されたゲート端子と、電圧データを伝送するための信号ラインに接続された第 1 端子と、前記キャパシタの第 1 端子に接続された第 2 端子とを有するスイッチトランジスタと、

第 1 ノード (A) において前記スイッチトランジスタの第 2 端子及び前記キャパシタの第 1 端子に接続されたゲート端子と、第 2 ノード (B) において前記発光デバイスの第 2 端子及び前記キャパシタの第 2 端子に接続された第 1 端子と、制御可能な電圧供給ラインに接続された第 2 端子とを有する駆動トランジスタと、

を有するような表示アレイと、

前記表示アレイを動作させるために前記選択ライン、前記制御可能な電圧供給ライン及び前記信号ラインを駆動するドライバと、

を含むような方法において、

プログラミングサイクルにおいては、

第 1 動作サイクルにおいて、前記第 2 ノードを ( $V_{REF} - V_T$ ) 又は ( $-V_{REF} + V_T$ ) により規定される第 1 電圧で充電し、ここで、 $V_{REF}$  は基準電圧を表す一方、 $V_T$  は前記駆動トランジスタの閾電圧を表し、

第 2 動作サイクルにおいて、前記第 1 ノードを ( $V_{REF} + V_P$ ) 又は ( $-V_{REF} + V_P$ ) により規定される第 2 電圧で充電して、前記第 1 電圧と前記第 2 電圧との間の差が前記記憶キャパシタに記憶されるようにし、ここで、 $V_P$  はプログラミング電圧を表し、

駆動サイクルにおいては、前記記憶キャパシタに記憶された電圧を前記駆動トランジスタのゲート端子に供給する、

ような各ステップを有する方法。

## 【請求項 2】

請求項 1 に記載の方法において、前記発光デバイスが有機発光ダイオードであるような方法。

## 【請求項 3】

請求項 1 に記載の方法において、前記トランジスタの少なくとも 1 つが薄膜トランジスタであるような方法。

## 【請求項 4】

請求項 1 に記載の方法において、前記プログラミングサイクル及び前記駆動サイクルが各行に対して連続して実施されるような方法。

## 【請求項 5】

表示システムをプログラミング及び駆動する方法であって、前記表示システムが、行及び列に配列された複数のピクセル回路を有する表示アレイであって、各ピクセル回路が、

電圧供給電極に接続された第 1 端子と、第 2 端子とを有する発光デバイスと、

各々が第 1 端子及び第 2 端子を有する第 1 キャパシタ及び第 2 キャパシタと、

第 1 選択ラインに接続されたゲート端子と、前記発光デバイスの第 2 端子に接続された第 1 端子と、前記第 1 キャパシタの第 1 端子に接続された第 2 端子とを有する第 1 スwitchトランジスタと、

第 2 選択ラインに接続されたゲート端子と、電圧データを伝送するための信号ラインに接続された第 1 端子と、第 2 端子とを有する第 2 スwitchトランジスタと、

第 1 ノード (A) において前記発光デバイスの第 2 端子に接続された第 1 端子と、第

10

20

30

40

50

2 ノード ( B ) において前記第 1 スイッチトランジスタの第 2 端子及び前記第 1 キャパシタの第 1 端子に接続されたゲート端子と、制御可能な電圧供給ラインに接続された第 2 端子とを有する駆動トランジスタと、  
を有し、

第 3 ノード ( C ) において前記第 2 スイッチトランジスタの第 2 端子が前記第 1 キャパシタの第 2 端子及び前記第 2 キャパシタの第 1 端子に接続される、  
ような表示アレイと、

前記表示アレイを動作させるために前記第 1 及び第 2 選択ライン、前記制御可能な電圧供給ライン並びに前記信号ラインを駆動するドライバと、  
を含むような方法において、

10

プログラミングサイクルにおいては、

第 1 動作サイクルにおいて、 $(V_T + V_P)$  又は  $-(V_T + V_P)$  を前記第 1 記憶キャパシタに記憶するように前記第 1 ノード及び前記第 2 ノードの各々の電圧を制御し、ここで、 $V_T$  は前記駆動トランジスタの閾電圧を表す一方、 $V_P$  はプログラミング電圧を表し、

第 2 動作サイクルにおいて、前記第 3 ノードを放電し、

駆動サイクルにおいては、前記記憶キャパシタに記憶された電圧を前記駆動トランジスタのゲート端子に供給する、  
ような各ステップを有する方法。

【請求項 6】

20

請求項 5 に記載の方法において、前記発光デバイスが有機発光ダイオードであるような方法。

【請求項 7】

請求項 5 に記載の方法において、前記トランジスタの少なくとも 1 つが薄膜トランジスタであるような方法。

【請求項 8】

請求項 5 ないし 7 の何れか一項に記載の方法において、前記第 1 及び第 2 選択ラインが共通の選択ラインであるような方法。

【請求項 9】

請求項 5 ないし 7 の何れか一項に記載の方法において、或る行に対する前記プログラミングサイクル及び駆動サイクルが、隣接する行に対する前記プログラミングサイクル及び駆動サイクルと重なり合うような方法。

30

【請求項 10】

行及び列に配列された複数のピクセル回路を有する表示アレイであって、各ピクセル回路が、

電圧供給電極に接続された第 1 端子と、第 2 端子とを有する発光デバイスと、

第 1 端子と、第 2 端子とを有するキャパシタと、

選択ラインに接続されたゲート端子と、電圧データを伝送するための信号ラインに接続された第 1 端子と、前記キャパシタの第 1 端子に接続された第 2 端子とを有するスイッチトランジスタと、

40

第 1 ノード ( A ) において前記スイッチトランジスタの第 2 端子及び前記キャパシタの第 1 端子に接続されたゲート端子と、第 2 ノード ( B ) において前記発光デバイスの第 2 端子及び前記キャパシタの第 2 端子に接続された第 1 端子と、制御可能な電圧供給ラインに接続された第 2 端子とを有する駆動トランジスタと、  
を有するような表示アレイと、

前記表示アレイを動作させるために前記選択ライン、前記制御可能な電圧供給ライン及び前記信号ラインを駆動するドライバと、

前記ドライバを用いて、前記表示アレイの各行に対しプログラミングサイクル及び駆動サイクルを実行するコントローラと、

を有する表示システムであって、

50

前記プログラミングサイクルが第 1 動作サイクル及び第 2 動作サイクルを含み、

前記第 1 動作サイクルにおいて、前記第 2 ノードは  $(V_{REF} - V_T)$  又は  $(-V_{REF} + V_T)$  により規定される第 1 電圧で充電され、ここで、 $V_{REF}$  は基準電圧を表す一方、 $V_T$  は前記駆動トランジスタの閾電圧を表し、第 2 動作サイクルにおいては、前記第 1 ノードが  $(V_{REF} + V_P)$  又は  $(-V_{REF} + V_P)$  により規定される第 2 電圧で充電されて、前記第 1 電圧と前記第 2 電圧との間の差が前記記憶キャパシタに記憶され、ここで、 $V_P$  はプログラミング電圧を表し、

前記駆動サイクルにおいては、前記記憶キャパシタに記憶された電圧が前記駆動トランジスタのゲート端子に供給される、  
ような表示システム。

10

【請求項 1 1】

請求項 1 0 に記載の表示システムにおいて、前記発光デバイスが有機発光ダイオードであるような表示システム。

【請求項 1 2】

請求項 1 0 に記載の表示システムにおいて、前記トランジスタの少なくとも 1 つが薄膜トランジスタであるような表示システム。

【請求項 1 3】

請求項 1 0 に記載の表示システムにおいて、或る行に対する前記プログラミングサイクル及び駆動サイクルが、隣接する行に対する前記プログラミングサイクル及び駆動サイクルと重なり合うような表示システム。

20

【請求項 1 4】

行及び列に配列された複数のピクセル回路を有する表示アレイであって、各ピクセル回路が、

電圧供給電極に接続された第 1 端子と、第 2 端子とを有する発光デバイスと、

各々が第 1 端子及び第 2 端子を有する第 1 キャパシタ及び第 2 キャパシタと、

第 1 選択ラインに接続されたゲート端子と、前記発光デバイスの第 2 端子に接続された第 1 端子と、前記第 1 キャパシタの第 1 端子に接続された第 2 端子とを有する第 1 スイッチトランジスタと、

第 2 選択ラインに接続されたゲート端子と、電圧データを伝送するための信号ラインに接続された第 1 端子と、第 2 端子とを有する第 2 スイッチトランジスタと、

30

第 1 ノード (A) において前記発光デバイスの第 2 端子に接続された第 1 端子と、第 2 ノード (B) において前記第 1 スイッチトランジスタの第 2 端子及び前記第 1 キャパシタの第 1 端子に接続されたゲート端子と、制御可能な電圧供給ラインに接続された第 2 端子とを有する駆動トランジスタと、  
を有し、

第 3 ノード (C) において前記第 2 スイッチトランジスタの第 2 端子が前記第 1 キャパシタの第 2 端子及び前記第 2 キャパシタの第 1 端子に接続される、  
ような表示アレイと、

前記表示アレイを動作させるために前記第 1 及び第 2 選択ライン、前記制御可能な電圧供給ライン並びに前記信号ラインを駆動するドライバと、

40

前記ドライバを用いて、前記表示アレイの各行に対しプログラミングサイクル及び駆動サイクルを実行するコントローラと、  
を有する表示システムであって、

前記プログラミングサイクルは第 1 動作サイクル及び第 2 動作サイクルを含み、

前記第 1 動作サイクルにおいて、前記第 1 ノード及び前記第 2 ノードの各々の電圧は前記第 1 記憶キャパシタに  $(V_T + V_P)$  又は  $-(V_T + V_P)$  を記憶するように制御され、ここで、 $V_T$  は前記駆動トランジスタの閾電圧を表す一方、 $V_P$  はプログラミング電圧を表し、前記第 2 動作サイクルにおいては、前記第 3 ノードが放電され、

前記駆動サイクルにおいては、前記記憶キャパシタに記憶された電圧が前記駆動トランジスタのゲート端子に供給される、

50

ような表示システム。

【請求項 15】

請求項 14 に記載の表示システムにおいて、前記発光デバイスが有機発光ダイオードであるような表示システム。

【請求項 16】

請求項 14 に記載の表示システムにおいて、前記トランジスタの少なくとも 1 つが薄膜トランジスタであるような表示システム。

【請求項 17】

請求項 14 に記載の表示システムにおいて、前記第 1 及び第 2 選択ラインが共通の選択ラインであるような表示システム。

【請求項 18】

請求項 14 に記載の表示システムにおいて、或る行に対する前記プログラミングサイクル及び駆動サイクルが、隣接する行に対する前記プログラミングサイクル及び駆動サイクルと重なり合うような表示システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光デバイス表示器に、更に詳細には斯かる発光デバイス表示器のための駆動技術に関する。

【背景技術】

【0002】

近年、アモルファスシリコン (a-Si)、ポリシリコン、有機又は他の駆動バックプレーンを備えるアクティブマトリクス型有機発光ダイオード (AMOLED) 表示器が、アクティブマトリクス型液晶表示器を超える利点のため一層魅力的となってきた。例えば、a-Si バックプレーンを使用した AMOLED 表示器は、異なる基板の使用を広げると共に可撓性の表示器を可能にさせるような低温製造法、及び広視野角を持つ高解像度の表示器を生成する低価格製造法を含むような利点を有している。

【0003】

AMOLED 表示器は、行及び列のピクセルのアレイ (各ピクセルが有機発光ダイオード (OLED) を有する) と、該行及び列のアレイ内に配置されたバックプレーン電子回路とを含んでいる。OLED は電流駆動デバイスであるので、AMOLED のピクセル回路は正確且つ一定の駆動電流を供給することができなければならない。

【0004】

図 1 は、特許文献 1 に開示されたピクセル回路を示している。図 1 のピクセル回路は、OLED 10 と、駆動薄膜トランジスタ (TFT) 11 と、スイッチ TFT 13 と、記憶キャパシタ 14 とを含んでいる。駆動 TFT 11 のドレイン端子が OLED 10 に接続されている。駆動 TFT 11 のゲート端子はスイッチ TFT 13 を介して列ライン 12 に接続されている。駆動 TFT 11 のゲート端子と接地点との間に接続された記憶キャパシタ 14 は、当該ピクセル回路が列ライン 12 から切断された場合に駆動 TFT 11 のゲート端子の電圧を維持するために使用される。OLED 10 を経る電流は、駆動 TFT 11 の特性パラメータに強く依存する。駆動 TFT 11 の特性パラメータ、特にバイアスストレス下の閾電圧、は時間により変化し、このような変化はピクセル毎に相違し得、それにより生じる画像歪は許容できないほど高くなり得る。

【0005】

特許文献 2 は、OLED に対して駆動 TFT の閾電圧から独立した電流を供給するような電圧プログラム型ピクセル回路を開示している。このピクセルにおいて、駆動 TFT のゲート/ソース電圧はプログラミング電圧及び駆動 TFT の閾電圧からなっている。該特許文献 2 の欠点は、ピクセル回路が余分なトランジスタを必要とすると共に複雑であり、この結果、歩留まりが低下し、ピクセル開口が減少し、表示器の寿命が短くなることにある。

10

20

30

40

50

## 【 0 0 0 6 】

ピクセル回路を駆動トランジスタの閾電圧のずれに対して一層不感にさせる他の方法は、特許文献 3 に開示されたピクセル回路のような電流プログラム型ピクセル回路を使用することである。従来の電流プログラム型ピクセル回路においては、駆動 T F T のゲート / ソース電圧が、次のフレームにおいて自身を介して流れる電流に基づいて自己調整されるので、O L E D 電流は該駆動 T F T の電流 / 電圧特性に余り依存しなくなる。斯かる電流プログラム型ピクセル回路の欠点は、大きなライン容量による列ライン充電時間から、低プログラミング電流レベルに関連するオーバーヘッドが生じる点にある。

## 【 0 0 0 7 】

【特許文献 1】米国特許第 5,748,169 号公報

10

【特許文献 2】米国特許第 6,229,508 号公報

【特許文献 3】米国特許第 6,734,636 号公報

【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 0 8 】

本発明の目的は、既存のシステムの上記欠点の少なくとも 1 つを除去又は軽減するような方法及びシステムを提供することにある。

【課題を解決するための手段】

## 【 0 0 0 9 】

本発明の一態様によれば、表示システムをプログラミング及び駆動する方法であり、前記表示システムが、

20

行及び列に配列された複数のピクセル回路を有する表示アレイであって、各ピクセル回路が、電圧供給電極に接続された第 1 端子と第 2 端子とを有する発光デバイスと、第 1 端子と第 2 端子とを有するキャパシタと、選択ラインに接続されたゲート端子と電圧データを伝送するための信号ラインに接続された第 1 端子と前記キャパシタの第 1 端子に接続された第 2 端子とを有するスイッチトランジスタと、第 1 ノード ( A ) において前記スイッチトランジスタの第 2 端子及び前記キャパシタの第 1 端子に接続されたゲート端子と第 2 ノード ( B ) において前記発光デバイスの第 2 端子及び前記キャパシタの第 2 端子に接続された第 1 端子と制御可能な電圧供給ラインに接続された第 2 端子とを有する駆動トランジスタとを有するような表示アレイと、

30

前記表示アレイを動作させるために前記選択ライン、前記制御可能な電圧供給ライン及び前記信号ラインを駆動するドライバと、  
を有するような方法であって、

プログラミングサイクルにおいては、第 1 動作サイクルにおいて、前記第 2 ノードを (  $V_{REF} - V_T$  ) 又は (  $-V_{REF} + V_T$  ) により規定される第 1 電圧で充電し、ここで、 $V_{REF}$  は基準電圧を表す一方、 $V_T$  は前記駆動トランジスタの閾電圧を表し、第 2 動作サイクルにおいて、前記第 1 ノードを (  $V_{REF} + V_P$  ) 又は (  $-V_{REF} + V_P$  ) により規定される第 2 電圧で充電して、前記第 1 電圧と前記第 2 電圧との間の差が前記記憶キャパシタに記憶されるようにし、ここで、 $V_P$  はプログラミング電圧を表し、

駆動サイクルにおいては、前記記憶キャパシタに記憶された電圧を前記駆動トランジスタのゲート端子に供給する、  
ような各ステップを有する方法が提供される。

40

## 【 0 0 1 0 】

また、本発明の他の態様によれば、表示システムをプログラミング及び駆動する方法であり、前記表示システムが、

行及び列に配列された複数のピクセル回路を有する表示アレイであって、各ピクセル回路が、電圧供給電極に接続された第 1 端子と第 2 端子とを有する発光デバイスと、各々が第 1 端子及び第 2 端子を有する第 1 キャパシタ及び第 2 キャパシタと、第 1 選択ラインに接続されたゲート端子と前記発光デバイスの第 2 端子に接続された第 1 端子と前記第 1 キャパシタの第 1 端子に接続された第 2 端子とを有する第 1 スwitchトランジスタと、第 2

50

選択ラインに接続されたゲート端子と電圧データを伝送するための信号ラインに接続された第1端子と第2端子とを有する第2スイッチトランジスタと、第1ノード(A)において前記発光デバイスの第2端子に接続された第1端子と第2ノード(B)において前記第1スイッチトランジスタの第2端子及び前記第1キャパシタの第1端子に接続されたゲート端子と制御可能な電圧供給ラインに接続された第2端子とを有する駆動トランジスタとを有し、第3ノード(C)において前記第2スイッチトランジスタの第2端子が前記第1キャパシタの第2端子及び前記第2キャパシタの第1端子に接続されるような表示アレイと、

前記表示アレイを動作させるために前記第1及び第2選択ライン、前記制御可能な電圧供給ライン並びに前記信号ラインを駆動するドライバと、  
を有するような方法であって、

プログラミングサイクルにおいては、第1動作サイクルにおいて、 $(V_T + V_P)$ 又は $-(V_T + V_P)$ を前記第1記憶キャパシタに記憶するように前記第1ノード及び前記第2ノードの各々の電圧を制御し、ここで、 $V_T$ は前記駆動トランジスタの閾電圧を表す一方、 $V_P$ はプログラミング電圧を表し、第2動作サイクルにおいて、前記第3ノードを放電し、

駆動サイクルにおいては、前記記憶キャパシタに記憶された電圧を前記駆動トランジスタのゲート端子に供給する、  
ような各ステップを有する方法が提供される。

【0011】

また、本発明の他の態様によれば、

行及び列に配列された複数のピクセル回路を有する表示アレイであって、各ピクセル回路が、電圧供給電極に接続された第1端子と第2端子とを有する発光デバイスと、第1端子と第2端子とを有するキャパシタと、選択ラインに接続されたゲート端子と電圧データを伝送するための信号ラインに接続された第1端子と前記キャパシタの第1端子に接続された第2端子とを有するスイッチトランジスタと、第1ノード(A)において前記スイッチトランジスタの第2端子及び前記キャパシタの第1端子に接続されたゲート端子と第2ノード(B)において前記発光デバイスの第2端子及び前記キャパシタの第2端子に接続された第1端子と制御可能な電圧供給ラインに接続された第2端子とを有する駆動トランジスタとを有するような表示アレイと、

前記表示アレイを動作させるために前記選択ライン、前記制御可能な電圧供給ライン及び前記信号ラインを駆動するドライバと、

前記ドライバを用いて、前記表示アレイの各行に対しプログラミングサイクル及び駆動サイクルを実行するコントローラと、  
を有する表示システムであって、

前記プログラミングサイクルが第1動作サイクル及び第2動作サイクルを含み、

前記第1動作サイクルにおいて、前記第2ノードは $(V_{REF} - V_T)$ 又は $(-V_{REF} + V_T)$ により規定される第1電圧で充電され、ここで、 $V_{REF}$ は基準電圧を表す一方、 $V_T$ は前記駆動トランジスタの閾電圧を表し、第2動作サイクルにおいては、前記第1ノードが $(V_{REF} + V_P)$ 又は $(-V_{REF} + V_P)$ により規定される第2電圧で充電されて、前記第1ノード電圧と前記第2ノード電圧との間の差が前記記憶キャパシタに記憶され、ここで、 $V_P$ はプログラミング電圧を表し、

前記駆動サイクルにおいては、前記記憶キャパシタに記憶された電圧が前記駆動トランジスタのゲート端子に供給される、  
ような表示システムが提供される。

【0012】

また、本発明の他の態様によれば、

行及び列に配列された複数のピクセル回路を有する表示アレイであって、各ピクセル回路が、電圧供給電極に接続された第1端子と第2端子とを有する発光デバイスと、各々が第1端子及び第2端子を有する第1キャパシタ及び第2キャパシタと、第1選択ラインに

10

20

30

40

50

接続されたゲート端子と前記発光デバイスの第２端子に接続された第１端子と前記第１キャパシタの第１端子に接続された第２端子とを有する第１スイッチトランジスタと、第２選択ラインに接続されたゲート端子と電圧データを伝送するための信号ラインに接続された第１端子と第２端子とを有する第２スイッチトランジスタと、第１ノード（Ａ）において前記発光デバイスの第２端子に接続された第１端子と第２ノード（Ｂ）において前記第１スイッチトランジスタの第２端子及び前記第１キャパシタの第１端子に接続されたゲート端子と制御可能な電圧供給ラインに接続された第２端子とを有する駆動トランジスタとを有し、第３ノード（Ｃ）において前記第２スイッチトランジスタの第２端子が前記第１キャパシタの第２端子及び前記第２キャパシタの第１端子に接続されるような表示アレイと、

10

前記表示アレイを動作させるために前記第１及び第２選択ライン、前記制御可能な電圧供給ライン並びに前記信号ラインを駆動するドライバと、

前記ドライバを用いて、前記表示アレイの各行に対しプログラミングサイクル及び駆動サイクルを実行するコントローラと、  
を有する表示システムであって、

前記プログラミングサイクルは第１動作サイクル及び第２動作サイクルを含み、  
前記第１動作サイクルにおいて、前記第１ノード及び前記第２ノードの各々の電圧は前記第１記憶キャパシタに（ $V_T + V_P$ ）又は－（ $V_T + V_P$ ）を記憶するように制御され、  
ここで、 $V_T$ は前記駆動トランジスタの閾電圧を表す一方、 $V_P$ はプログラミング電圧を表し、  
前記第２動作サイクルにおいては、前記第３ノードが放電され、

20

前記駆動サイクルにおいては、前記記憶キャパシタに記憶された電圧が前記駆動トランジスタのゲート端子に供給される、  
ような表示システムが提供される。

【００１３】

本発明の上記開示は、必ずしも本発明の全てのフィーチャを記載するものではない。

【００１４】

本発明の他の態様及びフィーチャは、当業者によれば、添付図面に関連する好ましい実施例の下記詳細な説明の精読から容易に明らかとなるであろう。

【００１５】

本発明のこれら及び他のフィーチャは、添付図面を参照した下記の説明から一層明らかとなる。

30

【発明を実施するための最良の形態】

【００１６】

以下、本発明の実施例を、有機発光ダイオード（ＯＬＥＤ）及び駆動薄膜トランジスタ（ＴＦＴ）を有するピクセルを用いて説明する。しかしながら、該ピクセルはＯＬＥＤ以外の如何なる発光デバイスを含むこともでき、該ピクセルはＴＦＴ以外の如何なる駆動トランジスタを含むこともできる。また、本説明において、“ピクセル回路”及び“ピクセル”は相互に入れ替え可能に使用することができることに注意されたい。

【００１７】

図２は、本発明の一実施例によるプログラミング及び駆動サイクルを示す図である。図２において、 $ROW(j)$ 、 $ROW(j+1)$ 及び $ROW(j+2)$ の各々は、複数のピクセル回路が行及び列に配列された表示アレイの行を表している。

40

【００１８】

或るフレームのためのプログラミング及び駆動サイクルは、隣のフレームのためのプログラミング及び駆動サイクルの後に生じる。当該フレームのための $ROW$ におけるプログラミング及び駆動サイクルは、同一のフレームのための隣の $ROW$ におけるプログラミング及び駆動サイクルと重なり合う。後に説明するように、プログラミングサイクルの間において、安定したピクセル電流を発生させるために、当該ピクセル回路の時間依存性パラメータ（又は複数のパラメータ）が抽出される。

【００１９】

50

図 3 は、本発明の一実施例によるプログラミング及び駆動技術が適用されたピクセル回路 200 を示している。該ピクセル回路 200 は、O L E D 20 と、記憶キャパシタ 21 と、駆動トランジスタ 24 と、スイッチトランジスタ 26 とを含んでいる。ピクセル回路 200 は電圧プログラム型ピクセル回路である。トランジスタ 24 及び 26 の各々は、ゲート端子、第 1 端子及び第 2 端子を有している。本説明において、上記第 1 端子（第 2 端子）は、限定されるものではないが、ドレイン端子又はソース端子（ソース端子又はドレイン端子）とすることができる。

#### 【0020】

トランジスタ 24 及び 26 は n 型 T F T である。しかしながら、トランジスタ 24 及び 26 は、p 型トランジスタとすることもできる。以下に説明するように、該ピクセル回路 200 に適用された駆動技術は、図 14 に示すような p 型トランジスタを有する相補的ピクセル回路にも適用可能である。トランジスタ 24 及び 26 は、アモルファスシリコン、ナノ/マイクロ結晶シリコン、ポリシリコン、有機半導体技術（例えば有機 T F T）、N M O S / P M O S 技術又は C M O S 技術（例えば MOSFET）を用いて製造することができる。

10

#### 【0021】

駆動トランジスタ 24 の第 1 端子は制御可能な電圧供給ライン V D D に接続されている。該駆動トランジスタ 24 の第 2 端子は O L E D 20 のアノード電極に接続されている。該駆動トランジスタ 24 のゲート端子はスイッチトランジスタ 26 を介して信号ライン V D A T A に接続されている。記憶キャパシタ 21 が、該駆動トランジスタ 24 のソース端子とゲート端子との間に接続されている。

20

#### 【0022】

トランジスタ 26 のゲート端子は選択ライン S E L に接続されている。該スイッチトランジスタ 26 の第 1 端子は信号ライン V D A T A に接続されている。該スイッチトランジスタ 26 の第 2 端子は駆動トランジスタ 24 のゲート端子に接続されている。O L E D 20 のカソード電極は接地電圧供給電極に接続されている。

#### 【0023】

トランジスタ 24 及び 26 並びに記憶キャパシタ 21 は、ノード A 1 で接続されている。トランジスタ 24、O L E D 20 及び記憶キャパシタ 21 は、ノード B 1 で接続されている。

30

#### 【0024】

図 4 は、図 3 のピクセル回路をプログラミング及び駆動するための波形の一例を示すタイミング図を図示している。図 3 及び 4 を参照すると、ピクセル回路 200 の動作は 3 つの動作サイクル X 1 1、X 1 2 及び X 1 3 を有するプログラミングサイクルと、1 つの動作サイクル X 1 4 を有する駆動サイクルとを含んでいる。

#### 【0025】

プログラミングサイクルにおいて、ノード B 1 は駆動トランジスタ 24 の負の閾電圧に充電され、ノード A 1 はプログラミング電圧 V P に充電される。

#### 【0026】

結果として、駆動トランジスタ 24 のゲート/ソース電圧は、  

$$V_{GS} = V_P - (-V_T) = V_P + V_T \quad (1)$$
 となり、ここで、 $V_{GS}$  は駆動トランジスタ 24 のゲート/ソース電圧を表し、 $V_T$  は駆動トランジスタ 24 の閾電圧を表す。

40

#### 【0027】

駆動トランジスタ 24 は飽和動作体制（saturation regime of operation）にあるので、該トランジスタの電流は主に自身のゲート/ソース電圧により規定される。結果として、該駆動トランジスタ 24 の電流は、該トランジスタのゲート/ソース電圧が記憶キャパシタ 21 に記憶されているので、O L E D の電圧が変化したとしても一定に留まる。

#### 【0028】

第 1 動作サイクル X 1 1 において：V D D は補償電圧 V C O M P B となり、V D A T A

50

は高い正の補償電圧  $V_{COMP A}$  となり、 $SEL$  はハイとなる。結果として、ノード  $A1$  は  $V_{COMP A}$  に充電され、ノード  $B1$  は  $V_{COMP B}$  に充電される。

【0029】

第2動作サイクル  $X12$  において： $V_{DATA}$  が基準電圧  $V_{REF}$  となる間、ノード  $B1$  は駆動トランジスタ  $24$  がオフになるまで該駆動トランジスタ  $24$  を介して放電される。結果として、ノード  $B1$  の電圧は  $(V_{REF} - V_T)$  に到達する。 $V_{DD}$  は、このサイクル  $X12$  の速度を増加させるために正の電圧  $V_H$  を有する。最適な整定 (settling) 時間のために、 $V_H$  は、駆動サイクルの間における  $V_{DD}$  上の電圧であるような動作電圧に等しくなるように設定することもできる。

【0030】

第3動作サイクル  $X13$  において： $V_{DD}$  は動作電圧になる。 $SEL$  がハイである間に、ノード  $A1$  は  $(V_P + V_{REF})$  に充電される。 $OLED20$  の容量  $22$  は大きいので、ノード  $B1$  における電圧は前のサイクル  $X12$  で発生された電圧に留まる。このように、ノード  $B1$  の電圧は  $(V_{REF} - V_T)$  となる。従って、駆動トランジスタ  $24$  のゲート/ソース電圧は  $(V_P + V_T)$  となり、このゲート/ソース電圧が記憶キャパシタ  $21$  に記憶される。

【0031】

第4動作サイクル  $X14$  において： $SEL$  及び  $V_{DATA}$  は零となる。 $V_{DD}$  は第3動作サイクル  $X13$  のものと同一である。しかしながら、 $V_{DD}$  は第3動作サイクル  $X13$  のものより高くすることもできる。記憶キャパシタ  $21$  に記憶された電圧は、駆動トランジスタ  $24$  のゲート端子に供給される。該駆動トランジスタ  $24$  のゲート/ソース電圧は自身の閾電圧を含むと共に  $OLED$  電圧とは独立でもあるので、該  $OLED20$  の劣化及び駆動トランジスタ  $24$  の非安定性は、該駆動トランジスタ  $24$  及び  $OLED20$  を介して流れる電流の量に影響を与えることはない。

【0032】

上記ピクセル回路  $200$  が異なる値の  $V_{COMP B}$ 、 $V_{COMP A}$ 、 $V_P$ 、 $V_{REF}$  及び  $V_H$  でも動作し得ることに注意されたい。 $V_{COMP B}$ 、 $V_{COMP A}$ 、 $V_P$ 、 $V_{REF}$  及び  $V_H$  はピクセル回路  $200$  の寿命を規定する。このように、これら電圧はピクセルの仕様に従って規定することができる。

【0033】

図5は、図3及び4に示したピクセル回路及び波形に対する寿命試験結果を示している。該試験において、製造されたピクセル回路は長期間にわたる動作の下に置かれ、その間において、当該駆動方式の安定性を調べるために駆動トランジスタ (図3の  $24$ ) の電流が監視された。その結果は、 $OLED$  電流が  $120$  時間の動作の後にも安定していることを示している。駆動トランジスタの  $V_T$  ずれは  $0.7V$  である。

【0034】

図6は、図3のピクセル回路  $200$  を有する表示システムを図示している。図6の  $V_{DD1}$  及び  $V_{DD2}$  は図3の  $V_{DD}$  に対応する。図6の  $SEL1$  及び  $SEL2$  は、図3の  $SEL$  に対応する。図6の  $V_{DATA1}$  及び  $V_{DATA2}$  は、図3の  $V_{DATA}$  に対応する。図6のアレイは、複数の図3のピクセル回路  $200$  を有するアクティブマトリクス型発光ダイオード (AMOLED) 表示器である。ピクセル回路は、行及び列、並びに相互接続部  $41$ 、 $42$  及び  $43$  ( $V_{DATA1}$ 、 $SEL1$ 、 $V_{DD1}$ ) で配列されている。当該アレイ構造において、 $V_{DATA1}$  (又は  $V_{DATA2}$ ) は共通の列ピクセルの間で共有される一方、 $SEL1$  (又は  $SEL2$ ) 及び  $V_{DD1}$  (又は  $V_{DD2}$ ) は共通の行ピクセルの間で共有されている。

【0035】

ドライバ  $300$  は  $V_{DATA1}$  及び  $V_{DATA2}$  を駆動するために設けられている。ドライバ  $302$  は  $V_{DD1}$ 、 $V_{DD2}$ 、 $SEL1$  及び  $SEL2$  を駆動するために設けられているが、 $V_{DD}$  及び  $SEL$  ライン用の該ドライバは別個に構成することもできる。コントローラ  $304$  は、ドライバ  $300$  及び  $302$  を、ピクセル回路を上述したようにプログラ

10

20

30

40

50

ミング及び駆動するように制御する。図 6 の表示アレイをプログラミング及び駆動するためのタイミング図は、図 2 に示したようなものである。各プログラミング及び駆動サイクルは図 4 のものと同一とすることができる。

【 0 0 3 6 】

図 7 (a) は、上部発光 (top emission) ピクセルが配置されたアレイ構造の一例を示している。図 7 (b) は、底部発光 (bottom emission) ピクセルが配置されたアレイ構造の一例を図示している。図 6 のアレイは図 7 (a) 又は 7 (b) に示すアレイ構造を有することができる。図 7 (a) において、4 0 0 は基板を表し、4 0 2 はピクセル接点を表し、4 0 3 は (上部発光) ピクセル回路を表し、4 0 4 は O L E D 上の透明上部電極を表している。図 7 (b) において、4 1 0 は透明基板を表し、4 1 1 は (底部発光) ピクセル回路を表し、4 1 2 は上部電極を表している。T F T、記憶キャパシタ、S E L、V D A T A 及び V D D ラインを含む上記全てのピクセル回路は、一緒に作製される。その後、全ピクセル回路に対して O L E D が作製される。斯かる O L E D は、図 7 (a) 及び 7 (b) に示されるように、対応する駆動トランジスタにビア (例えば、図 3 の B 1) を用いて接続される。当該パネルは、上記 O L E D 上への上部電極の被着により完成され、該上部電極は連続的な層とすることが可能であって、当該設計の複雑さを低減すると共に、全体の表示器をオン / オフし、又は輝度を制御するために使用することができる。

【 0 0 3 7 】

図 8 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路 2 0 2 を図示している。該ピクセル回路 2 0 2 は、O L E D 5 0 と、2 つの記憶キャパシタ 5 2 及び 5 3 と、駆動トランジスタ 5 4 と、スイッチトランジスタ 5 6 及び 5 8 とを含んでいる。該ピクセル回路 2 0 2 は、上部発光 (top emission) の、電圧プログラム型ピクセル回路である。この実施例は、図 3 のものと略同様に動作する。しかしながら、該ピクセル回路 2 0 2 においては、O L E D 5 0 は駆動トランジスタ 5 4 のドレイン端子に接続されている。結果として、該回路は O L E D 5 0 のカソードに接続することができる。このように、O L E D の堆積はカソードから開始することができる。

【 0 0 3 8 】

トランジスタ 5 4、5 6 及び 5 8 は n 型トランジスタである。しかしながら、トランジスタ 5 4、5 6 及び 5 8 は p 型トランジスタとすることもできる。該ピクセル回路 2 0 2 に適用された駆動技術は、図 1 7 に示すような p 型トランジスタを有する相補的ピクセル回路に適用することもできる。トランジスタ 5 4、5 6 及び 5 8 は、アモルファスシリコン、ナノ / マイクロ結晶シリコン、ポリシリコン、有機半導体技術 (例えば有機 T F T)、N M O S / P M O S 技術又は C M O S 技術 (例えば MOSFET) を用いて製造することができる。

【 0 0 3 9 】

駆動トランジスタ 5 4 の第 1 端子は O L E D 5 0 のカソード電極に接続されている。該駆動トランジスタ 5 4 の第 2 端子は制御可能な電圧供給ライン V S S に接続されている。該駆動トランジスタ 5 4 のゲート端子はスイッチトランジスタ 5 6 を介して自身の第 1 ライン (端子) に接続されている。記憶キャパシタ 5 2 及び 5 3 は、直列であり、駆動トランジスタ 5 4 のゲート端子と共通接地点との間に接続されている。上記電圧供給ライン V S S 上の電圧は制御可能である。上記共通接地点は V S S に接続することができる。

【 0 0 4 0 】

スイッチトランジスタ 5 6 のゲート端子は第 1 選択ライン S E L 1 に接続されている。該スイッチトランジスタ 5 6 の第 1 端子は駆動トランジスタ 5 4 のドレイン端子に接続されている。該スイッチトランジスタ 5 6 の第 2 端子は駆動トランジスタ 5 4 のゲート端子に接続されている。

【 0 0 4 1 】

スイッチトランジスタ 5 8 のゲート端子は第 2 選択ライン S E L 2 に接続されている。該スイッチトランジスタ 5 8 の第 1 端子は信号ライン V D A T A に接続されている。該ス

スイッチトランジスタ 58 の第 2 端子は記憶キャパシタ 52 及び 53 の共有端子（即ち、ノード C2）に接続されている。OLED 50 のアノード電極は電圧供給電極 VDD に接続されている。

【0042】

OLED 50 並びにトランジスタ 54 及び 56 は、ノード A2 で接続されている。記憶キャパシタ 52 並びにトランジスタ 54 及び 56 は、ノード B2 で接続されている。

【0043】

図 9 は、図 8 の 픽セル回路 202 をプログラミング及び駆動するための波形の一例を示すタイミング図を図示している。図 8 及び 9 を参照すると、該 픽セル回路 202 の動作は、4 つの動作サイクル X21、X22、X23 及び X24 を有するプログラミングサイクルと、1 つの動作サイクル X25 を有する駆動サイクルとを含んでいる。

10

【0044】

プログラミングサイクルの間において、プログラミング電圧に駆動トランジスタ 54 の閾電圧を加えたものが記憶キャパシタ 52 に記憶される。駆動トランジスタ 54 のソース端子は零となり、第 2 記憶キャパシタ 53 は零に充電される。

【0045】

結果として、駆動トランジスタ 54 のゲート/ソース電圧は：

$$VGS = VP + VT \quad (2)$$

となり、ここで、VGS は駆動トランジスタ 54 のゲート/ソース電圧を表し、VP はプログラミング電圧を表し、VT は駆動トランジスタ 54 の閾電圧を表す。

20

【0046】

第 1 動作サイクル X21 において：VSS は高い正の電圧となり、VDATA は零である。SEL1 及び SEL2 はハイである。従って、ノード A2 及び B2 は正の電圧に充電される。

【0047】

第 2 動作サイクル X22 において：SEL1 がローであり、スイッチトランジスタ 56 がオフである間に、VDATA は高い正の電圧になる。結果として、ノード B2 の電圧は増加し（ブートストラッピング）、ノード A2 は VSS の電圧に充電される。この電圧において、OLED 50 はオフである。

【0048】

30

第 3 動作サイクル X23 において：VSS は基準電圧 VREF となる。VDATA は (VREF - VP) となる。このサイクルの開始時に、ノード B2 の電圧はノード A2 の電圧と略等しくなる。何故なら、OLED 50 の容量 51 は記憶キャパシタ 52 のものより大きいからである。その後、ノード B2 の電圧及びノード A2 の電圧は、駆動トランジスタ 54 がオフになるまで、該駆動トランジスタ 54 を介して放電される。結果として、駆動トランジスタ 54 のゲート/ソース電圧は (VREF + VT) となり、記憶キャパシタ 52 に記憶された電圧は (VP + VT) となる。

【0049】

第 4 動作サイクル X24 において：SEL1 はローとなる。SEL2 はハイであり、VDATA は零であるので、ノード C2 における電圧は零となる。

40

【0050】

第 5 動作サイクル X25 において：VSS は駆動サイクルの間の自身の動作電圧となる。図 5 において、VSS の動作電圧は零である。しかしながら、該電圧は零以外の如何なる電圧とすることもできる。SEL2 はローである。記憶キャパシタ 52 に記憶された電圧は駆動トランジスタ 54 のゲート端子に供給される。従って、駆動トランジスタ 54 の閾電圧 VT 及び OLED 50 の電圧からは独立な電流が、駆動トランジスタ 54 及び OLED 50 を介して流れる。このように、OLED 50 の劣化及び駆動トランジスタ 54 の非安定性が、駆動トランジスタ 54 及び OLED 50 を介して流れる電流の量に影響を与えることはない。

【0051】

50

図 10 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路 204 を図示している。該ピクセル回路 204 は、O L E D 60 と、2つの記憶キャパシタ 62 及び 63 と、駆動トランジスタ 64 と、スイッチトランジスタ 66 及び 68 とを含んでいる。該ピクセル回路 204 は、上部発光の、電圧プログラム型ピクセル回路である。このピクセル回路 204 は、図 8 のものと略同様に動作する。しかしながら、該ピクセル回路 204 を動作させるために、1つの共通の選択ラインが使用され、これは利用可能なピクセル面積及び開口比 (aperture ratio) を増加させる。

#### 【0052】

トランジスタ 64、66 及び 68 は n 型トランジスタである。しかしながら、トランジスタ 64、66 及び 68 は p 型トランジスタとすることもできる。該ピクセル回路 204 に適用された駆動技術は、図 19 に示すような p 型トランジスタを有する相補的ピクセル回路に適用することもできる。トランジスタ 64、66 及び 68 は、アモルファスシリコン、ナノ/マイクロ結晶シリコン、ポリシリコン、有機半導体技術 (例えば有機 TFT)、N M O S / P M O S 技術又は C M O S 技術 (例えば MOSFET) を用いて製造することができる。

#### 【0053】

駆動トランジスタ 64 の第 1 端子は O L E D 60 のカソード電極に接続されている。該駆動トランジスタ 64 の第 2 端子は制御可能な電圧供給ライン V S S に接続されている。該駆動トランジスタ 64 のゲート端子はスイッチトランジスタ 66 を介して自身の第 1 ライン (端子) に接続されている。記憶キャパシタ 62 及び 63 は、直列であり、駆動トランジスタ 64 のゲート端子と共通接地点との間に接続されている。上記電圧供給ライン V S S の電圧は制御可能である。上記共通接地点は V S S に接続することができる。

#### 【0054】

スイッチトランジスタ 66 のゲート端子は選択ライン S E L に接続されている。該スイッチトランジスタ 66 の第 1 端子は駆動トランジスタ 64 の第 1 端子に接続されている。該スイッチトランジスタ 66 の第 2 端子は駆動トランジスタ 64 のゲート端子に接続されている。

#### 【0055】

スイッチトランジスタ 68 のゲート端子は前記選択ライン S E L に接続されている。該スイッチトランジスタ 68 の第 1 端子は信号ライン V D A T A に接続されている。その第 2 端子は記憶キャパシタ 62 及び 63 の共有端子 (即ち、ノード C 3) に接続されている。O L E D 60 のアノード電極は電圧供給電極 V D D に接続されている。

#### 【0056】

O L E D 60 並びにトランジスタ 64 及び 66 は、ノード A 3 で接続されている。記憶キャパシタ 62 並びにトランジスタ 64 及び 66 は、ノード B 3 で接続されている。

#### 【0057】

図 11 は、図 10 のピクセル回路 204 をプログラミング及び駆動するための波形の一例を示すタイミング図を図示している。図 10 及び 11 を参照すると、該ピクセル回路 204 の動作は、3つの動作サイクル X 31、X 32 及び X 33 を有するプログラミングサイクルと、1つの動作サイクル X 34 を有する駆動サイクルとを含んでいる。

#### 【0058】

プログラミングサイクルの間において、プログラミング電圧に駆動トランジスタ 64 の閾電圧を加えたものが記憶キャパシタ 62 に記憶される。駆動トランジスタ 64 のソース端子は零となり、記憶キャパシタ 63 は零に充電される。

#### 【0059】

結果として、駆動トランジスタ 64 のゲート / ソース電圧は：

$$VGS = VP + VT \quad (3)$$

となり、ここで、VGS は駆動トランジスタ 64 のゲート / ソース電圧を表し、VP はプログラミング電圧を表し、VT は駆動トランジスタ 64 の閾電圧を表す。

#### 【0060】

10

20

30

40

50

第 1 動作サイクル X 3 1 において：V S S は高い正の電圧となり、V D A T A は零である。S E L はハイである。結果として、ノード A 3 及び B 3 は正の電圧に充電される。O L E D 6 0 はオフする。

【 0 0 6 1 】

第 2 動作サイクル X 3 2 において：S E L はハイである一方、V S S は基準電圧 V R E F となる。V D A T A は ( V R E F - V P ) となる。結果として、ノード B 3 の電圧及びノード A 3 の電圧は、駆動トランジスタ 6 4 がオフするまで、該駆動トランジスタ 6 4 を介して放電される。ノード B 3 の電圧は ( V R E F + V T ) となり、記憶キャパシタ 6 2 に記憶された電圧は ( V P + V T ) となる。

【 0 0 6 2 】

第 3 動作サイクル X 3 3 において：S E L は V M となる。V M は、スイッチトランジスタ 6 6 がオフとなり、スイッチトランジスタ 6 8 がオンとなるような中間電圧である。V D A T A は零となる。S E L は V M であり、V D A T A は零であるので、ノード C 3 の電圧は零となる。

【 0 0 6 3 】

V M は、  

$$V T 3 \quad V M < V R E F + V T 1 + V T 2 \quad ( a )$$
と定義され、ここで、V T 1 は駆動トランジスタ 6 4 の閾電圧を表し、V T 2 はスイッチトランジスタ 6 6 の閾電圧を表し、V T 3 はスイッチトランジスタ 6 8 の閾電圧を表す。

【 0 0 6 4 】

条件 ( a ) は、スイッチ 6 6 がオフされ、スイッチトランジスタ 6 8 がオンされるように強制する。記憶キャパシタ 6 2 に記憶された電圧はそのままに留まる。

【 0 0 6 5 】

第 4 動作サイクル X 3 4 において：V S S は駆動サイクルの間の自身の動作電圧となる。図 1 1 において、V S S の動作電圧は零である。しかしながら、V S S の動作電圧は零以外の如何なる電圧とすることもできる。S E L はローである。記憶キャパシタ 6 2 に記憶された電圧は駆動トランジスタ 6 4 のゲート端子に供給される。駆動トランジスタ 6 4 はオンとなる。従って、駆動トランジスタ 6 4 の閾電圧 V T 及び O L E D 6 0 の電圧からは独立な電流が、駆動トランジスタ 6 4 及び O L E D 6 0 を介して流れる。このように、O L E D 6 0 の劣化及び駆動トランジスタ 6 4 の非安定性が、駆動トランジスタ 6 4 及び O L E D 6 0 を介して流れる電流の量に影響を与えることはない。

【 0 0 6 6 】

図 1 2 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路 2 0 6 を図示している。該ピクセル回路 2 0 6 は、O L E D 7 0 と、2 つの記憶キャパシタ 7 2 及び 7 3 と、駆動トランジスタ 7 4 と、スイッチトランジスタ 7 6 及び 7 8 とを含んでいる。該ピクセル回路 2 0 6 は、上部発光の、電圧プログラム型ピクセル回路である。

【 0 0 6 7 】

トランジスタ 7 4、7 6 及び 7 8 は n 型トランジスタである。しかしながら、トランジスタ 7 4、7 6 及び 7 8 は p 型トランジスタとすることもできる。該ピクセル回路 2 0 6 に適用された駆動技術は、図 2 1 に示すような p 型トランジスタを有する相補的ピクセル回路に適用することもできる。トランジスタ 7 4、7 6 及び 7 8 は、アモルファスシリコン、ナノ/マイクロ結晶シリコン、ポリシリコン、有機半導体技術（例えば有機 T F T）、N M O S / P M O S 技術又は C M O S 技術（例えば MOSFET）を用いて製造することができる。

【 0 0 6 8 】

駆動トランジスタ 7 4 の第 1 端子は O L E D 7 0 のカソード電極に接続されている。該駆動トランジスタ 7 4 の第 2 端子は共通接地点に接続されている。該駆動トランジスタ 7 4 のゲート端子はスイッチトランジスタ 7 6 を介して自身の第 1 ライン（端子）に接続されている。記憶キャパシタ 7 2 及び 7 3 は、直列であり、駆動トランジスタ 7 4 のゲート

10

20

30

40

50

端子と共通接地点との間に接続されている。

【 0 0 6 9 】

スイッチトランジスタ 7 6 のゲート端子は選択ライン S E L に接続されている。該スイッチトランジスタ 7 6 の第 1 端子は駆動トランジスタ 7 4 の第 1 端子に接続されている。該スイッチトランジスタ 7 6 の第 2 端子は駆動トランジスタ 7 4 のゲート端子に接続されている。

【 0 0 7 0 】

スイッチトランジスタ 7 8 のゲート端子は前記選択ライン S E L に接続されている。該スイッチトランジスタ 7 8 の第 1 端子は信号ライン V D A T A に接続されている。その第 2 端子は記憶キャパシタ 7 2 及び 7 3 の共有端子（即ち、ノード C 4）に接続されている。O L E D 7 0 のアノード電極は電圧供給電極 V D D に接続されている。該電圧供給電極 V D D の電圧は制御可能である。

10

【 0 0 7 1 】

O L E D 7 0 並びにトランジスタ 7 4 及び 7 6 は、ノード A 4 で接続されている。記憶キャパシタ 7 2 並びにトランジスタ 7 4 及び 7 6 は、ノード B 4 で接続されている。

【 0 0 7 2 】

図 1 3 は、図 1 2 のピクセル回路 2 0 6 をプログラミング及び駆動するための波形の一例を示すタイミング図を図示している。図 1 2 及び 1 3 を参照すると、該ピクセル回路 2 0 6 の動作は、4 つの動作サイクル X 4 1、X 4 2、X 4 3 及び X 4 4 を有するプログラミングサイクルと、1 つの動作サイクル X 4 5 を有する駆動サイクルとを含んでいる。

20

【 0 0 7 3 】

プログラミングサイクルの間において、プログラミング電圧に駆動トランジスタ 7 4 の閾電圧を加えたものが記憶キャパシタ 7 2 に記憶される。駆動トランジスタ 7 4 のソース端子は零となり、記憶キャパシタ 7 3 は零に充電される。

【 0 0 7 4 】

結果として、駆動トランジスタ 7 4 のゲート / ソース電圧は：

$$V G S = V P + V T \quad (4)$$

となり、ここで、V G S は駆動トランジスタ 7 4 のゲート / ソース電圧を表し、V P はプログラミング電圧を表し、V T は駆動トランジスタ 7 4 の閾電圧を表す。

30

【 0 0 7 5 】

第 1 動作サイクル X 4 1 において：S E L はハイである。V D A T A は低い電圧になる。V D D が高い間に、ノード B 4 及び A 4 は正の電圧に充電される。

【 0 0 7 6 】

第 2 動作サイクル X 4 2 において：S E L はローとなる一方、V D D は基準電圧 V R E F となり、O L E D 7 0 はオフである。

【 0 0 7 7 】

第 3 動作サイクル X 4 3 において：V D A T A は  $(V R E F 2 - V P)$  となり、ここで、V R E F 2 は基準電圧である。V R E F 2 は零であると仮定される。しかしながら、V R E F 2 は、零以外の如何なる電圧とすることができる。S E L はハイである。従って、このサイクルの開始時においてノード B 4 の電圧とノード A 4 の電圧とは等しくなる。第 1 記憶キャパシタ 7 2 は十分に大きいので、該キャパシタの電圧が支配的となることに注意されたい。その後、ノード B 4 は、駆動トランジスタ 7 4 がオフするまで、該駆動トランジスタ 7 4 を介して放電される。

40

【 0 0 7 8 】

結果として、ノード B 4 の電圧は V T （即ち、駆動トランジスタ 7 4 の閾電圧）となる。第 1 記憶キャパシタ 7 2 に記憶された電圧は、V R E F 2 = 0 の場合、 $(V P - V R E F 2 + V T) = (V P + V T)$  となる。

【 0 0 7 9 】

第 4 動作サイクル X 4 4 において：S E L は V M となり、ここで、V M はスイッチトランジスタ 7 6 がオフとなり、スイッチトランジスタ 7 8 がオンとなるような中間電圧であ

50

る。VMは、

$$V_{T3} \quad V_M < V_P + V_T \quad (b)$$

なる条件を満足し、ここで、VT3はスイッチトランジスタ78の閾電圧を表す。

【0080】

VDATAはVREF2 (= 0)となる。ノードC4の電圧はVREF2 (= 0)となる。

【0081】

この結果、駆動トランジスタ74のゲート/ソース電圧VGSは(VP + VT)となる。VM < VP + VTであるので、スイッチトランジスタ76はオフであり、記憶キャパシタ72に記憶された電圧はVP + VTに留まる。

10

【0082】

第5動作サイクルX45において：VDDは動作電圧となる。また、SELはローである。記憶キャパシタ72に記憶された電圧は駆動トランジスタ74のゲートに供給される。従って、駆動トランジスタ74の閾電圧VT及びOLED70の電圧からは独立な電流が、駆動トランジスタ74及びOLED70を介して流れる。このように、OLED70の劣化及び駆動トランジスタ74の非安定性が、駆動トランジスタ74及びOLED70を介して流れる電流の量に影響を与えることはない。

【0083】

図14は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路208を図示している。該ピクセル回路208は、OLED80と、記憶キャパシタ81と、駆動トランジスタ84と、スイッチトランジスタ86とを含んでいる。該ピクセル回路208は、図3のピクセル回路200に対応し、電圧プログラム型ピクセル回路である。

20

【0084】

トランジスタ84及び86はp型トランジスタである。トランジスタ84及び86は、アモルファスシリコン、ナノ/マイクロ結晶シリコン、ポリシリコン、有機半導体技術（例えば有機TFT）、CMOS技術（例えばMOSFET）及びp型トランジスタを形成する如何なる他の技術を用いても製造することができる。

【0085】

駆動トランジスタ84の第1端子は、制御可能な電圧供給ラインVSSに接続されている。該駆動トランジスタ84の第2端子はOLED80のカソード電極に接続されている。該駆動トランジスタ84のゲート端子はスイッチトランジスタ86を介して信号ラインVDATAに接続されている。記憶キャパシタ81は、駆動トランジスタ84の第2端子とゲート端子との間に接続されている。

30

【0086】

スイッチトランジスタ86のゲート端子は選択ラインSELに接続されている。該スイッチトランジスタ86の第1端子は信号ラインVDATAに接続されている。該スイッチトランジスタ86の第2端子は駆動トランジスタ84のゲート端子に接続されている。OLED80のアノード電極は接地電圧供給電極に接続されている。

【0087】

記憶キャパシタ81並びにトランジスタ84及び85は、ノードA5で接続されている。OLED80、記憶キャパシタ81及び駆動トランジスタ84は、ノードB5で接続されている。

40

【0088】

図15は、図のピクセル回路208をプログラミング及び駆動するための波形の一例を示すタイミング図を図示している。図15は図4に対応する。VDATA及びVSSは、プログラミング及びピクセル回路208の時間依存性パラメータを補償するために使用され、これらは図4のVDATA及びVDDと類似している。図14及び15を参照すると、ピクセル回路208の動作は3つの動作サイクルX51、X52及びX53を有するプログラミングサイクルと、1つの動作サイクルX54を有する駆動サイクルとを含んでい

50

る。

【 0 0 8 9 】

プログラミングサイクルの間において、ノード B 5 は駆動トランジスタ 8 4 の正の閾電圧に充電され、ノード A 5 は負のプログラミング電圧に充電される。

【 0 0 9 0 】

結果として、駆動トランジスタ 8 4 のゲート/ソース電圧は、  
 $V_{GS} = -V_P + (-|V_T|) = -V_P - |V_T|$  (5)  
 となり、ここで、 $V_{GS}$  は駆動トランジスタ 8 4 のゲート/ソース電圧を表し、 $V_P$  はプログラミング電圧を表し、 $V_T$  は駆動トランジスタ 8 4 の閾電圧を表す。

【 0 0 9 1 】

第 1 動作サイクル X 5 1 において： $V_{SS}$  は正の補償電圧  $V_{COMPB}$  となり、 $V_{DATA}$  は負の補償電圧 ( $-V_{COMPA}$ ) となり、 $SEL$  はローとなる。結果として、スイッチトランジスタ 8 6 はオンとなる。ノード A 5 は ( $-V_{COMPA}$ ) に充電される。また、ノード B 5 は  $V_{COMPB}$  に充電される。

【 0 0 9 2 】

第 2 動作サイクル X 5 2 において： $V_{DATA}$  は基準電圧  $V_{REF}$  となる。ノード B 5 は、駆動トランジスタ 8 4 がオフするまで該駆動トランジスタ 8 4 を介して放電される。結果として、ノード B 5 の電圧は  $V_{REF} + |V_T|$  に到達する。 $V_{SS}$  は、このサイクル X 5 2 の速度を増加させるために負の電圧  $V_L$  となる。最適な整定 (settling) 時間のために、 $V_L$  は、駆動サイクルの間における  $V_{SS}$  の電圧であるような動作電圧に等しくなるように選定される。

【 0 0 9 3 】

第 3 動作サイクル X 5 3 において： $V_{SS}$  が  $V_L$  レベルにあり、 $SEL$  がローである間に、ノード A 5 は ( $V_{REF} - V_P$ ) に充電される。 $OLED80$  の容量 8 2 は大きいので、ノード B 5 の電圧は駆動トランジスタ 8 4 の正の閾電圧に留まる。従って、駆動トランジスタ 8 4 のゲート/ソース電圧は ( $-V_P - |V_T|$ ) となり、これが記憶キャパシタ 8 1 に記憶される。

【 0 0 9 4 】

第 4 動作サイクル X 5 4 において： $SEL$  及び  $V_{DATA}$  は零となる。 $V_{SS}$  は高い負の電圧 (即ち、自身の動作電圧) になる。記憶キャパシタ 8 1 に記憶された電圧が、駆動トランジスタ 8 4 のゲート端子に供給される。従って、 $OLED80$  の電圧及び駆動トランジスタ 8 4 の閾電圧とは独立な電流が、駆動トランジスタ 8 4 及び  $OLED80$  を介して流れる。このように、該  $OLED80$  の劣化及び駆動トランジスタ 8 4 の非安定性が、該駆動トランジスタ 8 4 及び  $OLED80$  を介して流れる電流の量に影響を与えることはない。

【 0 0 9 5 】

上記ピクセル回路 2 0 8 が異なる値の  $V_{COMPB}$ 、 $V_{COMPA}$ 、 $V_L$ 、 $V_{REF}$  及び  $V_P$  でも動作し得ることに注意されたい。 $V_{COMPB}$ 、 $V_{COMPA}$ 、 $V_L$ 、 $V_{REF}$  及び  $V_P$  は該ピクセル回路の寿命を規定する。このように、これら電圧はピクセルの仕様に従って規定することができる。

【 0 0 9 6 】

図 1 6 は、図 1 4 のピクセル回路 2 0 8 を有する表示システムを図示している。図 1 6 の  $V_{SS1}$  及び  $V_{SS2}$  は図 1 4 の  $V_{SS}$  に対応する。図 1 6 の  $SEL1$  及び  $SEL2$  は、図 1 4 の  $SEL$  に対応する。図 1 6 の  $V_{DATA1}$  及び  $V_{DATA2}$  は、図 1 4 の  $V_{DATA}$  に対応する。図 1 6 のアレイは、複数の図 1 4 のピクセル回路 2 0 8 を有するアクティブマトリクス型発光ダイオード (AMOLED) 表示器である。ピクセル回路 2 0 8 は、行及び列、並びに相互接続部 9 1、9 2 及び 9 3 ( $V_{DATA1}$ 、 $SEL2$ 、 $V_{SS2}$ ) で配列されている。当該アレイ構造において、 $V_{DATA1}$  (又は  $V_{DATA2}$ ) は共通の列ピクセルの間で共有される一方、 $SEL1$  (又は  $SEL2$ ) 及び  $V_{SS1}$  (又は  $V_{SS2}$ ) は共通の行ピクセルの間で共有されている。

## 【 0 0 9 7 】

ドライバ 3 1 0 は V D A T A 1 及び V D A T A 2 を駆動するために設けられている。ドライバ 3 1 2 は V S S 1、V S S 2、S E L 1 及び S E L 2 を駆動するために設けられている。コントローラ 3 1 4 は、ドライバ 3 1 0 及び 3 1 2 を制御して、上述したようなプログラミング及び駆動サイクルを実行する。図 6 の表示アレイをプログラミング及び駆動するためのタイミング図は、図 2 に示したようなものである。各プログラミング及び駆動サイクルは図 1 5 のものと同一とすることができる。

## 【 0 0 9 8 】

図 1 6 のアレイは、図 7 (a) 又は 7 (b) に示されたアレイ構造を有することができる。図 1 6 のアレイは、図 6 のものと同様の態様で製造することができる。T F T、記憶キャパシタ、S E L、V D A T A 及び V S S ラインを含む上記ピクセル回路の全ては、一緒に作製される。その後、全ピクセル回路に対して O L E D が作製される。斯かる O L E D は、対応する駆動トランジスタにピア（例えば、図 1 4 の B 5）を用いて接続される。当該パネルは、上記 O L E D 上への上部電極の被着により完成され、該上部電極は連続的な層とすることが可能であって、当該設計の複雑さを低減すると共に、全体の表示器をオン/オフし、又は輝度を制御するために使用することができる。

10

## 【 0 0 9 9 】

図 1 7 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路 2 1 0 を図示している。該ピクセル回路 2 1 0 は、O L E D 1 0 0 と、2 つの記憶キャパシタ 1 0 2 及び 1 0 3 と、駆動トランジスタ 1 0 4 と、スイッチトランジスタ 1 0 6 及び 1 0 8 とを含んでいる。該ピクセル回路 2 1 0 は、図 8 のピクセル回路 2 0 2 に対応する。

20

## 【 0 1 0 0 】

トランジスタ 1 0 4、1 0 6 及び 1 0 8 は p 型トランジスタである。トランジスタ 8 4 及び 8 6 は、アモルファスシリコン、ナノ/マイクロ結晶シリコン、ポリシリコン、有機半導体技術（例えば有機 T F T）、C M O S 技術（例えば MOSFET）及び p 型トランジスタを形成する如何なる他の技術を用いても製造することができる。

## 【 0 1 0 1 】

図 1 7 において、駆動トランジスタ 1 0 4 の端子の一方は O L E D 1 0 0 のアノード電極に接続され、他方の端子は制御可能な電圧供給ライン V D D に接続されている。記憶キャパシタ 1 0 2 及び 1 0 3 は、直列であり、駆動トランジスタ 1 0 4 のゲート端子と電圧供給電極 V 2 との間に接続されている。V 2 は、V D D に接続することもできる。O L E D 1 0 0 のカソード電極は、接地電圧供給電極に接続されている。

30

## 【 0 1 0 2 】

O L E D 1 0 0 並びにトランジスタ 1 0 4 及び 1 0 6 は、ノード A 6 において接続されている。記憶キャパシタ 1 0 2 並びにトランジスタ 1 0 4 及び 1 0 6 は、ノード B 6 で接続されている。トランジスタ 1 0 8 並びに記憶キャパシタ 1 0 2 及び 1 0 3 はノード C 6 で接続されている。

## 【 0 1 0 3 】

図 1 8 は、図 1 7 のピクセル回路 2 1 0 をプログラミング及び駆動するための波形の一例を示すタイミング図を図示している。図 1 8 は図 9 に対応する。V D A T A 及び V D D は、プログラミング及びピクセル回路 2 1 0 の時間依存性パラメータを補償するために使用され、これらは図 9 の V D A T A 及び V S S に類似している。図 1 7 及び 1 8 を参照すると、該ピクセル回路 2 1 0 の動作は、4 つの動作サイクル X 6 1、X 6 2、X 6 3 及び X 6 4 を有するプログラミングサイクルと、1 つの動作サイクル X 6 5 を有する駆動サイクルとを含んでいる。

40

## 【 0 1 0 4 】

プログラミングサイクルの間において、負のプログラミング電圧に駆動トランジスタ 1 0 4 の負の閾電圧を加えたものが記憶キャパシタ 1 0 2 に記憶され、第 2 記憶キャパシタ 1 0 3 は零に放電される。

50

## 【 0 1 0 5 】

結果として、駆動トランジスタ 1 0 4 のゲート / ソース電圧は :

$$VGS = -VP - |VT| \quad (6)$$

となり、ここで、VGS は駆動トランジスタ 1 0 4 のゲート / ソース電圧を表し、VP はプログラミング電圧を表し、VT は駆動トランジスタ 1 0 4 の閾電圧を表す。

## 【 0 1 0 6 】

第 1 動作サイクル X 6 1 において : VDD は高い負の電圧となり、VDATA は V2 に設定される。SEL 1 及び SEL 2 はローである。従って、ノード A 6 及び B 6 は負の電圧に充電される。

## 【 0 1 0 7 】

第 2 動作サイクル X 6 2 において : SEL 1 がハイであり、スイッチトランジスタ 1 0 6 がオフである間に、VDATA は負の電圧になる。結果として、ノード B 6 の電圧は減少し、ノード A 6 の電圧は VDD なる電圧に充電される。この電圧において、OLED 1 0 0 はオフである。

## 【 0 1 0 8 】

第 3 動作サイクル X 6 3 において : VDD は基準電圧 VREF となる。VDATA は (V2 - VREF + VP) となるが、ここで、VREF は基準電圧である。VREF は零であると仮定される。しかしながら、VREF は零以外の如何なる電圧とすることもできる。このサイクルの開始時に、ノード B 6 の電圧はノード A 6 の電圧と略等しくなる。何故なら、OLED 1 0 0 の容量 1 0 1 は記憶キャパシタ 1 0 2 のものより大きいからである。その後、ノード B 6 の電圧及びノード A 6 の電圧は、駆動トランジスタ 1 0 4 がオフするまで、該駆動トランジスタ 1 0 4 を介して充電される。結果として、駆動トランジスタ 1 0 4 のゲート / ソース電圧は (-VP - |VT|) となり、これが記憶キャパシタ 1 0 2 に記憶される。

## 【 0 1 0 9 】

第 4 動作サイクル X 6 4 において : SEL 1 はハイとなる。SEL 2 はローであり、VDATA は V2 になるので、ノード C 6 における電圧は V2 となる。

## 【 0 1 1 0 】

第 5 動作サイクル X 6 5 において : VDD は駆動サイクルの間の自身の動作電圧となる。図 1 8 において、VDD の動作電圧は零である。しかしながら、VDD の動作電圧は如何なる電圧とすることもできる。SEL 2 はハイである。記憶キャパシタ 1 0 2 に記憶された電圧が、駆動トランジスタ 1 0 4 のゲート端子に供給される。かくして、駆動トランジスタ 1 0 4 の閾電圧 VT 及び OLED 1 0 0 の電圧からは独立な電流が、駆動トランジスタ 1 0 4 及び OLED 1 0 0 を介して流れる。従って、OLED 1 0 0 の劣化及び駆動トランジスタ 1 0 4 の非安定性が、駆動トランジスタ 5 4 及び OLED 1 0 0 を介して流れる電流の量に影響を与えることはない。

## 【 0 1 1 1 】

図 1 9 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路 2 1 2 を図示している。該ピクセル回路 2 1 2 は、OLED 1 1 0 と、2 つの記憶キャパシタ 1 1 2 及び 1 1 3 と、駆動トランジスタ 1 1 4 と、スイッチトランジスタ 1 1 6 及び 1 1 8 とを含んでいる。該ピクセル回路 2 1 2 は、図 1 0 のピクセル回路 2 0 4 に対応する。

## 【 0 1 1 2 】

トランジスタ 1 1 4、1 1 6 及び 1 1 8 は p 型トランジスタである。トランジスタ 8 4 及び 8 6 は、アモルファスシリコン、ナノ / マイクロ結晶シリコン、ポリシリコン、有機半導体技術 (例えば有機 TFT)、CMOS 技術 (例えば MOSFET) 及び p 型トランジスタを形成する如何なる他の技術を用いても製造することができる。

## 【 0 1 1 3 】

図 1 9 において、駆動トランジスタ 1 1 4 の端子の一方は OLED 1 1 0 のアノード電極に接続され、他方の端子は制御可能な電圧供給ライン VDD に接続されている。記憶キ

10

20

30

40

50

ャパシタ 1 1 2 及び 1 1 3 は、直列であり、駆動トランジスタ 1 1 4 のゲート端子と電圧供給電極 V 2 との間に接続されている。V 2 は V D D に接続することもできる。O L E D 1 0 0 のカソード電極は、接地電圧供給電極に接続されている。

#### 【 0 1 1 4 】

O L E D 1 1 0 並びにトランジスタ 1 1 4 及び 1 1 6 は、ノード A 7 で接続されている。記憶キャパシタ 1 1 2 並びにトランジスタ 1 1 4 及び 1 1 6 は、ノード B 7 で接続されている。トランジスタ 1 1 8 並びに記憶キャパシタ 1 1 2 及び 1 1 3 は、ノード C 7 で接続されている。

#### 【 0 1 1 5 】

図 2 0 は、図 1 9 のピクセル回路 2 1 2 をプログラミング及び駆動するための波形の一例を示すタイミング図を図示している。図 2 0 は図 1 1 に対応する。V D A T A 及び V D D は、プログラミング及びピクセル回路 2 1 2 の時間依存性パラメータを補償するために使用され、これらは図 1 1 の V D A T A 及び V S S と類似している。図 1 9 及び 2 0 を参照すると、該ピクセル回路 2 1 2 の動作は、4 つの動作サイクル X 7 1、X 7 2 及び X 7 3 を有するプログラミングサイクルと、1 つの動作サイクル X 7 4 を有する駆動サイクルとを含んでいる。

10

#### 【 0 1 1 6 】

プログラミングサイクルの間において、負のプログラミング電圧に駆動トランジスタ 1 1 4 の負の閾電圧を加えたものが記憶キャパシタ 1 1 2 に記憶される。記憶キャパシタ 1 1 3 は零に放電される。

20

#### 【 0 1 1 7 】

結果として、駆動トランジスタ 1 1 4 のゲート/ソース電圧は：

$$V G S = - V P - | V T | \quad ( 7 )$$

となり、ここで、V G S は駆動トランジスタ 1 1 4 のゲート/ソース電圧を表し、V P はプログラミング電圧を表し、V T は駆動トランジスタ 1 1 4 の閾電圧を表す。

#### 【 0 1 1 8 】

第 1 動作サイクル X 7 1 において：V D D は負の電圧となる。S E L はローである。ノード A 7 及び B 7 は負の電圧に充電される。

#### 【 0 1 1 9 】

第 2 動作サイクル X 7 2 において：V D D は基準電圧 V R E F となる。V D A T A は ( V 2 - V R E F + V P ) となる。ノード B 7 の電圧及びノード A 7 の電圧は、駆動トランジスタ 1 1 4 がオフするまで充電される。ノード B 7 の電圧は ( - V R E F - V T ) となり、記憶キャパシタ 1 1 2 に記憶される電圧は ( - V P - | V T | ) となる。

30

#### 【 0 1 2 0 】

第 3 動作サイクル X 7 3 において：S E L は V M となる。V M は、スイッチトランジスタ 1 0 6 がオフとなり、スイッチトランジスタ 1 1 8 がオンとなるような中間電圧である。V D A T A は V 2 となる。ノード C 7 の電圧は V 2 となる。記憶キャパシタ 1 1 2 に記憶された電圧は、X 7 2 のものと同じである。

#### 【 0 1 2 1 】

第 4 動作サイクル X 7 4 において：V D D は自身の動作電圧となる。S E L はハイとなる。記憶キャパシタ 1 1 2 に記憶された電圧が、駆動トランジスタ 1 1 4 のゲート端子に供給される。該駆動トランジスタ 1 1 4 はオンとなる。従って、駆動トランジスタ 1 1 4 の閾電圧 V T 及び O L E D 1 1 0 の電圧からは独立な電流が、駆動トランジスタ 1 1 4 及び O L E D 1 1 0 を介して流れる。

40

#### 【 0 1 2 2 】

図 2 1 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路 2 1 4 を図示している。該ピクセル回路 2 1 4 は、O L E D 1 2 0 と、2 つの記憶キャパシタ 1 2 2 及び 1 2 3 と、駆動トランジスタ 1 2 4 と、スイッチトランジスタ 1 2 6 及び 1 2 8 とを含んでいる。該ピクセル回路 2 1 2 は、図 1 2 のピクセル回路 2 0 6 に対応する。

50

## 【 0 1 2 3 】

トランジスタ 1 2 4、1 2 6 及び 1 2 8 は p 型トランジスタである。トランジスタ 8 4 及び 8 6 は、アモルファスシリコン、ナノノマイクロ結晶シリコン、ポリシリコン、有機半導体技術（例えば有機 TFT）、CMOS 技術（例えば MOSFET）及び p 型トランジスタを形成する如何なる他の技術を用いても製造することができる。

## 【 0 1 2 4 】

図 2 1 において、駆動トランジスタ 1 2 4 の端子の一方は O L E D 1 2 0 のアノード電極に接続され、他方の端子は電圧供給ライン V D D に接続されている。記憶キャパシタ 1 2 2 及び 1 2 3 は、直列であり、駆動トランジスタ 1 2 4 のゲート端子と V D D との間に接続されている。O L E D 1 2 0 のカソード電極は、制御可能な電圧供給電極 V S S に接続されている。

10

## 【 0 1 2 5 】

O L E D 1 2 0 並びにトランジスタ 1 2 4 及び 1 2 6 は、ノード A 8 で接続されている。記憶キャパシタ 1 2 2 並びにトランジスタ 1 2 4 及び 1 2 6 は、ノード B 8 で接続されている。トランジスタ 1 2 8 並びに記憶キャパシタ 1 2 2 及び 1 2 3 は、ノード C 8 で接続されている。

## 【 0 1 2 6 】

図 2 2 は、図 2 1 のピクセル回路 2 1 4 をプログラミング及び駆動するための波形の一例を示すタイミング図を図示している。図 2 2 は図 1 3 に対応する。V D A T A 及び V S S は、プログラミング及び駆動回路 2 1 4 の時間依存性パラメータを補償するために使用され、これらは図 1 3 の V D A T A 及び V D D と類似している。図 2 1 及び 2 2 を参照すると、該ピクセル回路 2 1 4 のプログラミングは、4 つの動作サイクル X 8 1、X 8 2、X 8 3 及び X 8 4 を有するプログラミングサイクルと、1 つの動作サイクル X 8 5 を有する駆動サイクルとを含んでいる。

20

## 【 0 1 2 7 】

プログラミングサイクルの間において、負のプログラミング電圧に駆動トランジスタ 1 2 4 の負の閾電圧を加えたものが記憶キャパシタ 1 2 2 に記憶される。記憶キャパシタ 1 2 3 は零に放電される。

## 【 0 1 2 8 】

結果として、駆動トランジスタ 1 2 4 のゲート / ソース電圧は：

30

$$V_{GS} = -V_P - |V_T| \quad (8)$$

となり、ここで、V G S は駆動トランジスタ 1 2 4 のゲート / ソース電圧を表し、V P はプログラミング電圧を表し、V T は駆動トランジスタ 1 2 4 の閾電圧を表す。

## 【 0 1 2 9 】

第 1 動作サイクル X 8 1 において：V D A T A は高い電圧になる。S E L はローである。ノード A 8 及び B 8 は正の電圧に充電される。

## 【 0 1 3 0 】

第 2 動作サイクル X 8 2 において：S E L はハイとなる。V S S は基準電圧 V R E F 1 となり、その場合、O L E D 6 0 はオフである。

## 【 0 1 3 1 】

40

第 3 動作サイクル X 8 3 において：V D A T A は ( V R E F 2 + V P ) となり、ここで、V R E F 2 は基準電圧である。S E L はローである。従って、ノード B 8 の電圧及びノード A 8 の電圧は、このサイクルの開始時に等しくなる。第 1 記憶キャパシタ 1 1 2 は十分に大きいので、該キャパシタの電圧が支配的となることに注意されたい。その後、ノード B 8 は、駆動トランジスタ 1 2 4 がオフするまで、該駆動トランジスタ 1 2 4 を介して充電される。結果として、ノード B 8 の電圧は ( V D D - | V T | ) となる。第 1 記憶キャパシタ 1 2 2 に記憶される電圧は、( - V R E F 2 - V P - | V T | ) となる。

## 【 0 1 3 2 】

第 4 動作サイクル X 8 4 において：S E L は V M となり、ここで、V M はスイッチトランジスタ 1 2 6 がオフとなり、スイッチトランジスタ 1 2 8 がオンとなるような中間電圧

50

である。V D A T AはV R E F 2となる。ノードC 8の電圧はV R E F 2となる。

【0133】

この結果、駆動トランジスタ124のゲート/ソース電圧V G Sは $(-V P - |V T|)$ となる。V M $<-V P - V T$ であるので、スイッチトランジスタ126はオフであり、記憶キャパシタ122に記憶された電圧は $-(V P + |V T|)$ に留まる。

【0134】

第5動作サイクルX 85において：V S Sは動作電圧となる。また、S E Lはローである。記憶キャパシタ122に記憶された電圧は駆動トランジスタ124のゲートに供給される。

【0135】

図8、10、12、17、19又は21のピクセル回路を有するアレイを動作させるシステムは、図6又は16のものと同様にすることができることに注意されたい。図8、10、12、17、19又は21のピクセル回路を有するアレイは、図7(a)又は7(b)に示すようなアレイ構造を有することができる。

【0136】

また、各トランジスタは相補的回路の概念に基づいてp型又はn型に置換することができることに注意されたい。

【0137】

本発明の上記実施例によれば、駆動トランジスタは飽和動作体制にある。このように、駆動トランジスタの電流は、主に、そのゲート/ソース電圧V G Sにより規定される。結果として、駆動トランジスタの電流は、該ゲート/ソースが記憶キャパシタに記憶されるので、O L E D電圧が変化したとしても一定に留まる。

【0138】

本発明の上記実施例によれば、駆動トランジスタに対するオーバードライブ電圧の供給は、該駆動トランジスタの閾電圧及び/又は発光ダイオード電圧の電圧値とは独立した波形を供給することにより生ぜられる。

【0139】

本発明の上記実施例によれば、ブートストラップに基づく安定した駆動技術が提供される(例えば、図2~12及び16~20)。

【0140】

ピクセル素子の特性のずれ(例えば、長期間の表示動作の下での駆動トランジスタの閾電圧のずれ及び発光デバイスの劣化)は、記憶キャパシタに電圧を記憶し、該電圧を駆動トランジスタのゲートに供給することにより補償される。このように、該ピクセル回路は、斯かるずれの如何なる影響も無しに、発光デバイスを介して安定した電流を供給することができ、これは表示動作寿命を改善する。更に、回路の簡素さ故に、該ピクセル回路は従来のピクセル回路よりも高い製造歩留まり、低い製造コスト及び高い解像度を保証する。

【0141】

全ての引用文献は、参照することにより本明細書に組み込まれるものとする。

【0142】

以上、本発明を1以上の実施例に関連して説明した。しかしながら、当業者にとっては、種々の変形及び変更を、請求項に記載された本発明の範囲から逸脱することなしにすることができることは明らかであろう。

【図面の簡単な説明】

【0143】

【図1】図1は、従来の2 T F T電圧プログラム型ピクセル回路を示す回路図である。

【図2】図2は、表示器アレイに適用された、本発明の一実施例によるプログラミング及び駆動サイクルの一例を示すタイミング図である。

【図3】図3は、本発明の一実施例によるプログラミング及び駆動技術が適用されたピクセル回路を示す回路図である。

10

20

30

40

50

【図 4】図 4 は、図 3 のピクセル回路をプログラミング及び駆動するための波形の一例を示すタイミング図である。

【図 5】図 5 は、図 3 のピクセル回路に対する寿命試験結果を示す図である。

【図 6】図 6 は、図 3 のピクセル回路を有する表示システムを示す図である。

【図 7 a】図 7 (a) は、図 6 のアレイに適用可能な上部発光ピクセルを有するアレイ構造の一例を示す図である。

【図 7 b】図 7 (b) は、図 6 のアレイに適用可能な底部発光ピクセルを有するアレイ構造の一例を示す図である。

【図 8】図 8 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路を示す図である。

【図 9】図 9 は、図 8 のピクセル回路をプログラミング及び駆動するための波形の一例を示すタイミング図である。

【図 10】図 10 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路を示す図である。

【図 11】図 11 は、図 10 のピクセル回路をプログラミング及び駆動するための波形の一例を示すタイミング図である。

【図 12】図 12 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路を示す図である。

【図 13】図 13 は、図 12 のピクセル回路をプログラミング及び駆動するための波形の一例を示すタイミング図である。

【図 14】図 14 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路を示す図である。

【図 15】図 15 は、図 14 のピクセル回路をプログラミング及び駆動するための波形の一例を示すタイミング図である。

【図 16】図 16 は、図 14 のピクセル回路を有する表示システムを示す図である。

【図 17】図 17 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路を示す図である。

【図 18】図 18 は、図 17 のピクセル回路をプログラミング及び駆動するための波形の一例を示すタイミング図である。

【図 19】図 19 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路を示す図である。

【図 20】図 20 は、図 19 のピクセル回路をプログラミング及び駆動するための波形の一例を示すタイミング図である。

【図 21】図 21 は、本発明の他の実施例によるプログラミング及び駆動技術が適用されたピクセル回路を示す図である。

【図 22】図 22 は、図 21 のピクセル回路をプログラミング及び駆動するための波形の一例を示すタイミング図である。

【符号の説明】

【0144】

20, 50, 60, 70, 80, 100, 110, 120 発光デバイス (OLED)

21, 81 記憶キャパシタ

52, 62, 72, 102, 112, 122 第 1 記憶キャパシタ

53, 63, 73, 103, 113, 123 第 2 記憶キャパシタ

24, 54, 64, 74, 84, 104, 114, 124 駆動トランジスタ

26, 85 スイッチトランジスタ

56, 66, 76, 106, 116, 126 第 1 スイッチトランジスタ

58, 68, 78, 108, 118, 128 第 2 スイッチトランジスタ

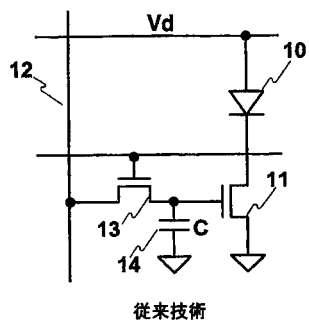
SEL 選択ライン

SEL1 第 1 選択ライン

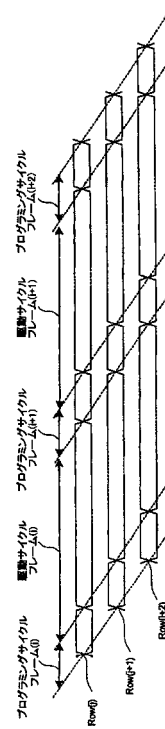
SEL2 第 2 選択ライン

## V D A T A 信号ライン

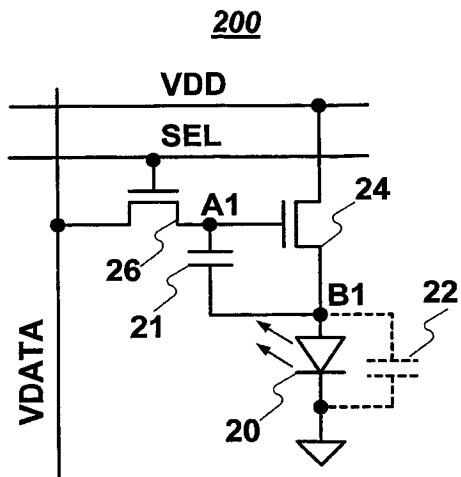
【 図 1 】



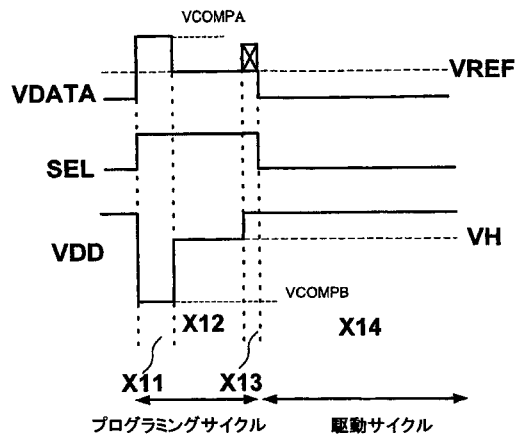
【 図 2 】



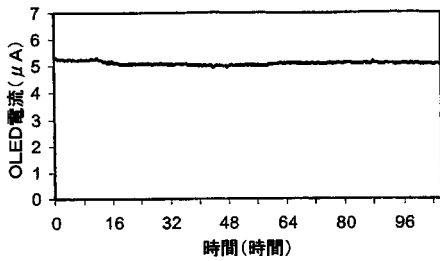
【図 3】



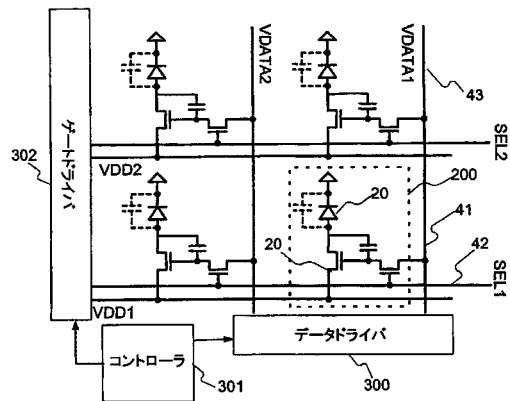
【図 4】



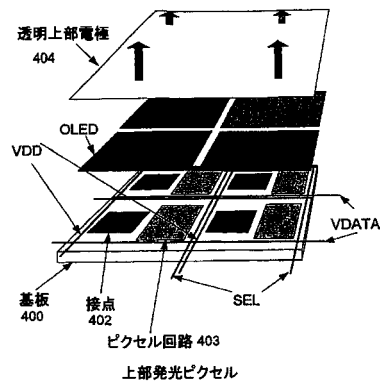
【図 5】



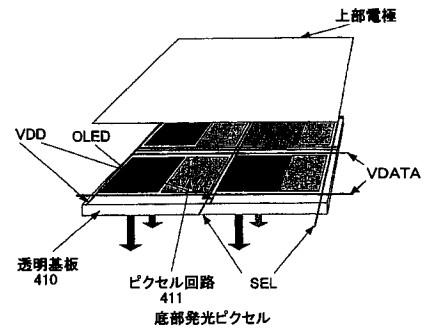
【図 6】



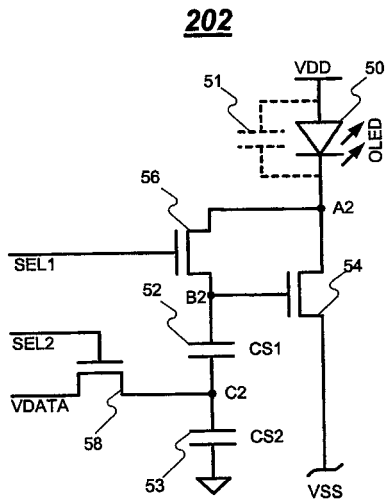
【図 7 a】



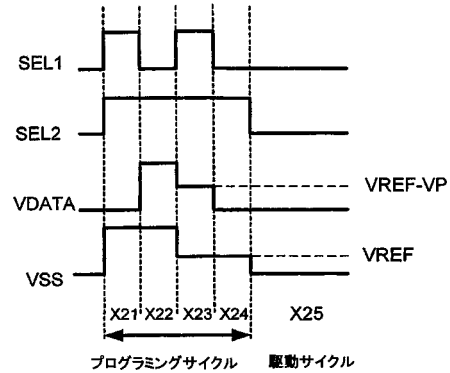
【図 7 b】



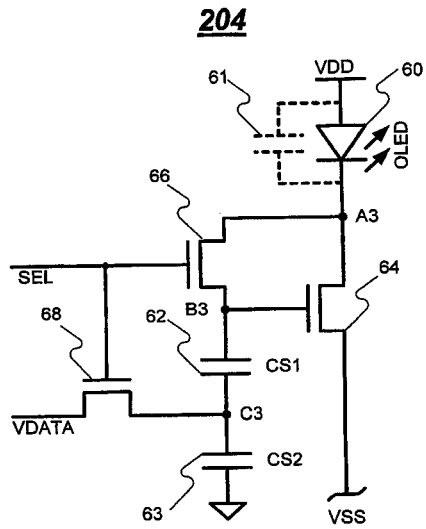
【図 8】



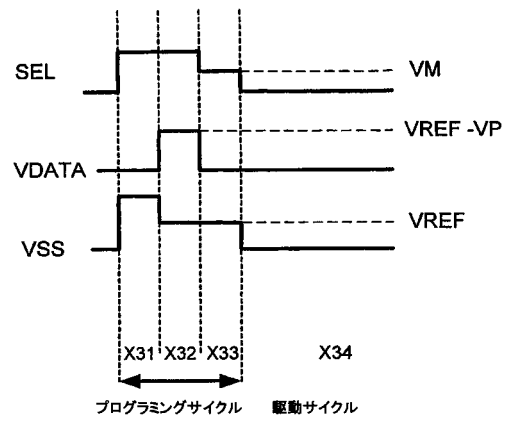
【図 9】



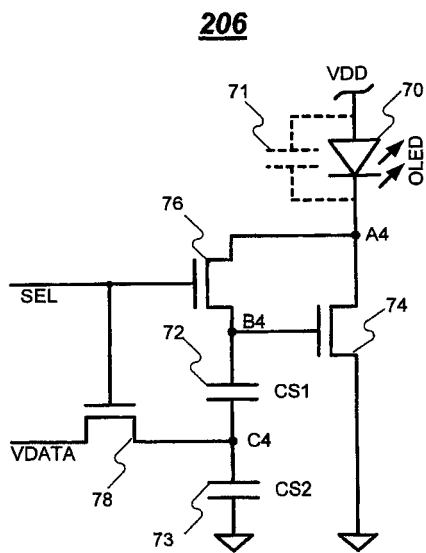
【図 10】



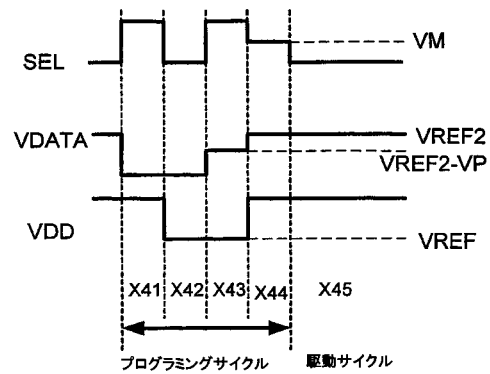
【図 11】



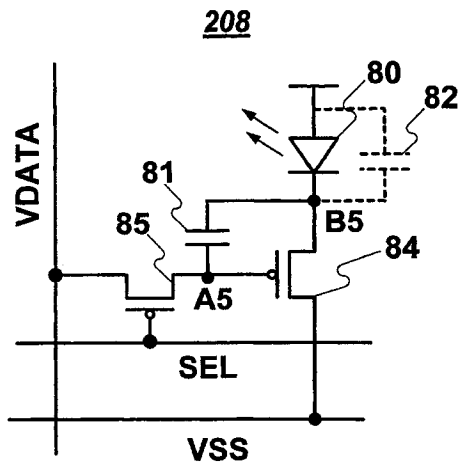
【図 12】



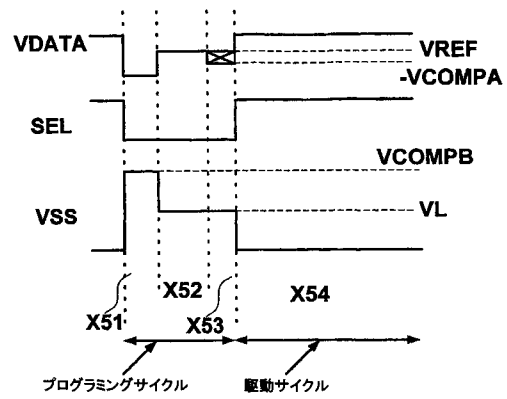
【図 13】



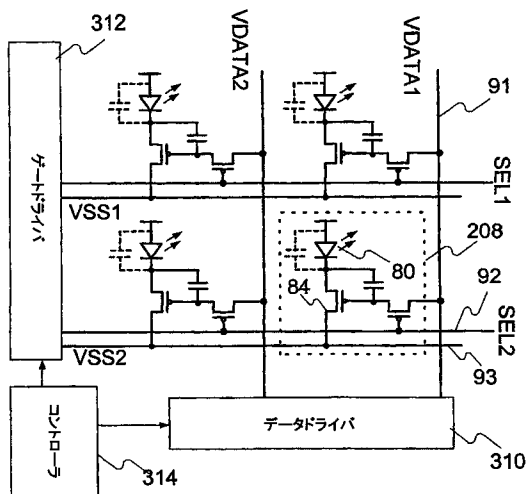
【図 14】



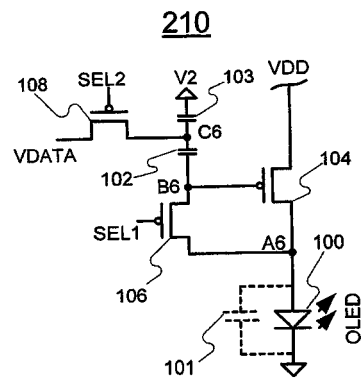
【図 15】



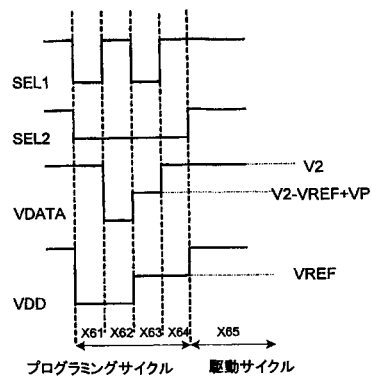
【図 16】



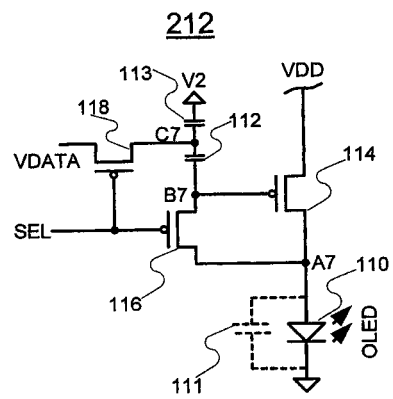
【図 17】



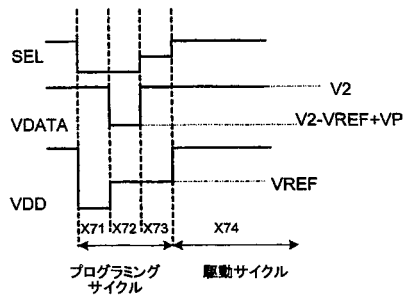
【図 18】



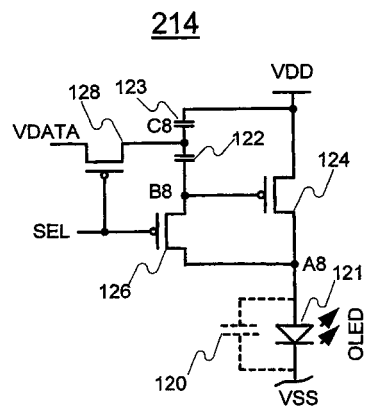
【図 19】



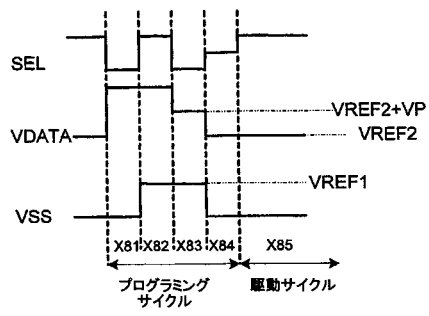
【図 20】



【図 21】



【図 22】



## 【国際調査報告】

| INTERNATIONAL SEARCH REPORT                                                                                                                                                                                                                           |                                                                                                                                                                                                                                                  | International application No.<br>PCT/CA2005/001844 |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------|
| 1. CLASSIFICATION OF SUBJECT MATTER                                                                                                                                                                                                                   |                                                                                                                                                                                                                                                  |                                                    |
| IPC <i>G09G-3/20</i> (2006.01); <i>G09G-3/32</i> (2006.01)                                                                                                                                                                                            |                                                                                                                                                                                                                                                  |                                                    |
| 2. FIELDS SEARCHED                                                                                                                                                                                                                                    |                                                                                                                                                                                                                                                  |                                                    |
| Minimum documentation searched (classification system followed by classification symbols)<br>IPC' <i>G09G-3/20</i> ; <i>G09G-3/32</i> ; Canadian 375/1 to 375/20; 375/33 to 375/53                                                                    |                                                                                                                                                                                                                                                  |                                                    |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched                                                                                                                         |                                                                                                                                                                                                                                                  |                                                    |
| Electronic data base consulted during the international search (name of data base, and, where practicable, search terms used) :                                                                                                                       |                                                                                                                                                                                                                                                  |                                                    |
| Databases : Delphion, West, USPTO, Espacenet, Canadian Patent Database<br>Keywords : driving/switching transistors; storage capacitor; pixel programming; operating cycles; driving cycles; voltage at nodes; voltage threshold; gate-source voltage. |                                                                                                                                                                                                                                                  |                                                    |
| 3. DOCUMENTS CONSIDERED TO BE RELEVANT                                                                                                                                                                                                                |                                                                                                                                                                                                                                                  |                                                    |
| Category*                                                                                                                                                                                                                                             | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                               | Relevant to claim No.                              |
| A, P                                                                                                                                                                                                                                                  | US 6919871 (KWON) 19 July 2005 (19.07.2005),<br>abstract; claims; figs. 5-16                                                                                                                                                                     | 1-18                                               |
| A                                                                                                                                                                                                                                                     | US 6392617 (GLEASON) 21 May 2002 (21.05.2002),<br>abstract; figs 3-5                                                                                                                                                                             | 1-18                                               |
| A                                                                                                                                                                                                                                                     | US 5952789 (STEWART et al.) 14 September 1999 (14.09.1999),<br>abstract; figs 6-7                                                                                                                                                                | 1-18                                               |
| Further documents are listed in the continuation of Box C. Patent family members are listed in annex. [X]                                                                                                                                             |                                                                                                                                                                                                                                                  |                                                    |
| * Special categories of cited documents :                                                                                                                                                                                                             | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention                                              |                                                    |
| "A" document defining the general state of the art which is not considered to be of particular relevance                                                                                                                                              | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone                                                                     |                                                    |
| "E" earlier application or patent but published on or after the international filing date                                                                                                                                                             | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |                                                    |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)                                                                               | "&" document member of the same patent family                                                                                                                                                                                                    |                                                    |
| "O" document referring to an oral disclosure, use, exhibition or other means                                                                                                                                                                          |                                                                                                                                                                                                                                                  |                                                    |
| "P" document published prior to the international filing date but later than the priority date claimed                                                                                                                                                |                                                                                                                                                                                                                                                  |                                                    |
| Date of the actual completion of the international-type search<br>09 March 2006 (09-03-2006)                                                                                                                                                          | Date of mailing of the international-type search report<br>28 March 2006 (28-03-2008)                                                                                                                                                            |                                                    |
| Name and mailing address of the ISA/<br>Commissioner of Patents<br>Canadian Patent Office - PCT<br>Ottawa/Gatineau K1A 0C9<br>Facsimile No. 1-819-953-9358                                                                                            | Authorized officer<br>Terry Cartile (819) 997-2951                                                                                                                                                                                               |                                                    |

**INTERNATIONAL SEARCH REPORT**  
 Information on patent family members

 International application No.  
**PCT/CA2005/001844**

| Patent Document Cited<br>in the Search Report | Publication<br>Date<br>(dd.mm.yyyy) | Patent Family<br>Members                        | Publication<br>Date(s)<br>(dd.mm.yyyy) |
|-----------------------------------------------|-------------------------------------|-------------------------------------------------|----------------------------------------|
| A, P US 6919871                               | 19.07.2005                          | JP 2004310006 A2<br>EP 1465143 A3<br>CN 1534568 | 04.11.2004<br>22.12.2004<br>06.10.2004 |
| A US 6392617                                  | 21.05.2002                          | JP 2001147665 A2<br>EP 1096466 A1               | 29.05.2002<br>02.05.2001               |
| A US 5952789                                  | 14.09.1999                          | JP 10319908 A2                                  | 04.12.1998                             |

## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

|         |       |         |
|---------|-------|---------|
| G 0 9 G | 3/20  | 6 7 0 J |
| G 0 9 G | 3/20  | 6 4 2 A |
| G 0 9 G | 3/20  | 6 4 2 C |
| H 0 5 B | 33/14 | A       |

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 ネイサン, アロキア

カナダ国 エヌ２エル ５ケー８ オンタリオ州、 ウォータールー、 カルペッパー ドライブ  
 ５５、 イグニス イノベーション インコーポレーテッド内

(72)発明者 チャジ, レザ, ジー.

カナダ国 エヌ２エル ５ケー８ オンタリオ州、 ウォータールー、 カルペッパー ドライブ  
 ５５、 イグニス イノベーション インコーポレーテッド内

(72)発明者 セルバティ, ペイマン

カナダ国 エヌ２ヴィ ２アール６ オンタリオ州、 ウォータールー、 シーダー ベンド ド  
 ライブ ７５３

F ターム(参考) 3K107 AA01 BB01 CC33 EE04 HH02 HH04 HH05

5C080 AA07 BB05 DD03 DD05 DD29 EE28 FF11 HH14 JJ02 JJ03

JJ04 JJ05 JJ06

|                |                                                                                                                                                                                                                             |         |            |
|----------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 用于编程和驱动有源矩阵发光装置的像素的方法和系统                                                                                                                                                                                                    |         |            |
| 公开(公告)号        | <a href="#">JP2008523425A</a>                                                                                                                                                                                               | 公开(公告)日 | 2008-07-03 |
| 申请号            | JP2007544707                                                                                                                                                                                                                | 申请日     | 2005-12-06 |
| [标]申请(专利权)人(译) | 伊格尼斯创新公司                                                                                                                                                                                                                    |         |            |
| 申请(专利权)人(译)    | 伊格尼斯-Inobeishon公司                                                                                                                                                                                                           |         |            |
| [标]发明人         | ネイサンアロキア<br>チャジレザジー<br>セルバティペイマン                                                                                                                                                                                            |         |            |
| 发明人            | ネイサン, アロキア<br>チャジ, レザ, ジー.<br>セルバティ, ペイマン                                                                                                                                                                                   |         |            |
| IPC分类号         | G09G3/32 G09G3/30 G09G3/20 H01L51/50 G09G3/3225                                                                                                                                                                             |         |            |
| CPC分类号         | G09G3/3258 G09G3/3233 G09G3/3696 G09G2300/0465 G09G2300/0842 G09G2300/0852 G09G2310/0262 G09G2310/06 G09G2310/061 G09G2320/043                                                                                              |         |            |
| FI分类号          | G09G3/32.A G09G3/30.K G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.670.J G09G3/20.642.A G09G3/20.642.C H05B33/14.A                                                                                                     |         |            |
| F-TERM分类号      | 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE04 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA07 5C080/BB05 5C080/DD03 5C080/DD05 5C080/DD29 5C080/EE28 5C080/FF11 5C080/HH14 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 |         |            |
| 代理人(译)         | 所以, 石井<br>青木 纯雄                                                                                                                                                                                                             |         |            |
| 优先权            | 2490858 2004-12-07 CA                                                                                                                                                                                                       |         |            |
| 其他公开文献         | JP5459960B2                                                                                                                                                                                                                 |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                   |         |            |

# 摘要(译)

提供了用于编程和驱动有源矩阵发光装置的像素的方法和系统。像素是电压编程像素电路，并且具有发光器件，驱动晶体管和存储电容器。像素具有编程周期，其具有多个操作周期和驱动周期。在编程周期期间，控制OLED和驱动晶体管之间的结处的电压，使得驱动晶体管的期望栅极/源极电压存储在存储电容器中。

