

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-276250

(P2006-276250A)

(43) 公開日 平成18年10月12日(2006.10.12)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K007
G09G 3/20 (2006.01)	G09G 3/30 K	5C080
H01L 51/50 (2006.01)	G09G 3/20 611H	5F110
H01L 29/786 (2006.01)	G09G 3/20 621A	
	G09G 3/20 624B	
審査請求 未請求 請求項の数 3 O L (全 10 頁) 最終頁に続く		

(21) 出願番号 特願2005-92566 (P2005-92566)
 (22) 出願日 平成17年3月28日 (2005.3.28)

(71) 出願人 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (74) 代理人 100075258
 弁理士 吉田 研二
 (74) 代理人 100096976
 弁理士 石田 純
 (72) 発明者 池田 恭二
 大阪府守口市京阪本通2丁目5番5号 三
 洋電機株式会社内
 Fターム(参考) 3K007 AB17 BA06 DB03 GA00
 5C080 AA06 BB05 DD05 EE28 EE29
 FF11 JJ02 JJ03 JJ04
 5F110 AA30 BB02 GG02 GG15 NN71
 NN73

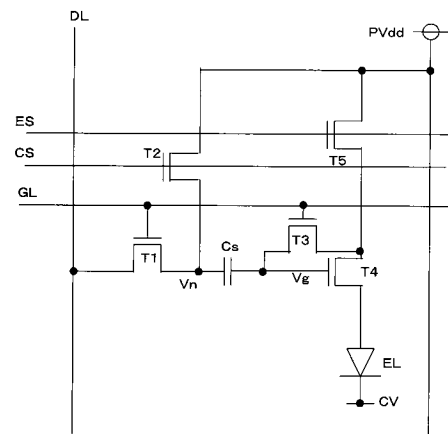
(54) 【発明の名称】 有機EL画素回路

(57) 【要約】

【課題】 駆動トランジスタのしきい値電圧の変動を効果的に補償する。

【解決手段】 ゲート電位 V_g に応じた駆動電流を電源 $PVdd$ から有機EL素子ELに流す駆動トランジスタT4を設ける。この駆動トランジスタT4と電源 $PVdd$ の間には駆動制御トランジスタT5を挿入配置するとともに、駆動トランジスタT4をダイオード接続するか否かを制御する短絡トランジスタT3を設ける。さらに、データラインDLからのデータ信号を駆動トランジスタT4の制御端へ供給するか否かを制御する選択トランジスタT1と、選択トランジスタT1と、駆動トランジスタT4の制御端との間にコンデンサCsを挿入配置するとともに、このコンデンサCsの選択トランジスタT1側と、前記電源 $PVdd$ との間の接続をオンオフする電位制御トランジスタT2を設ける。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

制御端の電位に応じた駆動電流を電源から有機 E L 素子に流す駆動トランジスタと、
この駆動トランジスタと前記有機 E L 素子に直列に配置され、前記駆動電流をオンオフする駆動制御トランジスタと、

前記駆動トランジスタをダイオード接続するか否かを制御する短絡トランジスタと、
データラインからのデータ信号を前記駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、

この選択トランジスタと、前記駆動トランジスタの制御端との間に挿入配置された容量と、

10

この容量の前記選択トランジスタ側と、前記電源との間の接続をオンオフする電位制御トランジスタと、

を有し、

前記駆動トランジスタは、n チャネルトランジスタとすることを特徴とする有機 E L 画素回路。

【請求項 2】

請求項 1 に記載の回路において、

前記駆動制御トランジスタ、短絡トランジスタ、選択トランジスタおよび電位制御トランジスタを n チャネルトランジスタとすることを特徴とする有機 E L 画素回路。

【請求項 3】

20

請求項 1 または 2 に記載の回路において、

前記駆動制御トランジスタは、前記駆動トランジスタと、電源の間に挿入配置されることを特徴とする有機 E L 画素回路。

【発明の詳細な説明】

【技術分野】

【0001】

有機 E L 素子へ供給する駆動電流を制御する駆動トランジスタのしきい値補償が行える有機 E L 画素回路に関する。

【背景技術】

【0002】

30

自発光素子であるエレクトロルミネッセンス (Electroluminescence: 以下 E L) 素子を各画素に発光素子として用いた E L 表示装置は、自発光型であると共に、薄く消費電力が小さい等の有利な点があり、液晶表示装置 (LCD) や CRT などの表示装置に代わる表示装置として注目されている。

【0003】

特に、E L 素子を個別に制御する薄膜トランジスタ (TFT) などのスイッチ素子を各画素に設け、画素毎に E L 素子を制御するアクティブマトリクス型 E L 表示装置では、高精細な表示が可能である。

【0004】

このアクティブマトリクス型 E L 表示装置では、基板上に複数本のゲートラインが行 (水平) 方向に延び、複数本のデータライン及び電源ラインが列 (垂直) 方向に延びており、各画素は有機 E L 素子と、選択 TFT、駆動用 TFT 及び保持容量を備えている。ゲートラインを選択することで選択 TFT をオンし、データライン上のデータ電圧 (電圧ビデオ信号) を保持容量に充電し、この電圧で駆動 TFT をオンして電源ラインからの電力を有機 E L 素子に流している。

40

【0005】

【特許文献 1】特表 2002 - 514320 公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

50

しかし、このような画素回路において、マトリクス状に配置された画素回路の駆動 T F T のしきい値電圧がばらつくと、輝度がばらつくことになり、表示品質が低下するという問題がある。そして、表示パネル全体の画素回路を構成する T F T について、その特性を同一にすることは難しく、そのオンオフのしきい値がばらつくことを防止することは難しい。

【 0 0 0 7 】

そこで、駆動 T F T におけるしきい値のバラツキの表示に対する影響を防止することが望まれる。

【 0 0 0 8 】

ここで、T F T のしきい値の変動への影響を防止するための回路については、従来より 10
各種の提案がある（例えば、上記特許文献 1 ）。

【 0 0 0 9 】

しかし、この提案では、しきい値変動の補償をするための回路を必要とする。従って、このような回路を用いると、画素回路の素子数が増加し、開口率が小さくなってしまいうという問題があった。また、補償のための回路を追加した場合、画素回路を駆動するための周辺回路についても変更が必要となるという問題もあった。

【 0 0 1 0 】

本発明は、効果的に駆動トランジスタのしきい値電圧の変動を補償できる画素回路を提供する。

【課題を解決するための手段】

20

【 0 0 1 1 】

本発明は、制御端の電位に応じた駆動電流を電源から有機 E L 素子に流す駆動トランジスタと、この駆動トランジスタと前記有機 E L 素子に直列に配置され、前記駆動電流をオンオフする駆動制御トランジスタと、前記駆動トランジスタをダイオード接続するか否かを制御する短絡トランジスタと、データラインからのデータ信号を前記駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、この選択トランジスタと、前記駆動トランジスタの制御端との間に挿入配置された容量と、この容量の前記選択トランジスタ側と、前記電源との間の接続をオンオフする電位制御トランジスタと、を有し、前記駆動トランジスタは、n チャネルトランジスタとすることを特徴とする。

また、前記駆動制御トランジスタ、短絡トランジスタ、選択トランジスタおよび電位制御トランジスタを n チャネルトランジスタとすることが好適である。 30

また、前記駆動制御トランジスタは、前記駆動トランジスタと、電源の間に挿入配置されることが好適である。

【発明の効果】

【 0 0 1 2 】

以上のように、本発明によれば、選択トランジスタをオンした状態で、短絡トランジスタをオンすることによって、駆動トランジスタの制御端電圧をデータ電圧および駆動トランジスタのしきい値電圧に応じたものにセットすることができる。従って、駆動トランジスタのしきい値電圧の変動によらず、データ電圧に応じた駆動電流を有機 E L 素子に供給することができる。また、駆動トランジスタを n チャネルトランジスタとしたため、トランジスタの特性が優れており、その能動層をアモルファスシリコンで形成することも可能になる。さらに、選択トランジスタと駆動トランジスタの制御端の間にコンデンサを挿入しても、従来の選択トランジスタを直接 p チャネルの駆動トランジスタの制御端に接続した場合と同じ極性のデータ信号を利用することができる。 40

【発明を実施するための最良の形態】

【 0 0 1 3 】

以下、本発明の実施形態について、図面に基づいて説明する。

【 0 0 1 4 】

図 1 は、実施形態に係る画素回路の構成を示している。データライン D L は、垂直方向に伸び、画素の表示輝度についてのデータ信号（データ電圧 V s i g ）を画素回路に供給 50

する。データライン D L は、1 列の画素に対し 1 本設けられており、垂直方向の画素に対し、その画素のデータ電圧 V_{sig} を順次供給する。

【0015】

このデータライン D L には、n チャンネルの選択トランジスタ T 1 のドレインが接続されており、この選択トランジスタ T 1 のソースは、コンデンサ C s の一端に接続されている。選択トランジスタ T 1 のゲートは、水平方向に伸びるゲートライン G L に接続されている。このゲートライン G L には、水平方向の各画素回路の選択トランジスタ T 1 のゲートが接続されている。

【0016】

また、ゲートライン G L と同様に水平方向に伸びる容量セットライン C S が設けられており、この容量セットライン C S には、n チャンネルの電位制御トランジスタ T 2 のゲートが接続されている。電位制御トランジスタ T 2 のソースは電源ライン P V d d に接続され、ドレインはコンデンサ C s と選択トランジスタ T 1 のソースに接続されている。なお、電源ライン P V d d は垂直方向に伸びており、垂直方向の各画素に電源電圧 P V d d を供給する。 10

【0017】

コンデンサ C s の他端は、n チャンネルの駆動トランジスタ T 4 のゲートに接続されている。駆動トランジスタ T 4 のドレインは、n チャンネルの駆動制御トランジスタ T 5 のソースに接続され、ドレインは有機 E L 素子 E L のアノードに接続されている。駆動制御トランジスタ T 5 のドレインは、電源ライン P V d d に接続されており、ゲートは、水平方向に伸びる発光セットライン E S に接続されている。また、有機 E L 素子 E L のカソードは、低電圧のカソード電源 C V に接続されている。 20

【0018】

さらに、駆動トランジスタ T 4 のゲートには、n チャンネルの短絡トランジスタ T 3 のドレインが接続されており、この短絡トランジスタ T 3 のソースは、駆動トランジスタ T 4 のドレインに、またゲートはゲートライン G L に接続されている。

【0019】

このように、本実施形態では、垂直方向にデータライン D L と、電源ライン P V d d が配置され、水平方向にゲートライン G L と、発光セットライン E S が配置されている。

【0020】

次に、この画素回路の動作について、説明する。 30

【0021】

図 2 に示すように、この画素回路（データライン D L を含む）は、1 水平期間において、ゲートライン G L、発光セットライン E S、容量セットライン C S の状態（H レベル、L レベル）に応じて、(i) データセット（G L = H レベル、E S = L レベル）、(i i) プリチャージ（G L = H レベル、E S = H レベル）、(i i i) リセット（G L = H レベル、E S = L レベル）、(i v) 電位固定（G L = L レベル、E S = L レベル）、(v) 発光（G L = L レベル、E S = H レベル）の 4 つの状態があり、これを繰り返す。なお、この書き込み期間において容量セットライン C S は、L レベルである。

【0022】

また、データライン D L におけるデータは、図に示すように、書き込み対象のラインが選択された段階でその水平ラインの各列のデータライン D L に順次データがセットされる。すなわち、データライン D L に対しては、データが画素毎のデータが点順次出力される。そして、すべてのデータライン D L にデータがセットされた後、各画素回路にそのデータ（データ電圧）が取り込まれる。 40

【0023】

なお、各種の電圧は次のように設定することが好適である。電源ライン P V d d は P V d d、発光セットライン E S は H レベル = P V d d、L レベル = V V B B、ゲートライン G L は H レベル = V V D D、L レベル = V V B B、容量セットライン C S は H レベル = V V D D、L レベル = V V B B、カソード電源 C V = C V にし、P V d d = 8 V、V V D D 50

$= 10\text{ V}$ 、 $V_{VB} = -2\text{ V}$ 、 $C_V = -2\text{ V}$ 程度に設定するとよい。

【0024】

以下、書き込みの動作について、説明する。

【0025】

(i) データセット ($GL = H$ レベル, $ES = L$ レベル, $CS = L$ レベル)

まず、発光セットライン $ES = L$ レベルとして、電源ライン PV_{dd} からの電流を遮断すると共に、容量セットライン $CS = L$ レベルとして、選択トランジスタ T_1 と容量 CS の接続点の電圧を下げる。そして、この状態でゲートライン GL を H レベルとし、データライン DL に対応する各画素のデータ電圧を順次セットする。従って、データライン DL にデータにセットされた電圧が容量 CS に印加される。なお、データライン DL には、データ電圧が点順次でセットされるが、各データライン DL は容量が接続されており、一旦印加されたデータ電圧が保持される。

【0026】

(ii) プリチャージ

各データライン DL へのデータセットが終了した後、発光セットライン ES を H レベルとする。これによって、駆動トランジスタ T_4 のドレインが電源ライン PV_{dd} に接続され、また短絡トランジスタ T_3 がオンになっているため、駆動トランジスタ T_4 のゲートが電源電位 PV_{dd} 近くにまでチャージされる。

【0027】

(iii) リセット

その後、発光セットライン ES を L レベルに戻し、駆動トランジスタ T_4 を電源 PV_{dd} から切り離す。これによって、図3に示すように、駆動トランジスタ T_4 のゲート電位は、そのソース電位からしきい値電圧 V_{tn} だけオフセットのかかった電位まで下がる。一方、トランジスタ T_4 のドレイン電位は有機 EL 素子 EL のしきい値電圧 V_e となるため、駆動トランジスタ T_4 のゲート電圧 $V_g = V_e + V_{tn}$ となる。また、このときのコンデンサ C_s のデータライン DL 側はデータライン DL のデータ電圧 V_{sig} になっている。

【0028】

(iv) 電位固定

次に、ゲートライン GL を L レベルにセットして、選択トランジスタ T_1 、短絡トランジスタ T_3 をオフする。これによって、駆動トランジスタ T_4 のゲート電圧 $V_g = V_e + V_{tn}$ に固定される。このとき、コンデンサ C_s の反対側の電圧は V_{sig} であり、コンデンサ C_s には、 $V_{sig} - V_g = V_{sig} - (V_e + V_{tn})$ の電圧が充電される。

【0029】

(v) 発光

電位が固定された後、発光セットライン ES および容量セットライン CS を H レベルにする。これによって、図4に示すように、コンデンサ C_s の選択トランジスタ T_1 側の電圧は PV_{dd} になり、従って駆動トランジスタ T_4 のゲート電圧 $V_g = PV_{dd} - V_{sig} + V_e + V_{tn}$ となる。そして、駆動制御トランジスタ T_5 もオンになるため、駆動トランジスタ T_4 がそのゲートソース間電圧 V_{gs} に応じた電流を流し、これが有機 EL 素子 EL に供給される。ここで、駆動トランジスタ T_4 のソース電位 $V_s = V_e + I \cdot R$ となる。ここで、 I は有機 EL 素子 EL に流れる電流値、 R は有機 EL 素子 EL のオン抵抗である。従って、駆動トランジスタ T_4 のゲートソース間電圧 $V_{gs} = V_g - V_s = PV_{dd} - V_{sig} + V_{tn} - I \cdot R$ となる。

【0030】

有機 EL 素子 EL のオン抵抗 R は、有機 EL 素子の面積を大きくし、有機 EL 素子の有機層を薄くすることで、かなり小さくすることができる。そして、駆動トランジスタ T_4 におけるドレイン電流 I は、 $I = (1/2) \beta (V_{gs} - V_{tn})^2$ によって決定されるため、駆動トランジスタ T_4 のしきい値電圧によらずに、データ電圧 V_{sig} に応じた電流を駆動トランジスタ T_4 に流すことができる。なお、 β は駆動トランジスタ T_4 増幅率

10

20

30

40

50

であり、 $\beta = \mu \varepsilon G W / G L$ で表され、 μ はキャリアの移動度、 ε は誘電率、 $G W$ はゲート幅、 $G L$ はゲート長である。

【0031】

特に、駆動トランジスタ T_4 のゲートソース間電圧 V_{gs} は、 $P V_{dd}$ からデータ電圧 V_{sig} を減算した電圧に基づいて決定される。従って、データ電圧 V_{sig} は、 p チャネルの駆動トランジスタのゲートに直接供給するデータ電圧 V_{sig} と同一のものを利用することができる。従って、データライン $D L$ を駆動する回路を従来と同様の構成にすることができる。

【0032】

上述の説明では、基本的に1画素についての動作についてのみ説明した。実際には、表示パネルは、マトリクス状に画素が配置されており、これらのそれぞれについて対応する輝度信号に応じたデータ電圧 V_{sig} を供給して各有機 $E L$ 素子を発光させる。すなわち、図5に示すように、表示パネルには、水平スイッチ回路 $H S R$ と、垂直スイッチ $V S R$ が設けられており、これらの出力によってデータライン $D L$ 、ゲートライン $G L$ 、その他発光セットライン $E S$ 、容量セットライン $C S$ などの状態が制御される。特に、水平方向の各画素には、1つのゲートライン $G L$ が対応づけられており、このゲートライン $G L$ は垂直スイッチ $V S R$ によって、1つずつ順に活性化される。次に、1つのゲートライン $G L$ が活性化される1水平期間の途中までの期間に、水平スイッチ $H S R$ によってすべてのデータライン $D L$ にデータ電圧が点順次で供給され、すべてのデータライン $D L$ にセットされる。そして、各データライン $D L$ のデータ電圧が対応する1水平ライン分の各画素回路にデータが同時に書き込まれる（各画素に取り込まれたデータ電圧が確定する）。そして、各画素回路において、1垂直期間後まで書き込まれたデータ電圧に応じた発光がされる。

【0033】

次に、1水平ライン内の各画素に対するデータの書き込み手順について、図6に基づいて説明する。

【0034】

まず、1水平期間の開始を示すイネーブル信号 $E N B$ の L レベルの後に、すべてのデータライン $D L$ に点順次データ電圧 V_{sig} を書き込む。すなわち、データライン $D L$ には、容量などが接続されており、電圧信号をセットすることで、データライン $D L$ にそのデータ電圧 V_{sig} が保持される。そこで、各列の画素についてのデータ電圧 V_{sig} を順次対応するデータライン $D L$ にセットすることで、すべてのデータライン $D L$ にデータ電圧 V_{sig} をセットする。

【0035】

そして、このデータのセットが終了した段階で、発光セットライン $E S$ を H レベルとしてプリチャージし、その後発光セットライン $E S$ を L レベルに戻してリセットを行う。そして、ゲートライン $G L$ を L レベルに戻すことで、画素回路内のコンデンサ $C s$ の充電電圧が固定され、その後容量セットライン $C S$ を H レベルとすることで駆動トランジスタ T_4 のゲートがシフトして、当該水平ラインの全画素において、発光が行われる。

【0036】

このようにして、通常のビデオ信号（データ電圧 V_{sig} ）を順次データライン $D L$ に書き込み、これを画素回路にセットして、発光させることができる。

【0037】

「実施形態の効果」

図1の示すように、画素回路に使用するトランジスタ（薄膜トランジスタ： $T F T$ ）をすべて n チャネルトランジスタとすることが好適である。 n チャネルトランジスタは、その特性が p チャネルトランジスタに比べ優れている。このため、トランジスタの能動層をアモルファスシリコンとしても、十分動作が可能になる。そこで、能動層について、ポリシリコン化する処理を不要として歩留まりを改善することができる。

また、選択トランジスタ T_1 と駆動トランジスタ T_4 のゲートの間にコンデンサ $C s$ を

10

20

30

40

50

挿入しても、従来の選択トランジスタを直接 p チャンネルの駆動トランジスタの制御端に接続した場合と同じ極性のデータ信号を利用することができる。

【 0 0 3 8 】

「変形例」

図 7 には、変形例の画素回路の構成を示す。この例では、電位制御トランジスタ T 2 の一端（ドレイン）が電源ライン P V d d ではなく、発光セットライン E S に接続されている。この構成によっても、図 1 の例と同様の作用が得られる。また、電源としては同一の P V d d に接続されるが、発光セットライン E S は、電源ライン P V d d とは別のラインであり、有機 E L 素子 E L へ駆動供給する電源ライン P V d d に比べその電圧変動がなく、安定した動作が得られる。すなわち、電位制御トランジスタ T 2 による電圧 V n を設定する際に、電源ライン P V d d の電圧降下の影響を受けることがない。

10

【図面の簡単な説明】

【 0 0 3 9 】

【図 1】実施形態に係る画素回路の構成を示す図である。

【図 2】動作を説明するチャート図である。

【図 3】データの書き込みを説明する図である。

【図 4】発光時を説明する図である。

【図 5】パネルの全体構成を示す図である。

【図 6】データセットのタイミング例を示す図である。

【図 7】変形例の画素回路の構成を示す図である。

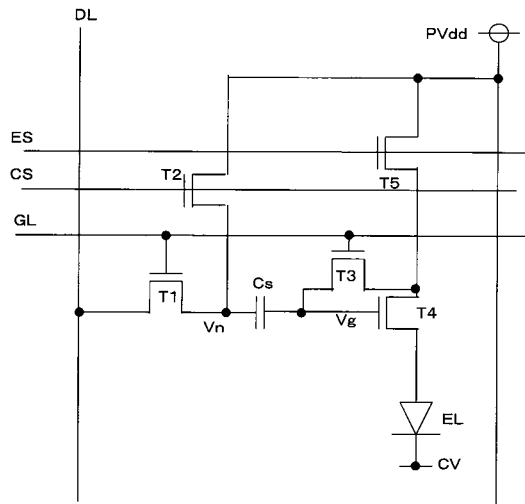
20

【符号の説明】

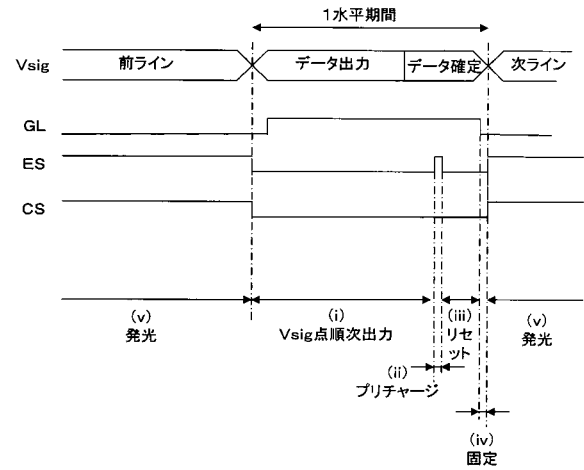
【 0 0 4 0 】

C s コンデンサ、C S 容量セットライン、C V カソード電源、D L データライン、E L 有機 E L 素子、E N B イネーブル信号、E S 発光セットライン、G L ゲートライン、H S R 水平スイッチ、P V d d 電源電圧、T 1 選択トランジスタ、T 2 電位制御トランジスタ、T 3 短絡トランジスタ、T 4 駆動トランジスタ、T 5 駆動制御トランジスタ、V S R 垂直スイッチ、V g 駆動トランジスタのゲート電圧、V s i g データ電圧。

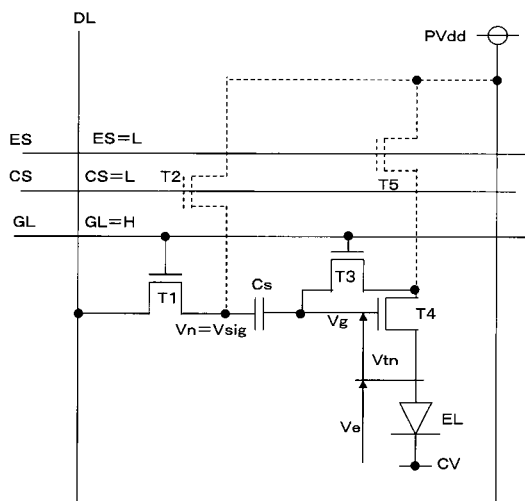
【図 1】



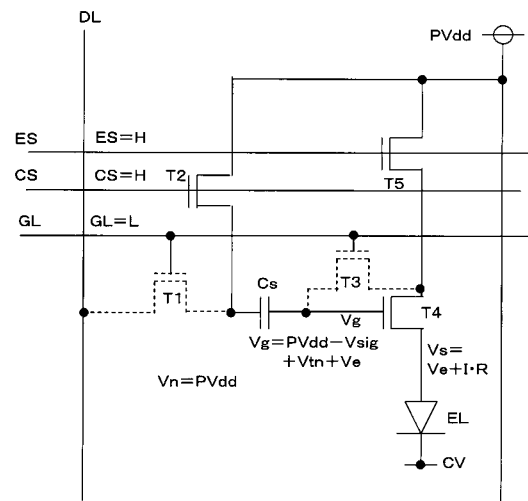
【図 2】



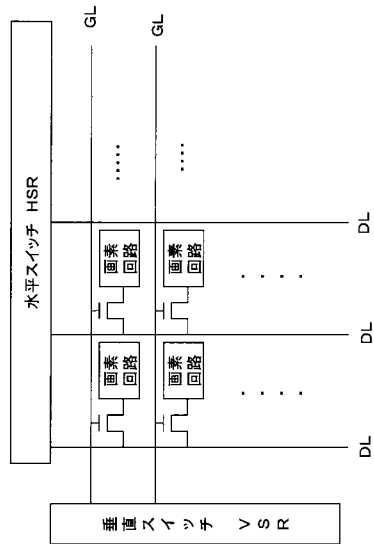
【図 3】



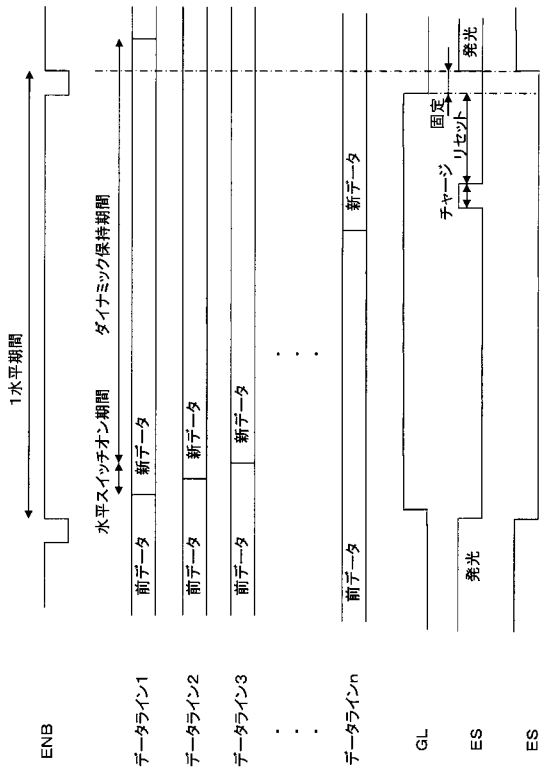
【図 4】



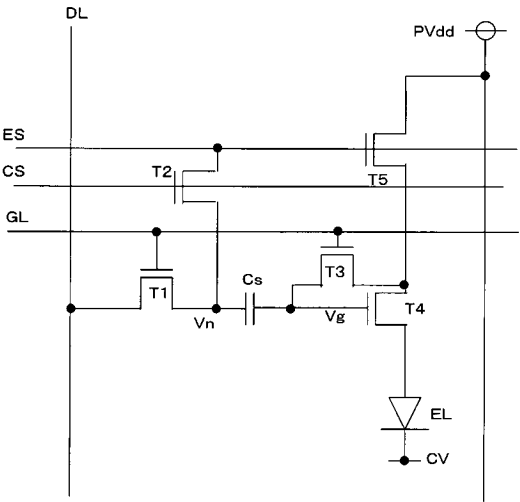
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 2 A
H 0 5 B	33/14	A
H 0 1 L	29/78	6 1 4

专利名称(译)	有机EL画素回路		
公开(公告)号	JP2006276250A	公开(公告)日	2006-10-12
申请号	JP2005092566	申请日	2005-03-28
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	池田恭二		
发明人	池田 恭二		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H01L29/786		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.611.H G09G3/20.621.A G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H05B33/14.A H01L29/78.614 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5F110/AA30 5F110/BB02 5F110/GG02 5F110/GG15 5F110/NN71 5F110/NN73 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/BA29 5C380/BA39 5C380/BB02 5C380/CA09 5C380/CA12 5C380/CB01 5C380/CB17 5C380/CB31 5C380/CC06 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC61 5C380/CC64 5C380/CD015 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA47 5C380/HA02 5C380/HA05		
代理人(译)	吉田健治 石田 纯		
其他公开文献	JP5121124B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：有效地补偿驱动晶体管的阈值电压的波动。解决方案：驱动晶体管T4用于将对应于栅极电位 V_g 的驱动电流从电源PVdd施加到有机电致发光元件EL。驱动控制晶体管T5插在驱动晶体管T4和电源PVdd之间，并且提供短路晶体管T3，其控制驱动晶体管T4是否要二极管连接。选择晶体管T1用于控制是否将来自数据线DL的数据信号提供给驱动晶体管T4的控制端，并且在选择晶体管T1和控制端之间插入电容器Cs。驱动晶体管T4和选择晶体管T1侧的电容器Cs的端子与电源PVdd之间的连接通过电位控制晶体管T2导通和截止。

