

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-513554

(P2005-513554A)

(43) 公表日 平成17年5月12日(2005.5.12)

(51) Int.Cl.⁷

G09G 3/30

G09G 3/20

H05B 33/14

F I

G09G 3/30

J

G09G 3/20

611A

G09G 3/20

624B

G09G 3/20

641D

G09G 3/20

642A

テーマコード (参考)

3K007

5C080

審査請求 未請求 予備審査請求 未請求 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2003-555483 (P2003-555483)

(86) (22) 出願日 平成14年12月6日 (2002.12.6)

(85) 翻訳文提出日 平成16年6月16日 (2004.6.16)

(86) 国際出願番号 PCT/IB2002/005261

(87) 国際公開番号 W02003/054844

(87) 国際公開日 平成15年7月3日 (2003.7.3)

(31) 優先権主張番号 0130411.2

(32) 優先日 平成13年12月20日 (2001.12.20)

(33) 優先権主張国 英国 (GB)

(71) 出願人 590000248

コーニンクレッカ フィリップス エレク
トロニクス エヌ ヴィKoninklijke Philips
Electronics N. V.オランダ国 5621 ペーアー アイン
ドーフエン フルーネヴァウツウェッハ1
Groenewoudseweg 1, 5
621 BA Eindhoven, T
he Netherlands

(74) 代理人 100070150

弁理士 伊東 忠彦

(74) 代理人 100091214

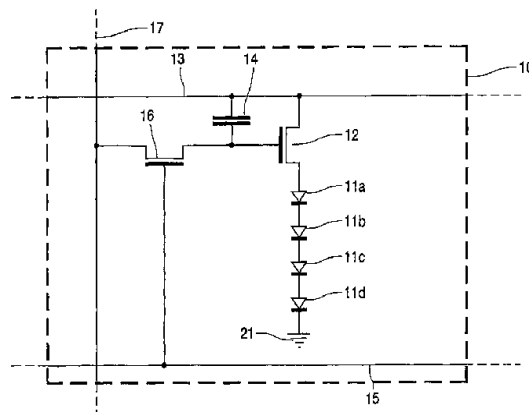
弁理士 大貫 進介

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型エレクトロルミネッセンス表示装置

(57) 【要約】

アクティブマトリクス型エレクトロルミネッセンス表示装置は、画素アレイ10を有しており、それぞれの画素は、複数の電流駆動表示素子11a-dを有しており、たとえば、有機エレクトロルミネッセント材料を含んでいる。この複数の電流駆動表示素子は、互いに直列接続されており、それぞれの直列接続構成を流れる電流を制御するために作用可能な駆動手段12に接続されている。このように、それぞれの画素をさらに分割することで、電源ラインに沿って生じる高い電圧降下が低減され、これにより、表示領域にわたる表示素子からの光出力の一様性を向上することができる。



【特許請求の範囲】

【請求項 1】

それぞれの画素が複数のエレクトロルミネッセント表示素子を有する画素からなるマトリクスアレイと、駆動手段に印加される駆動信号に従い該複数の表示素子のそれぞれを流れる電流を制御するための駆動手段とを有するアクティブマトリクス型エレクトロルミネッセント表示装置であって、

該複数の表示素子、及びそれぞれの画素の該駆動手段は、直列に配置されて接続される、
アクティブマトリクス型エレクトロルミネッセント表示装置。

【請求項 2】

該直列の配置は、第一の供給ラインと第二の供給ラインの間に接続される、
請求項 1 記載のアクティブマトリクス型エレクトロルミネッセント表示装置。

【請求項 3】

該画素は、行及び列に配置され、画素からなる行のそれぞれは、関連する選択ラインを有し、画素からなる列のそれぞれは、関連するデータラインを有し、それぞれの画素は、アドレス指定期間の間に印加された行選択信号に応答して、該関連する選択ラインにより制御されるアドレス指定スイッチをさらに有する、
請求項 1 記載のアクティブマトリクス型エレクトロルミネッセント表示装置。

【請求項 4】

該駆動手段のそれぞれは、駆動トランジスタを有しており、該駆動トランジスタのゲートは、それぞれのアドレス指定期間の間に駆動信号が該ゲートに印加されるために、それぞれのアドレス指定スイッチを介してその関連するデータラインに接続される、
請求項 3 記載のアクティブマトリクス型エレクトロルミネッセント表示装置。

【請求項 5】

該駆動信号は、該ゲートに印加される前に変更される、
請求項 4 記載のアクティブマトリクス型エレクトロルミネッセント表示装置。

【請求項 6】

該画素のそれぞれは、アドレス指定期間の後に、それぞれの駆動トランジスタのゲートの、該駆動信号により決定されるゲート電圧を蓄積するためのキャパシタを有する、
請求項 4 記載のアクティブマトリクス型エレクトロルミネッセント表示装置。

【請求項 7】

該直列の配置における表示素子のそれぞれは、それぞれの表示素子を流れる電流を個々に制御するための関連する制御手段を有する、
請求項 1 乃至 6 のいずれか記載のアクティブマトリクス型エレクトロルミネッセント表示装置。

【請求項 8】

該制御手段のそれぞれは、シャントトランジスタを有しており、該シャントトランジスタの電流伝送端子は、それぞれの表示素子と並列に接続されており、該シャントトランジスタのゲートは、アドレス指定期間の間に該シャントトランジスタの該ゲートに該制御信号が印加されるために作用可能な制御スイッチを介して、それぞれの制御ラインに接続される、
請求項 7 記載のアクティブマトリクス型エレクトロルミネッセント表示装置。

【請求項 9】

該シャントトランジスタの該ゲートは、対応する制御信号により決定されるゲート電圧を蓄積する関連されるキャパシタを有する、
請求項 8 記載のアクティブマトリクス型エレクトロルミネッセント表示装置。

【請求項 10】

該シャントトランジスタの該ゲートに関連される該キャパシタンスのそれぞれは、固定された基準電位に接続される、
請求項 9 記載のアクティブマトリクス型エレクトロルミネッセント表示装置。

10

20

30

40

50

【請求項 1 1】

該制御信号は、該シャントトランジスタをそのオフ状態とオン状態に切り替えるために効果的なデジタル信号を有する、

請求項 9 記載のアクティブマトリクス型エレクトロルミネッセント表示装置。

【請求項 1 2】

該シャントトランジスタの該ゲートに関連される該キャパシタのそれぞれは、それぞれのシャントトランジスタの該ゲートと電流伝送端子の間に接続される、

請求項 9 記載のアクティブマトリクス型エレクトロルミネッセント表示装置。

【請求項 1 3】

該制御信号は、連続する値の範囲で、それぞれの表示素子を流れる電流を調節するために効果的なアナログ信号を含む、

請求項 8、9 又は 1 2 記載のアクティブマトリクス型エレクトロルミネッセント表示装置。

【請求項 1 4】

該シャントトランジスタの該電流伝送端子は、アドレス指定期間の間に、固定された基準電位に維持される、

請求項 1 3 記載のアクティブマトリクス型エレクトロルミネッセント表示装置。

【請求項 1 5】

それぞれの画素は、互いに直列に接続される同じ色出力に関する複数のエレクトロルミネッセント表示素子を有する、

請求項 1 乃至 1 4 のいずれか記載のアクティブマトリクス型エレクトロルミネッセント表示装置。

【請求項 1 6】

それぞれの画素は、3つのエレクトロルミネッセント表示素子を有し、該3つのエレクトロルミネッセント表示素子のそれぞれは、異なる色出力に対応し、互いに直列に接続される、

請求項 7 乃至 1 4 のいずれか記載のアクティブマトリクス型エレクトロルミネッセント表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、それぞれの画素が複数のエレクトロルミネッセント表示素子を含んでいる画素からなるマトリクスアレイと、駆動手段に印加される駆動信号に従い該複数の表示素子のそれぞれを流れる電流を制御するための駆動手段とを有するアクティブマトリクス型エレクトロルミネッセント表示装置に関する。

【背景技術】

【0002】

エレクトロルミネッセント表示素子、発光表示素子を利用したマトリクス型の表示装置が知られている。表示素子に関して、伝統的に、III-V族の半導体元素を含んだ有機薄膜エレクトロルミネッセント素子及び発光ダイオード(LED)が使用されている。(有機)高分子エレクトロルミネッセント材料における最近の開発では、ビデオ表示の用途向けに実際に使用するための能力が示されている。かかる材料を使用したエレクトロルミネッセント素子は、一般に、一对の電極(アノード及びカソード)の間に挟まれる、半導体性の共役高分子からなる1以上の層を含んでおり、そのうちの1つの層は、透明であり、そのうちの他の層は、ホールすなわち電子を高分子層に注入するのに適した材料からなる。共役高分子の鎖を適切に選択することで、バンドギャップ、電子親和度及び高分子のイオン化ポテンシャルを調節することができる。かかる材料からなるアクティブレイヤは、CVDプロセスを使用して製造することができ、又は単に、可溶性の共役高分子の溶液を使用したスピンコーティング技術により製造することができる。これらの処理を通して、大型の発光表面を製造することができる。

10

20

30

40

50

【 0 0 0 3 】

有機エレクトロルミネッセント材料は、非常に効率がよく、比較的低い（DC）駆動電圧を必要とする点で利点を与える。さらに、従来のLCDとは対照的に、バックライトを必要としない。簡単なマトリクス表示装置では、行と列の交点にある行のアドレス導体と列のアドレス導体とからなるセットの間に材料が供給され、これにより、エレクトロルミネッセント表示素子からなる行と列のアレイが形成される。有機エレクトロルミネッセント表示素子に関するダイオードのようなI-V族の特性のために、それぞれの素子は、表示機能とスイッチング機能の両者を提供可能であり、多重化された駆動動作を可能にする。従来の行に関してこの簡単なマトリクス構成をタイムスキミングベースで駆動するとき、全体のフレーム時間のうちの僅かな時間のみの間に光を放出するため、それぞれの表示素子が駆動される。たとえば、N行を有するアレイの場合、それぞれの表示素子は、せいぜい f/N に等しい周期の間に光を放出する。ここで、 f は、フレーム（フィールド）周期である。ディスプレイから所望の平均輝度を得るために、それぞれの素子により生成されるピーク輝度は、要求される平均輝度の少なくともN倍でなければならず、及び表示素子のピーク電流は、平均電流の少なくともN倍でなければならない。結果的に生じる高いピーク電流は、特に、行アドレスの導体に沿った抵抗により引き起こされる電圧降下及び電力消失といった問題を引き起こす。

【 0 0 0 4 】

これらの問題に対する1つのソリューションは、画素をアクティブマトリクスに組み込むことであり、これにより、それぞれの画素は、行アドレス周期よりもかなり長い周期の間にその光出力を維持するように、表示素子への駆動電流を供給するために作用可能な表示素子及び関連するアドレス回路を有する。このように、たとえば、それぞれの画素回路には、それぞれの行アドレス周期において、フレーム周期当たり1回（表示データ）駆動信号がロードされる。この駆動信号は、記憶され、関連される画素の行が次にアドレス決定されるまで、フレーム周期の間に表示素子を通る要求される駆動電流を維持するために有効である。これにより、N行をもつディスプレイについて約Nのファクタだけ、それぞれの表示素子により要求されるピーク輝度及びピーク電流が低減される。かかるアクティブマトリクス型のエレクトロルミネッセント表示装置の例は、E P - A - 0 7 1 7 4 4 6 に記載されている。

【 0 0 0 5 】

図6は、従来のアクティブマトリクス型のエレクトロルミネッセント表示装置の画素を例示している。画素10は、LED表示素子11を有している。この表示素子11は、一方の端で、駆動トランジスタ12の電流伝送端子を介して、同じ行における全ての画素に対して共通の電源ライン13に接続されている。表示素子11の他方の端は、たとえば、接地電位である共通の基準電位に接続されている。電源ライン13の電圧は、蓄積キャパシタ14の一方の側に基準電位を供給するように、一定に維持される。駆動トランジスタ12は、それぞれの表示素子11を通る電流を制御するために動作し、これにより、輝度が制御される。アドレス期間の間、駆動回路からの行を選択する信号にตอบสนองして、選択ライン15に選択電圧が印加される。このため、駆動回路からのデータ信号にตอบสนองしてデータライン17に印加されるデータ電圧により、蓄積キャパシタ14を所望の電圧に充電することができ、アドレストランジスタ16はオンに切り替えられる。アドレス期間の後、選択電圧は除かれ、アドレストランジスタ16はオフになる。データ電圧は、駆動トランジスタ12のゲート電圧を維持しつつ、残りのフレーム周期の間にキャパシタ14に蓄積される。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

このように対処されるアクティブマトリクス型エレクトロルミネッセント表示装置に関連する公知の問題は、それぞれの電源ラインに沿って、大きな電圧降下が生じることである。この電圧降下は、それぞれの電源ラインに接続される表示素子に接続される大電流に

よる。この問題は、大型画面のディスプレイについて特に明らかである。これは、要求される電源ラインが比較的長く、所与の輝度のために全体として要求される電流が比較的高いためである。電源ラインの長さに沿って生成される電圧降下は、アレイにおける画素の位置に依存して、画素に印加される電圧における変動を引き起こす。したがって、所与の駆動電圧について、画素の光出力は、画素の位置、及びディスプレイにおける他の画素の輝度レベルに依存する。かかる影響は、表示された画像における非一様性として現れる。さらに、電源ラインの抵抗は、導体を加熱するために該抵抗を通して流れる電流を引き起こし、これにより、電力が浪費される。この浪費される電力は、 $I^2 R$ に比例する。ここで、 I は電流であり、 R は抵抗である。

【0007】

10

これらの大きな電圧降下及び浪費される電力の影響を低減するため、たとえば、該電源ラインの抵抗の断面を広くすることで、該抵抗を低減することができる。しかし、これについては実用上の制限が存在する。これは、導体の幅を増加することで、画素の開口が減少し、これにより、出力の輝度が低下するためである。

【0008】

カラーアクティブマトリクス型エレクトロルミネッセントディスプレイは、カラー画素からなるマトリクスアレイを一般に有しており、それぞれのカラー画素は、先に説明されたタイプの3つのエレクトロルミネッセント表示素子を有している。これら3つの表示素子は、一般に、赤、緑及び青の光をそれぞれ放出する。それぞれ3つのカラー表示素子をアドレス指定することで、個々のそれぞれの画素は、ある範囲の色を放出することができる。表示素子がデジタル的にアドレス指定される場合、この場合、それぞれの表示素子をオン又はオフのいずれかとすることができ、表1に示されるように、8つの異なる色を達成することができる。しかし、アナログデータ信号でアドレス指定される場合、この場合、それぞれの表示素子は、ある範囲の強度で放出することができ、フルカラーの表示出力を達成することができる。

20

【0009】

【表1】

緑	青	赤	カラー画素出力
OFF	OFF	OFF	<i>Black</i>
OFF	ON	OFF	<i>Blue</i>
OFF	OFF	ON	<i>Red</i>
ON	OFF	OFF	<i>Green</i>
ON	ON	OFF	<i>Cyan</i>
OFF	ON	ON	<i>Magenta</i>
ON	OFF	ON	<i>Yellow</i>
ON	ON	ON	<i>White</i>

30

表1デジタル的にアドレス指定されたカラー画素の出力

図7は、たとえば、カラーアクティブマトリクス型のEL表示装置における従来のカラー画素用のアドレス指定回路を示している。画素10は、赤のルミナンス、青のルミナンス及び緑のルミナンスのそれぞれに関する3つの個別に駆動されるEL表示素子11a、11b及び11cを有している。それぞれの表示素子に関連するアドレス指定回路の動作は、図6の動作に類似している。カラー表示装置として動作するために、それぞれのカラ

40

50

一表示素子 11a, 11b, 11c は、それ自身の駆動 TFT 12 の電流伝送端子を介して、電源ライン 13 に接続されている。

【0010】

この構成では、それぞれの表示素子 11a, 11b 及び 11c を流れる電流は、信号源、すなわち電源ライン 13 から発生する。たとえば、明るさ最大 (full brightness) で、それぞれの表示素子 11 を電流 j が流れる場合、電源ライン 13 は、それぞれの画素に電流 $3 \times j$ を供給する必要がある。このことは、電圧降下の問題を悪化させる。

【0011】

本発明の目的は、改善されたアクティブマトリクス型エレクトロルミネッセント表示装置を提供することにある。

本発明の別の目的は、電源ラインを流れる最大電流を低減することができるアクティブマトリクス型エレクトロルミネッセント表示装置を提供することにある。

【課題を解決するための手段】

【0012】

本発明によれば、開始節に記載される種類のアクティブマトリクス型エレクトロルミネッセント表示装置が提供される。ここでは、複数の表示素子と、それぞれの画素の駆動手段とは、直列の配置で接続されている。

本発明により、本装置の動作における電源ラインについて受ける電圧降下を低減することができる。

【0013】

本表示装置内のそれぞれの画素には、互いに直列に接続される複数の表示素子が設けられている。ある画素内での表示素子の結合された出力は、ある所与の駆動信号について従来の画素の配置における単一の表示素子からの出力と同じであることが調整される場合がある。しかし、複数の更に小さな表示素子を直列に接続することで、所定の輝度出力について該複数の更に小さな表示素子を駆動するために要求される電流が低減される。このことは、電源ラインに沿った電圧降下は、所与の電源ラインの寸法及び抵抗値について低減され、これにより、表示された画像における非一様性が低減される。たとえば、それぞれの表示素子が輝度を最大にして電流 j を引き入れる場合、電源ラインからそれぞれの画素により引き込まれる最大の電流は j である。また、この電流は、駆動手段が制御するために通常有する最大の電流でもある。電流の流れにより引き起こされる熱作用もまた低減され、これにより、浪費される電力を低減して、装置効率を向上することができる。

【0014】

直列の配置では、表示素子は、同様な極性で、すなわち、直列の配置における第一の表示素子のカソードを次の表示素子のアノードに接続することで、互いに接続される。好ましくは、表示素子は、互いに直列に接続され、駆動手段は、一連の表示素子の一方の端に接続される。

駆動手段は、印加される駆動 (データ) 信号に従い、一連の表示素子に流れる電流 j を制御する。このようにして、それぞれの画素について、全体の電流、したがって全体の光出力強度を制御することができる。

【0015】

便利なことに、直列の配置は、第一の供給ラインと第二の供給ラインの間に接続される。この供給ラインは、たとえば、表示素子を駆動するための電流を供給し、実質的に一定の電圧に保持される電源ラインであり、さらに、該直列の配置のための電流ドレインとしての役割を果たすため、従来の装置におけるような、たとえばグランドといった固定された基準電位で保持される全ての画素に共通の共通ラインである場合もある。

【0016】

従来のアクティブマトリクス型の表示装置におけるように、画素が行及び列に配列されるとき、画素からなる行のそれぞれは、関連される選択ラインを有することが好ましく、それぞれの画素は、アドレス指定スイッチを更に有している。このアドレス指定スイッチは、アドレス指定期間の間に、印加される行選択信号に応答して関連される選択ラインに

10

20

30

40

50

より制御される。アドレス指定スイッチは、トランジスタであることが好ましく、このトランジスタのゲートは、そのそれぞれの選択ラインに接続されている。行選択信号は、関連される走査回路により発生される信号であって、選択ラインに印加される。従来の表示装置におけるように、画素は、次々と一度にアドレス指定されることが好ましい。

【0017】

1つの画素に関する駆動手段のそれぞれは、駆動トランジスタを有していることが好ましく、この駆動トランジスタのゲートは、そのそれぞれのアドレス指定スイッチを介して、関連されるデータラインに接続され、駆動信号は、そのそれぞれのアドレス指定期間の間にゲートに印加される。アドレス指定期間の間、データラインからの駆動信号は、ゲート電圧の形式で、駆動トランジスタのゲートに転送される。この駆動信号は、駆動トランジスタのゲートに印加される前に、たとえば、カレントミラー回路又は閾値補償回路のような様々な駆動回路で変更される場合がある。

10

【0018】

慣習的であるように、それぞれの画素は、次のアドレス指定期間で、それぞれの駆動トランジスタのゲートでの駆動信号により決定されるゲート電圧を蓄積するためのキャパシタンスをさらに有していることが好ましい。

【0019】

1つの好適な実施の形態では、ある画素における表示素子は、異なる色からなり、従来のカラーディスプレイにおけるように、それぞれ赤、青及び緑であることが好ましい。それぞれの表示素子の個々の強度を制御することで、カラー画像を表示装置に形成することができる。このように、直列の配置におけるそれぞれの素子は、該素子を流れる電流を個別に制御するための関連する制御手段を有することが好ましい。動作において、それぞれの制御手段は、ある画素でのその関連する表示素子を流れる電流を制御し、これにより、該画素の出力カラーを制御することができる。

20

【0020】

この場合、それぞれの制御手段は、シャントトランジスタを有しており、該シャントトランジスタの電流伝送端子は、それぞれの表示素子と並列に接続されており、該シャントトランジスタのゲートは、アドレス指定期間の間に、制御信号が該シャントトランジスタのゲートに印加されるように作用可能な制御スイッチを介して、それぞれの制御ラインに接続されている。

30

【0021】

かかるカラー表示装置では、それぞれの画素の色出力は、それぞれのシャントトランジスタのゲートに印加される制御信号に応答して、シャントトランジスタにより制御される。このように、シャントトランジスタは、直列の配置を流れる電流をそれらの対応する表示素子にそらすために作用することができる。たとえば、表1を参照して、ある所与の画素から黄色の出力が望まれる場合には、青の表示素子に対応するシャントトランジスタは、該青の表示素子から電流がそれるように、オンに切り替わる。これは、赤の表示素子及び青の表示素子からの出力に影響を与えることはない。

【0022】

この構成では、シャントトランジスタの電流伝送端子は、駆動手段と固定された基準電位、好ましくは共通ラインとの間に直列に接続されていることが好ましい。

40

それぞれの画素が複数の異なる色の表示素子を有する好適な実施の形態では、画素からなる列のそれぞれは、データラインに加えて、対応する数の関連する制御ラインを有している。駆動トランジスタに印加される駆動信号は、画素出力の明るさを制御する。シャントトランジスタに印加される制御信号は、画素出力の色を制御する。

【0023】

それぞれの制御スイッチは、トランジスタであることが好ましく、このトランジスタのゲートは、対応する選択ラインに接続されている。それぞれの制御スイッチは、対応するアドレス指定期間の間に、対応する選択ラインに関して印加される行選択信号に

50

オンに切り替わる。したがって、この期間の間に、アドレス指定トランジスタ及び制御トランジスタは、行選択信号によりオンに切り替わる。この行選択信号により、データ信号及び制御信号を、それぞれの駆動トランジスタ及びシャントトランジスタのゲートに印加することができる。

【0024】

シャントトランジスタのゲートは、関連するキャパシタを有することが好ましく、このキャパシタは、対応する制御信号により決定されるゲート電圧を蓄積する。行選択信号が除かれたとき、制御スイッチはオフに切り替わり、制御信号により設定されキャパシタに蓄積されているゲート電圧は、次のアドレス指定期間まで、残りのフレーム時間の間に対応するシャントトランジスタのゲートに保持される。

10

【0025】

本発明の別の好適な実施の形態では、制御信号は、そのオフ状態とオン状態の間でシャントスイッチを切り替えるために効果的なデジタル信号を有している。オフ状態にあるシャントトランジスタは、その対応する表示素子をオン状態に切り替え、オン状態にあるシャントトランジスタは、その対応する表示素子をオフ状態に切り替える。したがって、それぞれ対応する表示素子は、デジタル駆動スキームに従ってオン状態又はオフ状態のいずれかに切り替えることができる。赤、青及び緑の表示素子から構成される装置について、8つの異なる色は、表1に示されるように達成することができる。先のように、それぞれの画素に関する駆動トランジスタは、それぞれの出力の明るさを制御するために、アナログデータ信号でアドレス指定される。好ましくは、シャントトランジスタのゲートに関連するそれぞれのキャパシタは、固定された基準電位、たとえば共通ラインに接続される。

20

【0026】

このデジタルスキームは、表1で示される組み合わせを採用した8つの異なる色を提供することができる。しかし、フルカラー表示が要求される場合、アナログのアドレス指定スキームが適用される場合がある。

【0027】

更に好適な実施の形態では、制御信号は、連続した値の範囲でそれぞれの表示素子を流れる電流を調節するために効果的なアナログ信号を有している。このようにして、表示素子の出力を所望のレベルに設定するために、シャント電流を制御することができる。シャントトランジスタは、電流源の分路としての役割を果たす。この実施の形態では、制御信号は、先に説明されたデジタルスキームに類似のやり方で、アドレス指定期間の間に、シャントトランジスタのゲートに印加される。しかし、シャントトランジスタの電流伝送端子は、アドレス指定期間の間に固定された基準電位で保持される。蓄積キャパシタは、シャントトランジスタのゲートと、たとえばソースである電流伝送端子との間に接続される。これにより、シャントトランジスタをプログラムする直流電圧が可能となる。アドレス指定期間の後、蓄積キャパシタは、それぞれのゲート - ソース間の電圧を保持する。

30

【0028】

更に別の好適な実施の形態では、それぞれの画素は、互いに直列に接続される、同じ色出力に関する複数のエレクトロルミネッセント表示素子を有している。それぞれの表示素子は、それぞれの表示素子を流れる電流を個々に制御するための関連する制御手段を有する場合があります、又は有していない場合もある。

40

【0029】

本発明に係るアクティブマトリクス型エレクトロルミネッセント表示装置の実施の形態は、添付図面を参照して、例を介して説明される。

図面は、単に概略を示しており、スケールリングするために描かれていない。同じ参照符号は、同じ又は類似の構成要素を示すために図面を通して使用されている。

【発明を実施するための最良の形態】

【0030】

図1を参照して、アクティブマトリクス型の表示装置は、規則的に配置された画素からなる行及び列のマトリクスアレイを有するパネルを含んでおり、このパネルは、ブロック

50

10で示されており、行（選択）の導体と列（データ）の導体、すなわちライン15とライン17との交差するセットの間にある交差部分に位置されている。簡単さのために、この図では幾つかの画素のみが示されている。実際に、数百の画素からなる行と列が存在する場合がある。画素10は、行・走査・駆動回路18と、列・データ・駆動回路19とを含む周辺駆動回路により、選択ライン15及びデータライン17のセットを介してアドレス指定される。この周辺駆動回路のそれぞれは、行及び列のそれぞれの導体のセットの端部に接続されている。

【0031】

画素からなる行のそれぞれは、該行の画素にそれぞれのデータ信号をロードするように、回路18により関連する行の導体15に印加される選択信号により、フレーム周期において順次アドレス指定され、回路19により列の導体に並列に供給されるそれぞれのデータ信号に従い、アドレス指定期間続くフレーム周期において、それら個々の表示出力が決定される。それぞれの行がアドレス指定されたとき、データ信号は、適切な同期により、回路19により供給される。

10

【0032】

本装置の一般的な構成及び動作の態様は、EP-A-0717446号に記載される装置の構成及び動作の所定の態様に類似しており、これらの点における説明は参照マテリアルにより本実施の形態に組み込まれる。画素10は、同じ色出力を有する4つのエレクトロルミネッセント表示素子11a, 11b, 11c及び11dを有しており、この4つのエレクトロルミネッセント表示素子は、直列の配置で同じ極性で接続されている。直列の配置における、ある表示素子のカソードは、次の表示素子のアノードに接続されている。

20

【0033】

画素は、複数の直列接続された表示素子に更に分割されるので、画素を駆動するために必要とされる電流は、等価なサイズの単一の表示素子を有する画素を駆動するために必要とされる電流よりも少ない。これにより、特に電源ラインに沿って生じる有意な電圧降下を低減することができ、表示される画像における非一様性を低減することができる。図8のグラフにより示されるように、本装置の電力消費量も低減される。この図は、コンピュータモデルの2つのアクティブマトリクス型のエレクトロルミネッセント表示装置について、ディスプレイサイズに対する全体の電力消費量に関するプロットを示している。プロットMは、公知の表示装置の電力消費量を示しており、その電力は、より大型ディスプレイサイズにつれて有意に上昇するよう見える。一方、プロットNは、図2の画素回路を有する表示装置に関するものであって、この表示装置では、4つのエレクトロルミネッセント表示素子が直列に接続されている。特に、より大型ディスプレイにつれて、この種の配置により、電力消費量における有意な低減が見られる。

30

【0034】

図2を再び参照して、それぞれのエレクトロルミネッセント表示素子11a~11dは、図2ではダイオード素子(LED)として表される有機発光ダイオードを有しており、1以上の有機エレクトロルミネッセント材料からなる活性層がその間に挟まれる一対の電極を有している。表示素子からなるアレイは、絶縁サポートの一方の側に、関連するアクティブマトリクス回路と共に搭載され、互いに関して横方向にサポート上に配置される。表示素子のカソード又はアノードのいずれかは、透過性の導電性材料から形成されている。サポートは、ガラスのような透明な材料からなる場合があり、基板に最も近い表示素子11の電極は、ITOのような透過性の導電性材料から構成される場合があり、エレクトロルミネッセント層により発生される光は、サポートの他方の側にいる視聴者に見えるように、これらの電極及びサポートを通して伝送される。代替的に、光出力は、パネルの上から見ることができ、この場合、サポートから離れた電極は、たとえば、ITO、或いはカルシウム又はマグネシウム、銀合金のような低い仕事関数を有する金属から形成される薄い、透明な導電性の層を含んでいる。サポートに隣接する電極は、低い仕事関数を有する金属、又は反射する導電性材料を含んでいる。一般に、有機エレクトロルミネッセント材料層の厚さは、100ナノメートルと200ナノメートルの間である。好適な例として

40

50

、素子 1 1 に使用することができる適切な有機エレクトロルミネッセント材料は、EP-A-0 717446号に記載されている。W096/36959号に記載される共役高分子材料のようなエレクトロルミネッセント材料を使用することもできる。

【 0 0 3 5 】

表示素子を有する直列の配置は、駆動トランジスタ 1 2 を含んでおり、この駆動トランジスタは、そのドレインで表示素子 1 1 a の一方の端に接続されている。この直列の配置の他方の端は、共通のライン 2 1 に接続されており、この共通ラインは、実際に、たとえば、全ての画素に共通の電極（カソード）層を有している。この共通ラインは、一定の基準電圧を供給し、電流ドレインとしての役割を果たす。この共通ラインは、一般に、グラウンド電位に固定される。駆動トランジスタ 1 2 のソースは、（図 1 に示される）同じ行における他の画素に共通の電源ライン 1 3 に接続されている。キャパシタ 1 4 は、駆動トランジスタ 1 2 のゲートとソースの間に接続されている。関連する選択ライン 1 5 は、アドレス指定トランジスタ 1 6 のゲートに接続されている。アドレス指定トランジスタ 1 6 のソースは、関連するデータ（列）ライン 1 7 に接続されている。アドレス指定トランジスタ 1 6 は、駆動トランジスタ 1 2 のゲートに接続されている。

10

【 0 0 3 6 】

代替的に、直列の配置は、表示素子 1 1 c のカソードと共通ライン 2 1 との間に接続される駆動トランジスタを直列接続の他方の端で含んでいてもよい。更なる代替として、駆動トランジスタは、2 つの表示素子の間で直列に接続される場合がある。

【 0 0 3 7 】

ここで、図 2 の画素回路の動作が説明される。行アドレス指定期間の間、回路 1 8 により、ある行を選択する信号が選択ライン 1 5 に印加される。この行選択信号は、電圧パルスの形式であり、その選択ラインに関連する行における全ての画素を選択する。この信号は、アドレス指定トランジスタ 1 6 のゲートに電圧を供給し、これにより、該トランジスタはオンになる。これにより、駆動信号をデータライン 1 7 から駆動トランジスタ 1 2 のゲートに供給することができる。

20

【 0 0 3 8 】

画素出力の所望の輝度は、アナログ駆動（データ）信号により設定され、このアナログ駆動信号は、アドレス指定期間の間に回路 1 9 により、データライン 1 7 に供給される。この駆動信号は、駆動トランジスタ 1 2 のゲートの電圧を生成する。このゲート電圧は、電源ライン 1 3 から表示素子 1 1 の直列配置に流れる電流のレベルを設定するものであり、したがってそれらの出力の明るさを設定する。アドレス指定期間の間、キャパシタ 1 4 は、駆動トランジスタ 1 2 のソース - ゲート間の電圧を蓄積するように充電される。キャパシタは、その後、画素からなるその行が次にアドレス指定されるまで、フレーム周期の残りの間、アドレス指定期間に続いて、このゲート電圧を維持する役割を果たす。

30

【 0 0 3 9 】

画素からなる行のそれぞれは、次々と、それぞれの行アドレス指定期間でのやり方で順次アドレス指定され、それぞれの行の画素にはそれぞれの駆動信号がロードされ、次にアドレス指定されるまで、近似的にフレーム周期に対応する次の駆動期間の間に、所望の表示出力を供給するために画素が設定される。

40

【 0 0 4 0 】

図 2 の画素回路は 4 つの直列接続された表示素子 1 1 a ~ 1 1 d を有しているが、本発明は、任意の実際の数 of 直列接続された表示素子を有する画素にも適用することができる。

【 0 0 4 1 】

図 2 に示されるトランジスタ 1 2 及び 1 6 は、n 型の導電性を有している。代替的に、p 型の T F T は、回路で使用される場合があり、これに応じて、駆動信号が調節される。

【 0 0 4 2 】

図 3 は、本発明の第二の実施の形態に係るカラー画素回路を示している。画素 1 0 は、3 つの表示素子 1 1 a , 1 1 b 及び 1 1 c を有しており、互いに直列に接続されており、

50

サポート上に互いに横方向に配列されている。それぞれの表示素子 11a ~ 11c は、異なる色の光を放出し、それぞれが赤、青及び緑である。

【0043】

先のように、駆動トランジスタ 12 の電流伝送端子は、電源ライン 13 と共通ライン 21 の間で表示素子 11a ~ 11c と直列に接続されている。駆動トランジスタ 12 は、電源ライン 13 と直列接続の端にある表示素子 11a のアノードとの間に接続されている。駆動トランジスタ 12 のゲートは、アドレス指定トランジスタ 16 を介して、関連するデータライン 17 に接続されている。アドレス指定トランジスタ 16 のゲートは、関連する選択ライン 15 に接続されている。キャパシタ 14 は、駆動トランジスタ 17 のゲート - ソース間の電圧を蓄積するために配置されている。

10

【0044】

画素 10 におけるそれぞれの表示素子 11a ~ 11c は、その関連する表示素子を流れる電流を個々に制御するための関連する制御手段を有している。この実施の形態では、制御手段は、シャントトランジスタ 22、好ましくは、ディスプレイ基板に製造される薄膜トランジスタを有している。それぞれのシャントトランジスタ 22 のソース及びドレインは、その関連する表示素子 11 と並列に接続されている。それぞれのシャントトランジスタ 22 のゲートは、関連する制御トランジスタ 24 の電流伝送端子を介して、関連する個々の制御ライン 23 に接続される。したがって、この場合に 3 つの表示素子 11 を有する画素 10 は、3 つの制御ライン 23 と 1 つのデータライン 17 からなる 4 つの関連する列のラインを有している。制御トランジスタ 24 のゲートは、関連する選択ライン 15 に全

20

【0045】

ここで、図 3 の画素回路の動作が説明される。行アドレス指定期間の間、行を選択する信号が選択ライン 15 に印加される。この行選択信号は、電圧パルスの形式であり、その選択ラインに関連する行における全ての画素を選択する。この信号は、アドレス指定トランジスタ 16 及び制御トランジスタ 24 のそれぞれのゲートの電圧を供給し、したがって、これらトランジスタをオンにする。これにより、駆動信号及び制御信号をデータライン 17 及び制御ライン 23 から供給することができる。

【0046】

画素出力の所望の明るさは、アドレス指定期間の間にデータライン 17 に印加される駆動信号により設定される。この駆動信号は、駆動トランジスタ 12 のゲートの電圧を供給する。ゲート電圧は、電源ライン 13 から直列の配置を通して流れる電流のレベルを決定する。アドレス指定期間の間、キャパシタ 14 は、駆動トランジスタ 12 にソース - ゲート電圧を蓄積するように充電する。

30

【0047】

画素出力の所望の色は、制御信号により設定され、この制御信号は、それぞれのアドレス指定期間の間に制御ライン 23 に印加される。たとえば、表 1 を参照して、赤、緑及び青を発光する表示素子をもつ画素について、該画素のいずれかの表示素子を流れる電流が存在しない場合、その画素は黒に見える。赤の表示素子及び青の表示素子に最大の電流が

40

【0048】

この実施の形態では、制御信号は、実際にはデジタルである。それぞれの制御信号は、その関連するシャントトランジスタ 22 のゲートの電圧を供給する。この制御信号は、該デジタル信号に従って、シャントトランジスタ 22 をオフ状態又はオン状態のいずれかに設定する。それぞれのデジタルの制御信号により設定されるゲート電圧は、アドレス指定期間に続いて、フレーム周期の残りの間に、関連するキャパシタ 25 に蓄積される。

【0049】

シャントトランジスタ 22 がオフ状態にあるとき、関連する表示素子 11 から分路される電流は低く、したがって、表示素子を通して電流が流れ、これにより、該表示素子が明

50

るくなる。オン状態では、関連する表示素子から電流がコースを変えることで、該表示素子は明るくならない。画素出力の色は、表 1 からのデータに従って、異なる順序及び組み合わせからなる 3 つの異なる色になる表示素子 11a ~ 11c を明るくすることで設定される。

【0050】

図 3 を参照して先に説明された実施の形態は、カラーディスプレイに関し、このディスプレイでは、画素に供給される色情報は、デジタルの性質を有している。様々な輝度の程度に関する 8 つの異なる色又は色相は、それぞれの画素出力から達成される場合がある。フルレンジの色相が達成されるフルカラー表示を提供するために、アナログのアドレス指定スキームを使用することが便利である。このため、先に説明された回路に対して幾らか

10

【0051】

図 4 は、本発明の第三の実施の形態に係るカラー画素回路を示している。画素 10 は、3 つの表示素子 11a、11b 及び 11c を有しており、互いに直列に接続されており、駆動トランジスタ 12 にも接続されている。駆動トランジスタ 12 は、駆動トランジスタが関連するデータライン 17 を介して回路 19、及びアドレス指定トランジスタ 16 の電流伝送端子から駆動信号を受ける、先に説明された実施の形態の配置と同様のやり方で配列されている。

【0052】

先のように、画素 10 におけるそれぞれの表示素子 11a ~ 11c は、その関連する表示素子を通して流れる電流を個別に制御するための関連する制御手段を有している。この制御手段は、シャントトランジスタ 22、好ましくは、該ディスプレイ基板に製造される薄膜トランジスタを有している。それぞれのシャントトランジスタ 22 のソース及びドレインは、その関連する表示素子 11 と並列に接続されている。それぞれのシャントトランジスタ 22 のゲートは、関連する制御トランジスタ 24 の電流伝送端子を介して、関連する、個別の制御ライン 23 に接続されている。制御トランジスタ 24 のゲートは、関連する選択ライン 15 に全て接続されている。

20

【0053】

それぞれのシャントトランジスタ 22 のソースは、それぞれのトランジスタ 42 の電流伝送端子を介して、電極 41 に接続されている。それぞれのトランジスタ 42 のゲートは、選択ライン 15 に接続されている。電極 41 は、一定の基準電圧に接続されている。それぞれのキャパシタ 43 は、それぞれのシャントトランジスタ 22 のソースとゲートの間に接続されている。

30

【0054】

ここで、図 4 の画素回路の動作が説明される。行アドレス指定期間の間、回路 18 により、行を選択する信号が選択ライン 15 に印加される。この行選択信号は、電圧パルスの形式であって、その選択ラインに関連する行における全ての画素を選択する。この信号は、アドレス指定トランジスタ 16 及び制御トランジスタ 24 のゲートの電圧を供給し、これにより、これらのトランジスタをオンにする。これにより、データライン 17 及び制御ライン 23 のそれぞれから、駆動トランジスタ 12 及びシャントトランジスタ 22 のそれぞれに駆動信号を供給することができる。

40

【0055】

アドレス指定期間の間、行を選択する信号は、トランジスタ 42 のゲートにも印加され、これにより、該トランジスタをオンにすることができる。これにより、電極 41 に接続される外部ソース 45 からの一定の基準電圧を、それぞれのシャントトランジスタ 22 のソースに印加することができる。したがって、シャントトランジスタをプログラムする直流電圧を達成することができる。

【0056】

画素出力の所望の輝度は、アドレス指定期間の間にデータライン 17 に印加される駆動（データ）信号により設定される。この駆動信号は、駆動トランジスタ 12 のゲートの電

50

圧を供給する。このゲート電圧は、電源ライン 13 から直列の配置を通して流れる電流のレベルを決定する。アドレス指定期間の間、キャパシタ 14 は、駆動トランジスタ 12 にソース - ゲート電圧を蓄積するために充電される。

【0057】

画素出力の所望の色は、アドレス指定期間の間に回路 19 により制御ライン 23 に印加される制御信号により設定される。本実施の形態では、制御信号は、アナログ形式である。それぞれの制御信号により、その関連するシャントトランジスタ 22 のゲートの電圧を生じ、これにより、所望のゲート - ソース電圧をプログラムすることができる。この電圧は、アドレス指定期間の後であって、その画素が次にアドレス指定されるまで残りのフレーム周期について、関連するキャパシタ 43 に蓄積される。

10

【0058】

この実施の形態では、それぞれのシャントトランジスタ 22 は、その関連するキャパシタ 43 と共に、電流源としての役割を果たす。このシャントトランジスタのゲートソース間の電圧は、有限の電圧の範囲に設定することができる。これは、それぞれのシャントトランジスタがオフ状態又はオン状態のいずれかとすることができる図 3 の実施の形態とは対照的である。従って、カラー画素の出力について、便利なことに、フルレンジの色相を達成することができる。

【0059】

それぞれの表示素子のための個々の制御手段を有する実施の形態は、異なる色出力を有する表示素子を有するが、それぞれの画素は、同じ色の出力を有する表示素子を有することもできる。

20

【0060】

トランジスタ（アドレス指定、制御、駆動及びシャント）は、アクティブマトリクス型の表示装置及び他の大型の電子装置の分野で使用されるような、標準的な薄膜堆積及びパターンニングプロセスを使用して、アドレスライン（選択、データ及び制御）と共に、ガラス基板又は他の絶縁材料上の TFT として形成されることが好ましい。しかし、本装置のアクティブマトリクス回路は、半導体基板に IC 技術を使用して製造される場合がある。

【0061】

図において示される特定のトランジスタは、p 型又は n 型の導電性を有しているが、当業者であれば、使用される電圧に対する適切な変更により、図示されたものとは反対の導電タイプを使用した構成を使用することもできることは明らかであろう。同様に、当業者であれば、たとえば W001/75852 号に記載されるようなカレントミラー回路及び閾値電圧補償回路を組み込んだ回路のような、説明された駆動回路に対して他の画素駆動回路を使用することができることも明らかであろう。

30

【0062】

図 5 は、4 つの表示素子を有する画素を含む 1 つの実施の形態に関する、例示的な画素 10 での表示素子のレイアウトである。表示素子における画素 10 の領域は、更に分割されており、直列の配置におけるそれぞれ個々の表示素子は、領域 50a ~ 50d のうちのそれぞれ 1 つを明るくする。更に分割された領域は、互いに類似のサイズからなる。図 5 は、4 つの個別の領域に分割された画素を示しているが、対応する数の表示素子により、実際に任意の数の領域に画素が分割されてもよい。たとえば、カラー画素は、それぞれが赤、青及び緑といった 3 つの領域を有して形成される。

40

【0063】

要約すると、アクティブマトリクス型エレクトロルミネッセント表示装置は、画素からなるマトリクスアレイを有している。それぞれの画素は、複数のエレクトロルミネッセント表示素子と、印加された駆動信号に従って複数の表示素子のそれぞれを流れる電流を制御するための駆動手段とを有している。それぞれの画素における複数の表示素子、及び駆動手段は、直列の配置で接続されている。このため、所与の輝度で画素を駆動するために必要とされる電流が低減され、したがって、電源ラインに沿って生じる電圧降下を低減することができる、結果的に表示に関する非一様性を低減することができる。本装置は、モノ

50

クロディスプレイ又はカラーディスプレイを有する場合がある。該直列の配置における個々の表示素子を流れる電流は、関連する制御手段により個別に制御される。

【 0 0 6 4 】

本明細書を読むことを通して、当業者であれば他の変更をなすことができることは明らかであろう。かかる変更は、アクティブマトリクス型エレクトロルミネッセント表示装置及び該表示装置の構成部材に分野において既に公知である他の機能、及び本明細書に記載された機能の代わりに使用される場合がある他の機能、又は本明細書に記載された機能に加えて使用される場合がある他の機能を含んでいる場合がある。

【図面の簡単な説明】

【 0 0 6 5 】

10

【図 1】本発明に係る表示装置の一部に関する簡略化された概念図である。

【図 2】本発明の第一の実施の形態に係る画素回路を示す図である。

【図 3】本発明の第二の実施の形態に係るカラー画素回路を示す図である。

【図 4】本発明の第三の実施の形態に係るカラー画素回路を示す図である。

【図 5】例となる画素内の表示素子のレイアウトに関する図である。

【図 6】公知のアクティブマトリクス型エレクトロルミネッセント表示装置における例となる画素を示す図である。

【図 7】公知のアクティブマトリクス型エレクトロルミネッセント表示装置におけるカラー画素を示す図である。

【図 8】本発明に係る表示装置の電力消費量と公知の表示装置の電力消費量とを比較する 2つのプロットに関するグラフである。

20

【図 1】

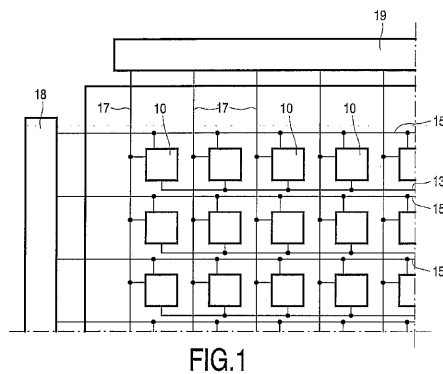


FIG.1

【図 3】

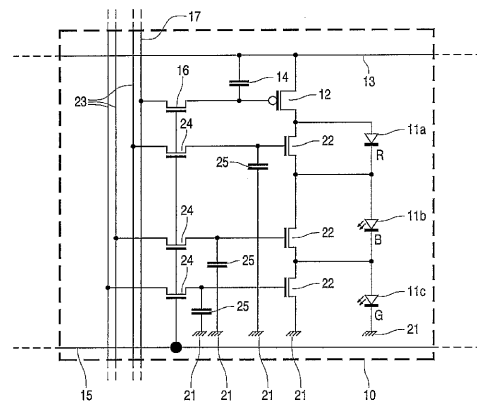


FIG.3

【図 2】

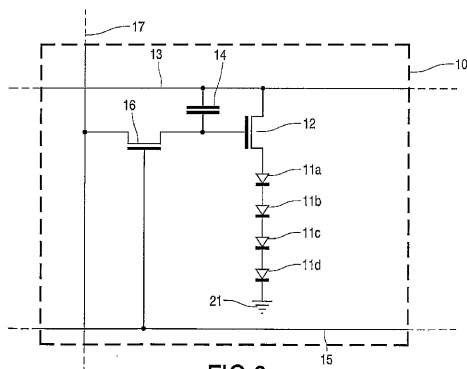
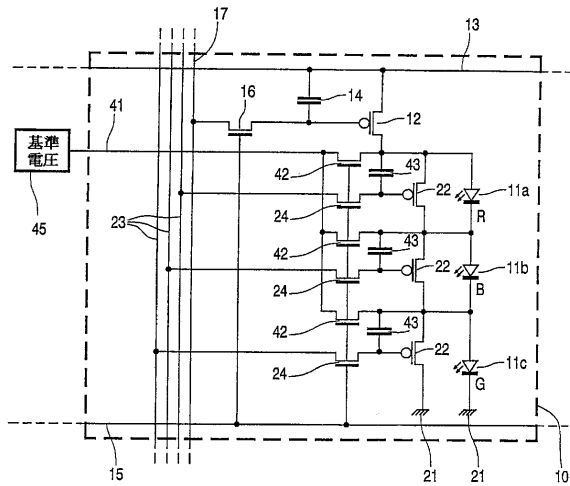


FIG.2

【図 4】



【図 5】

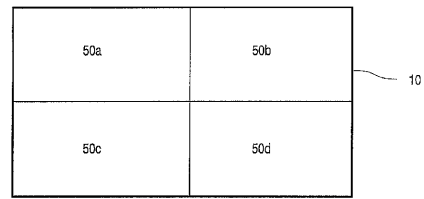


FIG.5

【図 6】

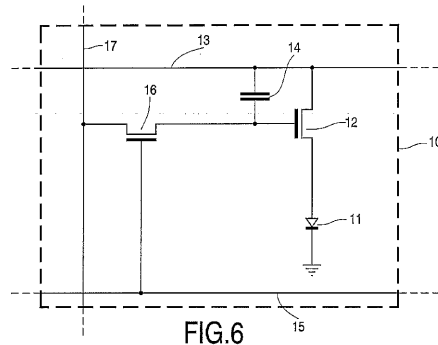


FIG.6

【図 7】

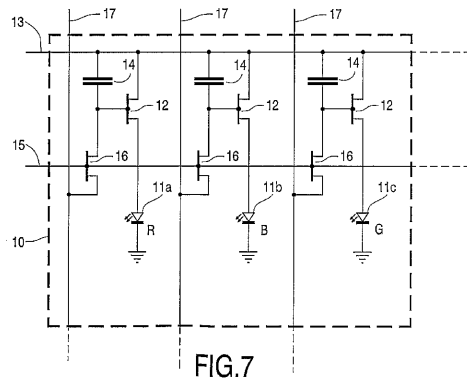
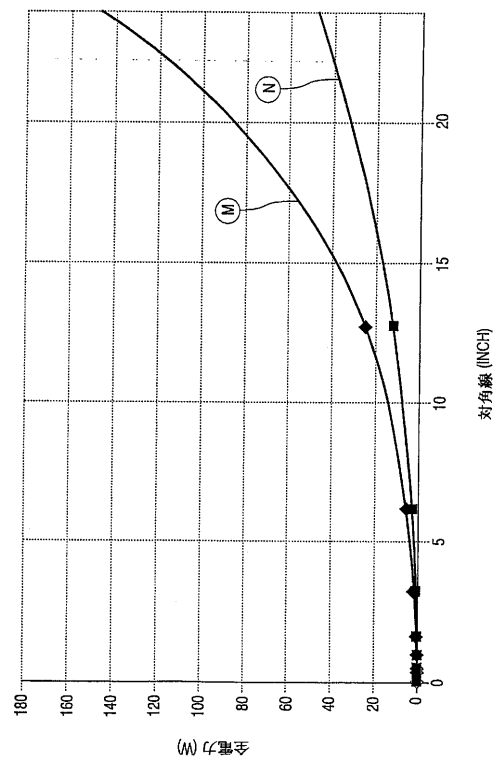


FIG.7

【図 8】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/IB 02/05261
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/32 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 717 446 A (EASTMAN KODAK CO) 19 June 1996 (1996-06-19) cited in the application page 3, line 56 - page 4, line 3 page 5, line 9 - line 24 figures 1,2 ---	1
A	WO 01 75852 A (KONINKL PHILIPS ELECTRONICS NV) 11 October 2001 (2001-10-11) cited in the application page 5, line 6 - page 8, line 31 figures 1-3 --- -/--	1
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search 12 March 2003		Date of mailing of the international search report 20/03/2003
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Faricella, L

INTERNATIONAL SEARCH REPORT

International Application No
PCT/IB 02/05261

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 01, 31 January 2000 (2000-01-31) & JP 11 288252 A (DAICHI DENSHI:KK), 19 October 1999 (1999-10-19) abstract ---	1
A	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 07, 31 July 1997 (1997-07-31) & JP 09 081211 A (HITACHI LTD), 28 March 1997 (1997-03-28) abstract -----	1

INTERNATIONAL SEARCH REPORT

International Application No
PCT/IB 02/05261

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0717446	A	19-06-1996	US 5684365 A	04-11-1997
			EP 0717446 A2	19-06-1996
			JP 8234683 A	13-09-1996
WO 0175852	A	11-10-2001	WO 0175852 A1	11-10-2001
			EP 1272999 A1	08-01-2003
			US 2001026251 A1	04-10-2001
JP 11288252	A	19-10-1999	NONE	
JP 09081211	A	28-03-1997	NONE	

フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

H 0 5 B 33/14

A

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ, GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE, ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,M Z,NO,NZ,OM,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VC,VN,YU,ZA,ZM,ZW

(74)代理人 100107766

弁理士 伊東 忠重

(72)発明者 ナップ, アラン ジー

オランダ国, 5 6 5 6 アーアー アインドーフエン, プロフ・ホルストラーン 6

(72)発明者 ハンター, イアン エム

オランダ国, 5 6 5 6 アーアー アインドーフエン, プロフ・ホルストラーン 6

F ターム(参考) 3K007 AB17 BA06 DB03 GA00

5C080 AA06 BB05 DD05 DD26 EE28 FF11 JJ02 JJ03 JJ06

专利名称(译)	有源矩阵电致发光显示装置		
公开(公告)号	JP2005513554A	公开(公告)日	2005-05-12
申请号	JP2003555483	申请日	2002-12-06
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	ナップアランジー ハンターイアンエム		
发明人	ナップ,アラン ジー ハンター,イアン エム		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/32 H05B33/14		
CPC分类号	G09G3/3233 G09G2300/0465 G09G2300/0814 G09G2300/0842 G09G2300/0852 G09G2300/0876 G09G2320/0223 G09G2320/0233 G09G2330/021 H01L27/3204 H01L27/3211 H01L27/3244		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H05B33/14.A		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD26 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ06		
代理人(译)	伊藤忠彦		
优先权	2001030411 2001-12-20 GB		
外部链接	Espacenet		

摘要(译)

有源矩阵型电致发光显示装置具有像素阵列10，并且每个像素具有多个电流驱动显示元件11a-d，并且包括例如有机电致发光材料。多个电流驱动显示元件彼此串联连接并连接到驱动装置12，该驱动装置12可操作以控制在每个串联连接配置中流动的电流。因此，通过进一步划分每个像素，沿电源线中产生的高电压降减小，由此，能够从在所述显示区域的显示元件改善光输出的均匀性。

