

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-309422

(P2005-309422A)

(43) 公開日 平成17年11月4日(2005.11.4)

(51) Int.Cl.⁷

G09G 3/30

G09G 3/20

H05B 33/14

F I

G09G 3/30

J

G09G 3/30

K

G09G 3/20 611A

G09G 3/20 624B

G09G 3/20 641C

テーマコード(参考)

3K007

5C080

審査請求 未請求 請求項の数 21 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2005-88712(P2005-88712)

(22) 出願日 平成17年3月25日(2005.3.25)

(31) 優先権主張番号 特願2004-92002(P2004-92002)

(32) 優先日 平成16年3月26日(2004.3.26)

(33) 優先権主張国 日本国(JP)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(74) 代理人 100107836

弁理士 西 和哉

(74) 代理人 100064908

弁理士 志賀 正武

(74) 代理人 100101465

弁理士 青山 正和

(72) 発明者 城 宏明

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 堀内 浩

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

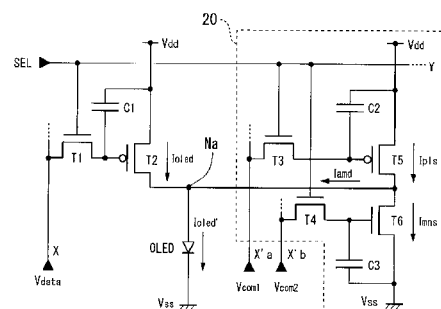
(54) 【発明の名称】 画素回路の駆動方法、画素回路、電気光学装置および電子機器

(57) 【要約】

【課題】 階調データの分解能を高めることなく階調補正を実現する。

【解決手段】 キャパシタC1には、データ線Xより供給された階調データVdataが書き込まれる。トランジスタT2は、キャパシタC1に保持されたデータに応じて、駆動電流I_{oled}を生成する。キャパシタC2、C3とトランジスタT5、T6を含む補正回路20は、補正電流I_{amd}を生成する。有機EL素子OLEDの輝度は、駆動電流I_{oled}と補正電流I_{amd}とを合成した合成電流I_{oled'}に応じて、設定される。補正電流I_{amd}は、2つの補正電流I_{pls}、I_{mns}を合成したものである。前者の補正電流I_{pls}は、データ線X'aからの補正データV_{com1}より一義的に特定される。また、後者の補正電流I_{mns}は、データ線X'bからの補正データV_{com2}より一義的に特定される。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

画素回路の駆動方法において、

データ線より供給された第 1 のデータを第 1 のキャパシタに書き込む第 1 のステップと

、
前記第 1 のキャパシタに自己のゲートが接続されている第 1 の駆動素子によって、前記第 1 のキャパシタに保持された前記第 1 のデータに応じた第 1 の電流を生成する第 2 のステップと、

第 2 の駆動素子を含む回路によって、第 2 の電流を生成する第 3 のステップと、

前記第 1 の駆動素子によって生成された前記第 1 の電流と、前記回路によって生成された前記第 2 の電流とを合成した合成電流に応じて、電気光学素子の輝度を設定する第 4 のステップと

を含むことを特徴とする画素回路の駆動方法。

10

【請求項 2】

前記第 3 のステップは、前記第 2 の駆動素子のゲートに印加された電圧に応じて、前記第 2 の電流の少なくとも一部となる第 1 の部分電流を生成するステップを含むことを特徴とする請求項 1 記載の画素回路の駆動方法。

【請求項 3】

前記回路は、前記データ線の延在方向に並んだ複数の前記画素回路に共通して設けられていることを特徴とする請求項 1 又は請求項 2 記載の画素回路の駆動方法。

20

【請求項 4】

画素回路の駆動方法において、

データ線より供給された第 1 のデータを第 1 のキャパシタに書き込む第 1 のステップと

、
前記第 1 のキャパシタに自己のゲートが接続されている第 1 の駆動素子によって、前記第 1 のキャパシタに保持された前記第 1 のデータに応じた第 1 の電流を生成する第 2 のステップと、

第 2 のキャパシタと第 2 の駆動素子とを含む回路によって、第 2 の電流を生成する第 3 のステップと、

前記第 1 の駆動素子によって生成された前記第 1 の電流と、前記回路によって生成された前記第 2 の電流とを合成した合成電流に応じて、電気光学素子の輝度を設定する第 4 のステップと

30

を含むことを特徴とする画素回路の駆動方法。

【請求項 5】

前記第 3 のステップは、前記データ線より供給された第 2 のデータを前記第 2 のキャパシタに書き込むステップと、

前記第 2 のキャパシタに自己のゲートが接続されている前記第 2 の駆動素子によって、前記第 2 のキャパシタに保持された前記第 2 のデータに応じて、前記第 2 の電流の少なくとも一部となる第 1 の部分電流を生成するステップと

を含むことを特徴とする請求項 4 記載の画素回路の駆動方法。

40

【請求項 6】

前記回路は、第 3 のキャパシタと第 3 の駆動素子とを更に含み、

前記第 3 のステップは、前記データ線より供給され、前記第 2 のキャパシタに書き込まれる前記第 2 のデータとは異なる第 3 のデータを前記第 3 のキャパシタに書き込むステップと、

前記第 3 のキャパシタに自己のゲートが接続されている前記第 3 の駆動素子によって、前記第 3 のキャパシタに保持された前記第 3 のデータに応じて、前記第 2 の電流の一部となり、且つ、前記第 1 の部分電流とは逆向きの第 2 の部分電流を生成するステップと

を含むことを特徴とする請求項 5 記載の画素回路の駆動方法。

【請求項 7】

50

前記第 1 のデータおよび前記第 2 のデータのそれぞれは、電圧レベルで前記データ線に供給されることを特徴とする請求項 5 又は請求項 6 記載の画素回路の駆動方法。

【請求項 8】

前記第 1 のデータおよび前記第 2 のデータのそれぞれは、電流レベルで前記データ線に供給され、

前記第 1 のステップは、前記第 1 の駆動素子をダイオード接続するステップを含み、

前記第 3 のステップは、前記第 2 の駆動素子をダイオード接続するステップを含む

ことを特徴とする請求項 5 又は請求項 6 記載の画素回路の駆動方法。

【請求項 9】

前記第 1 のデータが供給される前記データ線と、前記第 2 のデータが供給される前記データ線とが異なることを特徴とする請求項 5 又は請求項 6 記載の画素回路の駆動方法。 10

【請求項 10】

前記第 1 のデータが供給される前記データ線と、前記第 2 のデータが供給される前記データ線とは同一であって、前記第 1 のデータおよび前記第 2 のデータは前記データ線に時分割で供給されることを特徴とする請求項 5 又は請求項 6 記載の画素回路の駆動方法。

【請求項 11】

画素回路において、

データ線より供給された第 1 のデータが書き込まれる第 1 のキャパシタと、

前記第 1 のキャパシタに自己のゲートが接続されているとともに、前記第 1 のキャパシタに保持された前記第 1 のデータに応じた第 1 の電流を生成する第 1 の駆動素子と、 20

第 2 の電流を生成する回路と、

前記第 1 の駆動素子によって生成された前記第 1 の電流と、前記回路によって生成された前記第 2 の電流とを合成した合成電流に応じて、輝度が設定される電気光学素子と

を備えることを特徴とする画素回路

【請求項 12】

前記回路は、自己のゲートに印加された電圧に応じて、前記第 2 の電流の少なくとも一部となる第 1 の部分電流を生成する第 2 の駆動素子を含むことを特徴とする請求項 11 記載の画素回路。

【請求項 13】

前記回路は、前記データ線の延在方向に並んだ複数の前記画素回路に共通して設けられていることを特徴とする請求項 11 又は請求項 12 記載の画素回路。 30

【請求項 14】

画素回路において、

データ線より供給された第 1 のデータが書き込まれる第 1 のキャパシタと、

前記第 1 のキャパシタに自己のゲートが接続されているとともに、前記第 1 のキャパシタに保持された前記第 1 のデータに応じて、第 1 の電流を生成する第 1 の駆動素子と、

前記データ線より供給された第 2 のデータが書き込まれる第 2 のキャパシタと、

前記第 2 のキャパシタに自己のゲートが接続されているとともに、前記第 2 のキャパシタに保持された前記第 2 のデータに応じて、第 2 の電流の少なくとも一部となる第 1 の部分電流を生成する第 2 の駆動素子と、 40

前記第 1 の駆動素子によって生成された前記第 1 の電流と、前記第 2 の電流とを合成した合成電流に応じて、輝度が設定される電気光学素子と

を備えることを特徴とする画素回路。

【請求項 15】

前記データ線より供給され、前記第 2 のキャパシタに書き込まれる前記第 2 のデータとは異なる第 3 のデータが書き込まれる第 3 のキャパシタと、

前記第 3 のキャパシタに自己のゲートが接続されているとともに、前記第 3 のキャパシタに保持された前記第 3 のデータに応じて、前記第 2 の電流の一部となり、且つ、前記第 1 の部分電流とは逆向きの第 2 の部分電流を生成する第 3 の駆動素子と

を更に備えることを特徴とする請求項 14 記載の画素回路。 50

【請求項 16】

前記データ線に供給された電圧レベルの前記第1のデータを前記第1のキャパシタの一方の電極に選択的に供給する第1のスイッチング素子と、

前記データ線に供給された電圧レベルの前記第2のデータを前記第2のキャパシタの一方の電極に選択的に供給する第2のスイッチング素子と

を更に有することを特徴とする請求項14又は請求項15記載の画素回路。

【請求項 17】

前記第1のデータおよび前記第2のデータのそれぞれは、電流レベルで前記データ線に供給され、

前記第1の駆動素子を選択的にダイオード接続する第1のスイッチング素子と、

10

前記第2の駆動素子を選択的にダイオード接続する第2のスイッチング素子と
を更に有することを特徴とする請求項14又は請求項15記載の画素回路。

【請求項 18】

前記第1のデータが供給される前記データ線と、前記第2のデータが供給される前記データ線とが異なることを特徴とする請求項14又は請求項15記載の画素回路。

【請求項 19】

前記第1のデータが供給される前記データ線と、前記第2のデータが供給される前記データ線とは同一であって、前記第1のデータおよび前記第2のデータは前記データ線に時分割で供給されることを特徴とする請求項14又は請求項15記載の画素回路。

【請求項 20】

20

電気光学装置において、

複数の走査線と、

複数のデータ線と、

前記走査線と前記データ線との交差に対応して設けられた複数の画素回路と、

前記走査線に走査信号を出力することにより、データの書込対象となる前記画素回路に対応する前記走査線を選択する走査線駆動回路と、

前記走査線駆動回路と協働し、前記書込対象となる前記画素回路に対応する前記データ線にデータを出力するデータ線駆動回路と、

前記第2のデータを生成する第2のデータ生成回路とを有し、

前記画素回路は、請求項11から請求項19の何れか一項に記載の画素回路であること
を特徴とする電気光学装置。 30

【請求項 21】

請求項20に記載された電気光学装置を実装したことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素回路の駆動方法、画素回路、電気光学装置および電子機器に係り、特に、電流駆動型素子を有する画素の階調補正に関する。

【背景技術】

【0002】

40

近年、有機EL(Electronic Luminescence)素子を用いたフラットパネルディスプレイ(FPD)が注目されている。有機EL素子は、自己を流れる駆動電流によって駆動する電流駆動型素子の一つであり、その電流レベルに応じた輝度で自ら発光する。このような素子を有する画素のデータ書込方式には、電流プログラム方式と電圧プログラム方式とがある。電流プログラム方式は、画素が接続されたデータ線に対するデータの供給を電流ベースで行う方式であり、電圧プログラム方式は、このデータ供給を電圧ベースで行う方式である。

【0003】

特許文献1には、有機EL素子によって構成された表示パネルに関して、外乱要素に起因した表示階調の変動を抑制すべく、画素に供給する階調データを補正する技術が開示さ 50

れている。具体的には、表示パネル内に設けられた複数の温度センサによって、有機ＥＬ素子の発熱に伴う温度変動を検出し、これに応じて、画素の階調を規定する階調データとしての電流レベル自体を変更する。

【特許文献１】特開２００２－１７５０４６号公報

【発明の開示】

【発明が解決しようとする課題】

【０００４】

しかしながら、特許文献１のように階調データ自体を補正する手法では、本来の表示階調数よりも階調データを分解能を高める必要がある。例えば、６４階調表示で４値の輝度補正をかける場合、本来の表示階調数が６４であるのにも拘わらず、２５６の分解能が必要となる。階調データの高分解能化は、ＤＡＣ等の回路構成の複雑化や消費電力の増大といった不都合を招く。 10

【０００５】

また、有機ＥＬ素子を備える表示パネルは、輝度が低いときの階調表示を行う場合には有機ＥＬ素子に供給する電流を細かく制御する必要があり、輝度が高いときの階調表示を行う場合には有機ＥＬ素子に供給する電流を大きく制御する必要がある。このため、有機ＥＬ素子を制御する制御素子（トランジスタ）に高輝度時の階調制御に適したものを利用すると、低輝度時の階調制御の制御性が悪化するという問題があった。

【０００６】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、外乱要素に起因した表示階調の変動を抑制するための階調補正を階調データの分解能を高めることなく実現することである。 20

【課題を解決するための手段】

【０００７】

かかる課題を解決するために、第１の発明は、データ線より供給された第１のデータを第１のキャパシタに書き込む第１のステップと、前記第１のキャパシタに自己のゲートが接続されている第１の駆動素子によって、前記第１のキャパシタに保持された前記第１のデータに応じた第１の電流を生成する第２のステップと、第２の駆動素子を含む回路によって、第２の電流を生成する第３のステップと、前記第１の駆動素子によって生成された前記第１の電流と、前記回路によって生成された前記第２の電流とを合成した合成電流に 30

応じて、電気光学素子の輝度を設定する第４のステップとを含むことを特徴としている。また、第１の発明において、前記第３のステップは、前記第２の駆動素子のゲートに印加された電圧に応じて、前記第２の電流の少なくとも一部となる第１の部分電流を生成するステップを含むことを特徴としている。

更に、第１の発明において、前記回路は、前記データ線の延在方向に並んだ複数の前記画素回路に共通して設けられていることが好ましい。

第２の発明は、データ線より供給された第１のデータを第１のキャパシタに書き込む第１のステップと、前記第１のキャパシタに自己のゲートが接続されている第１の駆動素子によって、前記第１のキャパシタに保持された前記第１のデータに応じた第１の電流を生成する第２のステップと、第２のキャパシタと第２の駆動素子とを含む回路によって、第 40

２の電流を生成する第３のステップと、前記第１の駆動素子によって生成された前記第１の電流と、前記回路によって生成された前記第２の電流とを合成した合成電流に応じて、電気光学素子の輝度を設定する第４のステップとを含むことを特徴としている。また、第２の発明において、前記第３のステップは、前記データ線より供給された第２のデータを前記第２のキャパシタに書き込むステップと、前記第２のキャパシタに自己のゲートが接続されている前記第２の駆動素子によって、前記第２のキャパシタに保持された前記第２のデータに応じて、前記第２の電流の少なくとも一部となる第１の部分電流を生成するステップとを含むことを特徴としている。

また、第２発明において、前記回路は、第３のキャパシタと第３の駆動素子とを更に含み、前記第３のステップは、前記データ線より供給され、前記第２のキャパシタに書き込 50

まれる前記第2のデータとは異なる第3のデータを前記第3のキャパシタに書き込むステップと、前記第3のキャパシタに自己のゲートが接続されている前記第3の駆動素子によって、前記第3のキャパシタに保持された前記第3のデータに応じて、前記第2の電流の一部となり、且つ、前記第1の部分電流とは逆向きの第2の部分電流を生成するステップとを含むことを特徴としている。

ここで、第2の発明において、前記第1のデータおよび前記第2のデータのそれぞれは、電圧レベルで前記データ線に供給されることを特徴としている。

また、第2の発明において、前記第1のデータおよび前記第2のデータのそれぞれは、電流レベルで前記データ線に供給され、前記第1のステップは、前記第1の駆動素子をダイオード接続するステップを含み、前記第3のステップは、前記第2の駆動素子をダイオード接続するステップを含むことを特徴としている。 10

また、第2の発明において、前記第1のデータが供給される前記データ線と、前記第2のデータが供給される前記データ線とは異なることを特徴としている。

更に、第2の発明において、前記第1のデータが供給される前記データ線と、前記第2のデータが供給される前記データ線とは同一であって、前記第1のデータおよび前記第2のデータは前記データ線に時分割で供給されることを特徴としている。

第3の発明は、データ線より供給された第1のデータが書き込まれる第1のキャパシタと、前記第1のキャパシタに自己のゲートが接続されているとともに、前記第1のキャパシタに保持された前記第1のデータに応じた第1の電流を生成する第1の駆動素子と、第2の電流を生成する回路と、前記第1の駆動素子によって生成された前記第1の電流と、前記回路によって生成された前記第2の電流とを合成した合成電流に応じて、輝度が設定される電気光学素子とを備えることを特徴としている。 20

また、第3の発明において、前記回路は、自己のゲートに印加された電圧に応じて、前記第2の電流の少なくとも一部となる第1の部分電流を生成する第2の駆動素子を含むことを特徴としている。

更に、第3の発明において、前記回路は、前記データ線の延在方向に並んだ複数の前記画素回路に共通して設けられていることを特徴としている。

第4の発明は、データ線より供給された第1のデータが書き込まれる第1のキャパシタと、前記第1のキャパシタに自己のゲートが接続されているとともに、前記第1のキャパシタに保持された前記第1のデータに応じて、第1の電流を生成する第1の駆動素子と、前記データ線より供給された第2のデータが書き込まれる第2のキャパシタと、前記第2のキャパシタに自己のゲートが接続されているとともに、前記第2のキャパシタに保持された前記第2のデータに応じて、第2の電流の少なくとも一部となる第1の部分電流を生成する第2の駆動素子と、前記第1の駆動素子によって生成された前記第1の電流と、前記第2の電流とを合成した合成電流に応じて、輝度が設定される電気光学素子とを備えることを特徴としている。 30

また、第4の発明において、前記データ線より供給され、前記第2のキャパシタに書き込まれる前記第2のデータとは異なる第3のデータが書き込まれる第3のキャパシタと、前記第3のキャパシタに自己のゲートが接続されているとともに、前記第3のキャパシタに保持された前記第3のデータに応じて、前記第2の電流の一部となり、且つ、前記第1の部分電流とは逆向きの第2の部分電流を生成する第3の駆動素子とを更に備えることを特徴としている。 40

ここで、第4の発明において、前記データ線に供給された電圧レベルの前記第1のデータを前記第1のキャパシタの一方の電極に選択的に供給する第1のスイッチング素子と、前記データ線に供給された電圧レベルの前記第2のデータを前記第2のキャパシタの一方の電極に選択的に供給する第2のスイッチング素子とを更に有することを特徴としている。

また、第4の発明において、前記第1のデータおよび前記第2のデータのそれぞれは、電流レベルで前記データ線に供給され、前記第1の駆動素子を選択的にダイオード接続する第1のスイッチング素子と、前記第2の駆動素子を選択的にダイオード接続する第2の 50

スイッチング素子と更に有することを特徴としている。

また、第4の発明において、前記第1のデータが供給される前記データ線と、前記第2のデータが供給される前記データ線とが異なることを特徴としている。

更に、第4の発明において、前記第1のデータが供給される前記データ線と、前記第2のデータが供給される前記データ線とは同一であって、前記第1のデータおよび前記第2のデータは前記データ線に時分割で供給されることを特徴としている。

第5の発明は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応して設けられた複数の画素回路と、前記走査線に走査信号を出力することにより、データの書込対象となる前記画素回路に対応する前記走査線を選択する走査線駆動回路と、前記走査線駆動回路と協働し、前記書込対象となる前記画素回路に対応する前記データ線にデータを出力するデータ線駆動回路と、前記第2のデータを生成する第2のデータ生成回路とを有し、前記画素回路は、上述した第3又は第4の発明に係る画素回路であることを特徴としている。

10

第6の発明は、上述した第5の発明に係る電気光学装置を実装した電子機器を提供する。

以上の本発明によれば、階調データとは別個に補正データを生成し、両者を画素内で合成しているので、外乱要素に起因した表示階調の変動を抑制するための階調補正を階調データの分解能を高めることなく実現できる。

【発明を実施するための最良の形態】

【0008】

20

(第1の実施形態)

図1は、本実施形態にかかる電気光学装置のブロック構成図である。表示部1は、例えばTFT(Thin Film Transistor)によって電気光学素子を駆動するアクティブマトリクス型の表示パネルである。この表示部1には、 m ドット $\times n$ ライン分の画素群がマトリクス状(二次元平面的)に並んでいる。表示部1には、それぞれが水平方向に延在している走査線群 $Y_1 \sim Y_n$ と、それぞれが垂直方向に延在しているデータ線群 $X_1 \sim X_m$ とが設けられており、これらの交差に対応して画素2が配置されている。また、表示部1には、データ線群 $X_1 \sim X_m$ とは別系統で、それぞれが垂直方向に延在するデータ線 X 群 $1' \sim m'$ が更に設けられている。以下の説明では、2系統のデータ線 $X_1 \sim X_m$, $X'1 \sim X'm$ を区別するために、前者のデータ線 $X_1 \sim X_m$ を単なる「データ線」と呼び、後者のデータ線 $X'1 \sim X'm$ を「サブデータ線」と呼ぶ。なお、後述する画素回路の構成との関係で、同図に示した1本のサブデータ線 X' は、後述する2本のサブデータ線 $X'a$, $X'b$ のセットを示している。

30

【0009】

制御回路6は、図示しない上位装置からの外部信号をベースに各種の内部信号を生成し、これらに基づいて、走査線駆動回路3とデータ線駆動回路4とを同期制御する。この同期制御の下、これらの駆動回路3, 4は互いに協働して表示部1の表示制御を行う。走査線駆動回路3は、シフトレジスタ、出力回路等を主体に構成されており、走査線 $Y_1 \sim Y_n$ に走査信号SELを出力することによって、走査線 $Y_1 \sim Y_n$ の線順次走査を行う。走査信号SELは、高電位レベル(以下「Hレベル」という)または低電位レベル(以下「Lレベル」という)の2値的なレベルをとり、データの書込対象となる画素行に対応する走査線 Y はHレベル、これ以外の走査線 Y はLレベルにそれぞれ設定される。走査線 $Y_1 \sim Y_n$ は、1画像の表示期間に相当する1フレーム(1F)毎に、所定の選択順序で順番に選択されていく。

40

【0010】

データ線駆動回路4は、シフトレジスタ、ラインラッチ回路、DAC、出力回路等を主体に構成されている。データ線駆動回路4は、1本の走査線 Y の選択期間に相当する1水平走査期間(1H)において、今回データを書き込む画素行に対する階調データの一斉出力と、次の1Hで書き込みを行う画素行に関する階調データの点順次的なラッチとを同時に行う。ある1Hにおいて、データ線 X の本数に相当する m 個の階調データが順次ラッチ

50

される。そして、次の1Hにおいて、ラッチされたm個の階調データは、データ線X1~Xmに一齐に出力される。本実施形態は、電圧プログラム方式の階調補正に関するもので、画素2の表示階調を規定する階調データは、電圧DACにてデジタルからアナログに変換された上で、電圧レベルの階調データVdataとしてデータ線X~Xmに供給される。なお、階調データVdata自体には補正要素が加味されないので、階調データVdataに関しては、本来の分解能以上にアナログレベルを細分化する必要はない。したがって、階調補正を行う場合であっても、階調データVdataに要求される分解能としては、64階調表示ならば64で足り、256階調表示ならば256で足りる。

【0011】

制御回路6は、上述した駆動回路3,4以外に、サブデータ線X'1~X'm'に接続された補正データ生成回路5も制御する。この補正データ生成回路5は、駆動回路3,4と同期して、1画素行分のm個の補正データをサブデータ線X'1~X'm'に出力する。ここで、「補正データ」は、外乱要素に起因した表示階調の変動を抑制するために、外乱要素による変動分を補償するデータであって、階調データとは別個に画素2に供給される。電圧プログラム方式の場合には、電圧レベルを有する2種類の補正データVcom1, Vcom2(場合によってはどちらか一方)がサブデータ線X'1~X'm'に供給される。補正データVcom1は、階調データVdataによって規定される画素2の輝度をより高めるため、換言すれば、電気光学素子を通る電流をより増加させるために用いられる。これに対して、補正データVcom2は、階調データVdataによって規定される画素2の輝度をより低めるために、換言すれば、電気光学素子を通る電流をより減少させるために用いられる。電気光学素子として有機EL素子を用いる場合、下記に示す5個の補正要素 ΔD_{ta} , ΔD_{tl} , ΔD_{lx} , ΔD_d , ΔD_{mura} が想定され、これらのいずれか、或いは、複数の要素に基づいて補正データVcom1, Vcom2が算出される。

【0012】

(1) 周囲温度変動 ΔD_{ta}

周囲温度変動 ΔD_{ta} は、電気光学装置の使用環境の温度、すなわち、周囲温度Taの変動を補正する補正要素である。一般に、周囲温度Taが変動すると、有機EL素子OLEDの駆動電圧や発光効率等も変動する。したがって、この温度領域全体で表示品質の安定化を図るためには、外乱要素である周囲温度Taの影響を考慮した補正を行うことが好ましい。図2は、一例としての周囲温度Taと周囲温度変動 ΔD_{ta} との関係を示す特性図である。有機EL素子OLEDの温度-輝度特性がRGB毎に異なる点に鑑み、周囲温度変動 ΔD_{ta} は、RGB毎に個別に設定されている。B(青)については、周囲温度Taの増加にともない周囲温度変動 ΔD_{ta} が線形的に増加しており、R(赤)およびG(緑)については、周囲温度Taの増加にともない周囲温度変動 ΔD_{ta} が線形的に減少している。周囲温度変動 ΔD_{ta} に応じた補正は、例えば、電気光学装置に内蔵された温度センサで表示部1近傍の周囲温度Taを検出することにより、リアルタイムで行われる。この場合、補正データ生成回路5は、温度センサによって検出された周囲温度Taを入力とした演算処理を行って、画素2の階調設定の際に加味すべき周囲温度変動 ΔD_{ta} を算出し、これを補正データとして出力する。この演算処理は、図2のような特性が記述された変換テーブルを参照して、入力値Taから出力値 ΔD_{ta} を求めるテーブル参照処理(Look Up Table処理)が想定されるが、これ以外の処理方法であってもよい。この補正単位は、周囲温度Taの影響が表示部1全体に作用する点に鑑み、表示部1全体である。なお、温度センサとしては、特開2002-98594号公報に開示されているように、温度センサが搭載された半導体チップを用いてもよく、特開2002-122838号公報に開示されているように、表示部1の基板上に形成された温度検出素子(PN接合の温度に対する電圧変化を検出する素子)を用いることも可能である。

【0013】

(2) 自己発熱温度変動 ΔD_{tl}

自己発熱温度変動 ΔD_{tl} は、有機EL素子OLEDの発光に伴う発熱温度Tlの変動を補正する補正要素である。一般に、有機EL素子OLEDの発光輝度が高くなるほど、有機EL素

子OLEDの発熱温度も高くなる。したがって、この発熱温度領域全体で表示品質の安定化を図るためには、外乱要素である発熱温度 T_I の影響を考慮した補正を行うことが好ましい。図3は、一例としての発熱温度 T_I と自己発熱温度変動 ΔD_{tI} との関係を示す特性図である。自己発熱温度変動 ΔD_{tI} は、RGB毎に個別に設定されているが、いずれも発熱温度 T_I の増加にともない非線形的に増加している。画素2の階調と発熱温度 T_I との関係は、実験やシミュレーション等を通じて知得することができる。この補正単位は、基本的には画素毎であるが、ある画素2の発熱量が周辺画素へも拡散するケースを想定する場合には、周辺画素を含めたブロック単位にしてもよい。

【0014】

(3) 周囲照度変動 ΔD_{Ix}

周囲照度変動 ΔD_{Ix} は、電気光学装置の使用環境における明るさ、すなわち、周囲照度 L_x の変動を補正する補正要素である。一般に、外光の程度に応じて、見映えのよい表示を行う上で最適な有機EL素子OLEDの発光輝度が変わってくる。例えば、明るい外光下での使用時には、通常の表示状態よりも発光輝度を明るくし、高コントラスト化した方が視認性が向上する。これに対して、暗い屋内での使用時には、通常の表示状態では明るすぎるため、発光輝度を多少暗くした方が視認性が向上する。したがって、この照度領域全体において安定した視認性を得るためには、外乱要素である周囲照度 L_x の影響を考慮した補正を行うことが好ましい。図4は、一例としての周囲照度 L_x と周囲照度変動 ΔD_{Ix} との関係を示す特性図である。周囲照度変動 ΔD_{Ix} については、他の補正要素とは異なりRGB共通に設定され、周囲照度 L_x の増加にともない非線形的に増加している。周囲照度変動 ΔD_{Ix} に応じた補正は、例えば、電気光学装置に内蔵された照度センサで表示部1近傍の周囲照度 L_x を検出することにより、リアルタイムで行われる。補正データ生成回路5は、照度センサによって検出された周囲照度 L_x を入力とした演算処理を行って、画素2の階調設定の際に加味すべき周囲照度変動 ΔD_{Ix} を算出し、これを補正データとして出力する。この演算処理は、図4のような特性が記述された変換テーブルを参照して、入力値 L_x から出力値 ΔD_{Ix} を求めるLUT処理が想定されるが、これ以外の処理方法であってもよい。この補正単位は、周囲照度 L_x の影響が表示部1全体に作用する点に鑑み、表示部1全体である。照度センサとしては、例えば、特開2000-66624号公報に開示されているように、外光の強度を検出する照度センサを用いることができる。なお、周囲照度 L_x の検出精度を確保するという観点でいえば、表示部1の自己発光の影響を受け

【0015】

(4) 劣化変動 ΔD_d

劣化変動 ΔD_d は、有機EL素子OLEDの劣化度合 d による変動を補正する補正要素である。一般に、有機EL素子OLEDの劣化が進むにしたがい、有機EL素子OLEDの駆動電圧や発光効率等が低下していく。したがって、時間軸領域全体で表示品質の安定化を図るためには、外乱要素である劣化度合 d の影響を考慮した補正を行うことが好ましい。図5は、一例としての劣化度合 d と劣化変動 ΔD_d との関係を示す特性図である。劣化度合 d がRGB毎に異なる点に鑑み、劣化変動 ΔD_d もRGB毎に個別に設定されているが、いずれも劣化度合 d の増加にともない線形的に増加している。劣化変動 ΔD_d に応じた補正は、例えば、電気光学装置に内蔵された劣化度合検出センサで劣化度合 d を検出することにより、リアルタイムで行われる。補正データ生成回路5は、このセンサによって検出された劣化度合 d を入力とした演算処理を行って、画素2の階調設定の際に加味すべき劣化変動 ΔD_d を算出し、これを補正データとして出力する。この演算処理は、図5のような特性が記述された変換テーブルを参照して、入力値 d から出力値 ΔD_d を求めるLUT処理が想定されるが、これ以外の処理方法を用いてもよい。劣化度合センサとしては、例えば、電気光学装置が今まで動作した累積時間を計測するタイマ、或いは、フレームメモリに今まで蓄積された表示データの累積数を計測するカウンタ等を用いることができる。この場合、補正単位は表示部1全体となる。また、このような時間軸ベースで劣化度合 d を推定する手法に代えて、有機EL素子OLEDの発光状態ベースで劣化度合 d を推定してもよい。

例えば、CCDセンサやCMOSセンサ等の輝度センサを用いて、有機EL素子OLEDの発光輝度を画素単位で検出し、本来の輝度に対する実際の輝度の低下分から劣化度合dを推定するといった如くである。この場合の補正単位は、画素毎となる。このような輝度センサの具体的な構成については、特開平9-237887号公報や特開平11-345957号公報に開示されている他、電気光学装置に開閉可能なフタを設け、表示部1と対向するフタの内面（対向面）にCCDセンサ等を設けてもよい。

【0016】

(5) 表示ムラΔDmura

表示ムラΔDmuraは、有機EL素子OLEDの駆動電圧、発光効率、色度等の相違に起因した表示部1のムラ度合muraを補正する補正要素である。図6は、一例としてのムラ度合muraと表示ムラΔDmuraとの関係を示す特性図である。RGB毎の特性の違いを考慮して、表示ムラΔDmuraもRGB毎に個別に設定されているが、いずれもムラ度合muraの進行にともない線形的に増加している。表示ムラΔDmuraに応じた補正は、電気光学装置に外付けされる検査装置（図示せず）によってムラ度合muraを検出することで、製品出荷前に行われる。補正データ生成回路5は、検査装置によって検出されたムラ度合muraを入力とした演算処理を行って、画素2の階調設定の際に加味すべき表示ムラΔDmuraを算出し、これを補正データとして出力する。この演算処理は、図6のような特性が記述された変換テーブルを参照して、入力値muraから出力値ΔDmuraを求めるLUT処理が想定されるが、これ以外の処理方法であってもよい。ムラ度合muraの検出を画素単位に行う場合、補正単位も画素毎になる。なお、表示ムラΔDmuraに応じた補正は、製品出荷前に行えば足り、その後の補正は必ずしも必要ではない。しかしながら、上述した輝度センサを用いてムラ度合muraをリアルタイムで検出し、表示ムラΔDmuraに応じた補正をリアルタイムで行うことも可能である。

【0017】

上述した補正項目(1)～(3)，(5)に関しては、基本的に、階調データVdataによって規定される本来の輝度よりも高輝度に設定するケース、および、これよりも低輝度に設定するケースのどちらも想定される。したがって、高輝度側に補正する明補正用の補正データVcom1、および、低輝度側に補正する暗補正用の補正データVcom2の双方が必要となる。これに対して、(4)の劣化変動に関しては、明補正用の補正データVcom1のみで足り、暗補正用の補正データVcom2は不要である。なぜなら、有機EL素子の特性上、輝度をある一定値に保つのに必要な駆動電流は、有機EL素子の経時的な劣化にともない、徐々に増大していくからである（減少はしない）。それゆえに、明補正用の補正データVcom1があれば、経時劣化に起因した発光輝度の低下に対処できる。

【0018】

また、補正データVcom1，Vcom2は、画素2毎に個別に設定してもよいが、ライン毎、エリア毎、パネル毎に設定してもよい。また、補正データVcom1，Vcom2のレベルに関しては、階調毎にゲインを変えてもよいし、すべての階調領域において一定であってもよい。

【0019】

図7は、本実施形態にかかる電圧プログラム方式の画素回路図である。この画素回路は、電気光学素子としての有機EL素子OLEDと、6個のトランジスタT1～T6と、2個のキャパシタC1～C2とを含み、6個の回路要素T3～T6，C2～C3によって補正回路20が構成されている点に特徴がある。ダイオードとして表記された有機EL素子OLEDは、自己を流れる電流（後述する合成電流Ioled'）によって輝度が設定される典型的な電流駆動型素子である。なお、同図の例では、トランジスタT2，T5をpチャネル型とし、その他をnチャネル型としているが、これは一例にすぎず、別の組み合わせでチャネル型を設定してもよい。また、本明細書では、ソース、ドレインおよびゲートを備える三端子型素子であるトランジスタに関して、ソースまたはドレインの一方を「一方の端子」と呼び、他方を「他方の端子」と呼ぶ。

【0020】

スイッチング素子であるトランジスタT1のゲートは、走査信号SELが供給される1本の走査線Yに接続されており、その一方の端子は、電圧レベルの階調データVdataが供給されるデータ線Xに接続されている。このトランジスタT1の他方の端子は、キャパシタC1の一方の電極と、駆動素子であるpチャネル型のトランジスタT2のゲートとに共通接続されている。また、キャパシタC1の他方の電極およびトランジスタT2の一方の端子は、電源電圧Vddが常時供給されるVdd端子に接続されている。トランジスタT2の他方の端子は、ノードNaに接続されている。有機EL素子OLEDのアノード(陽極)は、ノードNaに接続されており、そのカソード(陰極)は、電源電圧Vddよりも低い基準電圧Vssが常時供給されるVss端子に接続されている。

【0021】

補正回路20は、3個の回路要素T3, T5, C2によって構成される明補正部と、3個の回路要素T4, T6, C3によって構成される暗補正部とを有する。それぞれの補正部における回路要素の接続関係は、上述した回路要素T1, T2, C1のそれと類似している。すなわち、明補正部に関して、スイッチング素子であるトランジスタT3のゲートは、走査線Yに接続されており、その一方の端子は、電圧レベルの補正データVcom1が供給される第1のサブデータ線X'aに接続されている。このトランジスタT3の他方の端子は、キャパシタC2の一方の電極と、駆動素子であるpチャネル型のトランジスタT5のゲートとに共通接続されている。また、キャパシタC2の他方の電極およびトランジスタT5の一方の端子は、Vdd端子に接続されている。トランジスタT5の他方の端子は、ノードNaに接続されている。一方、暗補正部に関して、スイッチング素子であるトランジスタT4のゲートは、走査線Yに接続されており、その一方の端子は、電圧レベルの補正データVcom2が供給される第2のサブデータ線X'bに接続されている。このトランジスタT4の他方の端子は、キャパシタC3の一方の電極と、駆動素子であるnチャネル型のトランジスタT6のゲートとに共通接続されている。また、キャパシタC3の他方の電極およびトランジスタT6の一方の端子は、Vss端子に接続されている。トランジスタT6の他方の端子は、ノードNaに接続されている。

【0022】

なお、回路構成の簡略化等の理由で、暗補正用の補正データVcom2のみを用いる場合には、補正データVcom1が供給される第1のサブデータ線X'aと、補正データVcom1を入力とする明補正部とが不要になる。同様に、明補正用の補正データVcom1のみを用いる場合には、補正電圧Vcom2が供給される第2のサブデータ線X'bと、補正データVcom2を入力とする暗補正部とが不要になる。このような簡略化は、本実施形態の変形例である第2の実施形態においても、或いは、第3および第4の実施形態にかかる電流プログラム方式においても同様に適用可能である。

【0023】

図8は、図7に示した画素回路の動作タイミングチャートである。上述した1Fに相当する期間t0~t2における一連の動作プロセスは、期間t0~t1のデータ書込プロセスと、これに続く期間t1~t2の駆動プロセスとに大別される。

【0024】

まず、データ書込期間t0~t1では、3個のキャパシタC1~C3に対するデータの書き込みが同時並行的に行われる。具体的には、タイミングt0において、走査信号SELがLレベルからHレベルに立ち上がり、トランジスタT1, T3, T4が共にオンする。この立ち上がりと「同期」して、データ線Xに階調データVdataが供給されるとともに、一对のサブデータ線X'a, X'bに補正データVcom1, Vcom2がそれぞれ供給される。本明細書では、「同期」という用語を、同一タイミングである場合のみならず、設計上のマージン等の理由で若干の時間的なオフセットを許容する意味で用いている。データ線Xの階調データVdataは、トランジスタT1を介して、キャパシタC1の一方の電極に供給される。これにより、キャパシタC1に対するデータの書き込みが行われ、階調データVdataに応じた電荷がキャパシタC1に蓄積される。第1のサブデータ線X'aの補正データVcom1は、トランジスタT3を介して、キャパシタC2の一方の電極に供給される。これにより、キャ

10

20

30

40

50

パシタC2に対するデータの書き込みが行われ、補正データVcom1に応じた電荷がキャパシタC2に蓄積される。また、第2のサブデータ線X'bの補正データVcom2は、トランジスタT4を介して、キャパシタC3の一方の電極に供給される。これにより、キャパシタC3に対するデータの書き込みが行われ、補正データVcom2に応じた電荷がキャパシタC3に蓄積される。それぞれのトランジスタT2, T5, T6のゲートには、それぞれのキャパシタC1, C2, C3に書き込まれたデータに応じた電圧が印加されて、チャネル間に電流が流れる。したがって、データ書込期間t0~t1の途中から、有機EL素子OLEDが発光し始める。

【0025】

つぎに、駆動期間t1~t2では、駆動電流Ioledと補正電流Iamdとを合成した合成電流Ioled'が有機EL素子OLEDを流れて、有機EL素子OLEDの輝度が設定される。具体的には、タイミングt1において、走査信号SELがHレベルからLレベルに立ち下がり、トランジスタT1, T3, T4が共にオフする。この立ち下がりと同期して、データ線Xに対する階調データVdataの供給が停止するとともに、サブデータ線X'a, X'bに対する補正データVcom1, Vcom2の供給も停止する。しかしながら、これらの停止後であっても、トランジスタT2のゲートには、キャパシタC1に保持されているデータに応じた電圧が印加されているので、これに応じた駆動電流IoledがトランジスタT2のチャネルを流れる。同様に、トランジスタT5のゲートには、キャパシタC2に保持されているデータに応じた電圧が印加されているので、これに応じた明補正電流IplsがトランジスタT5のチャネルを流れる。また、トランジスタT6のゲートには、キャパシタC3に保持されているデータに応じた電圧が印加されているので、これに応じた暗補正電流ImnsがトランジスタT6のチャネルを流れる。そして、明補正電流Iplsと暗補正電流Imnsとが合成されて補正電流Iamdが形成され、更に補正電流Iamdと駆動電流Ioledとが合成されて最終的な合成電流Ioled'が形成される。

【0026】

有機EL素子OLEDを流れる電流は、階調データVdataをベースに生成される駆動電流Ioledそのものではなく、これに補正電流Iamd(=Ipls-Ims)を加減算した合成電流Ioled'(=Ioled±|Iamd|)となる。ノードNaに向かう補正電流Iamdの向きを正方向とすると、明補正電流Iplsの流れる向きと暗補正電流Imnsのそれとは逆になる。したがって、Ipls>Imnsの場合には、図9(a)に示すように、駆動電流Ioledに補正電流Iamd(絶対値)が加算されて、駆動電流Ioledよりも大きな合成電流Ioled'が有機EL素子OLEDに供給される。これにより、有機EL素子OLEDは、階調データVdataが規定する本来の輝度よりも高輝度で発光する(明補正)。一方、Ipls<Imnsの場合には、図9(b)に示すように、駆動電流Ioledから補正電流Iamd(絶対値)が減算され、駆動電流Ioledよりも小さな合成電流Ioled'が有機EL素子OLEDに供給される。これにより、有機EL素子OLEDは、階調データVdataが規定する本来の輝度よりも低輝度で発光する(暗補正)。また、Ipls=Imns(通常0)の場合には、駆動電流Ioledがそのまま合成電流Ioled'となって有機EL素子OLEDに供給される。これにより、有機EL素子OLEDは、階調データVdataが規定する本来の輝度通りに発光する(無補正)。

【0027】

このように、本実施形態によれば、階調データVdataの分解能を高めることなく、電圧プログラム方式での階調補正を実現できる。ここで、k階調表示においてi値の輝度補正をかけるケースについて考える。比較例として、階調データVdataだけで補正を行う場合には、k×iの分解能が階調データVdataに要求される。これに対して、本実施形態のように、階調データVdataとは別個に補正データVcom1, Vcom2を生成し、両者を画素2内で合成すれば、階調データVdataの分解能自体は本来のkで済む。例えば、64階調表示で4値の輝度補正をかける場合、比較例では256の分解能が必要なものに対して、本実施形態では、その1/4の64に留めることができる。階調データVdataの高分解能化は、電圧DAC等の回路構成の複雑化や消費電力の増大に直結するので、これを抑制できるメリットは大きい。

10

20

30

40

50

【 0 0 2 8 】

なお、補正項目(1)～(4)を見越した上で、階調データVdata自体を高めに設定しておけば、明補正用の補正データVcom1を用いる必要がなくなる。この場合、補正データVcom2により一義的に特定される暗補正電流Imnsがそのまま補正電流Iamdとなる。逆に低めに設定しておけば、暗補正用の補正データVcom2を用いる必要がなくなる。この場合、補正データVcom1により一義的に特定される明補正電流Iplsがそのまま補正電流Iamdとなる。これは、補正データ生成回路5の構成を簡略化する上で、または、後述する画素回路の構成自体を簡略化する上で有利である。

【 0 0 2 9 】

(第2の実施形態)

10

本実施形態は、図7に示した電圧プログラム方式の画素回路を変更して、3本のデータ線X、X'a、X'bの共用化して、1本のデータ線XにデータVdata、Vcom1、Vcom2を時分割で供給するものである。本実施形態において、図1に示した補正データ生成回路5は、サブデータ線X'1～X'mではなく、データ線駆動回路4と同様に、データ線X1～Xmに接続されている。また、同図に示した1本の走査線Yは、後述する3本の走査線Ya～Ycのセットとなる。

【 0 0 3 0 】

図10は、本実施形態にかかるデータ時分割型の画素回路図である。スイッチング素子であるトランジスタT1のゲートは、第1の走査信号SEL1が供給される第1の走査線Yaに接続されており、その一方の端子は、データ線Xに接続されている。このトランジスタT1の他方の端子は、キャパシタC1の一方の電極と、駆動素子であるpチャネル型のトランジスタT2のゲートとに共通接続されている。また、キャパシタC1の他方の電極およびトランジスタT2の一方の端子は、電源電圧Vddが常時供給されるVdd端子に接続されている。トランジスタT2の他方の端子は、ノードNaに接続されている。有機EL素子OLEDのアノードは、ノードNaに接続されており、そのカソードは、電源電圧Vddよりも低い基準電圧Vssが常時供給されるVss端子に接続されている。

20

【 0 0 3 1 】

補正回路20は、3個の回路要素T3、T5、C2によって構成される明補正部と、3個の回路要素T4、T6、C3によって構成される暗補正部とを有する。それぞれの補正部における回路要素の接続関係は、上述した回路要素T1、T2、C1のそれと類似している。すなわち、明補正部に関して、スイッチング素子であるトランジスタT3のゲートは、第2の走査信号SEL2が供給される第2の走査線Ybに接続されており、その一方の端子は、データ線Xに接続されている。このトランジスタT3の他方の端子は、キャパシタC2の一方の電極と、駆動素子であるpチャネル型のトランジスタT5のゲートとに共通接続されている。また、キャパシタC2の他方の電極およびトランジスタT5の一方の端子は、Vdd端子に接続されている。トランジスタT5の他方の端子は、ノードNaに接続されている。一方、暗補正部に関して、スイッチング素子であるトランジスタT4のゲートは、第3の走査信号SEL3が供給される第3の走査線Ycに接続されており、その一方の端子は、データ線Xに接続されている。このトランジスタT4の他方の端子は、キャパシタC3の一方の電極と、駆動素子であるnチャネル型のトランジスタT6のゲートとに共通接続されている。また、キャパシタC3の他方の電極およびトランジスタT6の一方の端子は、Vss端子に接続されている。トランジスタT6の他方の端子は、ノードNaに接続されている。

30

40

【 0 0 3 2 】

図11は、図10に示した画素回路の動作タイミングチャートである。上述した1Fに相当する期間t0～t4における一連の動作プロセスは、期間t0～t3のデータ書込プロセスと、これに続く期間t3～t4の駆動プロセスとに大別される。また、データ書込期間t0～t3は、更に3個の期間t0～t1、t1～t2、t2～t3に細分化されている。

【 0 0 3 3 】

まず、データ書込期間t0～t3では、3個のキャパシタC1～C3に対するデータの書き込みがオフセットしながら順次行われる。具体的には、最初の期間t0～t1では、第1の

50

走査信号SEL1のみがHレベルになって、トランジスタT1だけがオンするとともに、データ線Xに階調データVdataが供給される。データ線Xの階調データVdataは、トランジスタT1を介して、キャパシタC1の一方の電極に供給される。これにより、キャパシタC1に対するデータの書き込みが行われ、階調データVdataに応じた電荷がキャパシタC1に蓄積される。続く期間t1~t2では、第2の走査信号SEL2のみがHレベルになって、トランジスタT3だけがオンするとともに、データ線Xに補正データVcom1が供給される。データ線Xの補正データVcom1は、トランジスタT3を介して、キャパシタC2の一方の電極に供給される。これにより、キャパシタC2に対するデータの書き込みが行われ、補正データVcom1に応じた電荷がキャパシタC2に蓄積される。そして、期間t2~t3では、第3の走査信号SEL3のみがHレベルになって、トランジスタT4だけがオンするとともに、データ線Xに補正データVcom2が供給される。データ線Xの補正データVcom2は、トランジスタT4を介して、キャパシタC3の一方の電極に供給される。これにより、キャパシタC3に対するデータの書き込みが行われ、補正データVcom2に応じた電荷がキャパシタC3に蓄積される。それぞれのトランジスタT2, T5, T6のゲートには、それぞれのキャパシタC1, C2, C3に書き込まれたデータに応じた電圧が印加され、これらのチャネル間を電流が流れる。したがって、データ書込期間t0~t3の途中から、有機EL素子OLEDが発光し始める。

10

【0034】

つぎに、駆動期間t3~t4では、駆動電流Ioledと補正電流Iamdとを合成した合成電流Ioled'が有機EL素子OLEDを流れて、有機EL素子OLEDの輝度が設定される。この期間t3~t4における動作プロセスは、既に説明した図8の駆動期間t1~t2のそれと同様であるから、ここでの説明を省略する。

20

【0035】

本実施形態によれば、第1の実施形態と同様の効果を有する他、階調データVdataと補正データVcom1, Vcom2とを時分割でデータ線Xに供給することで、サブデータ線X'1~X'mが不要になるという効果もある。

【0036】

なお、本実施形態では、データ書込期間t0~t3で合成電流Ioled'が流れ始めて有機EL素子OLEDが発光するが、この期間t0~t3における発光を規制すれば、発光量の制御をより正確に行うことができる。この場合、例えば、後述する図15のトランジスタT4と同様に、ノードNaと有機EL素子OLEDのアノードとの間に、第4の走査信号SEL4によって導通制御されるトランジスタを追加する。データ書込期間t0~t3では、このトランジスタがオフして合成電流Ioled'の経路が遮断されるので、有機EL素子OLEDは発光しない。続く駆動期間t3~t4では、トランジスタがオンして合成電流Ioled'が有機EL素子OLEDに供給されるので、有機EL素子OLEDが発光する。

30

【0037】

(第3の実施形態)

上述した第1および第2の実施形態では、電圧プログラム方式の階調補正について説明したが、第3および第4の実施形態では、電流プログラム方式への適用例について説明する。本実施形態において、図1に示したデータ線駆動回路4は、電圧DACの代わりに電流DAC(可変電流源)を含み、電流レベルの階調データIdataをデータ線X~Xmに供給する。同様に、補正データ生成回路5は、電流レベルの補正データIcomをサブデータ線X'1~X'mに供給する。また、同図に示した1本の走査線Yは、後述する2本の走査線Ya, Ybのセットとなる。なお、階調データIdata自体には補正要素が加味されないので、階調データIdataに関しては、第1の実施形態と同様に、本来の分解能以上にアナログレベルを細分化する必要はない。

40

【0038】

図12は、本実施形態にかかる電流プログラム方式の画素回路図である。この画素回路は、有機EL素子OLEDと、10個のトランジスタT1~T10と、3個のキャパシタC1~C3とを含み、8個の回路要素T5~T10, C2~C3によって補正回路20が構成されている

50

点に特徴がある。なお、同図の例では、トランジスタT3, T6をpチャネル型とし、その他をnチャネル型としているが、これは一例にすぎず、別の組み合わせでチャネル型を設定してもよい。

【0039】

スイッチング素子であるトランジスタT1のゲートは、第1の走査信号SEL1が供給される第1の走査線Yaに接続されており、その一方の端子は、電流レベルの階調データIdataが供給されるデータ線Xに接続されている。このトランジスタT1の他方の端子はノードNaに接続されており、このノードNaには、トランジスタT1以外にも、スイッチング素子であるトランジスタT2の一方の端子、駆動素子であるpチャネル型のトランジスタT3の一方の端子、および、スイッチング素子であるトランジスタT4の一方の端子が共通接続されている。トランジスタT2のゲートは、トランジスタT1と同様に、第1の走査線Yaに接続されており、その他方の端子は、トランジスタT3のゲートおよびキャパシタC1の一方の電極に共通接続されている。キャパシタC1の他方の電極およびトランジスタT3の他方の端子は、電源電圧Vddが常時供給されるVdd端子に接続されている。また、トランジスタT4のゲートは、第2の走査信号SEL2が供給される第2の走査線Ybに接続されているとともに、その他方の端子は、有機EL素子OLEDのアノードに接続されている。有機EL素子OLEDのカソードは、電源電圧Vddよりも低い基準電圧Vssが常時供給されるVss端子に接続されている。

【0040】

補正回路20は、3個の回路要素T6, T7, C2によって構成される明補正部と、3個の回路要素T8, T9, C3によって構成される暗補正部とを主体に構成されている。それぞれの補正部における回路要素の接続関係は、上述した回路要素T2, T3, C1のそれと類似している。すなわち、明補正部に関して、スイッチング素子であるトランジスタT7のゲートは、第1の走査線Yaに接続されており、その一方の端子は、駆動素子であるpチャネル型のトランジスタT6のゲートと、キャパシタC2の一方の電極とに共通接続されている。このトランジスタT6の一方の端子は、キャパシタC2の他方の電極と共にVdd端子に接続されている。トランジスタT6の他方の端子およびトランジスタT7の他方の端子は、ノードNbに共通接続されている。一方、暗補正部に関して、スイッチング素子であるトランジスタT9のゲートは、トランジスタT7と同様に、第1の走査線Yaに接続されており、その一方の端子は、駆動素子であるnチャネル型のトランジスタT8のゲートと、キャパシタC3の一方の電極とに共通接続されている。このトランジスタT9の一方の端子は、キャパシタC3の他方の電極と共にVss端子に接続されている。トランジスタT8の他方の端子およびトランジスタT9の他方の端子は、ノードNbに共通接続されている。また、補正回路20は、ノードNaとノードNbとの間を選択的に導通するためのスイッチング素子であるトランジスタT5と、ノードNbとサブデータ線X'との間を選択的に導通するためのスイッチング素子であるトランジスタT10を更に有する。前者のトランジスタT5の一方の端子はノードNaに、その他方の端子はノードNbにそれぞれ接続されているとともに、そのゲートは第2の走査線Ybに接続されている。後者のトランジスタT10の一方の端子はノードNbに、その他方の端子はサブデータ線X'にそれぞれ接続されているとともに、そのゲートは第1の走査線Yaに接続されている。

【0041】

図13は、図12に示した画素回路の動作タイミングチャートである。上述した1Fに相当する期間t0~t2における一連の動作プロセスは、期間t0~t1のデータ書込プロセスと、これに続く期間t1~t2の駆動プロセスとに大別される。

【0042】

まず、データ書込期間t0~t1では、3つの回路要素T1~T3が協働して、キャパシタC1に対するデータの書き込みが行われる。まず、タイミングt0において、第1の走査信号SEL1がLレベルからHレベルに立ち上がる。これにより、トランジスタT1がオンして、ノードNaに接続されたトランジスタT3の一方の端子と、データ線Xとが電氣的に接続される。それとともに、トランジスタT2もオンして、トランジスタT3の一方の端子と

自己のゲートとがダイオード接続される。また、このタイミング t_0 で、第 2 の走査信号 S_{EL2} が H レベルから L レベルに立ち下がる。これにより、トランジスタ T_4 、 T_5 が共にオフして、ノード N_a は補正回路 20 および有機 EL 素子 OLED から電氣的に分離される。このような状態で、データ線 X に階調データ I_{data} が供給されると、図 14 (a) に示すように、 V_{dd} 端子からデータ線 X に向かって、トランジスタ T_3 のチャンネルを介した電流経路が形成される。その結果、ダイオード接続されたトランジスタ T_3 のゲートには、自己のチャンネルを流れる階調データ I_{data} の電流レベルに応じた電圧が発生し、このゲート電圧に応じて、キャパシタ C_1 に電荷が蓄積される。このように、データ書込期間 $t_0 \sim t_1$ において、トランジスタ T_3 は、キャパシタ C_1 にデータを書き込むプログラミング素子として機能する。

10

【0043】

また、この期間 $t_0 \sim t_1$ では、補正回路 20 における明補正部および暗補正部の一方を主体にしたデータの書き込みも同時並行的に行われる。第 1 の走査信号 S_{EL1} が H レベルになることで、トランジスタ T_{10} がオンして、ノード N_b に接続されたトランジスタ T_6 、 T_8 の一方の端子と、サブデータ線 X' とが電氣的に接続される。それとともに、トランジスタ T_7 がオンして、p チャンネル型のトランジスタ T_6 がダイオード接続されるとともに、トランジスタ T_9 もオンして、n チャンネル型のトランジスタ T_8 もダイオード接続される。このような状態で、サブデータ線 X' に補正データ I_{com} が供給されると、例えば図 14 (a) に示すように、 V_{dd} 端子からサブデータ線 X' に向かって、トランジスタ T_6 のチャンネルを介した電流経路が形成される。その結果、ダイオード接続されたトランジスタ T_6 のゲートには、自己のチャンネルを流れる補正データ I_{com} の電流レベルに応じた電圧が発生し、このゲート電圧に応じて、キャパシタ C_2 に電荷が蓄積される。なお、キャパシタ C_2 がデータの書込対象になるとは限らず、当然ながら、キャパシタ C_3 を主体にデータが書き込まれるケースも存在する。データ書込期間 $t_0 \sim t_1$ において、トランジスタ T_6 、 T_8 は、対応するキャパシタ C_2 、 C_3 にデータを書き込むプログラミング素子として機能する。

20

【0044】

キャパシタ C_2 、 C_3 のどちらを主体にデータの書き込みが行われるかは、補正データ I_{com} の電流の向きに依存している。補正データ I_{com} の電流の向きが階調データ I_{data} のそれと同一である場合には、明補正部を主体としたキャパシタ C_2 へのデータ書き込みが行われる (図 14 (a) のケース)。この場合、暗補正部におけるトランジスタ T_8 のソース・ドレイン間電流 I_{ds} がほぼ 0 になるので、キャパシタ C_3 にはトランジスタ T_8 のしきい値電圧 V_{th} 相当のデータしか書き込まれない。これに対して、補正データ I_{com} が階調データ I_{data} と逆方向の場合には、暗補正部を主体としたキャパシタ C_3 へのデータ書き込みが行われる。この場合、明補正部におけるトランジスタ T_6 のソース・ドレイン間電流 I_{ds} がほぼ 0 になるので、キャパシタ C_2 にはトランジスタ T_6 のしきい値電圧 V_{th} 相当のデータしか書き込まれない。このように、サブデータ線 X' に供給する補正データ I_{com} の電流方向を指定することで、次に述べる補正電流 I_{amd} の向きを任意に設定できる。なお、データ書込期間 $t_0 \sim t_1$ では、トランジスタ T_4 がオフしているので、有機 EL 素子 OLED は発光しない。

30

40

【0045】

つぎに、駆動期間 $t_1 \sim t_2$ では、駆動電流 I_{oled} と補正電流 I_{amd} とを合成した合成電流 I_{oled}' が有機 EL 素子 OLED を流れて、有機 EL 素子 OLED の輝度が設定される。具体的には、タイミング t_1 において、第 1 の走査信号 S_{EL1} が H レベルから L レベルに立ち上がる。これにより、トランジスタ T_1 、 T_2 が共にオフして、ノード N_a がデータ線 X から電氣的に分離されるとともに、トランジスタ T_3 のダイオード接続も解消される。しかしながら、キャパシタ C_1 には先に書き込まれたデータが保持されているため、タイミング t_1 以降も、このデータに応じたゲート電圧がトランジスタ T_3 のゲートに印加され続ける。また、このタイミング t_1 で、第 2 の走査信号 S_{EL2} が L レベルから H レベルに立ち下がる。これにより、トランジスタ T_4 、 T_5 が共にオンして、ノード N_a が補正回路 20 お

50

よび有機EL素子OLEDに電氣的に接続される。その結果、図14(b)に示すように、V_{dd}端子からV_{ss}端子に向かって、トランジスタT3のチャネルと有機EL素子OLEDとを介した電流経路が形成される。トランジスタT3のチャネルには、キャパシタC1の保持データに起因したゲート電圧に応じて、駆動電流I_{oled}が流れる。この駆動電流I_{oled}のレベルは、トランジスタT3のゲート電圧に基づいて、換言すれば、このゲート電圧を生じさせるキャパシタC1の保持データに基づいて一義的に特定される。

【0046】

また、この期間t₁~t₂では、補正回路20における明補正部および暗補正部の一方を主体にした補正電流I_{amd}の生成も同時並行的に行われる。第1の走査信号SEL1がLレベルになることで、トランジスタT7、T9、T10が共にオフして、ノードNbがサブデータ線X'から電氣的に分離されるとともに、トランジスタT6、T8のダイオード接続も解消される。しかしながら、キャパシタC2(またはC3)には先に書き込まれたデータが保持されているため、タイミングt₁以降も、このデータに応じたゲート電圧がトランジスタT6(またはT8)のゲートに印加され続ける。その結果、例えば図14(b)に示すように、V_{dd}端子からV_{ss}端子に向かって、トランジスタT6のチャネルと有機EL素子OLEDとを介した電流経路が形成される。トランジスタT6のチャネルには、キャパシタC2の保持データに起因したゲート電圧V_gに応じて、補正電流I_{amd}が流れる。この補正電流I_{amd}のレベルは、トランジスタT6のゲート電圧に基づいて、換言すれば、このゲート電圧を生じさせるキャパシタC2の保持データに基づいて一義的に特定される。

【0047】

有機EL素子OLEDを流れる電流は、階調データI_{data}をベースに生成される駆動電流I_{oled}そのものではなく、これに補正電流I_{amd}を加減算した合成電流I_{oled'}(=I_{oled}±|I_{amd}|)となる。先のデータ書込プロセスにおける補正データI_{com}が階調データI_{data}と同一方向の場合には、駆動電流I_{oled}に補正電流I_{amd}(絶対値)が加算されて、駆動電流I_{oled}よりも大きな合成電流I_{oled'}が有機EL素子OLEDに供給される。これにより、有機EL素子OLEDは、階調データI_{data}が規定する本来の輝度よりも高輝度で発光する(明補正)。一方、補正データI_{com}が階調データI_{data}と逆方向の場合には、駆動電流I_{oled}から補正電流I_{amd}(絶対値)が減算され、駆動電流I_{oled}よりも小さな合成電流I_{oled'}が有機EL素子OLEDに供給される。これにより、有機EL素子OLEDは、階調データV_{data}が規定する本来の輝度よりも低輝度で発光する(暗補正)。また、補正データI_{com}が0の場合には、駆動電流I_{oled}がそのまま合成電流I_{oled'}となって有機EL素子OLEDに供給される。これにより、有機EL素子OLEDは、階調データI_{data}が規定する本来の輝度通りに発光する(無補正)。

【0048】

このように、本実施形態によれば、階調データI_{data}の分解能を高めることなく、電流プログラム方式での階調補正を実現できる。階調データI_{data}の高分解能化は電流DAC等の複雑化や消費電力の増大に直結するので、これを抑制できるメリットは大きい。

【0049】

(第4の実施形態)

本実施形態は、図12に示した電流プログラム方式の画素回路を変更して、2本のデータ線X、X'の共用化して、1本のデータ線XにデータV_{data}、V_{com}を時分割で供給するものである。本実施形態において、図1に示した補正データ生成回路5は、サブデータ線X'1~X'mではなく、データ線駆動回路4と同様に、データ線X1~X_mに接続される。また、同図に示した1本の走査線Yは、後述する4本の走査線Y_a~Y_dのセットとなる。

【0050】

図15は、本実施形態にかかるデータ時分割型の画素回路図である。この画素回路は、有機EL素子OLEDと、9個のトランジスタT1~T4、T6~T9、T11と、3個のキャパシタC1~C3とを含み、6個の回路要素T6~T9、C2~C3によって補正回路20が構成されている点に特徴がある。なお、同図の例では、トランジスタT3、T6、T11をpチャネル型とし、その他をnチャネル型としているが、これは一例にすぎず、別の組み合わせで

10

20

30

40

50

チャンネル型を設定してもよい。なお、スイッチング素子であるトランジスタT11をpチャンネル型に設定した理由は、同じ走査信号SEL3で、nチャンネル型のトランジスタT7、T9と択一的にオンさせるためである。

【0051】

スイッチング素子であるトランジスタT1のゲートは、第1の走査信号SEL1が供給される第1の走査線Yaに接続されており、その一方の端子は、電流レベルの階調データIdataが供給されるデータ線Xに接続されている。このトランジスタT1の他方の端子はノードNaに接続されており、このノードNaには、トランジスタT1以外にも、スイッチング素子であるトランジスタT2の一方の端子、スイッチング素子であるトランジスタT11の一方の端子、および、スイッチング素子であるトランジスタT4の一方の端子が共通接続されている。トランジスタT2のゲートは、第2の走査信号SEL2が供給される第2の走査線Ybに接続されており、その他方の端子は、駆動素子であるpチャンネル型のトランジスタT3のゲートおよびキャパシタC1の一方の電極に共通接続されている。トランジスタT3の一方の端子は、キャパシタC1の他方の電極と共に電源電圧Vddが常時供給されるVdd端子に接続されており、その他方の端子は、トランジスタT11の他方の端子に接続されている。また、トランジスタT4のゲートは、第4の走査信号SEL4が供給される第4の走査線Ydに接続されているとともに、その他方の端子は、有機EL素子OLEDのアノードに接続されている。有機EL素子OLEDのカソードは、電源電圧Vddよりも低い基準電圧Vssが常時供給されるVss端子に接続されている。

10

【0052】

補正回路20は、3個の回路要素T6、T7、C2によって構成される明補正部と、3個の回路要素T8、T9、C3によって構成される暗補正部とを主体に構成されている。図12で示した2個のトランジスタT5、T10が不要になった点、および、それにともない、ノードNaに補正回路20の出力端が直結されている点以外は、図12の構成と同様であるので、ここでの説明を省略する。

20

【0053】

図16は、図15に示した画素回路の動作タイミングチャートである。上述した1Fに相当する期間t0~t3における一連の動作プロセスは、期間t0~t2のデータ書込プロセスと、これに続く期間t2~t3の駆動プロセスとに大別される。また、データ書込期間t0~t2は、更に2個の期間t0~t1、t1~t2に細分化されている。

30

【0054】

まず、データ書込期間t0~t2では、キャパシタC1へのデータ書き込みと、キャパシタC2、C3の一方に対するデータ書き込みとが、オフセットしながら順次行われる。まず、期間t0~t1では、第1の走査信号SEL1がHレベルであるから、トランジスタT1がオンする。これにより、ノードNaとデータ線Xとが電氣的に接続される。また、第2の走査信号SEL2がHレベルで、第3の走査信号SEL3がLレベルであるから、トランジスタT2、T11が共にオンする（スイッチング素子であるトランジスタT11はpチャンネル型である点に注意）。これにより、駆動素子であるトランジスタT3は、トランジスタT2、T11を介してダイオード接続される。さらに、この期間t0~t1では、第3の走査信号SEL3によって導通制御されるトランジスタT7、T9がオフであるから、駆動素子であるトランジスタT6、T8のダイオード接続は形成されない。それとともに、第4の走査信号SEL4もLレベルで、トランジスタT4がオフであるから、ノードNaと有機EL素子OLEDとは電氣的に分離されている。このような状態で、データ線Xに階調データIdataが供給されると、Vdd端子からデータ線Xに向かって、トランジスタT3のチャンネルを介した電流経路が形成される。その結果、ダイオード接続されたトランジスタT3のゲートには、自己のチャンネルを流れる階調データIdataに応じた電圧が発生し、このゲート電圧に応じた電荷がキャパシタC1に蓄積される。

40

【0055】

つぎに、駆動期間t2~t3では、駆動電流Ioledと補正電流Iamdとを合成した合成電流Ioled'が有機EL素子OLEDを流れて、有機EL素子OLEDの輝度が設定される。この期

50

間 $t_2 \sim t_3$ における動作については、第 3 の実施形態と同様であるからここでの説明を省略する。

【0056】

本実施形態によれば、第 3 の実施形態と同様の効果を有する他、階調データ I_{data} と補正データ I_{com} とを時分割でデータ線 X に供給することで、サブデータ線 $X'1 \sim X'm$ が不要になるという効果もある。

【0057】

(第 5 の実施形態)

上述した各実施形態では、1つの画素回路毎に補正回路 20 を組み込んだ構成例について説明したが、補正回路 20 を複数の画素毎に共通化してもよい。図 17 は、一例として、電圧プログラム方式において補正回路 20 を共通化した画素回路図である。この回路構成上の特徴は、第 1 に、図 7 に示した画素回路から補正回路 20 を切り離し、その代わりに、データ線 X の延在方向に並んだ複数の画素で共通化して補正回路 20 を設けている点である。第 2 に、それぞれの画素回路と補正回路 20 との間にトランジスタ T_{12} を介在させ、これを走査信号 $SELi$, $SELi+1$, $\dots$ で個別に導通制御している点である ($1 \leq i \leq n$)。そして、補正回路 20 に入力する補正データ V_{com1} , V_{com2} を線順次走査と同期して制御して、それぞれの画素回路に対して補正電圧 V_{amd} を個別に供給する。なお、それ以外の点に関しては、図 7 の構成と同様であるから、同一の符号を付してここでの説明を省略する。

10

【0058】

本実施形態によれば、上述した各実施形態と同様の効果が得られる他、表示パネル全体における補正回路 20 の個数を減らせるので、その占有面積の縮小を図ることができる。

20

【0059】

なお、本実施形態では、電圧プログラム方式への適用例を示したが、電流プログラム方式についても同様に適用可能であることは当然である。

【0060】

(第 6 の実施形態)

有機 EL 素子 OLED を備える表示パネルは、輝度が低いときの階調表示を行う場合には有機 EL 素子 OLED に供給する電流を細かく制御する必要があり、輝度が高いときの階調表示を行う場合には有機 EL 素子 OLED に供給する電流を大きく制御する必要がある。このため、有機 EL 素子 OLED を制御するトランジスタ T_2 として、高輝度時の階調制御に適したゲート幅の大きなものを用いると、低輝度時の階調制御の制御性が悪化してしまう。本実施形態では、高輝度時の階調制御と低輝度時の階調制御との制御性を向上させるものである。

30

【0061】

図 19 は、本発明の第 6 の実施形態にかかる画素回路の一部を示す回路図である。図 19 に示す通り、本実施形態の画素回路は、図 19 に示す通り、トランジスタ T_1 , T_2 及びキャパシタ C_1 からなる回路に対し、トランジスタ T_{21} , T_{22} 及びキャパシタ C_{21} からなる回路を並列に接続し、各々の回路により有機 EL 素子 OLED を駆動する構成である。つまり、図 7 に示す構成に対して、トランジスタ T_{21} , T_{22} 及びキャパシタ C_{21} からなる回路を追加した構成である。尚、本実施形態においても図 7 中の補正回路に相当する回路が設けられている。

40

【0062】

本実施形態において、トランジスタ T_2 はゲート幅が大きく設計されて大電流駆動に適したものであり、トランジスタ T_{22} はゲート長が大きく設計されて微少電流の制御性を高めたものである。トランジスタ T_2 が設けられた回路が接続されるデータ線 X_{11} には電圧レベルの階調データ V_{data} の上位ビット V_{data1} が入力され、トランジスタ T_{22} が設けられた回路が接続されるデータ線 X_{12} には電圧レベルの階調データ V_{data} の下位ビット V_{data2} が入力される。例えば、階調データ V_{data} が 6 ビットである場合には、データ線 X_{11} には上位 3 ビットが入力され、データ線 X_{12} には下位 3 ビットが入力される。

50

【0063】

以上の構成とすることで、階調データVdataの上位3ビットに基づいてトランジスタT2が駆動されて電流Ioled1が有機EL素子OLEDが流れ、階調データVdataの下位3ビットに基づいてトランジスタT22が駆動されて電流Ioled2が有機EL素子OLEDが流れる。これにより、輝度が高いときには有機EL素子OLEDに供給する電流を大きく制御することができるとともに、輝度が低いときには有機EL素子OLEDに供給する電流を細かく制御することができるため、高輝度時の階調制御と低輝度時の階調制御との制御性を向上させることができる。尚、本実施形態は、図7に示す第1実施形態のみならず、前述した第2実施形態～第5実施形態の何れの実施形態にも適用することができる。

【0064】

10

また、上述した各実施形態では、電気光学素子として有機EL素子OLEDを用いた例について説明した。しかしながら、本発明はこれに限定されるものではなく、駆動電流に応じて輝度が設定される電気光学素子（無機LED表示装置、フィールド・エミッション表示装置等）、或いは、駆動電流に応じた透過率・反射率を呈する電気光学装置（エレクトロクロミック表示装置、電気泳動表示装置等）に対しても広く適用可能である。

【0065】

さらに、上述した各実施形態にかかる電気光学装置は、例えば、テレビ、プロジェクタ、携帯電話、携帯端末、モバイル型コンピュータ、パーソナルコンピュータ等を含む様々な電子機器に実装可能である。図18は、一例として、上述した各実施形態にかかる電気光学装置を実装した携帯電話10の外観斜視図である。この携帯電話10は、複数の操作ボタン11のほか、受話口12、送話口13とともに、上述した表示部1を備えている。これらの電子機器に上述した電気光学装置を実装すれば、電子機器の商品価値を一層高めることができ、市場における電子機器の商品訴求力の向上を図ることができる。

20

【図面の簡単な説明】

【0066】

【図1】電気光学装置のブロック構成図である。

【図2】周囲温度Taと周囲温度変動ΔDtaとの関係を示す特性図である。

【図3】発熱温度Tlと自己発熱温度変動ΔDtlとの関係を示す特性図である。

【図4】周囲照度Lxと周囲照度変動ΔDlxとの関係を示す特性図である。

【図5】劣化度合dと劣化変動ΔDdとの関係を示す特性図である。

30

【図6】ムラ度合muraと表示ムラΔDmuraとの関係を示す特性図である。

【図7】第1の実施形態にかかる画素回路図である。

【図8】第1の実施形態にかかる動作タイミングチャートである。

【図9】第1の実施形態にかかる動作説明図である。

【図10】第2の実施形態にかかる画素回路図である。

【図11】第2の実施形態にかかる動作タイミングチャートである。

【図12】第3の実施形態にかかる画素回路図である。

【図13】第3の実施形態にかかる動作タイミングチャートである。

【図14】第3実施形態にかかる動作説明図である。

【図15】第4の実施形態にかかる画素回路図である。

40

【図16】第4の実施形態にかかる動作タイミングチャートである。

【図17】第5の実施形態にかかる画素回路図である。

【図18】電気光学装置を実装した携帯電話の外観斜視図である。

【図19】第6の実施形態にかかる画素回路の一部を示す回路図である。

【符号の説明】

【0067】

1 ... 表示部

2 ... 画素

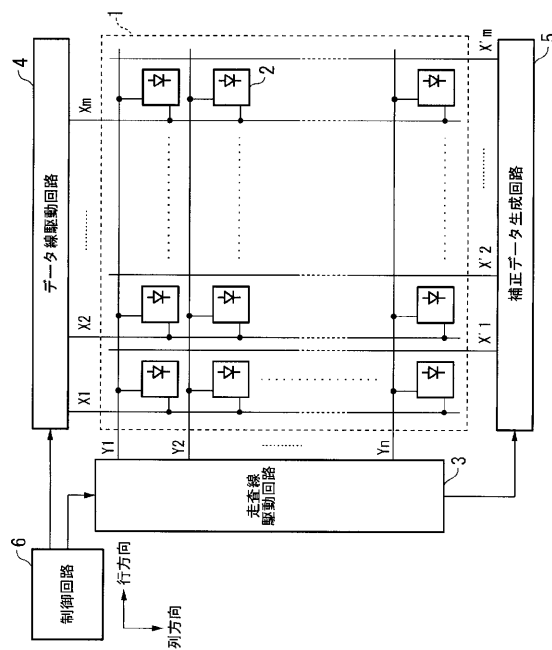
3 ... 走査線駆動回路

4 ... データ線駆動回路

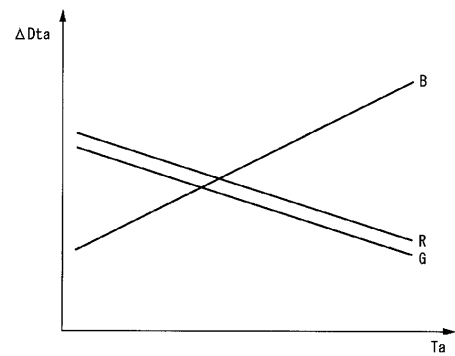
50

5 ... 補正データ生成回路
 6 ... 制御回路
 20 ... 補正回路
 T1 ~ T12 ... トランジスタ
 C1 ~ C3 ... キャパシタ
 O L E D ... 有機 E L 素子

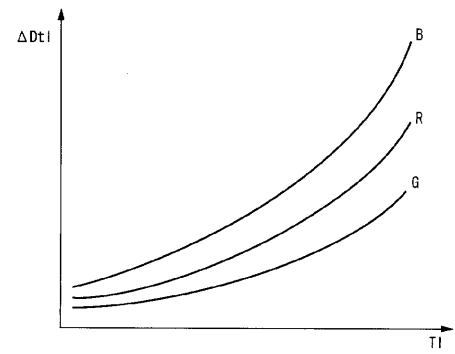
【図 1】



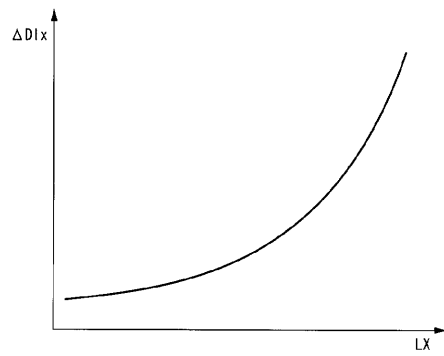
【図 2】



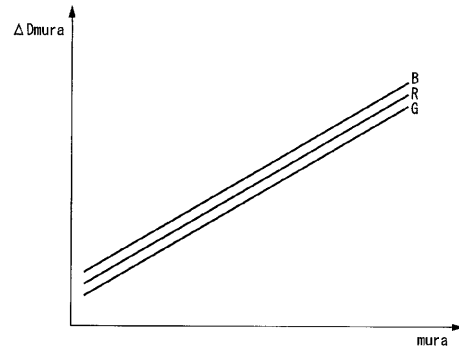
【図 3】



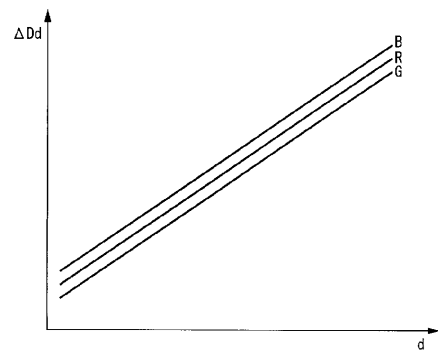
【図 4】



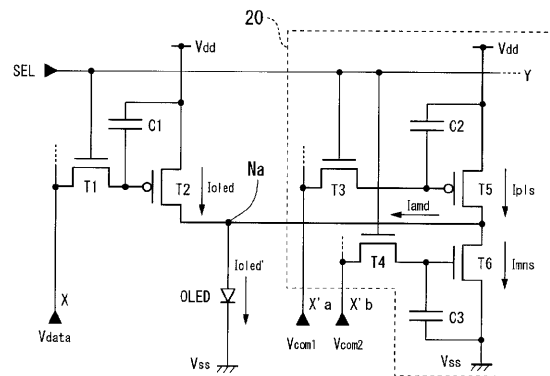
【図 6】



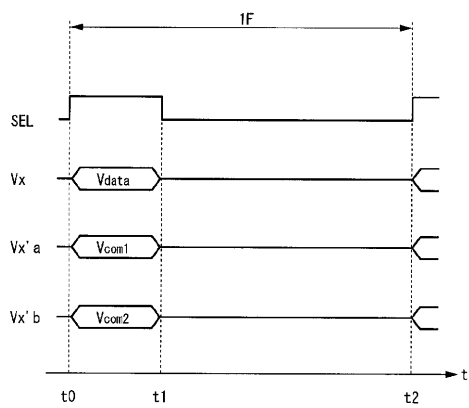
【図 5】



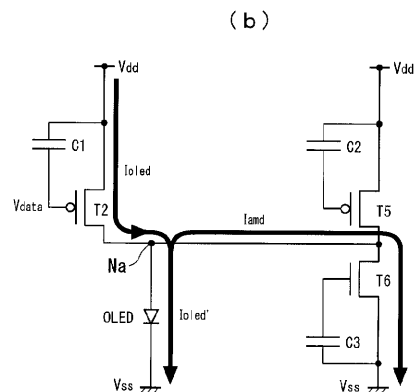
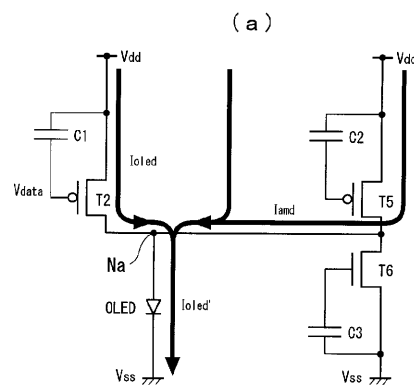
【図 7】



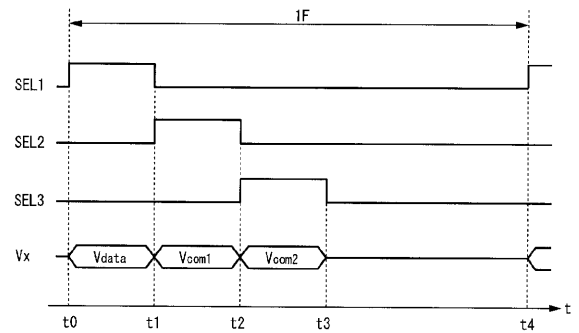
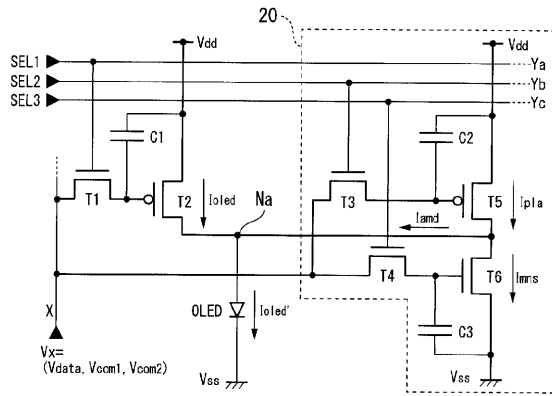
【図 8】



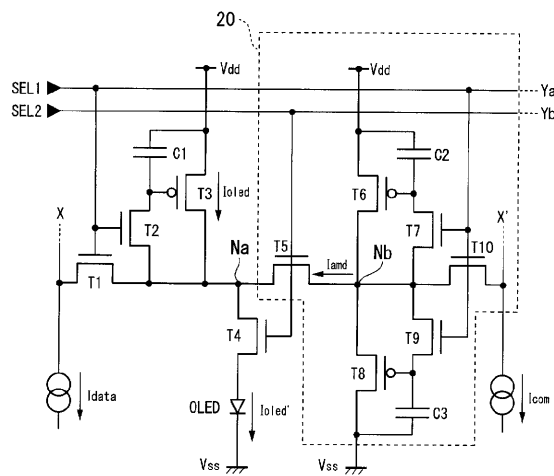
【図 9】



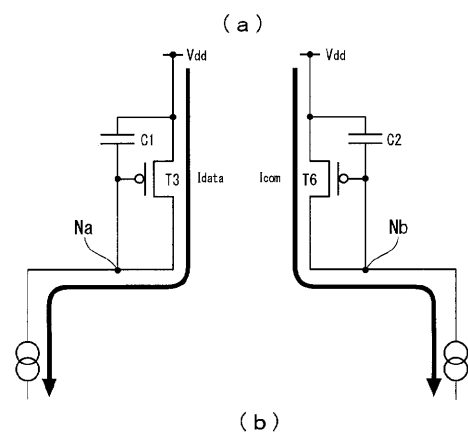
【 図 1 1 】



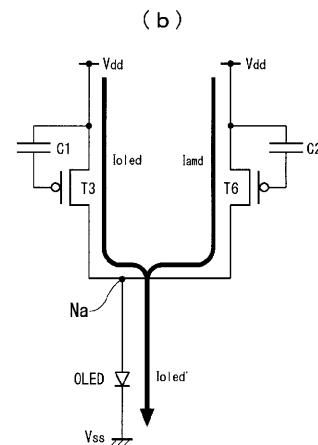
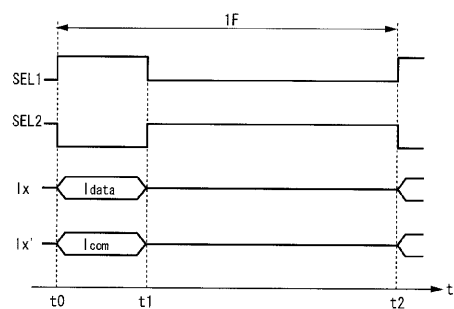
【 図 1 2 】



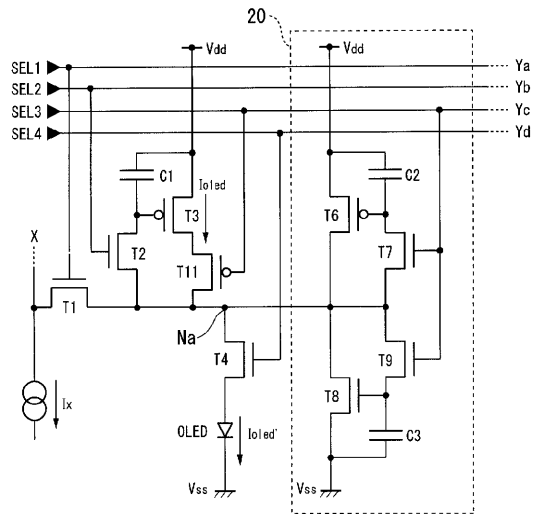
【 図 1 4 】



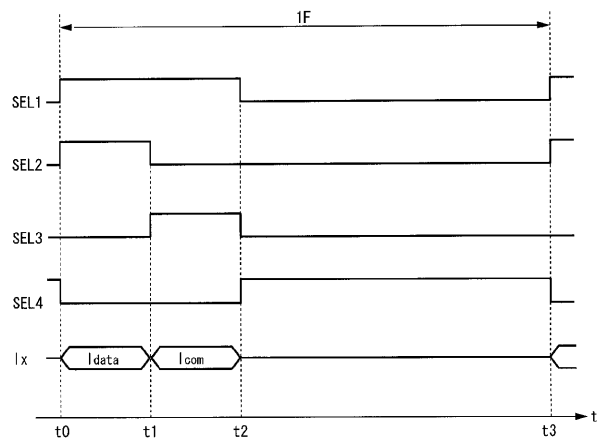
【 図 1 3 】



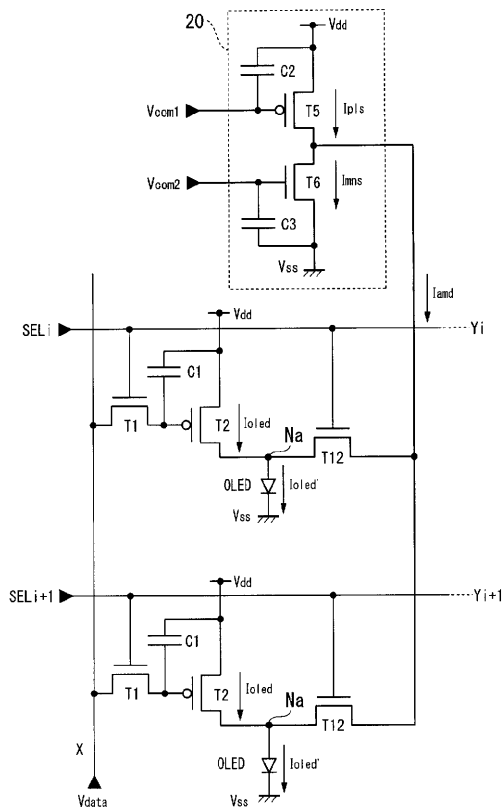
【図 15】



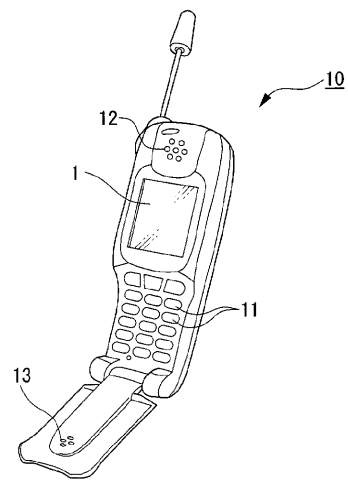
【図 16】



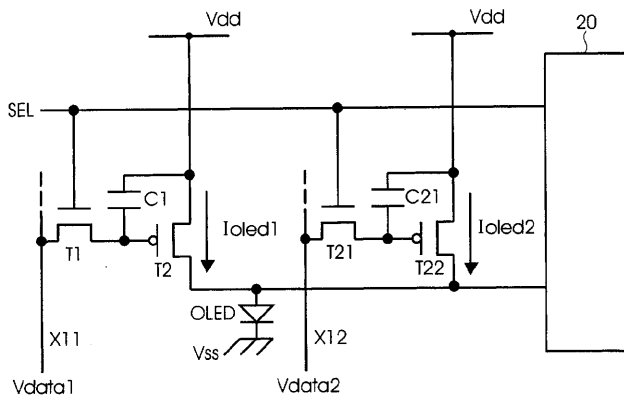
【図 17】



【図 18】



【図 19】



フロントページの続き

(51) Int.Cl. ⁷	F I	テーマコード (参考)
	G 0 9 G 3/20 6 4 1 D	
	G 0 9 G 3/20 6 4 2 C	
	G 0 9 G 3/20 6 4 2 E	
	H 0 5 B 33/14 A	

(72)発明者 河西 利幸

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 野澤 武史

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

F ターム(参考) 3K007 AB02 AB05 AB17 AB18 BA06 DB03 GA00 GA04
5C080 AA06 BB05 CC03 DD04 DD05 DD20 DD29 EE28 EE29 FF11
GG11 GG12 HH09 JJ02 JJ03 JJ04 JJ05 JJ06 KK07

专利名称(译)	用于驱动像素电路的方法，像素电路，电光装置和电子设备		
公开(公告)号	JP2005309422A	公开(公告)日	2005-11-04
申请号	JP2005088712	申请日	2005-03-25
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	城宏明 堀内浩 河西利幸 野澤武史		
发明人	城 宏明 堀内 浩 河西 利幸 野澤 武史		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 H05B33/14		
CPC分类号	G09G3/3225 G09G3/325 G09G2300/0819 G09G2300/0861 G09G2310/0251 G09G2310/0262		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.611.A G09G3/20.624.B G09G3/20.641.C G09G3/20.641.D G09G3/20.642.C G09G3/20.642.E H05B33/14.A G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K007/AB02 3K007/AB05 3K007/AB17 3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD04 5C080/DD05 5C080/DD20 5C080/DD29 5C080/EE28 5C080/EE29 5C080/FF11 5C080/GG11 5C080/GG12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK07 3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE04 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB34 5C380/AB45 5C380/AC07 5C380/AC08 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BA11 5C380/BA43 5C380/BA46 5C380/BB04 5C380/BB22 5C380/BB23 5C380/BD04 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA13 5C380/CA17 5C380/CA32 5C380/CA48 5C380/CB01 5C380/CB14 5C380/CC03 5C380/CC09 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC45 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CD013 5C380/CD024 5C380/CD036 5C380/CD039 5C380/CF07 5C380/CF09 5C380/CF13 5C380/CF48 5C380/CF67 5C380/CF68 5C380/DA10 5C380/DA32 5C380/DA34 5C380/DA35 5C380/DA38 5C380/EA02 5C380/FA04 5C380/FA05 5C380/FA06 5C380/FA07 5C380/FA09 5C380/FA19 5C380/FA21 5C380/FA28		
代理人(译)	正和青山		
优先权	2004092002 2004-03-26 JP		
外部链接	Espacenet		

摘要(译)

在不增加灰度数据分辨率的情况下实现灰度校正。从数据线X提供的灰度数据Vdata被写入电容器C1中。晶体管T2根据电容器C1中保持的数据产生驱动电流Ioled。包括电容器C2，C3和晶体管T5，T6的校正电路20产生校正电流Iamd。根据通过组合驱动电流Ioled和校正电流Iamd而获得的组合电流Ioled+Iamd来设置有机EL元件OLED的亮度。校正电流Iamd是两个校正电流Ipls和Imns的组合。前者校正电流Ipls由来自数据线X的校正数据Vcom1唯一地指定。后者的校正电流Imns由来自数据线X的校正数据Vcom2唯一地确定。[选择图]图7

