

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-341359

(P2004-341359A)

(43) 公開日 平成16年12月2日(2004.12.2)

(51) Int.Cl.⁷

G09G 3/30

G09F 9/30

G09G 3/20

H05B 33/14

F I

G09G 3/30

J

G09G 3/30

K

G09F 9/30

338

G09F 9/30

365Z

G09G 3/20

622A

テーマコード(参考)

3K007

5C080

5C094

審査請求 未請求 請求項の数 15 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2003-139478 (P2003-139478)

(22) 出願日 平成15年5月16日(2003.5.16)

(71) 出願人 599142729

奇美電子股▲ふん▼有限公司

台湾台南県台南科学工業園区新市郷奇業路
1号

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田鳥羽殿町6番地

(74) 代理人 100089118

弁理士 酒井 宏明

(72) 発明者 小野 晋也

神奈川県大和市下鶴間1623番地14

インターナショナル ディスプレイ テク

ノロジー株式会社 大和事業所内

最終頁に続く

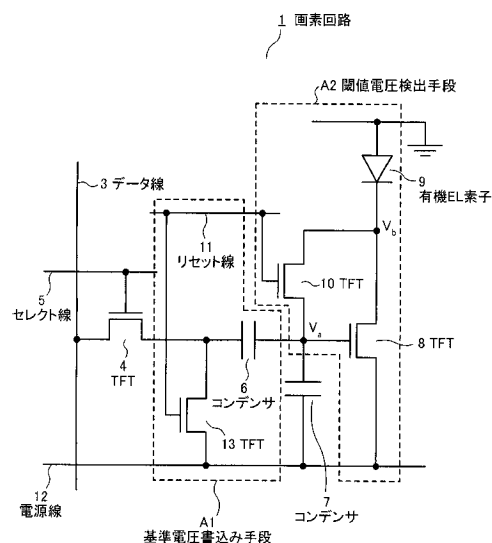
(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】リフレッシュレートの低減を抑制し、画質の劣化を抑制した画像表示装置を実現すること。

【解決手段】本発明にかかる画像表示装置は、データ線3と、第1のスイッチング手段であるTFT4と、ドライバ素子であるTFT8と、有機EL素子9と、基準電圧書き込み手段A1と、閾値電圧検出手段A2とを備える。また、コンデンサ6と、コンデンサ7とを備える。本発明にかかる画像表示装置は、閾値電圧検出工程において、基準電圧書き込み手段A1と閾値電圧検出手段A2が動作することによってTFT8の閾値電圧を検出し、ドライバ素子であるTFT8の閾値電圧の変動を補償する。さらに、基準電圧書き込み手段A1を別個に備えるため、データ書き込みまでの時間を短縮化することができる。リフレッシュレートの最適値を保持することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

流れる電流に対応した輝度で発光する電流発光素子と、薄膜トランジスタを備え、前記電流発光素子に流れる電流を制御するドライバー素子と、発光輝度に基づいて規定される電圧を供給するデータ線と、前記データ線から供給される電圧の書き込みを制御する第 1 のスイッチング手段と、第 1 の電極が前記ドライバー素子のゲート電極と電氣的に接続し前記ドライバー素子のゲート電圧を保持する第 1 のコンデンサと、を有する表示画素がマトリックス状に配置された画像表示装置において、
前記データ線と別に設けられ、前記第 1 のコンデンサの第 2 の電極に所定の基準電圧を供給する供給源と、前記供給源と前記第 1 のコンデンサの第 2 の電極との電氣的な導通を制御する第 2 のスイッチング手段と、を有する基準電圧書き込み手段と、
前記ドライバー素子のゲート電極とドレイン電極との間の電氣的な導通を制御する第 3 のスイッチング手段と、前記ドライバー素子のドレイン電極に電荷を供給する容量と、を有し、前記ドライバー素子の閾値電圧を検出する閾値電圧検出手段と、
を備えたことを特徴とする画像表示装置。

【請求項 2】

前記閾値電圧検出手段は、前記第 1 のコンデンサの第 2 の電極に前記基準電圧が供給される間に、前記第 3 のスイッチング手段をオン状態とし、前記容量に蓄積された電荷に起因して発生したゲート・ソース間電圧に基づいて前記ドライバー素子をオン状態とした後、前記ドライバー素子のドレイン・ソース間に流れる電流に起因した前記容量の電荷の減少によってゲート・ソース間電圧が閾値電圧まで低下して前記ドライバー素子がオフ状態になることによって、前記ドライバー素子の閾値電圧を検出することを特徴とする請求項 1 に記載の画像表示装置。

【請求項 3】

前記データ線は、前記閾値電圧検出手段による閾値電圧検出後に、発光輝度に基づいて決定される電圧を前記第 1 のコンデンサに対して供給することを特徴とする請求項 1 または 2 に記載の画像表示装置。

【請求項 4】

前記第 1 のコンデンサの第 1 の電極と前記ドライバー素子のゲート電極とに電氣的に接続する電極を有する第 2 のコンデンサを備えたことを特徴とする請求項 1 ~ 3 のいずれか一つに記載の画像表示装置。

【請求項 5】

前記供給源は、前記電流発光素子の電流供給源および前記容量の電荷供給源としての機能を併有することを特徴とする請求項 1 ~ 4 のいずれか一つに記載の画像表示装置。

【請求項 6】

前記電流発光素子および前記容量は、単一の有機エレクトロルミネッセンス素子によって形成されることを特徴とする請求項 1 ~ 5 のいずれか一つに記載の画像表示装置。

【請求項 7】

前記第 2 のスイッチング手段と前記第 3 のスイッチング手段との駆動状態を制御する第 1 の走査線をさらに備えたことを特徴とする請求項 1 ~ 6 のいずれか一つに記載の画像表示装置。

【請求項 8】

流れる電流に対応した輝度で発光する電流発光素子と、薄膜トランジスタを備え、前記電流発光素子に流れる電流を制御するドライバー素子と、前記薄膜トランジスタのゲート・ソース間電圧を保持する第 1 のコンデンサと、を有する表示画素がマトリックス状に配置された構造を有し、第 n 段目 (n : 自然数) の表示画素の前記電流発光素子と、 m 段目 (m : n と異なる自然数) の表示画素の前記電流発光素子とが交互に発光することによって画像表示を行うインターレース方式の画像表示装置において、
前記表示画素は、
発光輝度に基づいて決定されるデータ電圧と所定の基準電圧とを交互に供給するデータ線

と、該データ線と前記第 1 のコンデンサとの間の電氣的な導通を制御する第 1 のスイッチング手段と、を有し、前記第 1 のコンデンサに基準電圧を書き込む基準電圧書き込み手段と、

前記ドライバー素子のゲート電極とドレイン電極との間の電氣的な導通を制御する第 2 のスイッチング手段と、前記電流発光素子によって形成され、蓄積された電荷を前記ドライバー素子のドレイン電極に供給する容量と、を有し、前記ドライバー素子の閾値電圧を検出する閾値電圧検出手段と、

を備えたことを特徴とする画像表示装置。

【請求項 9】

前記閾値電圧検出手段は、発光を行う表示画素の前記基準電圧書き込み手段が、前記第 1 のコンデンサに対して前記データ線から前記基準電圧が供給される際に前記容量に蓄積された電荷に起因して発生したゲート・ソース間電圧に基づいて前記ドライバー素子をオン状態とした後、前記ドライバー素子のドレイン・ソース間に流れる電流に起因した前記容量の電荷の減少によってゲート・ソース間電圧が閾値電圧まで低下して前記ドライバー素子がオフ状態になることによって、前記ドライバー素子の閾値電圧を検出することを特徴とする請求項 8 に記載の画像表示装置。

10

【請求項 10】

前記第 1 のコンデンサと前記ドライバー素子との間に配置された第 2 のコンデンサをさらに備えることを特徴とする請求項 8 または 9 に記載の画像表示装置。

【請求項 11】

20

発光時に前記電流発光素子に順方向の電圧を印加して電流を供給するとともに、前記電流発光素子に逆方向の電圧を印加して電荷を直積させる電源線をさらに備えることを特徴とする請求項 8 ~ 10 のいずれか一つに記載の画像表示装置。

【請求項 12】

前記電源線は、前記第 n 段目の表示画素の前記電流発光素子および前記第 m 段目の表示画素の前記電流発光素子に対して電氣的に接続され、前記第 n 段目の前記電流発光素子および前記第 m 段目の前記電流発光素子に対して同時に同方向の電圧を供給することを特徴とする請求項 8 ~ 11 のいずれか一つに記載の画像表示装置。

【請求項 13】

前記第 1 のスイッチング手段の駆動状態を制御する第 1 の走査線と、前記第 2 のスイッチング手段の駆動状態を制御する第 2 の走査線を備えることを特徴とする請求項 8 ~ 12 のいずれか一つに記載の画像表示装置。

30

【請求項 14】

前記第 n 段目の前記第 1 のスイッチング手段と前記第 m 段目の前記第 2 のスイッチング手段との駆動状態を制御する第 3 の走査線を備えることを特徴とする請求項 8 ~ 12 のいずれか一つに記載の画像表示装置。

【請求項 15】

前記電源線は、前記第 n 段目の表示画素の前記電流発光素子および前記第 m 段目の表示画素の前記電流発光素子に対して電氣的に接続され、前記第 n 段目および前記第 m 段目の前記電流発光素子に対して、一方に順方向の電圧を供給して発光させる際に、他方に逆方向の電圧を供給して電荷を蓄積させることを特徴とする請求項 8 ~ 11 のいずれか一つに記載の画像表示装置。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電流発光素子の輝度を制御したアクティブマトリックス型の表示装置に関し、特に、リフレッシュレートの低下を抑制し、高品位の画像表示を行う画像表示装置に関するものである。

【0002】

【従来の技術】

50

自ら発光する有機エレクトロルミネッセンス（ＥＬ）素子を用いた有機ＥＬ表示装置は、液晶表示装置で必要なバックライトが不要で装置の薄型化に最適であるとともに、視野角にも制限がないため、次世代の画像表示装置として実用化が期待されている。また、有機ＥＬ表示装置に用いられる有機ＥＬ素子は、各発光素子の輝度が流れる電流値により制御される点で、液晶セルが電圧により制御される液晶表示装置等とは異なる。

【０００３】

有機ＥＬ表示装置においては、駆動方式として単純（パッシブ）マトリックス型とアクティブマトリックス型とを採ることができる。前者は構造が単純であるものの大型かつ高精細のディスプレイの実現が困難であるとの問題がある。このため、近年、画素内部の発光素子に流れる電流を、画素内に設けた薄膜トランジスタ（Thin Film Transistor: TFT）などの駆動素子を有するドライバー素子によって制御する、アクティブマトリックス型の画像表示装置の開発が盛んに行われている。

【０００４】

このドライバー素子は有機ＥＬ素子に直接接続されており、画像表示を行う際にオン状態となり電流を流すことによって有機ＥＬ素子に電流を供給し有機ＥＬ素子を発光させる。このため、画像表示装置を長期に渡って使用しドライバー素子に備わるTFTの閾値電圧が変動した場合には、画素内部に供給される電圧が同一であってもドライバー素子に流れる電流は変動し有機ＥＬ素子に流れる電流も変動する。したがって、有機ＥＬ素子の発光輝度が不均一となり表示画像の品位が低下することとなり、妥当ではない。

【０００５】

このため、ドライバー素子の閾値電圧の変動を補償する補償回路を備えた画像表示装置が必要とされる。図１６は、従来の補償回路を備えた画像表示装置における画素回路を示す図である。図１６に示すように、従来の画像表示装置は、発光輝度に応じたデータ電圧と０電圧とを供給するデータ線３１０と、セレクト線３２０と、リセット線３３０と、マージ線３４０と、電源線 V_{DD} とを備える。さらに、TFT３６０と、TFT３６５と、TFT３７０と、TFT３７５と、コンデンサ３５０と、コンデンサ３５５と、有機ＥＬ素子３８０とを備える。TFT３６５はドライバー素子として機能し、TFT３６５のゲート電極には、コンデンサ３５０とコンデンサ３５５が接続されている。コンデンサ３５０とコンデンサ３５５に保持されるデータ電圧のうち所定の電圧がドライバー素子であるTFT３６５のゲート・ソース間電圧となり、このゲート・ソース間電圧に対応する電流がTFT３６５に流れる。

【０００６】

つぎに、有機ＥＬ素子３８０が発光するまでの画素回路の動作方法を説明する。図１７は、従来技術における画素回路の動作方法の工程を示す図である。図１７に示すように従来技術における画素回路では、０電圧印加工程と閾値電圧検出工程とを経て、データ電圧を書き込んだ後に発光工程において有機ＥＬ素子３８０が発光する。なお、図１７において、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。

【０００７】

図１７（ａ）は、０電圧印加工程を示す図である。データ線３１０に印加される電圧はデータ電圧から０電圧に変更される。データ線３１０への印加電圧を制御するデータドライバーがデータ線３１０の印加電圧を変更した際、データドライバーから離れた画素回路ではデータ線３１０の印加電圧が安定するまでにある程度の時間を要するため、本工程が必要となる。データ線３１０の印加電圧が０電圧に安定した後、セレクト線３２０を低レベルとしTFT３６０をオン状態とすることによってコンデンサ３５０に０電圧を供給する。

【０００８】

そして、ドライバー素子であるTFT３６５の閾値電圧を検出する工程に進む。図１７（ｂ）は、閾値電圧検出工程を示す図である。図１７（ｂ）に示すように、リセット線３３０を低レベルとしTFT３７０をオン状態とすることによって、TFT３６５のゲート・ドレイン間が導通する。また、TFT３６０はオン状態となり、０電圧が印加されるデー

タ線 310 からコンデンサ 350 に 0 電圧が供給される。そして、マージ線 340 が低レベルとなることでトランジスタ 375 がオン状態となり、TFT 365 に電流が流れる。TFT 365 のゲート・ドレイン間電圧が閾値電圧になると TFT 365 はオフ状態となり、閾値電圧の検出が終了する。閾値電圧検出工程の期間、データ線 310 には 0 電圧が印加されることとなる。

【0009】

そして、図 17 (c) に示すデータ書き込み工程に進む。この場合、データ線 310 に印加される電圧はデータ電圧に変更される。データ線 310 の印加電圧がデータ電圧に安定した後、セレクト線 320 が低レベルとなり TFT 360 がオン状態になることによって、データ線 310 からコンデンサ 350 にデータ電圧が供給される。その後、TFT 360 がオフ状態となりデータ書き込み工程は終了し、図 17 (d) に示す発光工程に進む。図 17 (d) に示すように、マージ線 340 を低レベルとし TFT 375 をオン状態とすることによって、TFT 365 にゲート・ソース間電圧に対応する電流が流れ、有機 EL 素子 380 が発光する。ここで、TFT 365 のゲート・ソース間電圧は閾値電圧検出工程において検出された閾値電圧を含むため、TFT 365 に閾値電圧の変動が発生した場合であっても、TFT 365 の劣化に関わらず所望の電流を有機 EL 素子 380 に流すことが可能となる (特許文献 1 参照)。

【0010】

【特許文献 1】

米国特許 6,229,506 号明細書 (第 3 図)

【0011】

【発明が解決しようとする課題】

しかしながら、図 16 に示す画素回路は、1 画面を表示するために必要な時間が長くなり、1 秒間に画面を表示する回数であるリフレッシュレートが低下するという問題が生じる。リフレッシュレートの低下は、データ線 310 がデータ電圧と 0 電圧とを供給することに起因する。

【0012】

閾値電圧を安定に検出するためにはコンデンサ 350 に 0 電圧が供給されている状態であることを要する。上述したように、データドライバーによってデータ線 310 の印加電圧がデータ電圧から 0 電圧に変化された後に、データ線 310 からコンデンサ 350 に 0 電圧が供給される。しかし、データ線 310 の印加電圧がデータ電圧から 0 電圧に安定するには、ある程度の時間が必要となる。このため、従来では 0 電圧印加工程を必要としていた。また、ゲート線 310 の印加電圧が 0 電圧からデータ電圧に安定するまでにも、ある程度の時間を必要とするため、データ書き込み工程の開始にも時間がかかっていた。

【0013】

また、データドライバーから離れた画素回路では、データドライバーに近い画素回路と比較し、データ線 310 に印加される電圧が変更された場合、かかる電圧が安定するまでにさらに時間が必要である。また、データ線 310 に信号遅延が発生した場合には、データ線 310 からの電圧の供給にさらに時間がかかることとなる。

【0014】

従来技術にかかる画像表示装置では、閾値電圧検出工程とデータ書き込み工程とを開始するためにはデータ線 310 の印加電圧が安定する期間を考慮する必要がある。このため、データ書き込み工程が終了するまでに長時間を必要とし発光時間を確保することができず、リフレッシュレートを低下せざるを得ない。特に、高精細の画像表示装置ではデータ書き込み工程が終了するまでの時間を短縮することが必要であるため、従来技術にかかる画像表示装置では高精細化が困難であった。一方、リフレッシュレートの最適値を保持するためには、閾値電圧検出工程を短縮せざるを得ず、ドライバー素子の閾値電圧の変動を十分に補償できず、画質表示の均一性を保持することが困難であった。

【0015】

この発明は、上記従来技術の問題点に鑑みてなされたものであって、リフレッシュレート

を低下させることなく、高品位の画質表示を行う画像表示装置を得ることを目的とするものである。

【0016】

【発明が解決しようとする手段】

上述した課題を解決し、目的を達成するために、請求項1にかかる画像表示装置は、流れる電流に対応した輝度で発光する電流発光素子と、薄膜トランジスタを備え、前記電流発光素子に流れる電流を制御するドライバー素子と、発光輝度に基づいて規定される電圧を供給するデータ線と、前記データ線から供給される電圧の書き込みを制御する第1のスイッチング手段と、第1の電極が前記ドライバー素子のゲート電極と電氣的に接続し前記ドライバー素子のゲート電圧を保持する第1のコンデンサと、を有する表示画素がマトリックス状に配置された画像表示装置において、前記データ線と別に設けられ、前記第1のコンデンサの第2の電極に所定の基準電圧を供給する供給源と、前記供給源と前記第1のコンデンサの第2の電極との電氣的な導通を制御する第2のスイッチング手段と、を有する基準電圧書き込み手段と、前記ドライバー素子のゲート電極とドレイン電極との間の電氣的な導通を制御する第3のスイッチング手段と、前記ドライバー素子のドレイン電極に電荷を供給する容量と、を有し、前記ドライバー素子の閾値電圧を検出する閾値電圧検出手段と、を備えたことを特徴とする。

【0017】

請求項1にかかる画像表示装置によれば、データ線と別個に基準電圧の供給源を備えるため、データ線の印加電圧を変更することを要しない。このため、データ線に印加される電圧が安定する時間を考慮する必要がなく、データ書き込み工程が終了するまでの時間を短縮化することができ、リフレッシュレートの低下を抑制することが可能となる。さらに、ドライバー素子の閾値電圧の変動も補償することができるため、発光輝度が均一である高品位の画像表示装置を提供することができる。

【0018】

請求項2にかかる画像表示装置は、上記の発明において、前記第1のコンデンサの第2の電極に前記基準電圧が供給される間に、前記第3のスイッチング手段をオン状態とし、前記容量に蓄積された電荷に起因して発生したゲート・ソース間電圧に基づいて前記ドライバー素子をオン状態とした後、前記ドライバー素子のドレイン・ソース間に流れる電流に起因した前記容量の電荷の減少によってゲート・ソース間電圧が閾値電圧まで低下して前記ドライバー素子がオフ状態になることによって、前記ドライバー素子の閾値電圧を検出することを特徴とする。

【0019】

請求項3にかかる画像表示装置は、上記の発明において、前記データ線は、前記閾値電圧検出手段による閾値電圧検出後に、発光輝度に基づいて決定される電圧を前記第1のコンデンサに対して供給することを特徴とする。

【0020】

請求項4にかかる画像表示装置は、上記の発明において、前記第1のコンデンサの第1の電極と前記ドライバー素子のゲート電極とに電氣的に接続する電極を有する第2のコンデンサを備えたことを特徴とする。

【0021】

請求項5にかかる画像表示装置は、上記の発明において、前記供給源は、前記電流発光素子の電流供給源および前記容量の電荷供給源としての機能を併有することを特徴とする。

【0022】

請求項6にかかる画像表示装置は、上記の発明において、前記電流発光素子および前記容量は、単一の有機エレクトロルミネッセンス素子によって形成されることを特徴とする。

【0023】

請求項7にかかる画像表示装置は、上記の発明において、前記第2のスイッチング手段と前記第3のスイッチング手段との駆動状態を制御する第1の走査線をさらに備えたことを特徴とする。

10

20

30

40

50

【 0 0 2 4 】

請求項 8 にかかる画像表示装置は、流れる電流に対応した輝度で発光する電流発光素子と、薄膜トランジスタを備え、前記電流発光素子に流れる電流を制御するドライバー素子と、前記薄膜トランジスタのゲート・ソース間電圧を保持する第 1 のコンデンサと、を有する表示画素がマトリックス状に配置された構造を有し、第 n 段目 (n : 自然数) の表示画素の前記電流発光素子と、 m 段目 (m : n と異なる自然数) の表示画素の前記電流発光素子とが交互に発光することによって画像表示を行うインターレース方式の画像表示装置において、前記表示画素は、発光輝度に基づいて決定されるデータ電圧と所定の基準電圧とを交互に供給するデータ線と、該データ線と前記第 1 のコンデンサとの間の電気的な導通を制御する第 1 のスイッチング手段と、を有し、前記第 1 のコンデンサに基準電圧を書き込む基準電圧書き込み手段と、前記ドライバー素子のゲート電極とドレイン電極との間の電気的な導通を制御する第 2 のスイッチング手段と、前記電流発光素子によって形成され、蓄積された電荷を前記ドライバー素子のドレイン電極に供給する容量と、を有し、前記ドライバー素子の閾値電圧を検出する閾値電圧検出手段と、を備えたことを特徴とする。

10

【 0 0 2 5 】

請求項 9 にかかる画像表示装置は、上記の発明において、前記閾値電圧検出手段は、発光を行う表示画素の前記基準電圧書き込み手段が、前記第 1 のコンデンサに対して前記データ線から前記基準電圧が供給される際に前記容量に蓄積された電荷に起因して発生したゲート・ソース間電圧に基づいて前記ドライバー素子をオン状態とした後、前記ドライバー素子のドレイン・ソース間に流れる電流に起因した前記容量の電荷の減少によってゲート・ソース間電圧が閾値電圧まで低下して前記ドライバー素子がオフ状態になることによって、前記ドライバー素子の閾値電圧を検出することを特徴とする。

20

【 0 0 2 6 】

請求項 10 にかかる画像表示装置は、上記の発明において、前記第 1 のコンデンサと前記ドライバー素子との間に配置された第 2 のコンデンサをさらに備えることを特徴とする。

【 0 0 2 7 】

請求項 11 にかかる画像表示装置は、上記の発明において、発光時に前記電流発光素子に順方向の電圧を印加して電流を供給するとともに、前記電流発光素子に逆方向の電圧を印加して電荷を蓄積させる電源線をさらに備えることを特徴とする。

【 0 0 2 8 】

請求項 12 にかかる画像表示装置は、上記の発明において、前記電源線は、前記第 n 段目の表示画素の前記電流発光素子および前記第 m 段目の表示画素の前記電流発光素子に対して電気的に接続され、前記第 n 段目の前記電流発光素子および前記第 m 段目の前記電流発光素子に対して同時に同方向の電圧を供給することを特徴とする。

30

【 0 0 2 9 】

請求項 13 にかかる画像表示装置は、上記の発明において、前記第 1 のスイッチング手段の駆動状態を制御する第 1 の走査線と、前記第 2 のスイッチング手段の駆動状態を制御する第 1 の走査線を備えることを特徴とする。

【 0 0 3 0 】

請求項 14 にかかる画像表示装置は、上記の発明において、前記第 n 段目の前記第 1 のスイッチング手段と前記第 m 段目の第 2 のスイッチング手段との駆動状態を制御する第 3 の走査線を備えることを特徴とする。

40

【 0 0 3 1 】

請求項 15 にかかる画像表示装置は、上記の発明において、前記第 n 段目の表示画素の前記電流発光素子および前記第 m 段目の表示画素の前記電流発光素子に対して電気的に接続され、前記第 n 段目および前記第 m 段目の前記電流発光素子に対して、一方に順方向の電圧を供給して発光させる際に、他方に逆方向の電圧を供給して電荷を蓄積させることを特徴とする。

【 0 0 3 2 】

【 発明の実施の形態 】

50

以下、本発明にかかる画像表示装置の実施の形態を図面に基づいて詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

【0033】

(実施の形態1)

まず、この発明の実施の形態1について説明する。本実施の形態1は、前処理工程と、データ線と第1のスイッチング手段とは別個に設けた基準電圧書き込み手段によって基準電圧を書き込み、ドライバー素子の閾値電圧を検出する閾値電圧検出工程と、データ電圧を書き込むデータ書き込み工程と、データ電圧に対応する電流を電流発光素子に供給して発光させる発光工程と、を繰り返すことによって画像表示を行う。

【0034】

図1は、実施の形態1における画素回路の構造を示した図である。実施の形態1にかかる画像表示装置は、図1に示す画素回路をマトリックス状に配置して構成される。

【0035】

図1に示すように、実施の形態1における画素回路は、発光輝度に基づいて規定されるデータ電圧を供給するデータ線3と、データ電圧の供給を制御する第1のスイッチング手段であるTFT4と、ドライバー素子であるTFT8と、電流発光素子である有機EL素子9と、を備える。また、供給された電圧を保持するコンデンサ6とコンデンサ7とを備える。また、所定の基準電圧を書き込む基準電圧書き込み手段A1と、TFT8の閾値電圧を検出する閾値電圧検出手段A2とを備える。なお、説明を容易にするため、TFT8については、有機EL素子9と接続する電極をドレイン電極とし、他方の電極をソース電極とする。

【0036】

データ線3は、有機EL素子9の発光輝度に基づいて規定されるデータ電圧を供給する。また、TFT4はデータ線3に接続し、データ線3から供給されるデータ電圧の書き込みを制御する。なお、セレクト線5はTFT4の駆動状態を制御し、セレクト線5を高レベルとすることによってTFT4はオン状態となり、低レベルとすることによってTFT4はオフ状態となる。

【0037】

また、TFT4とTFT8との間に配置されるコンデンサ6は、閾値電圧検出工程では0電圧が供給され、データ書き込み工程ではデータ電圧が供給される。さらに、コンデンサ7は、一方の電極がTFT8とコンデンサ6に接続しており、データ電圧を安定に保持する。発光工程時では、コンデンサ6とコンデンサ7とが保持するデータ電圧のうち所定の割合の電圧がTFT8のゲート電極に印加される。

【0038】

TFT8は、ドライバー素子として機能し、TFT8のゲート・ソース間電圧に対応する電流を流すことによって、有機EL素子9の発光と発光の際の輝度を制御する。このとき、TFT8のゲート・ソース間電圧は、データ電圧の所定の割合の電圧と閾値電圧検出工程において検出された閾値電圧とを含む値となる。

【0039】

また、基準電圧書き込み手段A1は、閾値電圧検出工程においてコンデンサ6に所定の基準電圧である0電圧を供給する機能を有する。基準電圧書き込み手段A1は、データ線3とTFT4とは別個に設けられており、基準電圧の供給源である電源線12と、第2のスイッチング手段であるTFT13と、第1の走査線であるリセット線11を有する。電源線12は、基準電圧として0電圧を供給し、TFT13は電源線12に接続し電源線12とコンデンサ6との電気的な導通を制御する。また、TFT13は、リセット線11によって制御される。閾値電圧検出工程ではTFT13がオン状態となることによって電源線12がコンデンサ6に0電圧を供給する。実施の形態1にかかる画像表示装置は、基準電圧書き込み手段A1を備えるため、閾値電圧検出工程を行うためにデータ線3の印加電圧を変化する必要がなく、従来では必要であった0電圧印加工程の削除や、データ書き込み工程を開始するまでの時間の短縮が可能となる。

10

20

30

40

50

【 0 0 4 0 】

また、閾値電圧検出手段 A 2 は、ドライバー素子である T F T 8 の閾値電圧を検出するものであり、第 3 のスイッチング手段である T F T 1 0 と、有機 E L 素子 9 と、電源線 1 2 とを備える。T F T 1 0 は、T F T 8 のゲート電極とドレイン電極との電氣的な導通を制御し、閾値電圧検出工程においてオン状態となる。また、T F T 1 0 の駆動状態はリセット線 1 1 によって制御される。なお、T F T 1 0 と T F T 1 3 は同じタイミングで駆動するため、同じリセット線 1 1 で制御するとして説明するが、別個の走査線で制御することも可能である。

【 0 0 4 1 】

また、有機 E L 素子 9 は、本来、T F T 8 がオン状態の際に流れる電流に対応する輝度で発光する電流発光素子であるが、閾値電圧検出手段 A 2 では、T F T 8 のドレイン電極に電荷を供給する容量として機能する。有機 E L 素子 9 は、電氣的には発光ダイオードと等価なものとしてとらえることが可能であって、順方向に電位差を与えた場合には電流が流れて発光する一方、逆方向の電位差を与えた場合には電位差に応じて電荷を蓄積する機能を有するためである。 10

【 0 0 4 2 】

また、電源線 1 2 は、本来有機 E L 素子 9 の発光時に電流を供給するためのものであるが、閾値電圧検出手段 A 2 では、電圧の極性を発光時と比較し反転することにより T F T 8 にソース電極からドレイン電極に向かって電流を流し、有機 E L 素子 9 に電荷を蓄積させる機能を有する。また、上述したように、電源線 1 2 は、閾値電圧検出工程時には 0 レベルを示すため、基準電圧書き込み手段 A 1 の供給源としても機能する。 20

【 0 0 4 3 】

つぎに、本実施の形態 1 にかかる画像表示装置の動作として、前処理工程と、閾値電圧検出工程と、データ書き込み工程と、発光工程について説明する。ここで、閾値電圧検出工程は、基準電圧書き込み手段 A 1 と閾値電圧検出手段 A 2 とが動作することによって行われる。図 2 は、図 1 に示す画素回路のタイミングチャートであり、図 3 (a) ~ (d) は、図 1 に示す画素回路の動作方法の工程を示す図である。具体的には、図 3 (a) は図 2 の期間 (1) に対応する前処理工程を示し、図 3 (b) は図 2 の期間 (2) に対応する閾値電圧検出工程を示し、図 3 (c) は図 2 の期間 (3) に対応するデータ書き込み工程を示し、図 3 (d) は図 2 の期間 (4) に対応する発光工程を示す。なお、図 3 において、 30
実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。また、電流が流れる方向を矢印で示す。

【 0 0 4 4 】

まず、図 2 および図 3 (a) を参照して前処理工程について説明する。前処理工程は、T F T 8 の閾値電圧検出の前段階として、T F T 8 に発光時と逆方向の電流を流し有機 E L 素子 9 に電荷を蓄積させる工程である。図 2 に示すように T F T 8 のソース電極に接続する電源線 1 2 の電圧の極性を低レベルから高レベルにすることによって、T F T 8 のソース電極からドレイン電極に電流が流れる。T F T 8 と接続する有機 E L 素子 9 にも発光時と逆方向の電流が流れ込み、有機 E L 素子 9 は容量として機能し正の電荷を蓄積する。なお、T F T 4 と T F T 1 0 と T F T 1 3 はオフ状態となるよう制御される。 40

【 0 0 4 5 】

次に閾値電圧検出工程について説明する。閾値電圧検出工程では、基準電圧書き込み手段 A 1 は、閾値電圧を安定に検出するためコンデンサ 6 に所定の基準電圧である 0 電圧を供給する。一方、閾値電圧検出手段 A 2 は、前処理工程において蓄積された有機 E L 素子 9 の電荷を放出し、T F T 8 のゲート・ソース間電圧を閾値電圧と等しい値にまで低下させることによって、T F T 8 の閾値電圧を検出する。

【 0 0 4 6 】

図 2 および図 3 (b) に示すように、閾値電圧検出工程では、基準電圧書き込み手段 A 1 と閾値電圧検出手段 A 2 とを動作させるため、リセット線 1 1 を高レベルとし T F T 1 0 と T F T 1 3 をオン状態とする。基準電圧書き込み手段 A 1 は、電源線 1 2 を供給源とし 50

て機能させるため電源線 1 2 の印加電圧を 0 レベルとし、閾値電圧検出工程の期間、T F T 1 3 を介して電源線 1 2 からコンデンサ 6 に 0 電圧を供給する。また、電源線 1 2 に接続するコンデンサ 7 にも 0 電圧が供給される。閾値電圧検出工程の期間においてコンデンサ 6 とコンデンサ 7 との一方の電極では 0 電圧が保持されるため、T F T 8 のゲート電極とコンデンサ 6 およびコンデンサ 7 の他方の電極とに接続する閾値電圧検出手段 A 2 では安定に T F T 8 の閾値電圧を検出することができる。また、基準電圧検出手段 A 1 がコンデンサ 6 に基準電圧を供給するため、閾値電圧検出工程を行うためにデータ線 3 の印加電圧を変化する必要はない。

【0047】

一方、閾値電圧検出手段 A 2 は、T F T 1 0 をオン状態とすることによって、T F T 8 のゲート電極とドレイン電極とを導通する。このとき、図 1 に示す結線部の電圧 V_a と V_b とが等しくなるよう有機 E L 素子 9 から正の電荷が移動し、この結果、T F T 8 には所定のゲート・ソース間電圧が発生し電流が流れる。この電流が流れることによって有機 E L 素子 9 に蓄積された正の電荷の絶対値は徐々に減少し V_a と V_b は同電圧のまま低下する。そして、T F T 8 のゲート・ソース間電圧が閾値電圧と等しい値まで低下したとき、T F T 8 はオフ状態となり、T F T 8 のゲート電圧は閾値電圧の値に維持される。T F T 8 の閾値電圧の検出が終了した後、リセット線 1 1 を低レベルとすることによって T F T 1 0 と T F T 1 3 とをオフ状態とし閾値電圧検出工程は終了する。

【0048】

つぎに、データ書き込み工程について説明する。データ書き込み工程では、T F T 4 をオン状態とすることによってデータ線 3 からデータ電圧 V_{D1} を書き込んでいる。

【0049】

図 2 および図 3 (c) に示すように、データ書き込み工程では、データ線 3 にデータ電圧 V_{D1} を印加し、セレクト線 5 を高レベルとすることによって T F T 4 をオン状態とする。T F T 4 がオン状態となることによって、データ線 3 とコンデンサ 6 とが導通しデータ電圧 V_{D1} が供給され、データ電圧 V_{D1} はコンデンサ 6 とコンデンサ 7 とによって安定に保持される。その後、セレクト線 5 を低レベルとすることによって T F T 4 をオフ状態としデータ書き込み工程は終了する。

【0050】

つぎに、発光工程について説明する。発光工程では、コンデンサ 7 が保持する電圧に基づいて T F T 8 と有機 E L 素子 9 とに電流が流れ、有機 E L 素子 9 が所定の輝度で発光する。

【0051】

図 2 および図 3 (d) に示すように、発光工程では、電源線 1 2 の印加電圧を低レベルに変化し、電源線 1 2 に接続する T F T 8 のソース電極にドレイン電極よりも低い電圧を印加する。また、T F T 8 のゲート電極にはコンデンサ 7 が保持するデータ電圧 V_{D1} のうち所定の割合の電圧が供給されるため、T F T 8 はオン状態となり T F T 8 のゲート・ソース間電圧に対応する電流が流れる。ここで、T F T 8 のゲート・ソース間電圧は、閾値電圧検出工程において検出された T F T 8 の閾値電圧を含む値となるため、T F T 8 の閾値電圧が変動した場合であっても T F T 8 に流れる電流は低下することはない。T F T 8 に流れる電流は有機 E L 素子 9 にも流れるため、有機 E L 素子 9 は所望の輝度で発光する。なお、本工程では、T F T 4 と T F T 1 0 と T F T 1 3 はオフ状態である。

【0052】

次に、本実施の形態 1 にかかる画像表示装置の利点について説明する。まず、本実施の形態 1 にかかる画像表示装置は、閾値電圧検出手段 A 2 を備えることによって、閾値電圧の変動を補償することができる。このため、有機 E L 素子 9 に流れ込む電流の値は変動せず、有機 E L 素子 9 は所望の輝度で発光し、画像表示装置の画質の劣化を抑制することができる。ここで、数式 1 に、発光工程開始時における T F T 8 のゲート電圧 V_g を示す。

【0053】

【数式 1】

$$V_g = V_{th1} + \frac{C_1}{C_1 + C_2} \cdot V_{D1}$$

数式 1 では V_{th1} は T F T 8 の閾値電圧を示し、 C_1 はコンデンサ 6 の容量を示し、 C_2 はコンデンサ 7 の容量を示している。そして、T F T 8 のゲート・ソース間電圧に基づいて T F T 8 に流れる電流 I_{ds} を以下の数式 2 に示す。

【 0 0 5 4 】

【 数式 2 】

$$I_{ds} = \frac{\beta}{2} \left(V_{th1} + \frac{C_1}{C_1 + C_2} \cdot V_{D1} - V_{th1} \right)^2 = \frac{\beta}{2} \left(\frac{C_1}{C_1 + C_2} \cdot V_{D1} \right)^2$$

10

数式 2 において、 β は所定の定数を示す。数式 2 に示すように、 I_{ds} は、T F T 8 の閾値電圧 V_{th1} を含まないことから、閾値電圧の変動によって I_{ds} が変化することはない。また、 I_{ds} はコンデンサ 6 とコンデンサ 7 との容量の比に依存し、容量比が一定であれば I_{ds} も一定の値となる。ここで、コンデンサ 6 とコンデンサ 7 とは、通常は同一工程で作成されることから、仮に製造時におけるマスクパターンの位置あわせにずれが生じたとしても、容量の誤差はコンデンサ 6、7 においてほぼ等しい割合となる。したがって、誤差が生じた場合であっても $(C_1 / (C_1 + C_2))$ の値はほぼ一定の値を維持することが可能であって、製造誤差が生じた場合にも I_{ds} の値はほぼ一定の値に維持することが可能である。

20

【 0 0 5 5 】

以上のことから、T F T 8 を流れる電流値は一定の値を保ち、有機 E L 素子 9 に流れ込む電流の値は変動せず有機 E L 素子 9 は所望の輝度で発光する。このため、本実施の形態 1 にかかる画像表示装置は、長期に渡って高品位の画像表示を行うことができる。

【 0 0 5 6 】

また、本実施の形態 1 にかかる画像表示装置はデータ線 3 と T F T 4 とは別個に設けられた基準電圧書き込み手段 A 1 を備え、この基準電圧書き込み手段 A 1 が閾値電圧検出工程の際にコンデンサ 6 に所定の基準電圧を供給する。このため、データ線 3 は、閾値電圧検出工程の際に基準電圧を供給する必要がなく、電圧書き込み工程時にデータ電圧 V_{D1} の供給を行うのみである。したがって、閾値電圧検出工程を行うためにデータ線 3 の印加電圧を変化させる必要はなく、従来では必要であった 0 電圧印加工程を削除することが可能となる。

30

【 0 0 5 7 】

さらに、基準電圧書き込み手段 A 1 によって基準電圧を供給する構成としたことから、データ線 3 は閾値電圧検出工程の際に任意の電圧とすることが出来る。このため、閾値電圧検出工程においてデータ線 3 の印加電圧を 0 電圧からデータ電圧 V_{D1} に変化させ始め、閾値電圧検出工程が終了するまでにデータ線 3 の印加電圧をデータ電圧 V_{D1} に安定させることもできる。このように動作させることによって、データ線 3 の印加電圧を制御するデータドライバーから離れた画素回路であってもデータ線 3 はデータ電圧を安定に供給することができる。また、データ線 3 に信号遅延が生じた場合であっても、データ書き込み工程の開始の遅延を防止することができる。したがって、本実施の形態 1 にかかる画像表示装置は、データ書き込み工程を開始するまでの時間を短縮することが可能となる。

40

【 0 0 5 8 】

また、閾値電圧を安定に検出するためには、閾値電圧検出工程の際にコンデンサ 6 に 0 電圧が供給されている状態であることを要する。本実施の形態 1 にかかる画像表示装置は、T F T 1 0 と T F T 1 3 とをリセット線 1 1 によって制御するため、基準電圧書き込み手段 A 1 の 0 電圧の書き込みと、閾値電圧検出手段 A 2 の閾値電圧の検出とを同時に開始することができる。したがって、基準電圧書き込み手段 A 1 と閾値電圧検出手段 A 2 との動

50

作の開始にズレを生じさせる必要が無く、このズレによる動作時間の浪費を抑制することができる。

【0059】

さらに、本実施の形態1にかかる画像表示装置は、0電圧印加工程等のデータ線3の印加電圧の安定化に必要となる時間の削除が可能となるため、閾値電圧検出工程を開始するまでの時間やデータ書き込み工程を開始するまでの時間を短縮化することができる。このため、所定の発光時間を確保することができ、リフレッシュレートを最適値に保持することができる。また、閾値電圧検出工程の期間も確保することができ、TFT8の閾値電圧を精度よく検出することができる。

【0060】

また、データ書き込み工程から発光工程に進むタイミングと、発光工程から前処理工程に進むタイミングとは、電源線12の印加電圧のレベルを調整することによって任意に制御することができる。かかるタイミングの調整によって、画像を表示する時間と画像を表示しない時間との比率を任意に制御することが可能である。

【0061】

なお、上述した画素回路は、基準電圧書き込み手段A1を構成する供給源として、閾値電圧検出工程の際に0レベルを示す電源線12を用いる。しかし、閾値電圧検出工程の際に基準電圧として0電圧を供給する走査線であれば供給源として機能するため、供給源として電源線12を用いる以外にも、図4に示すように、グラウンドに接続する共用線を代用することも可能である。なお、図4に示すように、電源線22は有機EL素子9のアノード側に接続するため、電源線22には図2に示す電源線12に印加される電圧と逆の極性を示す電圧が印加される。

【0062】

また、本実施の形態1にかかる画像表示装置は、基準電圧書き込み手段A1を構成するTFT13と閾値電圧検出手段を構成するTFT10とを、リセット線11で制御するとして説明したが、別個の走査線で制御することも可能である。閾値電圧検出工程では、TFT8の閾値電圧を検出するために必要とされる期間、TFT10とTFT13とがともにオン状態であればTFT8の閾値電圧を検出することができるため、別個の走査線で制御するとしてもよい。

【0063】

また、本実施の形態1では、所定の基準電圧を0電圧として説明したが、0電圧に限定するものではなく、有機EL素子9の発光輝度に対応する電圧値よりも低い値であればよい。ただし、基準電圧が0電圧ではない場合には、有機EL素子9の発光輝度に対応する電圧値と基準電圧値との差分を考慮し、データ線3に印加するデータ電圧を設定する必要がある。

【0064】

(実施の形態2)

つぎに、実施の形態2にかかる画像表示装置について説明する。上述した実施の形態1ではプログレッシブ方式およびインターレース方式のいずれの方式で実施可能であるが、本実施の形態2ではインターレース方式を用いることによって画像表示を行う。

【0065】

インターレース方式は、たとえば、奇数段目の画素回路が映像信号に対応した表示(以下、「白表示」と称する)を行う間、偶数段目の画素回路は発光しない状態(以下、「黒表示」と称する)を維持した後、偶数段目の画素回路が白表示を行うとともに奇数段目の画素回路は黒表示を行うことによって1回の表示を行う方式である。すなわち、奇数段目と偶数段目とで画面を交互に表示することで1枚の画面を表示する。このインターレース方式では、白表示を行う画素回路に供給するデータ電圧と、黒表示を行う画素回路に供給する0電圧とを、一回の表示期間の間に複数回に渡って交互にデータ線に印加する。本実施の形態2では、データ線に印加される0電圧を基準電圧として利用し、ドライバー素子の閾値電圧の検出を行っている。

10

20

30

40

50

【0066】

図5は、本実施の形態2にかかる画像表示装置の任意の n 段目の画素回路30 $_n$ と、画素回路30 $_n$ と同一列に位置し、隣り合う行に配置された $n+1$ 段目の画素回路30 $_{n+1}$ との構造を示した図である。図5に示すように、任意の画素回路30 $_n$ は、実施の形態1と同様に、有機EL素子9 $_n$ とTFT10 $_n$ とを有する閾値電圧検出手段A2と、コンデンサ6 $_n$ と、コンデンサ7 $_n$ と、ドライバー素子であるTFT8 $_n$ と、を備える。また、データ線3とTFT4 $_n$ とを備え、データ線3とTFT4 $_n$ とは基準電圧書き込み手段A1の構成要素としても機能する。また、TFT10 $_n$ の駆動状態を制御する第2の走査線であるリセット線31 $_n$ と、TFT4 $_n$ の駆動状態を制御する第1の走査線であるセレクト線35 $_n$ を備える。また、上述した構成要素のうち、データ線3以外の各構成要素は画素回路ごとにそれぞれ備えられている。また、本実施の形態2にかかる画像表示装置は、電源線32 $_n$ を備え、電源線32 $_n$ を画素回路30 $_n$ と画素回路30 $_{n+1}$ とが共有する構造を有する。以下、各構成要素について説明する。

【0067】

データ線3にはデータ電圧と0電圧とが交互に印加される。また、TFT4 $_n$ は、データ線3からのデータ電圧の供給を制御する。さらに、TFT4 $_n$ は、データ線3が0電圧を印加するタイミングに合わせてオン状態となることによってコンデンサ6 $_n$ への0電圧の供給をも制御する。したがって、データ線3は基準電圧の供給源としても機能し、TFT4 $_n$ はデータ電圧の供給と基準電圧の供給とを制御する第1のスイッチング手段として機能するため、データ線3とTFT4 $_n$ は基準電圧書き込み手段A1を構成する。なお、TFT4 $_n$ の駆動状態は、セレクト線35 $_n$ によって制御される。

【0068】

電源線32 $_n$ は、発光時に有機EL素子9 $_n$ と有機EL素子9 $_{n+1}$ とに電流を供給するほか、電圧の極性を発光時と比較し反転することによってTFT8 $_n$ とTFT8 $_{n+1}$ とに発光時と逆方向の電流を流す機能を有する。電源線32 $_n$ の電圧の極性を発光時と比較し反転することによって、白表示を行う画素回路は前処理工程を行い、黒表示を行う画素回路は後述するリセット工程を行う。

【0069】

また、コンデンサ6 $_n$ とコンデンサ7 $_n$ とTFT8 $_n$ とは実施の形態1にかかる画像表示と同様に機能し、有機EL素子9 $_n$ とTFT10 $_n$ とは閾値電圧検出手段A2として機能する。また、リセット線31 $_n$ は、TFT10 $_n$ の駆動状態を制御する。

【0070】

次に、図6および図7を参照して本実施の形態2にかかる画像表示装置の動作について、画素回路30 $_n$ が白表示を行い、画素回路30 $_{n+1}$ が黒表示を行う場合を例として説明する。画素回路30 $_n$ は、データ線3に0電圧が印加されるタイミングに合わせて基準電圧書き込み手段A1と閾値電圧検出手段A2とが動作することによって閾値電圧を検出する。

【0071】

図6は、図5に示す画素回路30 $_n$ と画素回路30 $_{n+1}$ のタイミングチャートであり、図7は、図5に示す画素回路30 $_n$ と画素回路30 $_{n+1}$ との動作方法の工程を示す図である。図7(a)は図6の期間(1)、(2)に対応し、図7(b)は図6の期間(3)に対応し、図7(c)は図6の期間(5)に対応し、図7(d)は図6の期間(6)に対応した動作方法を示す図である。なお、図7において、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。

【0072】

まず、図6と図7(a)を参照して、画素回路30 $_n$ で行われる前処理工程と画素回路30 $_{n+1}$ で行われるリセット工程について説明する。図6の期間(1)に示すように、電源線32 $_n$ の電圧の極性を発光時と比較し反転し高レベルとすることによって、TFT8 $_n$ に発光時と逆方向の電流が流れ、有機EL素子9 $_n$ に正の電荷を蓄積する前処理工程が行われる。その一方、画素回路30 $_{n+1}$ では、TFT8 $_{n+1}$ に発光時と逆方向の電流

を流して有機 EL 素子 9_{n+1} に残存する電荷を取り除くリセット工程を行う。具体的には、画素回路 30_{n+1} では、発光時と逆方向の電流が流れ、正の電荷を有機 EL 素子 9_{n+1} に供給することによって、前フレームの発光時に有機 EL 素子 9_{n+1} に蓄積された負の電荷を消去する。

【0073】

さらに、図 6 の期間 (2) では、画素回路 30_{n+1} では黒データ書き込み工程が行われる。本工程では、データ線 3 に 0 電圧が印加されるタイミングに合わせて T F T 4_{n+1} と T F T 10_{n+1} とをオン状態とする。T F T 10_{n+1} がオン状態となり T F T 8_{n+1} のゲート電極とドレイン電極とが導通すると、T F T 8_{n+1} のゲート電極に接続するコンデンサ 7_{n+1} には、有機 EL 素子 9_{n+1} から放出される電子が供給され、負の電荷が蓄積される。また、T F T 4_{n+1} はデータ線 3 に 0 電圧が印加される際にオン状態となるため、コンデンサ 6_{n+1} には 0 電圧が供給される。この結果、コンデンサ 6_{n+1} とコンデンサ 7_{n+1} には負の電荷が保持されることから、T F T 8_{n+1} のゲート電極には負電圧が印加されることとなる。したがって、図 6 の期間 (6) において電源線 32_n が低レベルに変化した場合でも、画素回路 30_{n+1} は発光せず黒表示を行うことが可能である。また、本工程において T F T 8_{n+1} のゲート電極に負電圧が印加されることによって、T F T 8_{n+1} の閾値電圧の変動幅を低減することができる。すなわち、T F T 8_{n+1} のゲート電極に長時間に渡って継続して正電圧を印加した場合、T F T 8_{n+1} の閾値電圧の変動が進行するが、本工程を行うことによって T F T 8_{n+1} の閾値電圧の変動の進行を留めるとともに閾値電圧を回復することができる。なお、画素回路 30_{n+1} は、図 6 の期間 (1) の間であってデータ線 3 に 0 電圧が印加されている場合であれば、黒データ書き込み工程を複数回行ってよい。

10

20

【0074】

そして、図 7 (b) を参照して、画素回路 30_n で行われる閾値電圧検出工程について説明する。図 6 の期間 (3) はデータ線 3 に 0 電圧が印加されている期間である。画素回路 30_n は、データ線 3 に 0 電圧が印加されるタイミングに合わせて、リセット線 31_n とセレクト線 35_n とを高レベルとし T F T 4_n と T F T 10_n とをオン状態とする。この結果、基準電圧書き込み手段 A 1 は、データ線 3 から T F T 4_n を介してコンデンサ 6_n に 0 電圧を供給する。一方、閾値電圧検出手段 A 2 は、T F T 10_n をオン状態とし T F T 8_n のゲート電極とドレイン電極とを導通することによって T F T 8_n の閾値電圧を検出する。なお、図 6 の期間 (4) に示すように、データ線 3 が 0 電圧を印加するタイミングに合わせて閾値電圧検出工程を複数回行うことが可能である。

30

【0075】

そして、画素回路 30_n では、図 7 (c) に示すように、データ線 3 にデータ電圧 V_{D2} が印加されるタイミングに合わせて T F T 4_n をオン状態とすることによってデータ書き込み工程が行われる。その後、画素回路 30_n では、図 7 (d) に示すように、電源線 32_n を低レベルにすることによって T F T 8_n に電流を流して有機 EL 素子 9_n を発光させる発光工程を行う。この結果、画素回路 30_n では白表示が行われることとなる。その一方、画素回路 30_{n+1} では、図 6 の期間 (2) において上述の黒データ書き込み工程が行われたため、T F T 8_{n+1} はオフ状態に維持され、黒表示が行われる。その後、画素回路 30_{n+1} では白表示を行うために上記した画素回路 30_n の動作が行われ、移行し、画素回路 30_n では黒表示を行うために上記した画素回路 30_{n+1} の動作が行われることによって、画素回路 30_n と画素回路 30_{n+1} は交互に発光を繰り返す。

40

【0076】

上述したように、本実施の形態 2 にかかる画像表示装置では、データ線 3 に 0 電圧とデータ電圧 V_{D2} とが交互に印加されることを利用し、黒表示が終了し発光工程が開始するまでの期間、データ線 3 に 0 電圧が印加されるタイミングに合わせて閾値電圧検出工程を行う。このため、発光時間を短縮することなく白表示を行う画素回路の閾値電圧を検出することができる。したがって、リフレッシュレートの最適値の保持とドライバー素子の閾値電圧の変動の補償が可能となる。

50

【 0 0 7 7 】

また、データ線 3 と T F T 4_n とは基準電圧書き込み手段 A 1 として機能するため、実施の形態 1 にかかる画像表示装置が有する T F T 1 3 を別個に備える必要がなく、画素回路に備える T F T の個数を減らすことができる。

【 0 0 7 8 】

また、図 5 に示すように、画素回路 3 0_n と画素回路 3 0_{n+1} とは電源線 3 2_n を共有する。したがって、本実施の形態 2 にかかる画像表示装置は、4 本の走査線を必要とする実施の形態 1 にかかる画像表示装置と比較し、各画素回路の走査線を 3 . 5 本に減少することができる。

【 0 0 7 9 】

また、図 6 の期間 (1) では、図 7 (a) に示すように、黒表示を行う画素回路 3 0_{n+1} ではリセット工程が行われる。リセット工程を行うのは以下の理由に基づく。すなわち、前フレームの発光工程において、有機 E L 素子 9_{n+1} には、順方向に電流が流れるにしたがって電荷が蓄積される。この電荷が残存したままである場合、発光工程において所定の電流が有機 E L 素子 9_{n+1} に流れた場合であっても、残存した電荷が電流の一部として流れることとなり、その分だけ有機 E L 素子 9_{n+1} 中を流れる電流値が減少し、発光輝度が低下する。このため、本実施の形態 2 にかかる画像表示装置は、黒表示を行う画素回路 3 0_{n+1} についてリセット工程を行い、発光時と逆方向の電流を流すことによって残存する電荷を消去している。したがって、画素回路 3 0_{n+1} が白表示を行う際には、有機 E L 素子 9_{n+1} は前フレーム時に蓄積された電荷の影響を受けることなく所望の輝度で発光することができる。

【 0 0 8 0 】

また、閾値電圧検出工程は図 6 の期間 (3) のほか、期間 (4) にも行ってもよい。すなわち、前処理工程が終了しデータ書き込み工程が開始するまでの間であって、データ線 3 に 0 電圧が印加されている場合であれば、閾値電圧検出工程を複数回行うことが可能である。このため、閾値電圧の検出を長時間行うことが可能となり、T F T 8_n の閾値電圧を精度よく検出することができる。

【 0 0 8 1 】

なお、本実施の形態 2 にかかる画像表示装置は、電源線 3 2_n が T F T 8_n と T F T 8_{n+1} とのソース電極に接続する構造のほか、図 8 に示すように、電源線 4 2_n が有機 E L 素子 9_n と有機 E L 素子 9_{n+1} とのアノード側に接続する構造としてもよい。この場合、電源線 4 2_n には、図 6 に示す電源線 3 2_n に印加される電圧と逆の極性を示す電圧が印加される。

【 0 0 8 2 】

(実施の形態 3)

つぎに、実施の形態 3 にかかる画像表示装置について説明する。本実施の形態 3 にかかる画像表示装置は、第 1 のスイッチング手段である T F T と、隣り合う画素回路の第 2 のスイッチング手段である T F T とを 1 本のセレクト線で制御しており、使用する走査線の本数を減少させた構造を有する。

【 0 0 8 3 】

図 9 は、本実施の形態 3 にかかる画像表示装置の任意の n 段目の画素回路 5 0_n と、画素回路 5 0_n と同一列に位置し、隣り合う行に配置された n + 1 段目の画素回路 5 0_{n+1} との構造を示す図である。図 9 に示すように、画素回路 5 0_n の T F T 4_n と画素回路 5 0_{n+1} の T F T 1 0_{n+1} とはともに、第 3 の走査線であるセレクト線 5 5_n に接続される。したがって、セレクト線 5 5_n が高レベルとなることによって、画素回路 5 0_n の T F T 4_n と画素回路 5 0_{n+1} の T F T 1 0_{n+1} とは同じタイミングでオン状態となる。また、画素回路 5 0_n の T F T 1 0_n の駆動状態はセレクト線 5 5_{n-1} によって制御される。なお、電源線 5 2_n は、実施の形態 2 における電源線 3 2_n と同様に機能する。

【 0 0 8 4 】

10

20

30

40

50

つぎに、図 10 および図 11 を参照して、本実施の形態 3 にかかる画像表示装置の動作のうち、画素回路 50_n が白表示を行い、画素回路 50_{n+1} が黒表示を行う場合について説明する。

【0085】

図 10 は図 9 に示す画素回路 50_n と画素回路 50_{n+1} のタイミングチャートであり、図 11 は図 10 に示す画素回路 50_n と画素回路 50_{n+1} との動作方法の工程を示す図である。また、図 11 (a) は図 10 に示す期間 (1) に対応し、図 11 (b) は図 10 に示す期間 (2) に対応し、図 11 (c) は図 10 に示す期間 (3) に対応し、図 11 (d) は図 10 に示す期間 (4) に対応し、図 11 (e) は図 10 に示す期間 (5) に対応した動作方法を示す図である。なお、図 11 では、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。

10

【0086】

図 11 (a) に示すように、図 10 の期間 (1) では、電源線 52_n に発光時と逆の極性の電圧を印加し高レベルとすることによって、画素回路 50_n において前処理工程が行われ、画素回路 50_{n+1} ではリセット工程が行われる。その後、セレクト線 55_{n-1} が高レベルとなり画素回路 50_n の閾値電圧検出手段 A2 を構成する T F T 10_n がオン状態となった後、電源線 52_n は 0 レベルになる。

【0087】

つぎに、図 10 の期間 (2) では、画素回路 50_n において閾値電圧検出工程が行われる。基準電圧書き込み手段 A1 を構成するデータ線 3 に 0 電圧が印加されるタイミングに合わせて、セレクト線 55_n が高レベルとなる。このとき、図 11 (b) に示すように、画素回路 50_n では、T F T 4_n がオン状態となることによって基準電圧書き込み手段 A1 がコンデンサ 6_n に 0 電圧を供給し、閾値電圧検出手段 A2 が閾値電圧検出工程を行う。そして、セレクト線 55_{n-1} が低レベルとなり T F T 10_n がオフ状態となることによって閾値電圧検出工程は終了する。なお、セレクト線 55_n は高レベルのままであるため T F T 4_n はオン状態を維持する。

20

【0088】

つぎに、図 10 の期間 (3) では、画素回路 50_n においてデータ書き込み工程が行われる。すなわち、図 10 の期間 (3) ではデータ線 3 の印加電圧はデータ電圧 V_{D3} に変化し、図 11 (c) に示すように、画素回路 50_n ではオン状態を維持する T F T 4_n を介してデータ線 3 からコンデンサ 6_n にデータ電圧 V_{D3} が供給される。その後、セレクト線 55_n が低レベルとなり T F T 4_n がオフ状態となることによって、画素回路 50_n のデータ書き込み工程は終了する。

30

【0089】

その後、図 10 の期間 (4) ではデータ線 3 に 0 電圧が印加され、画素回路 50_{n+1} において黒データ書き込み工程が行われる。図 11 (d) に示すように、画素回路 50_{n+1} では T F T 4_{n+1} のオン状態が維持されているため、データ線 3 からコンデンサ 6_{n+1} に 0 電圧が供給される。

【0090】

そして、図 10 の期間 (5) では、電源線 52_n が低レベルとなることによって画素回路 50_n は T F T 8_n に電流を流し発光工程を行う。一方、画素回路 50_{n+1} は黒表示を行う。

40

【0091】

上述したように、本実施の形態 3 にかかる画像表示装置は、実施の形態 2 にかかる画像表示装置と同様の効果を奏するほか、画素回路 50_n の T F T 4_n と画素回路 50_{n+1} の T F T 10_{n+1} とを単一のセレクト線 55_n で制御することによって走査線の本数を減少させることができる。また、セレクト線 55_n に流れる電流は T F T 4_n と T F T 10_{n+1} との駆動状態を制御できる程度であればよいので、セレクト線 55_n の配線幅を大きくする必要もない。したがって、本実施の形態 3 にかかる画像表示装置は、3.5 本の走査線を必要とする実施の形態 2 にかかる画像表示装置と比較し、各画素回路の走査線を

50

2. 5本に減少させることができる。

【0092】

なお、本実施の形態3にかかる画像表示装置は、図9に示すように電源線 52_n がTFT 8_n とTFT 8_{n+1} とのソース電極に接続する構造のほか、図12に示すように、共有する電源線 62_n が有機EL素子 9_n と有機EL素子 9_{n+1} のアノード側に接続する構造としてもよい。この場合、電源線 62_n には、図10に示す電源線 52_n に印加される電圧と逆の極性を示す電圧が印加される。

【0093】

(実施の形態4)

つぎに、実施の形態4にかかる画像表示装置について説明する。上述した実施の形態2および実施の形態3では画素回路が発光工程を終了した後に、次に発光する画素回路において前処理工程が行われる構成としたが、実施の形態4では、画素回路において発光工程が行われている間に、次に発光する画素回路において前処理工程を行う構成としている。

【0094】

図13は、本実施の形態4にかかる画像表示装置の任意の n 段目の画素回路 70_n と、画素回路 70_n と同一列に位置し、隣り合う行に配置された $n+1$ 段目の画素回路 70_{n+1} との構造を示す図である。図13に示すように、本実施の形態4にかかる画像表示装置は、画素回路ごとに、リセット線 71_n 、電源線 72_n 、セレクト線 75_n をそれぞれ備える構造を有する。

【0095】

リセット線 71_n は画素回路 70_n に備わるTFT 10_n の駆動状態を制御する。また、セレクト線 75_n は画素回路 70_n に備わるTFT 4_n の駆動状態を制御する。

【0096】

電源線 72_n は、画素回路 70_n の有機EL素子 9_n のアノード側に接続され、電源線 72_n と画素回路 70_{n+1} に備わる電源線 72_{n+1} と間に電位差が生じることによって有機EL素子 9_n に所定の方向の電流が流れる。具体的には、電源線 72_n への印加電圧が電源線 72_{n+1} への印加電圧よりも高い場合には、TFT 8_n にドレイン電極からソース電極に電流が流れ有機EL素子 9_n は発光する。一方、電源線 72_n への印加電圧が電源線 72_{n+1} への印加電圧よりも低い場合には、TFT 8_n にはソース電極からドレイン電極に電流が流れ有機EL素子 9_n には電荷が蓄積される。

【0097】

つぎに、図14および図15を参照して、本実施の形態4にかかる画像表示装置の動作のうち、画素回路 70_n が白表示を行い、画素回路 70_{n+1} が黒表示を行う場合について説明する。本実施の形態3にかかる画像表示装置では、白表示を行う画素回路が発光工程を行う間、次に発光する画素回路が前処理工程を行っている。

【0098】

図14は、図13に示す画素回路 70_n と画素回路 70_{n+1} のタイミングチャートである。また、図15は、画素回路 70_n と画素回路 70_{n+1} との動作方法の工程を示す図である。図15(a)は図14の期間(1)に対応し、図15(b)は図14の期間(2)に対応し、図15(c)は図14の期間(5)に対応して画素回路 70_n と画素回路 70_{n+1} の動作方法を示す図である。なお、図15では、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。

【0099】

図14および図15(a)を参照して、画素回路 70_{n+1} が発光工程を行う間、次に白表示を行う画素回路 70_n が前処理工程を行う状態について説明する。図14に示すように期間(1)では、画素回路 70_{n+1} は、電源線 72_{n+1} を高レベルとすることによってTFT 8_{n+1} のドレイン電極からソース電極に向かって電流を流し有機EL素子 9_{n+1} を発光させる発光工程を行う。その一方、画素回路 70_n では、電源線 72_n は0レベルを維持するためTFT 8_n にはソース電極からドレイン電極に向かって電流が流れ、有機EL素子 9_n には発光時と逆方向の電流が流れ込む。このため、画素回路 70_n は

10

20

30

40

50

、有機EL素子 9_n に電荷が蓄積される前処理工程を行うこととなる。

【0100】

その後、図14の期間(2)では、図15(b)に示すように、画素回路 70_n が閾値電圧検出工程を行う。なお、図14の期間(3)と期間(4)に示すように、データ線3に0電圧が印加されるタイミングに合わせてセレクト線 75_n とリセット線 71_n を高レベルとすることによって、閾値電圧検出工程を複数回行うことが可能である。

【0101】

つぎに、図14の期間(5)では、図15(c)に示すように、データ線3にデータ電圧 V_{D4} が印加される期間セレクト線 75_n を高レベルに維持することによって、画素回路 70_n がデータ書き込み工程を行う。

10

【0102】

そして、図14の期間(6)では、画素回路 70_n は電源線 72_n を高レベルにすることによってTF $T8_n$ に電流を流し発光工程を行う。その一方、画素回路 70_{n+1} には発光工程の際に流れる電流と逆方向の電流が流れるため、有機EL素子 9_{n+1} は発光せず黒表示を行う。また、有機EL素子 9_{n+1} に発光時と逆方向の電流が流れ込むため、画素回路 70_{n+1} は前処理工程を行う。さらに、図14の期間(7)では、画素回路 70_{n+1} はTF $T4_{n+1}$ とTF $T10_{n+1}$ とをオン状態とすることによってリセット工程を行う。TF $T10_{n+1}$ がオン状態となることによって、TF $T8_{n+1}$ のゲート電極とドレイン電極とが導通し、TF $T8_{n+1}$ のゲート電極に接続するコンデンサ 7_{n+1} に負の電荷が蓄積される。また、TF $T4_{n+1}$ がオン状態となるため、コンデンサ 6_{n+1} にはデータ線3から0電圧が供給される。このため、前フレームから残存する電荷は消去される。

20

【0103】

上述したように、本実施の形態4にかかる画像表示装置は、画素回路の発光工程と、次に白表示を行う画素回路の前処理工程を同時に行うことができる。このため、発光時間を短縮することなく閾値電圧検出工程を行う時間を長時間確保することができ、閾値電圧の検出を精度よく行うことができる。したがって、リフレッシュレートの最適値の保持と、閾値電圧の変動の精度の高い補償を可能とし、長期に渡って高品位の画像表示を可能とする画像表示装置を実現することができる。

【0104】

また、黒表示を行う画素回路 70_{n+1} は、リセット工程を行うことによって、コンデンサ 6_{n+1} とコンデンサ 7_{n+1} とに前フレームから残存する電荷を消去することができる。このため、白表示を行う画素回路の有機EL素子は、前フレームの影響を受けることなく所望の輝度で発光することができる。

30

【0105】

【発明の効果】

以上説明したように、この発明によれば、基準電圧書き込み手段と閾値電圧検出手段とを備えることによって、リフレッシュレートの低下を抑制し、高品位の画像表示を行う画像表示装置を得ることができる。

【図面の簡単な説明】

40

【図1】実施の形態1における画素回路の構造を示した図である。

【図2】図1に示す画素回路のタイミングチャートである。

【図3】図3(a)~(d)は、図1に示す画素回路の動作方法の工程を示す図である。

【図4】実施の形態1における画素回路の構造の他の例を示した図である。

【図5】本実施の形態2にかかる画像表示装置の任意のn段目の画素回路と、n段目の画素回路と同一列に位置し、隣り合う行に配置されたn+1段目の画素回路の構造を示した図である。

【図6】図5に示す画素回路のタイミングチャートである。

【図7】図5に示す画素回路の動作方法の工程を示す図である。

【図8】実施の形態2における画素回路の構造の他の例を示した図である。

50

【図 9】本実施の形態 3 にかかる画像表示装置の任意の n 段目の画素回路と、 n 段目の画素回路と同一列に位置し、隣り合う行に配置された $n + 1$ 段目の画素回路の構造を示した図である。

【図 10】図 9 に示す画素回路のタイミングチャートである。

【図 11】図 9 に示す画素回路の動作方法の工程を示す図である。

【図 12】実施の形態 3 における画素回路の構造の他の例を示した図である。

【図 13】本実施の形態 4 にかかる画像表示装置の任意の n 段目の画素回路と、 n 段目の画素回路と同一列に位置し、隣り合う行に配置された $n + 1$ 段目の画素回路の構造を示した図である。

【図 14】図 13 に示す画素回路のタイミングチャートである。

10

【図 15】図 13 に示す画素回路の動作方法の工程を示す図である。

【図 16】従来技術における画素回路の構造を示した図である。

【図 17】図 16 に示す画素回路の動作方法の工程を示す図である。

【符号の説明】

A 1 基準電圧書き込み手段

A 2 閾値電圧検出手段

1、2 1 画素回路

3 データ線

4、4_n、4_{n+1} T F T

5 セレクト線

20

6、6_n、6_{n+1} コンデンサ

7、7_n、7_{n+1} コンデンサ

8、8_n、8_{n+1} T F T

9、9_n、9_{n+1} 有機 E L 素子

10、10_n、10_{n+1} T F T

11、31_n、31_{n+1}、71_n、71_{n+1}、リセット線

12、22 電源線

13 T F T

32_n、42_n、52_n、62_n 電源線

72_n、72_{n+1}、72_{n+2} 電源線

30

30_n、40_n、50_n、60_n、70_n 画素回路

30_{n+1}、40_{n+1}、50_{n+1}、60_{n+1}、70_{n+1} 画素回路

35_n、35_{n+1}、55_{n-1}、55_n、55_{n+1} セレクト線

75_n、75_{n+1} セレクト線

310 データ線

320 セレクト線

330 リセット線

340 マージ線

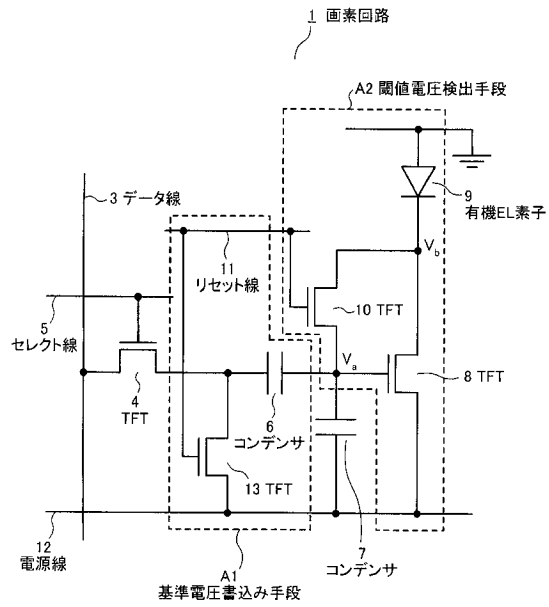
350、355 コンデンサ

360、365、370、375 T F T

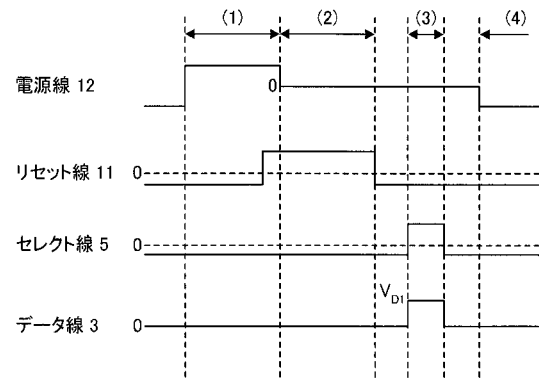
40

380 有機 E L 素子

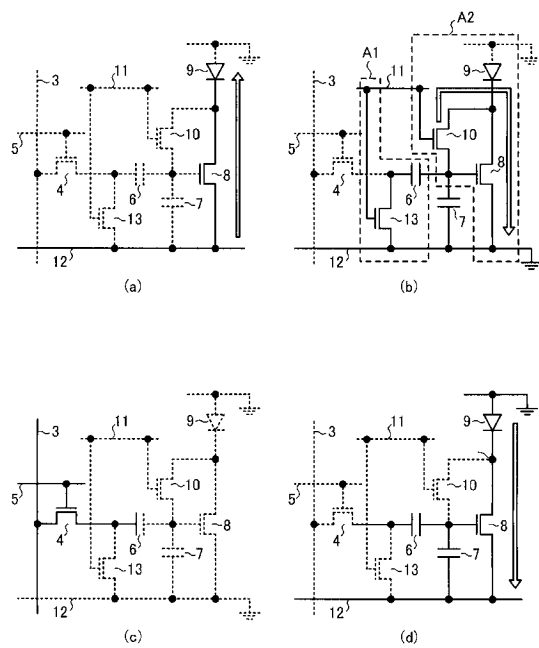
【 図 1 】



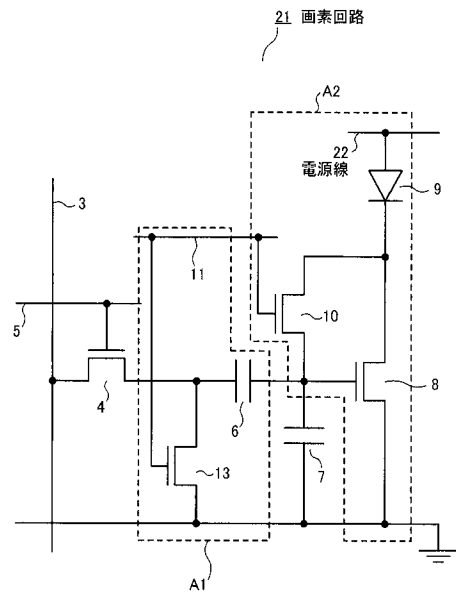
【 図 2 】



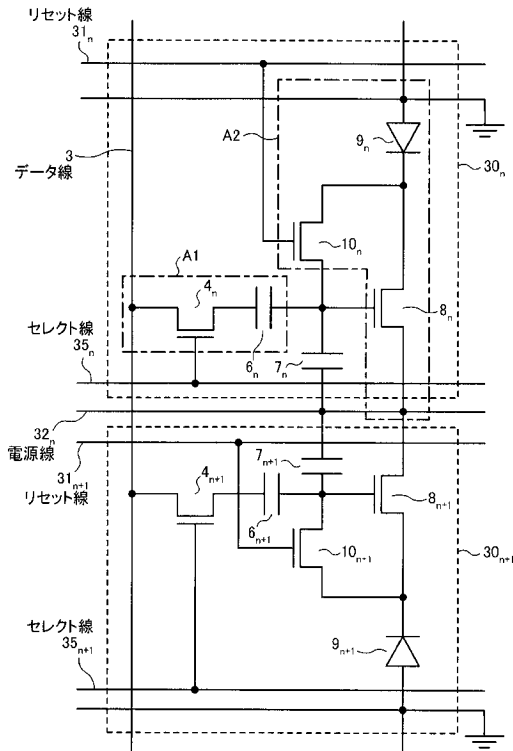
【 図 3 】



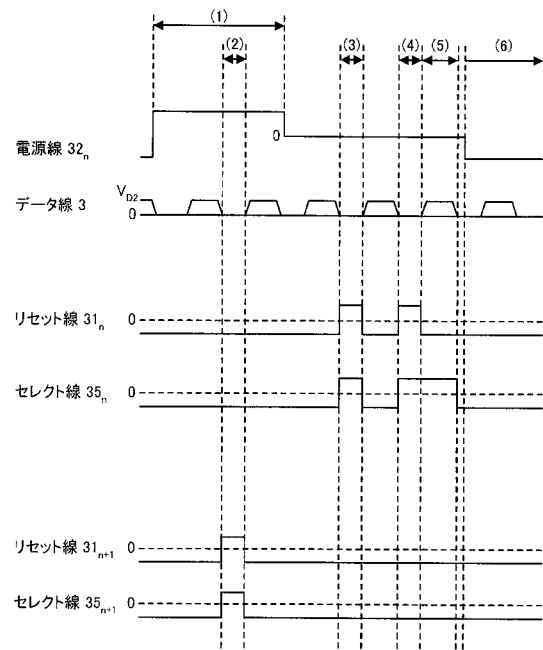
【 図 4 】



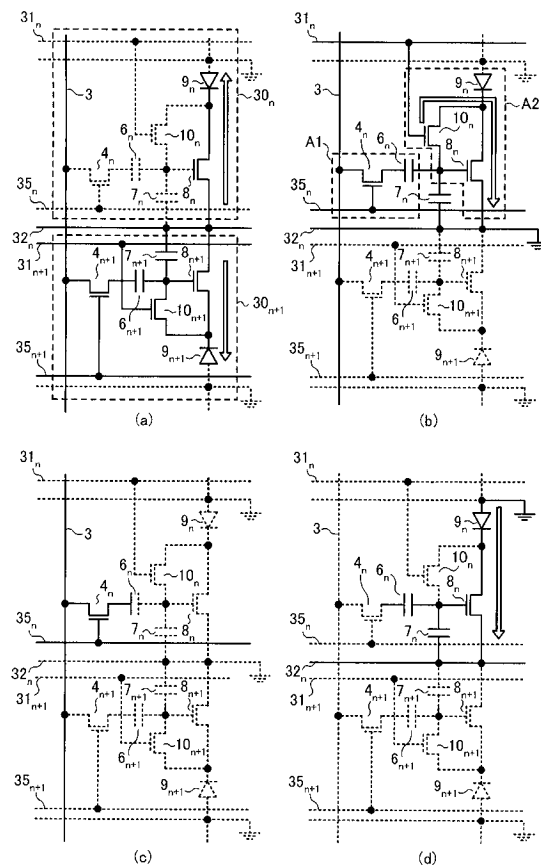
【図 5】



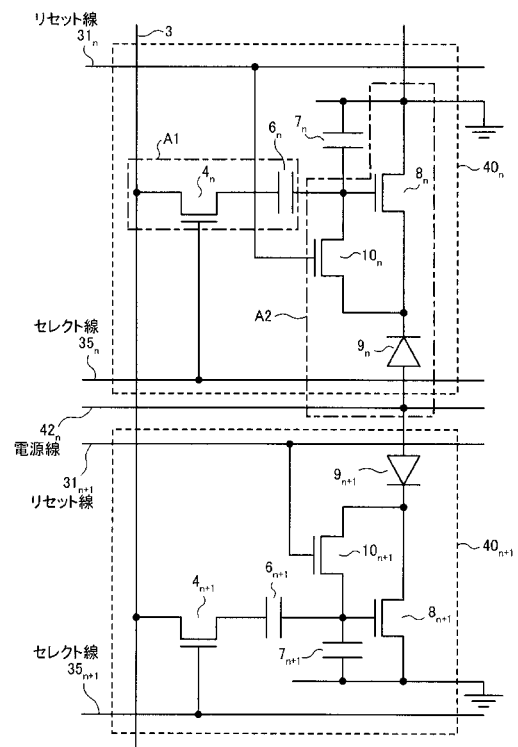
【図 6】



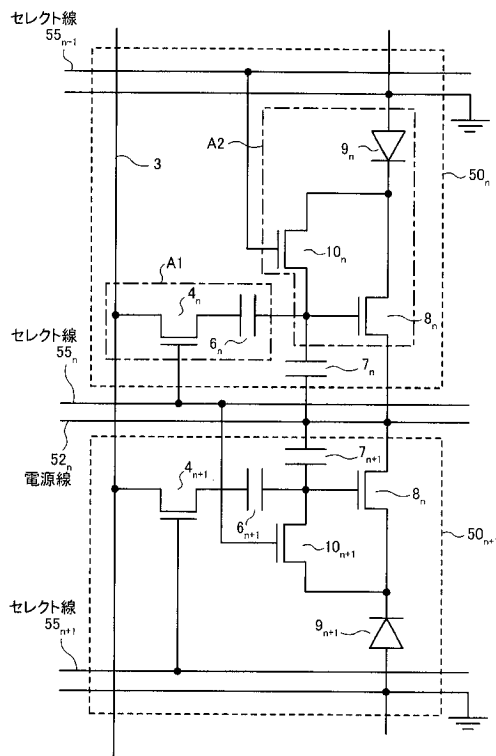
【図 7】



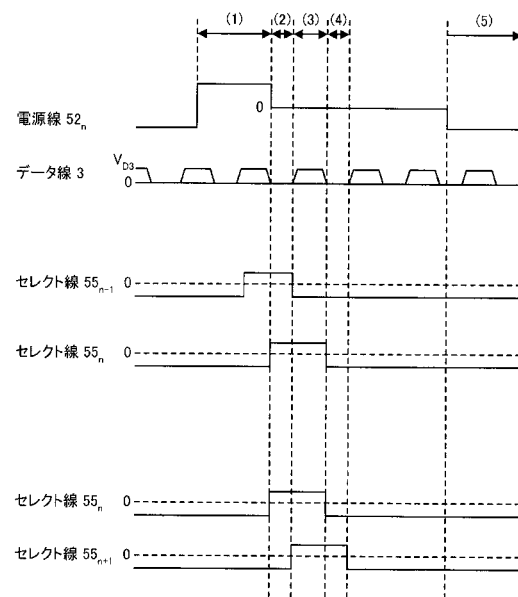
【図 8】



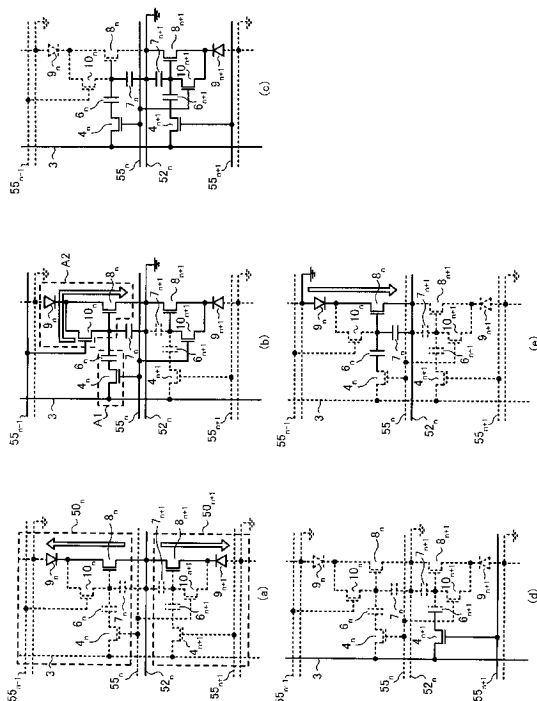
【図 9】



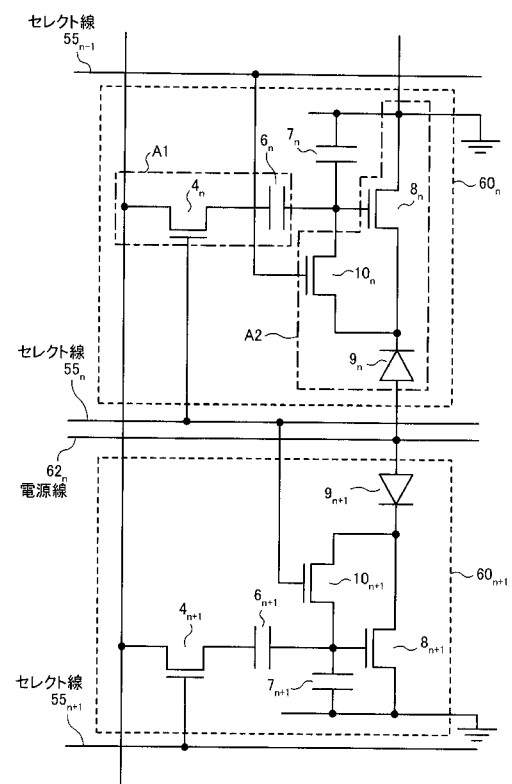
【図 10】



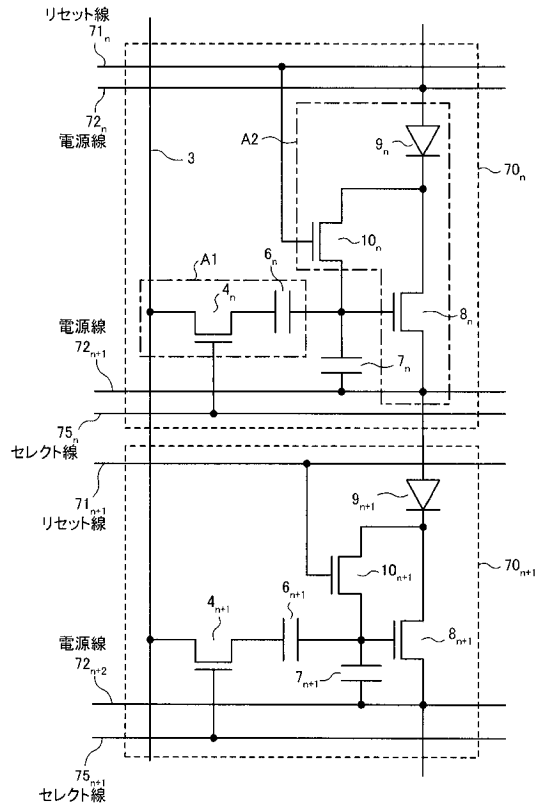
【図 11】



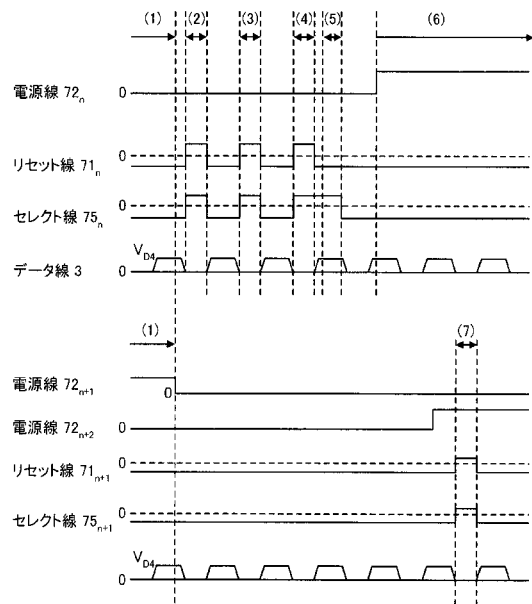
【図 12】



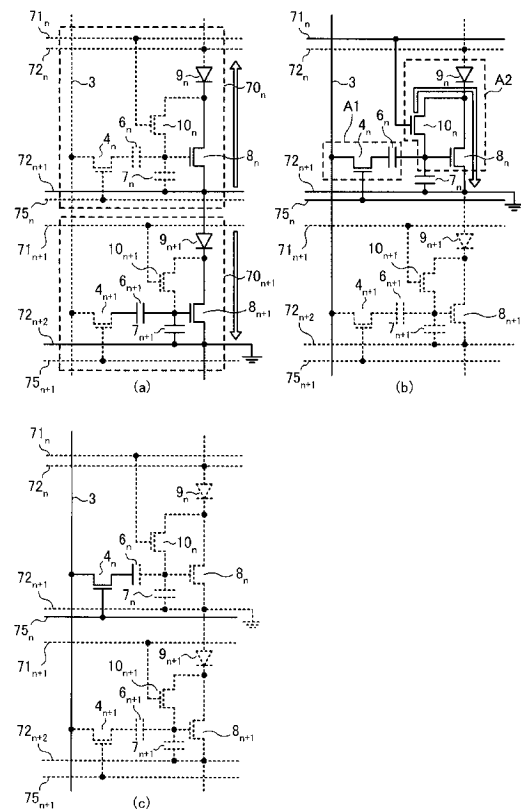
【 図 1 3 】



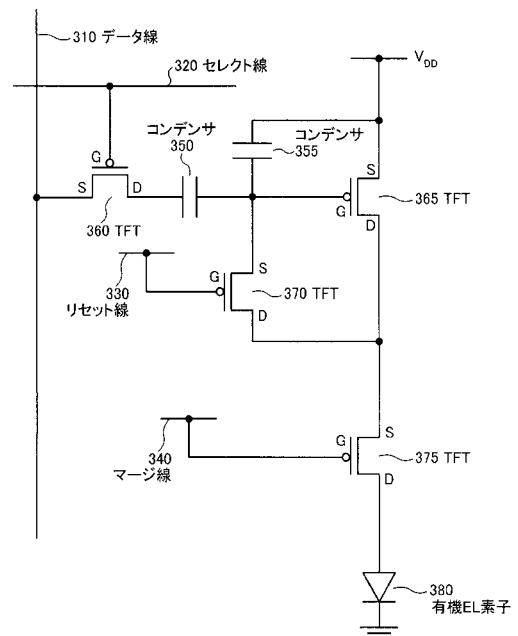
【 図 1 4 】



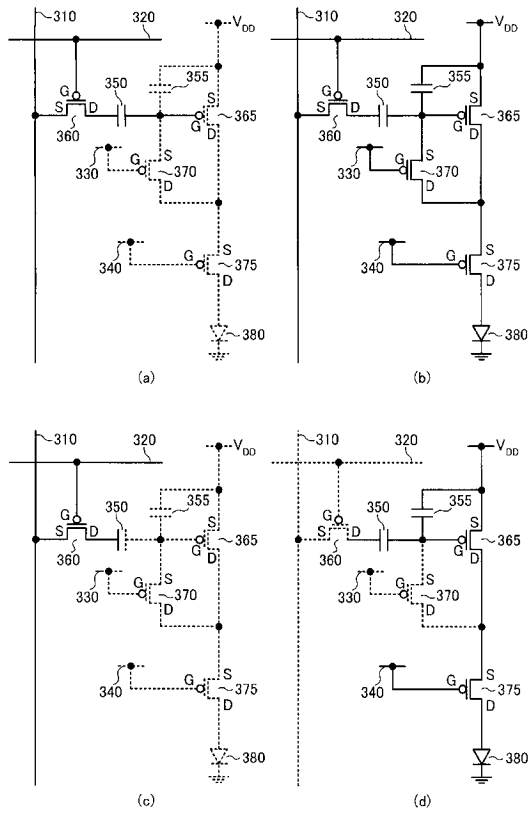
【 図 1 5 】



【 図 1 6 】



【図 17】



フロントページの続き

(51)Int.Cl.⁷ F I テーマコード(参考)

G 0 9 G	3/20	6 2 2 N
G 0 9 G	3/20	6 2 3 A
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 4 C
G 0 9 G	3/20	6 4 1 D
H 0 5 B	33/14	A

(72)発明者 辻村 隆俊

神奈川県大和市下鶴間 1 6 2 3 番地 1 4 インターナショナル ディスプレイ テクノロジー株式
会社 大和事業所内

(72)発明者 小林 芳直

神奈川県大和市下鶴間 1 6 2 3 番地 1 4 インターナショナル ディスプレイ テクノロジー株式
会社 大和事業所内

F ターム(参考) 3K007 AB17 BA06 DB03 GA00

5C080 AA06 BB05 DD03 DD08 EE29 FF11 JJ03 JJ04

5C094 AA03 AA23 AA25 AA53 AA55 BA03 BA29 CA19 DB04 FB14

FB19

专利名称(译)	画像表示装置		
公开(公告)号	JP2004341359A	公开(公告)日	2004-12-02
申请号	JP2003139478	申请日	2003-05-16
[标]申请(专利权)人(译)	群创光电股份有限公司 京瓷株式会社		
申请(专利权)人(译)	奇美电子股▲ふん▼有限公司 京瓷株式会社		
[标]发明人	小野晋也 辻村隆俊 小林芳直		
发明人	小野 晋也 辻村 隆俊 小林 芳直		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 G09G3/32 G09G5/10 H01L27/32 H05B33/14		
CPC分类号	G09G3/3233 G09G2300/0426 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/0251 G09G2310/0256 G09G2320/043		
FI分类号	G09G3/30.J G09G3/30.K G09F9/30.338 G09F9/30.365.Z G09G3/20.622.A G09G3/20.622.N G09G3/20.623.A G09G3/20.624.B G09G3/20.624.C G09G3/20.641.D H05B33/14.A G09F9/30.365 G09G3/20.611.H G09G3/20.621.F G09G3/20.642.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD08 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ04 5C094/AA03 5C094/AA23 5C094/AA25 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA29 5C094/CA19 5C094/DB04 5C094/FB14 5C094/FB19 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/BA12 5C380/BA13 5C380/BA19 5C380/BA31 5C380/BA34 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB22 5C380/BD08 5C380/BD10 5C380/CA12 5C380/CA54 5C380/CB05 5C380/CB17 5C380/CB31 5C380/CB32 5C380/CC05 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC38 5C380/CC41 5C380/CC52 5C380/CC63 5C380/CC77 5C380/CD023 5C380/CD024 5C380/CD025 5C380/CE04 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA47		
代理人(译)	酒井宏明		
其他公开文献	JP4484451B2		
外部链接	Espacenet		

摘要(译)

解决的问题：实现一种图像显示装置，其中抑制了刷新率的降低并且抑制了图像质量的劣化。根据本发明的图像显示装置包括数据线3，第一开关装置TFT4，驱动器装置TFT8，有机EL装置9，基准电压写入装置A1和阈值电压。检测手段为A2。此外，设置有电容器6和电容器7。根据本发明的图像显示装置通过在阈值电压检测步骤中操作基准电压写入单元A1和阈值电压检测单元A2来检测TFT8的阈值电压，并且改变作为驱动元件的TFT8的阈值电压。为了补偿。此外，由于参考电压写入装置A1是单独设置的，因此可以缩短直到数据写入的时间，并且可以保持刷新率的最佳值。[选型图]图1

