

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02015/198597

発行日 平成29年4月20日(2017. 4. 20)

(43) 国際公開日 平成27年12月30日(2015. 12. 30)

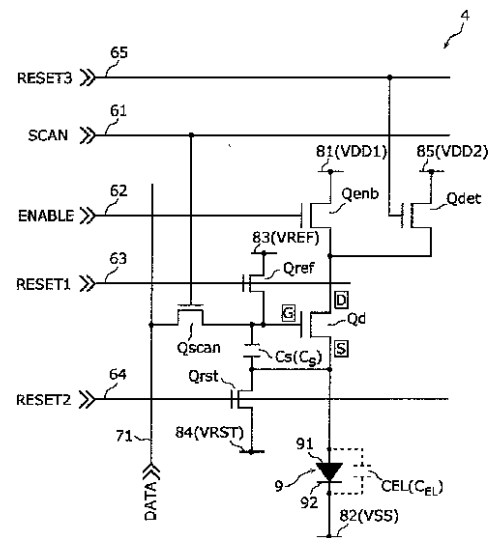
(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3233 (2016.01)	G09G 3/3233	3K107
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	5C380
	G09G 3/20 641D	
	G09G 3/20 642A	
審査請求 有 予備審査請求 未請求 (全 29 頁) 最終頁に続く		

出願番号	特願2016-529080 (P2016-529080)	(71) 出願人	514188173
(21) 国際出願番号	PCT/JP2015/003176		株式会社 J O L E D
(22) 国際出願日	平成27年6月24日 (2015. 6. 24)		東京都千代田区神田錦町三丁目23番地
(31) 優先権主張番号	特願2014-132873 (P2014-132873)	(74) 代理人	100189430
(32) 優先日	平成26年6月27日 (2014. 6. 27)		弁理士 吉川 修一
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100190805
			弁理士 傍島 正朗
		(72) 発明者	小野 晋也
			日本国大阪府門真市大字門真1006番地
			パナソニック株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC33 CC36 EE03
			5C080 AA06 BB05 DD05 DD26 FF11
			JJ02 JJ03 JJ04 JJ05 KK43
		最終頁に続く	

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

本開示に係る有機EL表示装置(1)は、複数の画素(4)を有し、当該複数の画素(4)の各々は、供給された画素電流 i_{pix} に応じて発光する有機EL素子(9)と、有機EL素子(9)に画素電流 i_{pix} を供給する駆動トランジスタ(Qd)と、駆動トランジスタ(Qd)のゲート-ソース間に接続された保持容量(Cs)とを有する。ここで、当該有機EL表示装置(1)は、複数の画素(4)の一部では、有機EL素子(9)を発光させ、他の一部では、保持容量の電圧を駆動トランジスタ(Qd)の閾値電圧になるように変化させている表示状態において、他の一部の画素(4)の駆動トランジスタ(Qd)のドレイン電圧を、一部の画素(4)の当該ドレイン電圧と独立に印加する制御部(3)を備える。



【特許請求の範囲】

【請求項 1】

複数の画素を有する表示装置であって、

前記複数の画素の各々は、

供給された電流に応じて発光する発光素子と、

前記発光素子に電流を供給する駆動トランジスタと、

前記駆動トランジスタのゲート - ソース間に接続された保持容量とを有し、

前記表示装置は、

前記複数の画素の一部では、前記発光素子を発光させ、他の一部では、前記保持容量の電圧を前記駆動トランジスタの閾値電圧になるように変化させている表示状態において、前記他の一部の画素の前記駆動トランジスタのドレイン電圧を、前記一部の画素の当該ドレイン電圧と独立に印加する制御部を備える

10

表示装置。

【請求項 2】

前記表示装置は、さらに、前記複数の画素に対して電源電圧を供給するための第 1 電源線及び第 2 電源線を有し、

前記複数の画素の各々は、さらに、

前記第 1 電源線を介して前記発光素子に供給される電流の電流経路に設けられた第 1 スイッチと、

20

前記第 2 電源線と前記駆動トランジスタのドレインとの導通及び非導通を切り換える第 2 スイッチとを有する

請求項 1 に記載の表示装置。

【請求項 3】

前記制御部は、前記表示状態において、前記一部の画素では、前記第 1 スイッチをオンかつ前記第 2 スイッチをオフさせ、前記他の一部の画素では、前記第 1 スイッチをオフかつ前記第 2 スイッチをオンすることにより、前記他の一部の画素の前記駆動トランジスタのドレイン電圧を、前記一部の画素の当該ドレイン電圧と独立に印加する

請求項 2 に記載の表示装置。

【請求項 4】

前記表示装置は、さらに、行列状に配置された前記複数の画素の行毎に対応して設けられ、前記第 2 スイッチの導通及び非導通を切り換えるタイミングを指示するための制御線を有し、

30

前記第 2 電源線は、前記複数の画素の行毎に対応して設けられ、当該行に対応する前記制御線と平行に配置されている

請求項 2 又は 3 に記載の表示装置。

【請求項 5】

前記第 1 スイッチ及び前記第 2 スイッチの各々は、薄膜トランジスタであり、

当該薄膜トランジスタのチャネル幅を W 、当該薄膜トランジスタのチャネル長を L とした場合、 W/L は前記第 1 スイッチよりも前記第 2 スイッチの方が小さい

請求項 2 ~ 4 のいずれか 1 項に記載の表示装置。

40

【請求項 6】

前記駆動トランジスタは n 型トランジスタであり、

前記発光素子は、アノードが前記駆動トランジスタのソースに接続され、カソードが前記複数の画素の少なくとも一部に共通に設けられた共通配線に接続されている

請求項 1 ~ 5 のいずれか 1 項に記載の表示装置。

【請求項 7】

前記駆動トランジスタは p 型トランジスタであり、

前記発光素子は、カソードが前記駆動トランジスタのソースに接続され、アノードが前記複数の画素の少なくとも一部に共通に設けられた共通配線に接続されている

請求項 1 ~ 5 のいずれか 1 項に記載の表示装置。

50

【請求項 8】

前記共通配線の電圧を基準電圧とすると、前記表示状態において、前記他の一部の画素の前記駆動トランジスタのドレイン電圧と当該基準電圧との差分は、前記一部の画素の当該ドレイン電圧と当該基準電圧との差分より小さい

請求項 6 又は 7 に記載の表示装置。

【請求項 9】

前記駆動トランジスタは p 型トランジスタであり、

前記発光素子は、アノードが前記駆動トランジスタのドレインに接続され、カソードが前記複数の画素の少なくとも一部に共通に設けられた共通配線に接続されている

請求項 1 ～ 5 のいずれか 1 項に記載の表示装置。

10

【請求項 10】

前記駆動トランジスタは n 型トランジスタであり、

前記発光素子は、カソードが前記駆動トランジスタのドレインに接続され、アノードが前記複数の画素の少なくとも一部に共通に設けられた共通配線に接続されている

請求項 1 ～ 5 のいずれか 1 項に記載の表示装置。

【請求項 11】

前記表示装置は、さらに、前記複数の画素に対して電源電圧を供給するための第 1 電源線及び第 2 電源線を有し、

前記発光素子は、有機 EL (Electro Luminescence) 素子であり

20

前記複数の画素の各々は、さらに、

前記第 2 電源線と前記駆動トランジスタのドレインとの導通及び非導通を切り換える第 2 スイッチを有し、

前記第 1 電源線と前記駆動トランジスタのドレインとは、前記有機 EL 素子を介して常時接続されている

請求項 1 に記載の表示装置。

【請求項 12】

前記制御部は、前記表示状態において、前記他の一部の画素では、前記発光素子のアノード電圧を当該発光素子のカソード電圧より低くする

請求項 11 に記載の表示装置。

30

【請求項 13】

複数の画素を有する表示装置の駆動方法であって、

前記複数の画素の各々は、供給された電流に応じて発光する発光素子と、前記発光素子に電流を供給する駆動トランジスタと、前記駆動トランジスタのゲート - ソース間に接続された保持容量とを有し、

前記表示装置の駆動方法は、

前記複数の画素の一部では、前記発光素子を発光させ、他の一部では、前記保持容量の電圧を前記駆動トランジスタの閾値電圧になるように変化させている表示状態において、前記他の一部の画素の前記駆動トランジスタのドレイン電圧を、前記一部の画素の当該ドレイン電圧と独立に印加する

40

表示装置の駆動方法。

【請求項 14】

前記表示装置は、さらに、前記複数の画素に対して電源電圧を供給するための第 1 電源線及び第 2 電源線を有し、

前記複数の画素の各々は、さらに、前記第 1 電源線を介して前記発光素子に供給される電流の電流経路に設けられた第 1 スイッチと、前記第 2 電源線と前記駆動トランジスタのドレインとの導通及び非導通を切り換える第 2 スイッチとを有し、

前記表示装置の駆動方法は、前記一部の画素において、

前記第 1 スイッチをオフかつ前記第 2 スイッチをオンした状態で、前記保持容量に前記駆動トランジスタの閾値電圧に対応した電圧を保持させる保持ステップと、

50

前記保持ステップの後、前記第 1 スイッチをオフかつ前記第 2 スイッチをオフした状態で、前記発光素子の輝度を示す信号電圧が前記閾値電圧によって補償された電圧を前記保持容量に保持させる書き込みステップと、

前記書き込みステップの後、前記第 1 スイッチをオンかつ前記第 2 スイッチをオフすることにより、前記発光素子を発光させる発光ステップとを含み、

前記保持ステップでは、前記他の一部の画素の前記駆動トランジスタのドレイン電圧を、前記一部の画素の当該ドレイン電圧と独立に印加する

請求項 1 3 に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、複数の画素を有する表示装置及びその駆動方法に関する。

【背景技術】

【0002】

電流駆動型の発光素子を用いた表示装置として、有機エレクトロルミネッセンス（ＥＬ）素子を用いた表示装置が知られている。この自発光する有機ＥＬ素子を用いた有機ＥＬ表示装置は、液晶表示装置に必要なバックライトが不要で装置の薄型化に最適である。また、視野角にも制限がないため、次世代の表示装置として実用化が期待されている。

【0003】

例えば、特許文献 1 には、アクティブマトリクス型の表示装置における電源線を改善して、画素の高精細化を図る構成が開示されている。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2008 - 65199 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、このような駆動トランジスタの閾値電圧を補償して発光する表示装置では、表示ムラが発生する場合がある。つまり、表示均一性が低下する場合がある。

30

【0006】

そこで、本開示は、表示均一性の低下を抑制できる表示装置及びその駆動方法を提供する。

【課題を解決するための手段】

【0007】

本開示に係る表示装置の一態様は、複数の画素を有する表示装置であって、複数の画素の各々は、供給された電流に応じて発光する発光素子と、発光素子に電流を供給する駆動トランジスタと、駆動トランジスタのゲート - ソース間に接続された保持容量とを有し、表示装置は、複数の画素の一部では、発光素子を発光させ、他の一部では、保持容量の電圧を駆動トランジスタの閾値電圧になるように変化させている表示状態において、他の一部の画素の駆動トランジスタのドレイン電圧を、一部の画素の当該ドレイン電圧と独立に印加する制御部を備える。

40

【発明の効果】

【0008】

本開示における表示装置等によれば、表示均一性の低下を抑制できる。

【図面の簡単な説明】

【0009】

【図 1】図 1 は、実施の形態に係る有機ＥＬ表示装置の概要構成を示すブロック図である。

【図 2】図 2 は、実施の形態に係る有機ＥＬ表示装置における画素の回路構成を示す回路

50

図である。

【図 3】図 3 は、実施の形態に係る有機 E L 表示装置における画素の動作を示すタイミングチャートである。

【図 4 A】図 4 A は、図 3 に示す V t h 検出期間における画素の状態を示す説明図である。

【図 4 B】図 4 B は、図 3 に示す発光期間における画素の状態を示す説明図である。

【図 5】図 5 は、駆動トランジスタの I - V 特性を示すグラフである。

【図 6】図 6 は、実施の形態に係る有機 E L 表示装置の表示状態について説明するための図であり、(a) は当該有機 E L 表示装置の動作を示すタイミングチャートであり、(b) は (a) の時刻 t 2 0 における表示領域の状態を模式的に示す図である。

【図 7】図 7 は、比較例に係る有機 E L 表示装置における画素の回路構成を示す回路図である。

【図 8】図 8 は、比較例に係る有機 E L 表示装置において、V t h 検出期間における画素の状態を示す説明図である。

【図 9】図 9 は、実施の形態に係る有機 E L 表示装置において、第 2 V D D 線及び R E S E T 線の配置を模式的に示す図である。

【図 1 0】図 1 0 は、変形例 1 に係る有機 E L 表示装置における画素の回路構成を示す回路図である。

【図 1 1】図 1 1 は、変形例 2 に係る有機 E L 表示装置における画素の回路構成を示す回路図である。

【図 1 2】図 1 2 は、変形例 3 に係る有機 E L 表示装置における画素の回路構成を示す回路図である。

【図 1 3】図 1 3 は、変形例 4 に係る有機 E L 表示装置における画素の回路構成を示す回路図である。

【図 1 4】図 1 4 は、本開示の表示装置を内蔵した薄型フラット T V の外観図である。

【発明を実施するための形態】

【 0 0 1 0 】

以下、本開示に係る表示装置及びその駆動方法の一態様について、図面を参照しながら具体的に説明する。但し、必要以上に詳細な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。これは、以下の説明が不必要に冗長になるのを避け、当業者の理解を容易にするためである。

【 0 0 1 1 】

なお、発明者は、当業者が本開示を十分に理解するために添付図面および以下の説明を提供するのであって、これらによって請求の範囲に記載の主題を限定することを意図するものではない。例えば、以下の実施の形態で示される数値、構成要素、構成要素の配置位置及び接続形態などは、一例であり、本開示を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、以下の各図は、模式図であり、必ずしも厳密に図示したものではない。また、以下では、本開示に係る表示装置の一態様として、発光素子として有機 E L 素子を用いた有機 E L 表示装置について説明する。

【 0 0 1 2 】

(実施の形態)

以下、本実施の形態に係る有機 E L 表示装置について、具体的に説明する。

【 0 0 1 3 】

[1 . 有機 E L 表示装置の構成]

まず、本実施の形態に係る有機 E L 表示装置の構成について、図 1 及び図 2 を用いて説明する。図 1 は、本実施の形態に係る有機 E L 表示装置の概要構成を示すブロック図である。図 2 は、本実施の形態に係る有機 E L 表示装置における画素の回路構成を示す回路図である。

10

20

30

40

50

【 0 0 1 4 】

図 1 に示す有機 E L 表示装置 1 は、表示領域 2 と制御部 3 とを備え、表示領域 2 には後述する画素 4 が行列状に配置されている。制御部 3 は、表示領域 2 に配置された複数の画素 4 に対する種々の制御を行い、タイミング制御回路 5 と、走査線駆動回路 6 と、信号線駆動回路 7 と、電圧制御回路 8 とを備える。なお、以下、同一の走査線に対応して配置された複数の画素 4 を、適宜、「表示ライン」と記載する。

【 0 0 1 5 】

タイミング制御回路 5 は、例えば、走査線駆動回路 6 と信号線駆動回路 7 との同期、及び、1 フレーム毎の有機 E L 表示装置 1 の動作のタイミング制御等を行う。

【 0 0 1 6 】

走査線駆動回路 6 は、タイミング制御回路 5 からの制御信号に基づいて、表示領域 2 の走査線を駆動する。具体的には、走査線駆動回路 6 は、垂直同期信号及び水平同期信号に基づいて、各画素 4 に、S C A N 信号、E N A B L E 信号、R E S E T 1 信号 ~ R E S E T 3 信号を、少なくとも表示ライン単位で出力する。これらの信号は、図 2 に示す画素例では、S C A N 線 6 1、E N A B L E 線 6 2、R E S E T 線 6 3 ~ 6 5 に出力され、接続先のトランジスタ（スイッチ）のオンおよびオフを制御するために用いられる。

【 0 0 1 7 】

信号線駆動回路 7 は、タイミング制御回路 5 からの制御信号に基づいて、表示領域 2 の信号線（図 2 では D A T A 線 7 1）を駆動する。より具体的には、信号線駆動回路 7 は、映像信号および水平同期信号に基づいて、各画素 4 に、当該画素 4 の輝度を示す信号電圧 D A T A を出力する。この信号電圧 D A T A は、図 2 に示す D A T A 線 7 1 に出力され、接続先の画素 4 の輝度を指示するために用いられる。

【 0 0 1 8 】

電圧制御回路 8 は、表示領域 2 に各種電源電圧を供給する。各種電源電圧とは、図 2 に示す画素例では、V D D 1（正電源電圧）、V D D 2（正電源電圧）、V S S（負電源電圧）、V R E F、V R S Tであり、それぞれ電源線を介して各画素 4 に供給される。ここで正電源電圧、負電源電圧とは、電源電圧が G N D に対しての電圧値の高低を示しているのではなく、正電源電圧 > 負電源電圧のみを示していることに注意されたい。

【 0 0 1 9 】

なお、有機 E L 表示装置 1 は、例えば、図示しないが、C P U（C e n t r a l P r o c e s s i n g U n i t）、制御プログラムを格納した R O M（R e a d O n l y M e m o r y）などの記憶媒体、R A M（R a n d o m A c c e s s M e m o r y）などの作業用メモリ、および通信回路を有するとしてもよい。例えば、信号電圧 D A T A は、例えば、C P U が制御プログラムを実行することにより生成されてもよい。

【 0 0 2 0 】

[2 . 画素の回路構成]

次に、図 2 に示す画素 4 の回路構成について、説明する。

【 0 0 2 1 】

画素 4 は、供給された電流に応じて発光する有機 E L 素子 9 と、有機 E L 素子 9 に電流（画素電流）を供給する駆動トランジスタ Q d と、駆動トランジスタ Q d のゲート - ソース間に接続された保持容量 C s とを有し、D A T A 線 7 1 を介して供給された信号電圧 D A T A に応じた輝度で当該有機 E L 素子 9 が発光する。また、当該画素 4 は、さらに、駆動トランジスタ Q d と、トランジスタ Q s c a n と、トランジスタ Q r e f と、トランジスタ Q r s t と、トランジスタ Q e n b（第 1 スイッチ）と、トランジスタ Q d e t（第 2 スイッチ）とを備えている。また、当該画素 4 には、S C A N 線 6 1 と、E N A B L E 線 6 2 と、R E S E T 線 6 3 と、R E S E T 線 6 4 と、R E S E T 線 6 5（制御線）と、D A T A 線 7 1 とが接続され、さらに各種電源線として、V R E F 線 8 3 と、第 1 V D D 線 8 1（第 1 電源線）と、V S S 線 8 2（共通配線）と、V R S T 線 8 4 と、第 2 V D D 線 8 5（第 2 電源線）とが接続されている。

【 0 0 2 2 】

ここで、VREF線83は、駆動トランジスタQdの閾値電圧を検出するための基準となる基準電圧VREF（例えば、3V）を供給するための電源線である。第1VDD線81は、正電源電圧VDD1（例えば、20V）が供給され、有機EL素子9を発光させる電流（画素電流）を供給するための電源線である。VSS線82は、負電源電圧VSS（例えば、0V）が供給され、有機EL素子9のカソード92に接続された電源線である。VRS線84は、電圧VRS（例えば、-5V）が供給され、有機EL素子9および保持容量Csの電圧をリセットするための電源線である。第2VDD線85は、正電源電圧VDD2（例えば、20Vもしくは10V）が供給され、駆動トランジスタQdの閾値電圧を検出するための電流（閾値検出電流）を供給するための電源線である。

【0023】

10

つまり、本実施の形態に係る有機EL表示装置1は、複数の画素4に対して正電源電圧を供給するための電源線として、第1VDD線81及び第2VDD線85を有する。

【0024】

ここで、第1VDD線81及び第2VDD線85の各々は、表示領域2において、例えば、各表示ラインに対応するように画素列の並び方向（行方向）に延設されている。つまり、表示領域2に配置された複数の第1VDD線81は、当該表示領域2において離間して配置されている。同様に、表示領域2に配置された複数の第2VDD線85は、当該表示領域2において離間して配置されている。また、表示領域2に配置された複数の第1VDD線81及び複数の第2VDD線85は、互いに平行に配置されている。ただし、これら第1VDD線81及び第2VDD線85の表示領域2外での配置は不問である。例えば、表示領域2に配置された複数の第1VDD線81は、当該表示領域2の外で互いに接続されていてよいし、表示領域2の外で離間して配置されていてよい。また、表示領域2に配置された複数の第2VDD線85についても、同様である。

20

【0025】

なお、表示領域2において、複数の第1VDD線81は、メッシュ状に構成されていてよい。

【0026】

また、第1VDD線81の電圧VDD1、及び、第2VDD線85の電圧VDD2は、駆動トランジスタQdのゲートの最大電圧をVgpeak、駆動トランジスタQdの閾値電圧をVthとすると、駆動トランジスタQdは飽和領域動作させるために、以下のように設定されている。

30

【0027】

$$VDD1 > Vgpeak - Vth$$

$$VDD2 > VREF - Vth$$

【0028】

すなわち、Vgpeak > VREFよりVDD1 > VDD2として設定することが可能である。

【0029】

これにより、第1VDD線81は、後述する発光動作において、電流（画素電流）を供給することができる。また、第2VDD線85は、後述する閾値電圧補償動作において、駆動トランジスタQdの閾値電圧を検出するための電流（閾値検出電流）を供給することができ、VDD1 > VDD2と設定することで、Vth検出動作による消費電力を低減することが可能となる。

40

【0030】

有機EL素子9は、駆動トランジスタQdから供給される電流量に応じた発光量で発光する。有機EL素子9は、カソード92がVSS線82に接続され、アノード91が駆動トランジスタQdのソースに接続されている。

【0031】

駆動トランジスタQdは、有機EL素子9への電流の供給量を制御する電圧駆動の駆動素子であり、有機EL素子9に電流（画素電流）を流すことで有機EL素子9を発光させ

50

る。具体的には、駆動トランジスタQ dのゲートは、保持容量C sの第1電極に接続され、ソースは保持容量C sの第2電極および有機E L素子9のアノード9 1に接続されている。よって、当該駆動トランジスタQ dは、保持容量C sに保持された電圧に応じた電流量で、有機E L素子9に電流（画素電流）を流すことができる。つまり、有機E L表示装置1は、発光動作によって、保持容量C sに保持された電圧に応じた輝度で有機E L素子9を発光させることができる。

【0032】

ここで、駆動トランジスタQ dの閾値電圧は、当該駆動トランジスタQ dが設けられたT F T基板形成時の初期的な分布や経時的な閾値電圧シフトによって画素4毎にバラつくことがあるが、このバラつきによる影響は、閾値電圧補償動作によって抑制することができる。この閾値電圧補償動作は、画素4のそれぞれにおける保持容量C sに、対応する駆動トランジスタQ dの閾値電圧に相当する電圧に信号電圧D A T Aに対応した電圧を加算した電圧を設定する動作である。

10

【0033】

なお、発光動作及び閾値電圧補償動作の詳細については、後述する。

【0034】

保持容量C sは、駆動トランジスタQ dの閾値電圧を保持し、さらに、保持した閾値電圧とD A T A線7 1から供給される信号電圧D A T Aとによって、駆動トランジスタQ dの閾値電圧が補償された信号電圧D A T Aを保持する。具体的には、保持容量C sの第2電極は、駆動トランジスタQ dのソース（V S S線8 2側）と有機E L素子9のアノード9 1とが接続されたノードに接続されている。保持容量C sの第1電極は、駆動トランジスタQ dのゲートに接続されている。また、保持容量C sの第1電極は、トランジスタQ r e fを介してV R E F線8 3と接続されている。

20

【0035】

トランジスタQ s c a nは、信号電圧D A T Aを供給するためのD A T A線7 1と保持容量C sの第1電極との導通および非導通を切り換える。具体的には、トランジスタQ s c a nは、ドレインおよびソースの一方がD A T A線7 1に接続され、ドレインおよびソースの他方が保持容量C sの第1電極に接続され、ゲートがS C A N線6 1に接続されているスイッチングトランジスタである。換言すると、トランジスタQ s c a nは、D A T A線7 1を介して供給された信号電圧D A T Aに応じた電圧を保持容量C sに書き込むための機能を有する。

30

【0036】

トランジスタQ r e fは、基準電圧V R E Fを供給するV R E F線8 3と保持容量C sの第1電極との導通および非導通を切り換える。具体的には、トランジスタQ r e fは、ドレインおよびソースの一方がV R E F線8 3に接続され、ドレインおよびソースの他方が保持容量C sの第1電極に接続され、ゲートがR E S E T線6 3に接続されているスイッチングトランジスタである。換言すると、トランジスタQ r e fは、保持容量C sの第1電極（駆動トランジスタQ dのゲート）に対して基準電圧（V R E F）を与える機能を有する。

40

【0037】

トランジスタQ r s tは、保持容量C sの第2電極とV R S T線8 4との導通および非導通を切り換える。具体的には、トランジスタQ r s tは、ドレインおよびソースの一方がV R S T線8 4に接続され、ドレインおよびソースの他方が有機E L素子9のアノード9 1および保持容量C sの第2電極に接続され、ゲートがR E S E T線6 4に接続されているスイッチングトランジスタである。換言すると、トランジスタQ r s tは、有機E L素子9のアノード9 1および保持容量C sの第2電極（駆動トランジスタQ dのソース）に対してリセット電圧（V R S T）を与える機能を有する。

【0038】

トランジスタQ e n bは、第1V D D線8 1と駆動トランジスタQ dのドレインとの導通および非導通を切り換える。具体的には、トランジスタQ e n bは、ドレインおよびソ

50

ースの一方が第1VDD線81(VDD1)に接続され、ドレインおよびソースの他方が駆動トランジスタQdのドレインに接続され、ゲートがENABLE線62に接続されているスイッチングトランジスタである。このトランジスタQenbは、画素4の発光動作時、すなわち駆動トランジスタQdが有機EL素子9に電流(画素電流)を供給する時に、オン状態となることにより、第1VDD線81と駆動トランジスタQdのドレインとを導通させる。

【0039】

トランジスタQdetは、第2VDD線85と駆動トランジスタQdのドレインとの導通および非導通を切り換える。具体的には、トランジスタQdetは、ドレインおよびソースの一方が第2VDD線85(VDD2)に接続され、ドレインおよびソースの他方が駆動トランジスタQdのドレインに接続され、ゲートがRESET線65に接続されているスイッチングトランジスタである。このトランジスタQdetは、画素4の閾値電圧補償動作時にオン状態となることにより、第2VDD線85と駆動トランジスタQdのドレインとを導通させる。

10

【0040】

以上説明した画素4の構成により、有機EL表示装置1は、駆動トランジスタQdの閾値電圧を精度良く補償することができる。よって、当該有機EL表示装置1は、表示均一性の低下を抑制できる。このメカニズムについては、以下の動作説明において詳述する。

【0041】

なお、画素4を構成する複数のスイッチングトランジスタ(トランジスタQscan、Qref、Qrst、Qenb、Qdet)はn型TFTとして、以下では説明を行うが、これに限らない。当該複数のスイッチングトランジスタは、p型TFTであってもよい。また、当該複数のスイッチングトランジスタにおいて、n型TFTとp型TFTとが混在して用いられてもよい。

20

【0042】

[3. 有機EL表示装置の動作]

次に、上述のように構成された有機EL表示装置1の動作について、図3、図4A及び図4Bを用いて説明する。なお、以下で説明する各動作は制御部3により実行される。図3は、本実施の形態に係る有機EL表示装置1における画素4の動作を示すタイミングチャートである。具体的には、同図には上から順に、SCAN線61に供給されるSCNA信号、ENABLE線62に供給されるENABLE信号、RESET線63に供給されるRESET1信号、RESET線64に供給されるRESET2信号、及び、RESET線65に供給されるRESET3信号が示されている。図4Aは、図3に示すVth(閾値)検出期間における画素4の状態を示す説明図である。図4Bは、図3に示す発光期間における画素4の状態を示す説明図である。

30

【0043】

<時刻t10~t11: ELリセット期間>

図3に示す時刻t10~t11のELリセット期間では、RESET2信号の電圧レベルのみがHIGHとなることにより、トランジスタQrstのみが導通状態となる。

40

【0044】

これにより、有機EL素子9の容量成分CELに保持された電荷をリセットすることができる。つまり、駆動トランジスタQdのソース電圧がVRS線84の電圧VRSに速やかに設定される。

【0045】

<時刻t11~t12: Csリセット期間>

次に、時刻t11において、RESET1信号の電圧レベルがLOWからHIGHに変化する。すなわち、時刻t11において、トランジスタQrefが導通状態(オン状態)となる。これにより、時刻t12までの時刻において、保持容量Csに保持された電荷をリセットすることができる。つまり、駆動トランジスタQdのゲート電圧がVREF線83の電圧VREFに設定される。

50

【 0 0 4 6 】

なお図3のタイミングチャートでは、時刻 t_{10} に $R E S E T 2$ 信号が立ち上がり時刻 t_{11} に $R E S E T 1$ 信号が立ち上がっているが、時刻 t_{11} に $R E S E T 2$ 信号が立ち上がり時刻 t_{10} に $R E S E T 1$ 信号が立ち上がっても、時刻 t_{12} までの時刻において、保持容量 C_s に保持された電荷をリセットすることができる。

【 0 0 4 7 】

ここで、時刻 t_{12} (C_s リセット期間の終了時刻)における駆動トランジスタ Q_d のゲート - ソース間電圧は、 C_s リセット期間の後で行われる閾値電圧補償動作を行うのに必要な初期ドレイン電流を確保できる初期電圧に設定されることが必要である。つまり、初期電圧は、駆動トランジスタ Q_d の閾値電圧 V_{th} よりも高く、かつ、有機 $E L$ 素子9を発光させない電圧であることが必要である。そのため、 V_{REF} 線83の電圧 V_{REF} と V_{RST} 線84の電圧 V_{RST} との電位差は、駆動トランジスタ Q_d の最大閾値電圧よりも大きな電圧に設定される ($V_{REF} - V_{RST} > V_{th}$)。また、電圧 V_{REF} 及び電圧 V_{RST} は、有機 $E L$ 素子9の順方向電流閾値電圧を V_{EL} とすると、有機 $E L$ 素子9が発光しないように次の2つの式を満たす電圧に設定される。

10

【 0 0 4 8 】

$$V_{RST} < V_{SS} + V_{EL}$$

$$V_{REF} < V_{SS} + V_{EL} + V_{th}$$

【 0 0 4 9 】

その後、時刻 t_{12} において、 $R E S E T 2$ 信号の電圧レベルが $H I G H$ から $L O W$ に変化することにより、トランジスタ Q_{rst} が非導通状態 (オフ状態) となる。

20

【 0 0 5 0 】

< 時刻 $t_{13} \sim t_{14}$: V_{th} 検出期間 >

次に、時刻 t_{13} において、 $R E S E T 3$ 信号の電圧レベルが $L O W$ から $H I G H$ に変化する。すなわち、時刻 t_{13} において、トランジスタ Q_{det} が導通状態 (オン状態) となる。

【 0 0 5 1 】

これにより、図4Aに示すように、駆動トランジスタ Q_d のドレイン側からソース側に向かって閾値検出電流 i_{prog} が流れ始める。つまり、時刻 t_{13} において、第2 V_D 線85から閾値検出電流 i_{prog} が流れ始めることにより、保持容量 C_s 、及び、有機 $E L$ 素子9の容量成分 C_{EL} に対する充電が開始される。その後、保持容量 C_s 及び容量成分 C_{EL} が充電されるにつれて、駆動トランジスタ Q_d のソース電圧が上昇する。具体的には、駆動トランジスタ Q_d のソース電圧は、当該駆動トランジスタ Q_d のゲート - ソース間電圧が当該駆動トランジスタ Q_d の閾値電圧 V_{th} となるように変化する。

30

【 0 0 5 2 】

その後、時刻 t_{14} において、 $R E S E T 3$ 信号の電圧レベルが $H I G H$ から $L O W$ に変化することにより、トランジスタ Q_{det} が非導通状態 (オフ状態) となり、閾値検出電流 i_{prog} の供給が停止される。ここで、閾値検出電流 i_{prog} は時刻 t_{14} において、十分小さい電流レベルとなっており、発光期間における画素電流 i_{pix} の最大値よりも小さくなっていることが望ましい。よって Q_{enb} と Q_{det} のサイズパラメータである W/L は Q_{enb} よりも Q_{det} の方が小さくてもよく、画素回路に必要な面積を小さくすることが可能となる。ここで W は TFT のチャンネル幅、 L は TFT のチャンネル長である。

40

【 0 0 5 3 】

さらにその後、時刻 $t_{14} \sim t_{15}$ の期間において、 $R E S E T 1$ 信号の電圧レベルが $H I G H$ から $L O W$ に変化することにより、トランジスタ Q_{ref} が非導通状態 (オフ状態) となり、保持容量 C_s の電圧が保持される。言い換えると、時刻 $t_{14} \sim t_{15}$ の期間において検出された駆動トランジスタ Q_d の閾値電圧 V_{th} が、保持容量 C_s の電圧として保持される。

【 0 0 5 4 】

50

このように、有機EL表示装置1は、トランジスタQscan、Qenb、Qrstをオフ状態、かつ、トランジスタQref、Qdetをオン状態とすることにより、閾値電圧補償動作を実行する。つまり、有機EL表示装置1は、駆動トランジスタQdのゲートの電圧を固定し、かつ、駆動トランジスタQdのソースをフローティングにした状態で、駆動トランジスタQdのドレインに電圧VDD2を供給することにより、駆動トランジスタQdの閾値電圧を検出する。

【0055】

ここで、閾値電圧補償動作によって検出された閾値電圧は、種々の条件（Vth検出期間の長さ、電源電圧の電圧降下等）によって本来の閾値電圧とは異なる場合がある。そこで、以下では、閾値電圧補償動作によって検出された閾値電圧をVth_m、本来の閾値電圧をVth_tとして区別する場合がある。なお、本来の閾値電圧とは、例えば、駆動トランジスタQdのデバイスパラメータ等によって決定される。

10

【0056】

なお、時刻t14にRESET1信号が立ち下がり時刻t14～t15の期間にRESET3信号が立ち下がってもよい。

【0057】

<時刻t15～t16：書き込み期間>

次に、時刻t15において、SCAN信号の電圧レベルがLOWからHIGHに変化することにより、トランジスタQscanが導通状態（オン状態）となる。これにより、保持容量Csの第1電極には、DATA線71から供給される信号電圧DATAが供給される。

20

【0058】

その後、時刻t16において、SCAN信号の電圧レベルがHIGHからLOWに変化することにより、トランジスタQscanが非導通状態（オフ状態）となる。これにより、保持容量Csには、Vth検出期間に検出された駆動トランジスタQdの閾値電圧Vth_mに加えて、信号電圧DATA（式中ではVDATAと記載）とVREF線83の電圧VREFとの電位差を有機EL素子9の容量成分CELの容量CELと保持容量Csの容量Csとで容量分割した電圧が保持される。つまり、駆動トランジスタのゲート-ソース間電圧Vgsは、以下の式1で表される。

30

【0059】

【数1】

$$V_{gs} = \frac{C_{EL}}{C_S + C_{EL}} (V_{DATA} - V_{REF}) + V_{th_m} \quad \dots (式1)$$

【0060】

<時刻t17以降：発光期間>

次に、時刻t17において、ENABLE信号の電圧レベルがLOWからHIGHに変化することにより、トランジスタQenbが導通状態（オン状態）となる。これにより、図4Bに示すように、駆動トランジスタQdのドレイン側からソース側に向かって画素電流ipixが流れ始める。つまり、駆動トランジスタQdは、保持容量Csで保持された電圧に応じて、第1VDD線81から有機EL素子9に画素電流ipixを供給する。これにより、有機EL素子9が発光する。

40

【0061】

このときの画素電流ipixは以下の式2で表される。

【0062】

【数2】

$$i_{pix} = \frac{\beta}{2} (V_{gs} - V_{th_t})^2 \quad \dots (式2)$$

【0063】

これに上述の式1を代入すると、画素電流ipixは以下の式3で表される。

50

【 0 0 6 4 】

【 数 3 】

$$i_{pix} = \frac{\beta}{2} \left(\frac{C_{EL}}{C_S + C_{EL}} (V_{DATA} - V_{REF}) + V_{th_m} - V_{th_t} \right)^2 \quad \dots (式 3)$$

【 0 0 6 5 】

なお、 β は、駆動トランジスタ Q d の移動度 μ 、ゲート絶縁膜容量 C_{ox} 、チャネル長 L、チャネル幅 W に依存して決まる係数であり、次の式 4 で表される。

【 0 0 6 6 】

$$\beta = (W / L) \cdot \mu \cdot C_{ox} \quad \dots (式 4)$$

10

【 0 0 6 7 】

上記の式 3 から明らかなように、閾値電圧補償動作によって検出された閾値電圧 V_{th_m} が本来の閾値電圧 V_{th_t} に近いほど、有機 E L 表示装置 1 は、駆動トランジスタ Q d の閾値電圧を精度良く補償して発光することができる。

【 0 0 6 8 】

以上のような動作によって、本実施の形態に係る有機 E L 表示装置 1 は、各画素 4 の駆動トランジスタ Q d の閾値電圧を補償して発光することができる。

【 0 0 6 9 】

[4 . 表示均一性の低下を抑制できるメカニズム]

上述したように、駆動トランジスタの閾値電圧を精度良く補償して発光するためには、閾値電圧補償動作によって検出される閾値電圧 V_{th_m} が、本来の閾値電圧 V_{th_t} にできるだけ近いことが必要である。しかしながら、閾値電圧補償動作によって検出される閾値電圧 V_{th_m} は種々の条件によって変化する場合がある。言い換えると、当該閾値電圧 V_{th_m} の検出精度が変化する場合がある。このような場合には、全ての画素 4 に同一の信号電圧 D A T A が供給された場合であっても、表示領域 2 の表示均一性が低下する虞がある。

20

【 0 0 7 0 】

そこで、本実施の形態に係る有機 E L 表示装置 1 は、閾値電圧補償動作によって検出される閾値電圧 V_{th_m} の検出精度を均一化することにより、表示均一性の低下を抑制する。以下、このメカニズムについて、上述の図 4 A 及び図 4 B と併せて図 5 ~ 図 8 を用いて説明する。

30

【 0 0 7 1 】

図 5 は、駆動トランジスタ Q d の I - V 特性を示すグラフである。図 6 は、本実施の形態に係る有機 E L 表示装置 1 の表示状態について説明するための図であり、(a) は当該有機 E L 表示装置 1 の V_{th} 検出および発光動作を示すタイミングチャートであり、(b) は (a) の時刻 t_{20} における表示領域の状態を模式的に示す図である。図 7 は、比較例に係る有機 E L 表示装置における画素 9 0 4 の回路構成を示す回路図である。図 8 は、比較例に係る有機 E L 表示装置において、 V_{th} 検出期間における画素 9 0 4 の状態を示す説明図である。

【 0 0 7 2 】

40

なお、比較例に係る有機 E L 表示装置は、本実施の形態に係る有機 E L 表示装置 1 とほぼ同じであるが、第 2 V D D 線 8 5 及びトランジスタ Q d e t を備えずに、閾値電圧補償動作において、トランジスタ Q e n b が第 1 V D D 線 8 1 と駆動トランジスタ Q d のドレインとを導通することにより、閾値検出電流 i_{prog} が供給される点が異なる。

【 0 0 7 3 】

[4 - 1 . 駆動トランジスタのドレイン電圧が閾値電圧の検出精度に与える影響]

図 5 には、駆動トランジスタ Q d のドレイン - ソース間電圧 V_{ds} が V_{ds1} の場合と、当該 V_{ds} が V_{ds2} の場合 (ただし、 $V_{ds2} < V_{ds1}$) とにおける、駆動トランジスタ Q d のゲート - ソース間電圧 V_{gs} に対するドレイン電流 I_{ds} が示されている。

【 0 0 7 4 】

50

同図に示すように、駆動トランジスタ Q_d のドレイン電流 I_{ds} は、当該駆動トランジスタ Q_d のゲート・ソース間電圧 V_{gs} に依存するだけでなく、当該駆動トランジスタ Q_d のドレイン・ソース間電圧 V_{ds} にも依存する。

【0075】

ここで、 V_{th} 検出期間後（図3の時刻 t_{15} より後）において保持容量 C_s に保持されている電圧である駆動トランジスタ Q_d の閾値電圧 V_{th_m} は、 V_{th} 検出期間の終了時点（図3の時刻 t_{15} ）における駆動トランジスタ Q_d のゲート・ソース間電圧 V_{gs} である。

【0076】

したがって、 V_{th} 検出期間において検出される閾値電圧 V_{th_m} は、駆動トランジスタ Q_d のドレイン・ソース間電圧 V_{ds} に依存する。よって、表示領域2において閾値電圧の検出精度を均一化するためには、閾値電圧補償動作における駆動トランジスタ Q_d のドレイン電圧を、表示領域2において均一化することが必要である。

【0077】

[4-2. 表示領域の表示状態]

ここで、本実施の形態に係る有機EL表示装置1は、例えば、図6の(a)に示すように、表示ライン順次（行順次）に発光動作及び閾値電圧補償動作を実行する。つまり、制御部3は、表示領域2を、表示ライン順次（行順次）に駆動走査する。これにより、図6の(b)に示すように、有機EL表示装置1は、複数の画素4の一部（一部の表示ライン）では有機EL素子9を発光させる発光期間（図3の t_{17} 以降）の動作（発光動作）が実行され、他の一部（他の一部の表示ライン）では保持容量 C_s の電圧を駆動トランジスタ Q_d の閾値電圧になるように変化させる V_{th} 検出期間（図3の $t_{13} \sim t_{14}$ ）の動作（閾値電圧補償動作）が実行される。言い換えると、有機EL表示装置1は、複数の画素4のうち一部（一部の表示ライン）は図4Bに示す状態となり、他の一部（他の一部の表示ライン）は図4Aに示す状態となる。

【0078】

このとき、第1VDD線81の電圧は、図4Bに示す発光期間の画素4に流れる画素電流 i_{pix} によって比較的大きく変動する。言い換えると、第1VDD線81の電圧は、画素電流 i_{pix} による電圧降下によって比較的大きく変動する。よって、図7に示す比較例における画素904では、次のような問題が生じる場合がある。

【0079】

具体的には、比較例における画素904では、 V_{th} 検出期間においてトランジスタ Q_{enb} がオンすることで、図8に示すように、第1VDD線81から閾値検出電流 i_{prg} が流れることにより、駆動トランジスタ Q_d の閾値電圧 V_{th_m} が検出される。

【0080】

ただし、このとき検出される閾値電圧 V_{th_m} の検出精度は、上述したように、駆動トランジスタ Q_d のドレイン電圧による影響を受ける。ここで、比較例における画素904では、 V_{th} 検出期間において、駆動トランジスタ Q_d のドレインは第1VDD線81と導通している。よって、閾値電圧 V_{th_m} の検出精度は、第1VDD線81の電圧による影響を受ける。

【0081】

上述したように第1VDD線81の電圧は比較的大きく変動することから、比較例における画素904では、閾値電圧 V_{th_m} の検出精度が表示領域の表示パターンに依存して比較的大きく変動するという問題が生じる。

【0082】

これに対し、本実施の形態では、制御部3は、複数の画素4の一部に発光動作をさせ、他の一部に閾値電圧補償動作をさせている表示状態において、当該他の一部の画素4の駆動トランジスタ Q_d のドレイン電圧を、当該一部の画素4の当該ドレイン電圧と独立に印加する。

【0083】

10

20

30

40

50

これにより、 V_{th} 検出期間における駆動トランジスタ Q_d のドレイン電圧の変動を抑制することができる。よって、閾値電圧 V_{th_m} の検出精度を均一化させることができる。その結果、本実施の形態に係る有機EL表示装置1は、表示均一性の低下を抑制することができる。

【0084】

具体的には、本実施の形態に係る有機EL表示装置1は、複数の画素4に対して電源電圧を供給するための第1VDD線81（第1電源線）及び第2VDD線85（第2電源線）を有する。また、各画素4は、第1VDD線81を介して有機EL素子9に供給される電流（画素電流 i_{pix} ）の電流経路に設けられたトランジスタ Q_{enb} （第1スイッチ）と、第2VDD線85と駆動トランジスタ Q_d のドレインとの導通及び非導通を切り換えるトランジスタ Q_{det} （第2スイッチ）とを有する。

10

【0085】

より具体的には、制御部3は、当該一部の画素4では、スイッチ Q_{enb} をオンかつスイッチ Q_{det} をオフさせ、当該他の一部の画素4では、スイッチ Q_{enb} をオフかつスイッチ Q_{det} をオンさせることにより、当該他の一部の画素4の駆動トランジスタ Q_d のドレイン電圧を、当該一部の画素4の当該ドレイン電圧と独立に印加する。

【0086】

つまり、 V_{th} 検出期間における駆動トランジスタ Q_d のドレイン電圧は、発光動作による影響（画素電流 i_{pix} による電圧降下等の）を受ける第1VDD線81の電圧とは独立に印加される。よって、閾値電圧補償動作によって検出される閾値電圧 V_{th_m} の精度を均一化することができる。

20

【0087】

ここで、「電圧が独立に印加される」とは、一方の電圧の変動が他方の電圧の変動に影響を与えにくいことを意味する。例えば、一方の電圧が V_{11} から V_{12} （ただし、 V_{11} とは異なる）へ ΔV_1 だけ変化した場合に、他方の電圧が V_{21} のまま変化しないことを意味する。なお、当該場合に、他方の電圧が V_{21} から V_{22} へと ΔV_2 だけ変化しても、これらのタイミングが異なっていればよい。つまり、これらのタイミングが互いに無関係であればよい。また、 V_{11} と V_{21} との関係は不問であり、互いに異なっていってもよいし、同等であってもよい。

【0088】

30

[5. 効果等]

以上説明したように、本実施の形態に係る有機EL表示装置1は、複数の画素4を有し、当該複数の画素4の各々は、供給された画素電流 i_{pix} に応じて発光する有機EL素子9（発光素子）と、有機EL素子9に画素電流 i_{pix} を供給する駆動トランジスタ Q_d と、駆動トランジスタ Q_d のゲート-ソース間に接続された保持容量 C_s とを有する。ここで、当該有機EL表示装置1は、複数の画素4の一部では、有機EL素子9を発光させ、他の一部では、保持容量 C_s の電圧を駆動トランジスタ Q_d の閾値電圧になるように変化させている表示状態において、他の一部の画素4の駆動トランジスタ Q_d のドレイン電圧を、一部の画素4の当該ドレイン電圧と独立に印加する制御部3を備える。

【0089】

40

これにより、保持容量 C_s の電圧を駆動トランジスタ Q_d の閾値電圧になるように変化させている画素4において、駆動トランジスタ Q_d のドレイン電圧に対して、有機EL素子9を発光させている画素4に流れる電流（画素電流）の影響を低減することができる。よって、駆動トランジスタ Q_d の閾値電圧の検出精度を均一化することができる。つまり、表示領域2の表示パターンや表示領域2における画素4の配置位置に対する当該閾値電圧の検出精度の依存を抑制できる。その結果、本実施の形態に係る有機EL表示装置1は、表示均一性の低下を抑制することができる。

【0090】

なお、第2VDD線85は、複数の画素4の表示ライン毎（行毎）に対応して設けられていてもよく、例えば、図9に示すように配置されていてもよい。図9は、本実施の形態

50

に係る有機EL表示装置1において、第2VDD線85及びRESET線65の配置を模式的に示す図である。

【0091】

具体的には、同図に示すように、第2VDD線85は、複数の画素4の表示ライン毎（行毎）に対応して設けられ、当該表示ラインに対応するRESET線65（制御線）と平行に配置されていてもよい。

【0092】

ここで、RESET線65は、行列状に配置された複数の画素4の表示ライン毎に対応して設けられ、スイッチQdet（第2スイッチ）の導通及び非導通を切り換えるタイミングを指示するための配線である。すなわち、RESET線65には、トランジスタQdetをオン及びオフするためのRESET3信号が供給されている。つまり、RESET線65の電圧は、当該RESET3信号のHIGH及びLOWに応じて変動する。

【0093】

したがって、閾値電圧補償動作を行っている表示ラインに対応して設けられた第2VDD線85が、当該表示ラインのVth検出期間（図3の時刻t13～t14）において、電圧レベルがHIGHからLOW又はLOWからHIGHへ変化するRESET線65と平面視において交差するように配置されている場合には、当該第2VDD線85に接続されている複数の画素のVth検出動作はそれぞれ別のタイミングで実行されているため、第2VDD線85は常に電流を供給し続けるため第2VDD線85の電圧が安定しない虞がある。つまり、当該の場合には、表示均一性が低下する虞がある。これに対して、第2VDD線85をRESET線65と平行に配置することにより、Vth検出期間に第2VDD線85に接続される画素は行単位となり、Vth検出期間終了時には、第2VDD線85が供給する電流は小さくなり、第2VDD線85の電圧が安定し、閾値電圧補償動作による表示均一性の低下を抑制できる。

【0094】

また、本実施の形態では、駆動トランジスタQdはn型トランジスタであり、有機EL素子9は、アノード91が駆動トランジスタQdのソースに接続され、カソード92が複数の画素4の少なくとも一部に共通に設けられた共通配線であるVSS線82に接続されている。

【0095】

ここで、VSS線82の電圧（VSS）を基準電圧とすると、閾値電圧補償動作における駆動トランジスタQdのドレイン電圧（VDD2）と当該基準電圧（VSS）との差分は、発光動作における駆動トランジスタQdのドレイン電圧（VDD1）と当該基準電圧（VSS）との差分より小さくてもよい。

【0096】

これにより、閾値電圧補償動作における消費電力を削減できる。

【0097】

（変形例1）

なお、画素の構成は、上述した構成に限らず、閾値電圧補償動作において、駆動トランジスタQdのゲートの電圧が固定され、かつ、駆動トランジスタQdのソースがフローティングにされた状態で、駆動トランジスタQdがオンするような構成であればよく、例えば、図10に示すような構成であってもよい。図10は、変形例1に係る有機EL表示装置における画素の回路構成を示す回路図である。

【0098】

同図に示す画素104では、駆動トランジスタQdはp型トランジスタであり、有機EL素子9は、アノード91がトランジスタQenb2を介して駆動トランジスタQdのドレインに接続され、カソード92が複数の画素4の少なくとも一部に共通に設けられた共通配線であるVSS線82に接続されている。また、本変形例では、複数の画素104に対して負電源電圧（VSS1、VSS2）を供給するためのVSS線82（第1電源線）及びVSS線185（第2電源線）が設けられている。また、本変形例では、第1VDD

線 8 1 には正電源電圧として V D D が供給されている。

【 0 0 9 9 】

このような画素 1 0 4 を備える有機 E L 表示装置は、トランジスタ Q s c a n、Q e n b、Q e n b 2 をオフ状態、かつ、トランジスタ Q r e f、Q m r g、Q d e t をオン状態とすることにより、閾値電圧補償動作を実行する。つまり、当該有機 E L 表示装置は、発光動作をさせている画素 1 0 4 では、トランジスタ Q e n b、Q e n b 2 (第 1 スイッチ) をオンかつトランジスタ Q d e t (第 2 スイッチ) をオフさせ、閾値電圧補償動作をさせている画素 1 0 4 では、トランジスタ Q e n b 2 をオフかつトランジスタ Q d e t をオンさせることにより、閾値電圧補償動作をさせている画素 1 0 4 の駆動トランジスタ Q d のドレイン電圧を、発光動作をさせている画素 1 0 4 の当該ドレイン電圧と独立に印加する。

10

【 0 1 0 0 】

これにより、本変形例に係る有機 E L 表示装置は、上記実施の形態と同様の効果を奏する。すなわち、表示均一性の低下を抑制することができる。

【 0 1 0 1 】

具体的には、V S S 線 1 8 5 (第 2 電源線) 及びトランジスタ Q d e t を備えない場合、閾値電圧補償動作における駆動トランジスタ Q d のドレイン電圧は、V S S 線 8 2 (第 1 電源線) の電圧に依存する。このとき、V S S 線 8 2 の電圧は、発光期間の画素 1 0 4 に流れる画素電流 $i_{p_i x}$ によって比較的大きく変動する。よって、閾値電圧補償動作における駆動トランジスタ Q d のドレイン電圧が変動することにより、検出される閾値電圧 V t h _ m の検出精度が低下するという問題がある。

20

【 0 1 0 2 】

これに対して、本変形例に係る有機 E L 表示装置は、V S S 線 1 8 5 (第 2 電源線) 及びトランジスタ Q d e t を備えることで、閾値電圧補償動作をさせている画素 1 0 4 の駆動トランジスタ Q d のドレイン電圧を、発光動作をさせている画素 1 0 4 の当該ドレイン電圧と独立に印加する。よって、当該有機 E L 表示装置は、閾値電圧 V t h _ m の検出精度を均一化させることができるので、当該有機 E L 表示装置は、表示均一性の低下を抑制することができる。

【 0 1 0 3 】

さらには V S S 1 < V S S 2 とすることにより、V t h 検出動作に伴う消費電力を低減することが可能となる。

30

【 0 1 0 4 】

(変形例 2)

また、図 1 1 に示すような構成であってもよい。図 1 1 は、有機 E L 素子 9 のダイオード特性を利用して変形例 1 におけるトランジスタ Q e n b 2 を排除した例であり、変形例 2 に係る有機 E L 表示装置における画素の回路構成を示す回路図である。

【 0 1 0 5 】

同図に示す画素 1 0 4 A では、駆動トランジスタ Q d は p 型トランジスタであり、有機 E L 素子 9 は、アノード 9 1 が駆動トランジスタ Q d のドレインに接続され、カソード 9 2 が複数の画素 4 の少なくとも一部に共通に設けられた共通配線である V S S 線 8 2 に接続されている。また、本変形例では、複数の画素 1 0 4 A に対して負電源電圧 (V S S 1、V S S 2) を供給するための V S S 線 8 2 (第 1 電源線) 及び V S S 線 1 8 5 (第 2 電源線) が設けられている。また、本変形例では、第 1 V D D 線 8 1 には正電源電圧として V D D が供給されている。

40

【 0 1 0 6 】

このような画素 1 0 4 A を備える有機 E L 表示装置は、トランジスタ Q s c a n、Q e n b をオフ状態、かつ、トランジスタ Q r e f、Q m r g、Q d e t をオン状態とすることにより、閾値電圧補償動作を実行する。つまり、当該有機 E L 表示装置は、発光動作をさせている画素 1 0 4 A では、トランジスタ Q e n b (第 1 スイッチ) をオンかつトランジスタ Q d e t (第 2 スイッチ) をオフさせ、閾値電圧補償動作をさせている画素 1 0 4

50

Aでは、トランジスタQ_{enb}をオフかつトランジスタQ_{d_et}をオンさせることにより、閾値電圧補償動作をさせている画素104Aの駆動トランジスタQ_dのドレイン電圧を、発光動作をさせている画素104Aの当該ドレイン電圧と独立に印加する。

【0107】

これにより、本変形例に係る有機EL表示装置は、上記実施の形態と同様の効果を奏する。すなわち、表示均一性の低下を抑制することができる。

【0108】

具体的には、VSS線185（第2電源線）及びトランジスタQ_{d_et}を備えない場合、閾値電圧補償動作における駆動トランジスタQ_dのドレイン電圧は、VSS線82（第1電源線）の電圧に依存する。このとき、VSS線82の電圧は、発光期間の画素104Aに流れる画素電流*i_{p i x}*によって比較的大きく変動する。よって、閾値電圧補償動作における駆動トランジスタQ_dのドレイン電圧が変動することにより、検出される閾値電圧V_{th_m}の検出精度が低下するという問題がある。

10

【0109】

これに対して、本変形例に係る有機EL表示装置は、VSS線185（第2電源線）及びトランジスタQ_{d_et}を備えることで、閾値電圧補償動作をさせている画素104Aの駆動トランジスタQ_dのドレイン電圧を、発光動作をさせている画素104Aの当該ドレイン電圧と独立に印加する。よって、当該有機EL表示装置は、閾値電圧V_{th_m}の検出精度を均一化させることができるので、当該有機EL表示装置は、表示均一性の低下を抑制することができる。

20

【0110】

さらには、VSS1 > VSS2とすることにより、有機EL素子9に逆バイアス状態（アノード電圧 < カソード電圧）となるので、有機EL素子9の経時劣化を抑制することが可能となる。

【0111】

（変形例3）

また、画素の構成は、例えば、図12に示すような構成であってもよい。図12は、変形例3に係る有機EL表示装置における画素の回路構成を示す回路図である。

【0112】

同図に示す画素204では、駆動トランジスタQ_dはn型トランジスタであり、有機EL素子9は、カソード92が駆動トランジスタQ_dのドレインに接続され、アノード91が複数の画素204の少なくとも一部に共通に設けられた共通配線であるVSS線82に接続されている。また、本変形例では、複数の画素204に対して正電源電圧（VDD1、VDD2）を供給するための第1VDD線81（第1電源線）及び第2VDD線285（第2電源線）が設けられている。

30

【0113】

このような画素204を備える有機EL表示装置は、上記変形例2と同様に、トランジスタQ_{sca_n}、Q_{enb}をオフ状態、かつ、トランジスタQ_{ref}、Q_{mrg}、Q_{d_et}をオン状態とすることにより、閾値電圧補償動作を実行する。つまり、当該有機EL表示装置は、発光動作をさせている画素204では、トランジスタQ_{enb}（第1スイッチ）をオンかつトランジスタQ_{d_et}（第2スイッチ）をオフさせ、閾値電圧補償動作をさせている画素204では、トランジスタQ_{enb}をオフかつトランジスタQ_{d_et}をオンさせることにより、閾値電圧補償動作をさせている画素204の駆動トランジスタQ_dのドレイン電圧を、発光動作をさせている画素204の当該ドレイン電圧と独立に印加する。

40

【0114】

以上説明した本変形例に係る有機EL表示装置においても、上記実施の形態と同様の効果を奏する。すなわち、表示均一性の低下を抑制することができる。

【0115】

具体的には、第2VDD線285（第2電源線）及びトランジスタQ_{d_et}を備えない

50

場合、閾値電圧補償動作における駆動トランジスタQ dのドレイン電圧は、第1 V D D線8 1（第1電源線）の電圧に依存する。このとき、第1 V D D線8 1の電圧は、発光期間の画素2 0 4に流れる画素電流 $i_{p i x}$ によって比較的大きく変動する。よって、閾値電圧補償動作における駆動トランジスタQ dのドレイン電圧が変動することにより、検出される閾値電圧 V_{th_m} の検出精度が低下するという問題がある。

【0 1 1 6】

これに対して、本変形例に係る有機E L表示装置は、第2 V D D線2 8 5（第2電源線）及びトランジスタQ d e tを備えることで、閾値電圧補償動作をさせている画素2 0 4の駆動トランジスタQ dのドレイン電圧を、発光動作をさせている画素2 0 4の当該ドレイン電圧と独立に印加する。よって、当該有機E L表示装置は、閾値電圧 V_{th_m} の検出精度を均一化させることができるので、当該有機E L表示装置は、表示均一性の低下を抑制することができる。

10

【0 1 1 7】

（変形例4）

また、画素の構成は、例えば、図1 3に示すような構成であってもよい。図1 3は、変形例4に係る有機E L表示装置における画素の回路構成を示す回路図である。

【0 1 1 8】

同図に示す画素3 0 4では、駆動トランジスタQ dはp型トランジスタであり、有機E L素子9は、カソード9 2が駆動トランジスタQ dのソースに接続され、アノード9 1が複数の画素3 0 4の少なくとも一部に共通に設けられた共通配線である第1 V D D線8 1に接続されている。また、本変形例では、複数の画素3 0 4に対して負電源電圧（V S S 1、V S S 2）を供給するためのV S S線8 2（第1電源線）及びV S S線3 8 5（第2電源線）が設けられている。また、本変形例では、第1 V D D線8 1には正電源電圧としてV D Dが供給されている。

20

【0 1 1 9】

このような画素3 0 4を備える有機E L表示装置は、上記実施の形態と同様に、トランジスタQ s c a n、Q e n b、Q r s tをオフ状態、かつ、トランジスタQ r e f、Q d e tをオン状態とすることにより、閾値電圧補償動作を実行する。つまり、当該有機E L表示装置は、発光動作をさせている画素3 0 4では、トランジスタQ e n b（第1スイッチ）をオンかつトランジスタQ d e t（第2スイッチ）をオフさせ、閾値電圧補償動作をさせている画素3 0 4では、トランジスタQ e n bをオフかつトランジスタQ d e tをオンさせることにより、閾値電圧補償動作をさせている画素3 0 4の駆動トランジスタQ dのドレイン電圧を、発光動作をさせている画素3 0 4の当該ドレイン電圧と独立に印加する。

30

【0 1 2 0】

以上説明した本変形例に係る有機E L表示装置においても、上記実施の形態と同様の効果を奏する。すなわち、表示均一性の低下を抑制することができる。

【0 1 2 1】

具体的には、V S S線3 8 5（第2電源線）及びトランジスタQ d e tを備えない場合、閾値電圧補償動作における駆動トランジスタQ dのドレイン電圧は、V S S線8 2（第1電源線）の電圧に依存する。このとき、V S S線8 2の電圧は、発光期間の画素3 0 4に流れる画素電流 $i_{p i x}$ によって比較的大きく変動する。よって、閾値電圧補償動作における駆動トランジスタQ dのドレイン電圧が変動することにより、検出される閾値電圧 V_{th_m} の検出精度が低下するという問題がある。

40

【0 1 2 2】

これに対して、本変形例に係る有機E L表示装置は、V S S線3 8 5（第2電源線）及びトランジスタQ d e tを備えることで、閾値電圧補償動作をさせている画素3 0 4の駆動トランジスタQ dのドレイン電圧を、発光動作をさせている画素3 0 4の当該ドレイン電圧と独立に印加する。よって、当該有機E L表示装置は、閾値電圧 V_{th_m} の検出精度を均一化させることができるので、当該有機E L表示装置は、表示均一性の低下を抑制

50

することができる。

【0123】

また、第1VDD線81の電圧(VDD)を基準電圧とすると、閾値電圧補償動作における駆動トランジスタQdのドレイン電圧(VSS22)と当該基準電圧(VDD)との差分は、発光動作における駆動トランジスタQdのドレイン電圧(VSS1)と当該基準電圧(VDD)との差分より小さくてもよい。

【0124】

これにより、閾値電圧補償動作における消費電力を削減できる。

【0125】

(他の変形例)

以上、本開示に係る有機EL表示装置について説明したが、本開示は、上記の実施の形態及び各変形例に限定されるものではない。

【0126】

例えば、上記説明では、本開示に係る表示装置として、有機EL素子9を発光素子として備える有機EL表示装置について説明したが、本開示はこれに限らず、電流駆動型の発光素子を備える表示装置であればよい。

【0127】

また、本開示は、このような表示装置として実現することができるだけでなく、表示装置が実行する処理をステップとする表示装置の駆動方法として実現することができる。すなわち、本開示に係る表示装置の駆動方法の一態様は、複数の画素を有する表示装置の駆動方法であって、複数の画素の各々は、供給された電流に応じて発光する発光素子と、発光素子に電流を供給する駆動トランジスタと、駆動トランジスタのゲート・ソース間に接続された保持容量とを有し、表示装置の駆動方法は、複数の画素の一部では、発光素子を発光させ、他の一部では、保持容量の電圧を駆動トランジスタの閾値電圧になるように変化させている表示状態において、他の一部の画素の駆動トランジスタのドレイン電圧を、一部の画素の当該ドレイン電圧と独立に印加する。

【0128】

また、表示装置は、さらに、複数の画素に対して電源電圧を供給するための第1電源線及び第2電源線を有し、複数の画素の各々は、さらに、第1電源線を介して発光素子に供給される電流の電流経路に設けられた第1スイッチと、第2電源線と駆動トランジスタのドレインとの導通及び非導通を切り換える第2スイッチとを有してもよく、表示装置の駆動方法は、一部の画素において、第1スイッチをオフかつ第2スイッチをオンした状態で、保持容量に駆動トランジスタの閾値電圧に対応した電圧を保持させる保持ステップと、保持ステップの後、第1スイッチをオフかつ第2スイッチをオフした状態で、発光素子の輝度を示す信号電圧が閾値電圧によって補償された電圧を保持容量に保持させる書き込みステップと、書き込みステップの後、第1スイッチをオンかつ第2スイッチをオフすることにより、発光素子を発光させる発光ステップとを含み、保持ステップでは、他の一部の画素の駆動トランジスタのドレイン電圧を、一部の画素の当該ドレイン電圧と独立に印加してもよい。

【0129】

また、表示装置に含まれる特徴的な制御部としてコンピュータを機能させるためのプログラム、又は、駆動方法に含まれる特徴的なステップをコンピュータに実行させるプログラムとして実現することもできる。そして、そのようなプログラムを、CD-ROM(Compact Disc-Read Only Memory)等のコンピュータ読取可能な非一時的な記録媒体やインターネット等の通信ネットワークを介して流通させることができるのは、言うまでもない。

【0130】

その他、実施の形態及び変形例に対して当業者が思いつく各種変形を施して得られる形態や、本開示の趣旨を逸脱しない範囲で実施の形態及び変形例における構成要素及び機能を任意に組み合わせることで実現される形態も本開示に含まれる。

10

20

30

40

50

【産業上の利用可能性】

【0131】

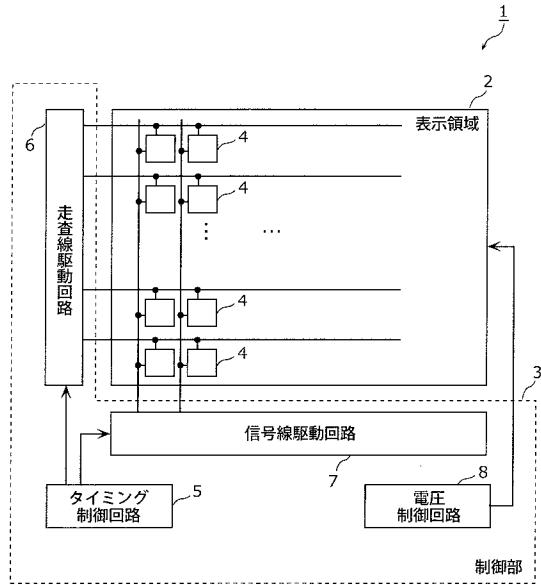
本開示は、表示装置に利用でき、特に、例えば図14に示されるようなテレビなどのF
PD表示装置に利用することができる。

【符号の説明】

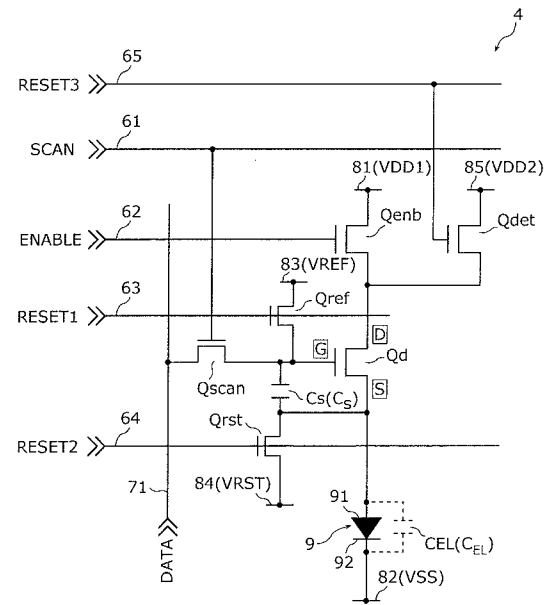
【0132】

1	有機EL表示装置	
2	表示領域	
3	制御部	
4、104、104A、204、304、904	画素	10
5	タイミング制御回路	
6	走査線駆動回路	
7	信号線駆動回路	
8	電圧制御回路	
9	有機EL素子	
61	SCAN線	
62	ENABLE線	
63～65	RESET線	
71	DATA線	
81	第1VDD線	20
82、185、385	VSS線	
83	VREF線	
84	Vrst線	
85、285	第2VDD線	
91	アノード	
92	カソード	
Cs、Cs1、Cs2	保持容量	
CEL	容量成分	
Qd	駆動トランジスタ	
Qdet、Qenb、Qenb2、Qmrg、Qref、Qrst、Qscan	トランジスタ	30

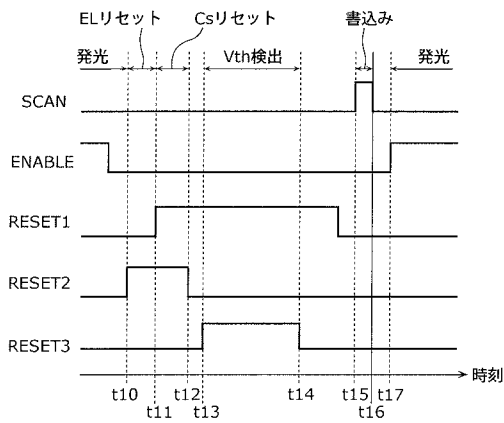
【図 1】



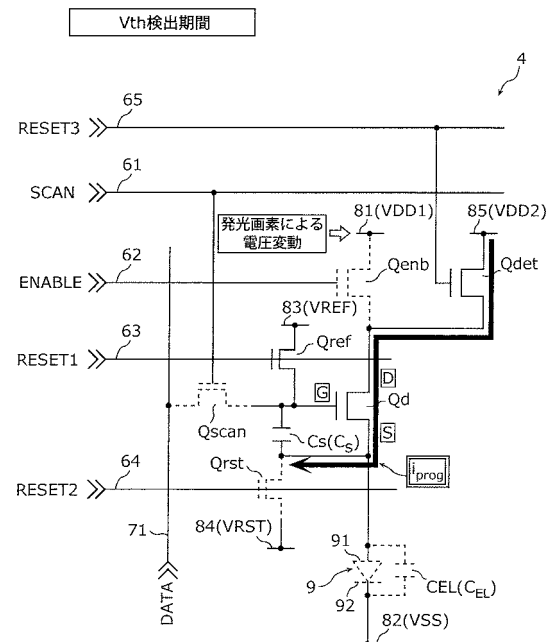
【図 2】



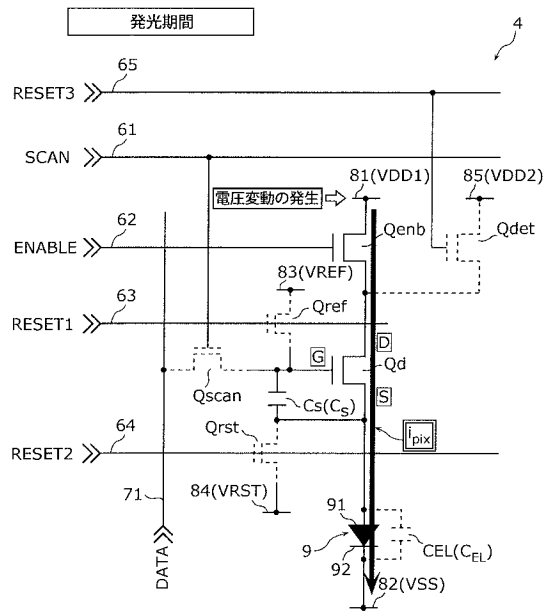
【図 3】



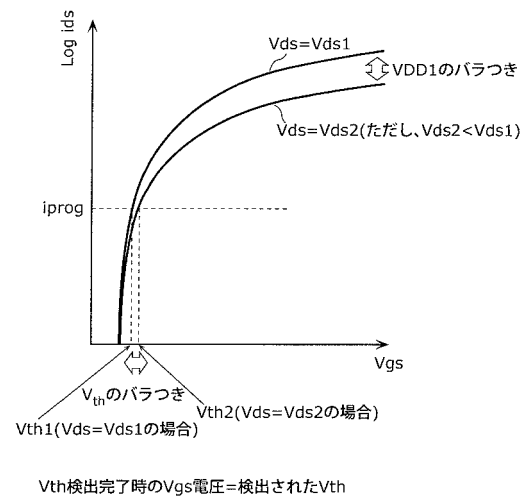
【図 4 A】



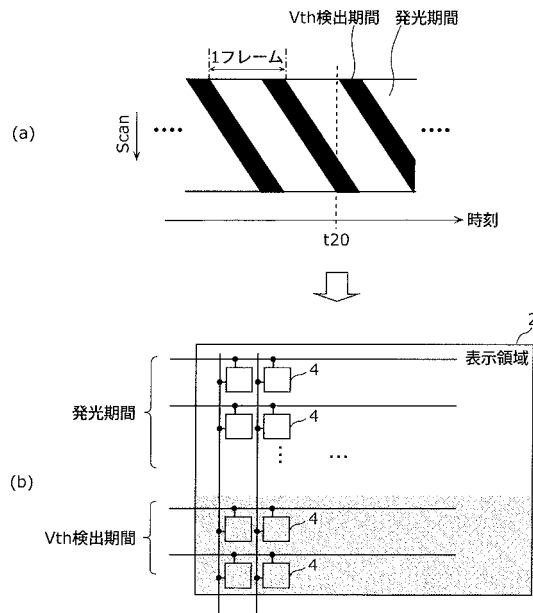
【図 4 B】



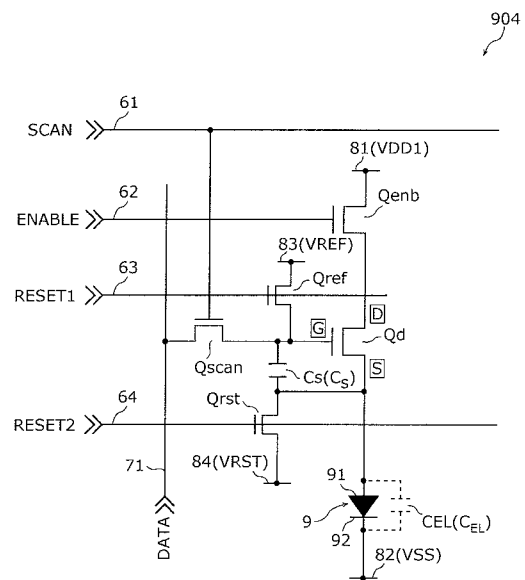
【図 5】



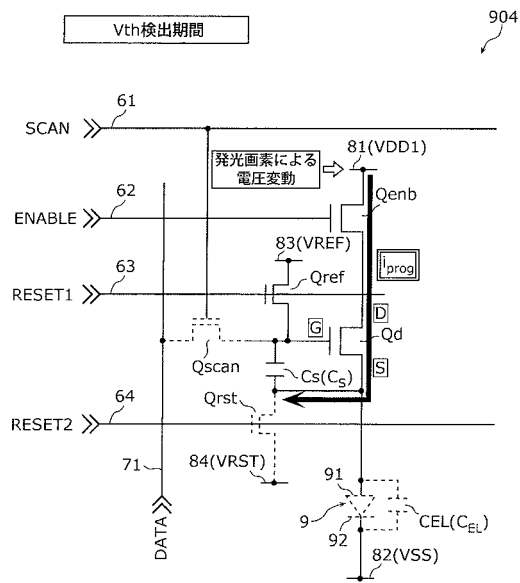
【図 6】



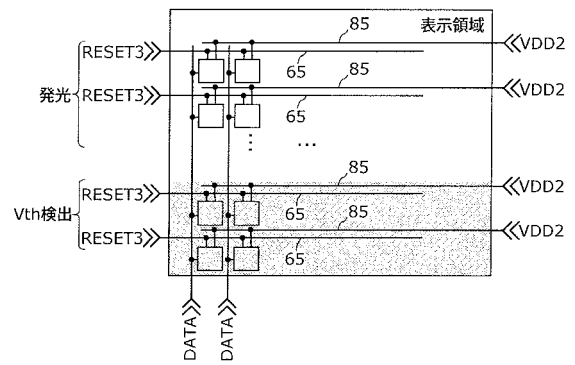
【図 7】



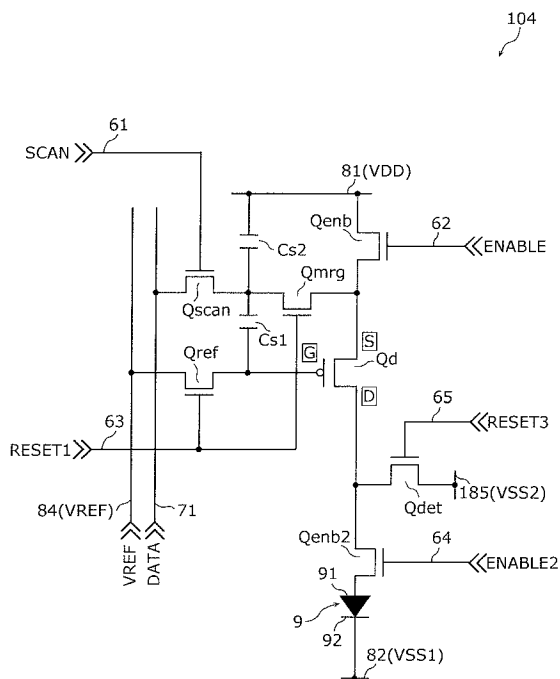
【図 8】



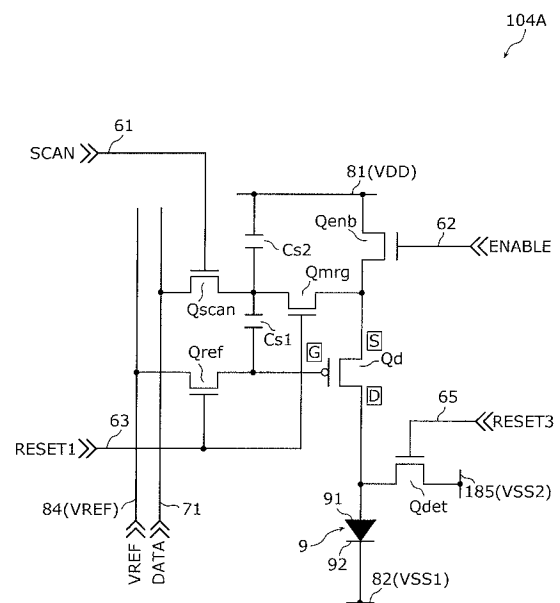
【図 9】



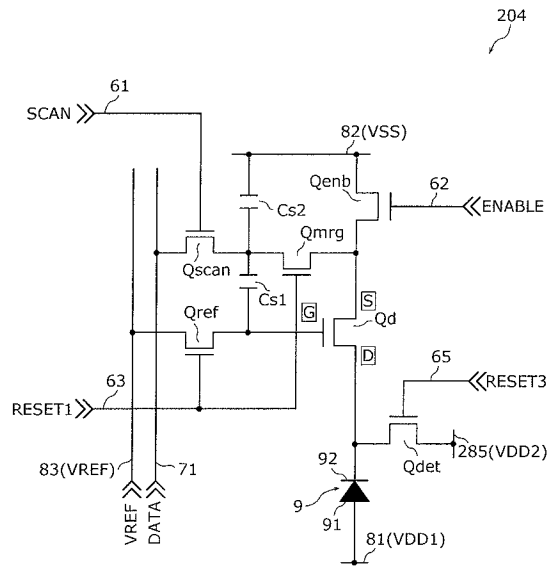
【図 10】



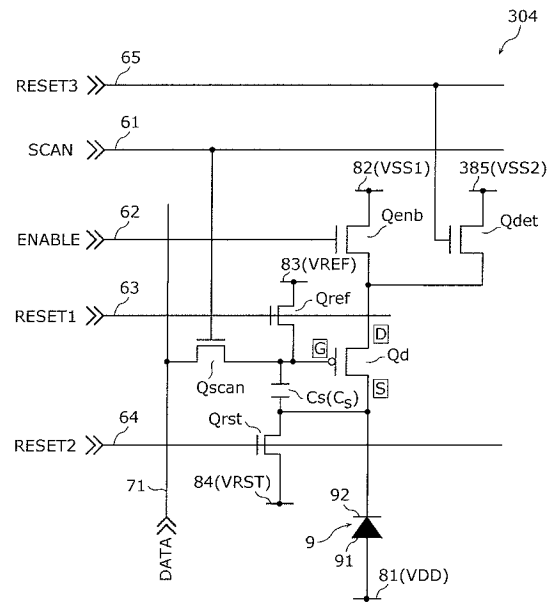
【図 11】



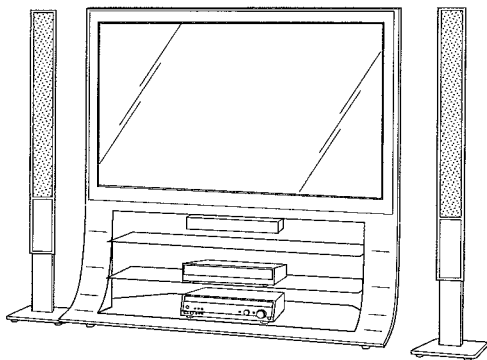
【図 1 2】



【図 1 3】



【図 1 4】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2015/003176
A. CLASSIFICATION OF SUBJECT MATTER G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i, H05B33/08(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G3/30, G09G3/20, H01L51/50, H05B33/08 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015 Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-92674 A (Sony Corp.), 16 May 2013 (16.05.2013), paragraphs [0015] to [0088], [0109]; fig. 1 to 15, 22 & US 2014/0232705 A1 & WO 2013/061767 A1 & TW 201320046 A & CN 103890831 A & KR 10-2014-0094510 A	1-14
A	JP 2011-145622 A (Toshiba Mobile Display Co., Ltd.), 28 July 2011 (28.07.2011), entire text; all drawings (Family: none)	1-14
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 August 2015 (13.08.15)		Date of mailing of the international search report 25 August 2015 (25.08.15)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/003176

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-74873 A (Sony Corp.), 24 April 2014 (24.04.2014), entire text; all drawings & US 2014/0035797 A1 & CN 103578420 A & KR 10-2014-0016818 A & CN 203552655 U & TW 201405518 A	1-14
A	JP 2014-115412 A (Canon Inc.), 26 June 2014 (26.06.2014), entire text; all drawings (Family: none)	1-14

国際調査報告		国際出願番号 PCT/J P 2015/003176	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i, H05B33/08(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/30, G09G3/20, H01L51/50, H05B33/08			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X	JP 2013-92674 A (ソニー株式会社) 2013.05.16, [0015] - [0088], [0109], 図1-15, 22 & US 2014/0232705 A1 & WO 2013/061767 A1 & TW 201320046 A & CN 103890831 A & KR 10-2014-0094510 A	1-14	
A	JP 2011-145622 A (東芝モバイルディスプレイ株式会社) 2011.07.28, 全文全図 (ファミリーなし)	1-14	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 13.08.2015		国際調査報告の発送日 25.08.2015	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 橋本 直明	2G 9707 電話番号 03-3581-1101 内線 3226

国際調査報告		国際出願番号 PCT/J P 2 0 1 5 / 0 0 3 1 7 6
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-74873 A (ソニー株式会社) 2014.04.24, 全文全図 & US 2014/0035797 A1 & CN 103578420 A & KR 10-2014-0016818 A & CN 203552655 U & TW 201405518 A	1-14
A	JP 2014-115412 A (キヤノン株式会社) 2014.06.26, 全文全図 (ファミリーなし)	1-14

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 2 1 A	
	H 0 5 B 33/14 A	

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

F ターム(参考) 5C380 AA01 AB06 AC07 BA01 BA39 BB01 CA12 CB01 CB16 CB17
 CC04 CC07 CC27 CC30 CC33 CC39 CC65 CC66 CD016 CD025
 CD026 CD027 CF62 DA02 DA32

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JPWO2015198597A1	公开(公告)日	2017-04-20
申请号	JP2016529080	申请日	2015-06-24
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
[标]发明人	小野晋也		
发明人	小野 晋也		
IPC分类号	G09G3/3233 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0426 G09G2300/0814 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2300/0866 G09G2310/0245 G09G2310/0262 G09G2310/08 G09G2320/0233 G09G2330/028 H01L27/3276		
FI分类号	G09G3/3233 G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.621.A H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC36 3K107/EE03 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AC07 5C380/BA01 5C380/BA39 5C380/BB01 5C380/CA12 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC65 5C380/CC66 5C380/CD016 5C380/CD025 5C380/CD026 5C380/CD027 5C380/CF62 5C380/DA02 5C380/DA32		
代理人(译)	吉川修 Sobashima正雄		
优先权	2014132873 2014-06-27 JP		
外部链接	Espacenet		

摘要(译)

根据本公开的有机EL显示装置(1)具有多个像素(4)，并且多个像素(4)中的每个根据所提供的像素电流 i 像素发光。器件(9)，将像素电流 i 像素提供给有机EL器件(9)的驱动晶体管(Qd)以及连接在驱动晶体管(Qd)的栅极和源极之间的存储电容器(Cs)有。在此，在有机EL显示装置(1)中，使有机EL元件(9)在多个像素(4)的一部分发光，在另一部分中将存储电容器的电压施加于驱动晶体管(Qd)。在显示状态更改为阈值电压的显示状态下，独立于像素(4)另一部分的漏极电压施加像素(4)另一部分的驱动晶体管(Qd)的漏极电压。提供控制单元(3)。

