

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02013/021417

発行日 平成27年3月5日(2015.3.5)

(43) 国際公開日 平成25年2月14日(2013.2.14)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H05B 33/08 (2006.01)	G09G 3/20 622L	5C380
H01L 51/50 (2006.01)	G09G 3/20 670K	
	G09G 3/20 622D	
審査請求 有 予備審査請求 未請求 (全 31 頁) 最終頁に続く		

出願番号	特願2012-502044 (P2012-502044)	(71) 出願人	000005821
(21) 国際出願番号	PCT/JP2011/004511		パナソニック株式会社
(22) 国際出願日	平成23年8月9日(2011.8.9)		大阪府門真市大字門真1006番地
(81) 指定国	AP (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM	(74) 代理人	100109210 弁理士 新居 広守
		(72) 発明者	小野 晋也 日本国大阪府門真市大字門真1006番地 パナソニック株式会社内
		(72) 発明者	戎野 浩平 日本国大阪府門真市大字門真1006番地 パナソニック株式会社内
		Fターム(参考)	3K107 CC31 EE03 HH04 5C080 AA06 BB05 DD01 DD29 EE29 FF11 GG12 HH09 JJ02 JJ03 JJ04 JJ05 JJ06 KK43 最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

簡単な画素回路で、駆動トランジスタの電気特性変動による残像を解消でき、表示領域を上下に分割して駆動する際に分割線が視認されない本発明の表示装置は、有機EL素子(15)と、静電保持容量(13)と、ゲートが静電保持容量(13)の電極(131)に接続され、ソースが有機EL素子(15)のアノードに接続された駆動トランジスタ(14)と、電極(231)が静電保持容量(13)の電極(132)に接続された静電保持容量(23)と、有機EL素子(15)のカソードの電位を決定する負電源線(22)と、スイッチングトランジスタ(12)、スイッチングトランジスタ(11)及びスイッチングトランジスタ(19)を制御する走査線駆動回路(4)とを備える。そして、表示期間において、表示部(6)の表示領域を一括発光し、非表示期間においては表示部(6)の表示領域を一括消光するとともに駆動トランジスタ(14)をリセットする。

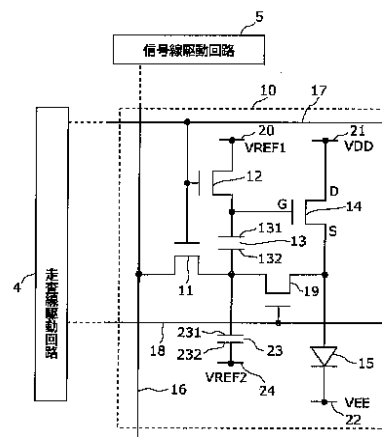


FIG. 2:
4 Scanning line drive circuit
5 Signal line drive circuit

【特許請求の範囲】**【請求項 1】**

第 1 の表示部及び第 2 の表示部で構成される表示部と、前記第 1 の表示部及び前記第 2 の表示部を駆動する駆動部とを具備し、

前記第 1 の表示部及び前記第 2 の表示部の各々は、マトリクス状に配置された複数の発光画素と、前記発光画素の行ごとに配置された走査線及び制御線と、前記発光画素の列ごとに配置されたデータ線と、前記発光画素に電源供給を行う第 1 電源線及び第 2 電源線とを備え、

前記発光画素の各々は、

一方の電極が前記第 2 電源線に接続された発光素子と、

10

ソース電極が前記発光素子に接続され、ドレイン電極が前記第 1 電源線に接続された駆動トランジスタと、

一方の電極が前記駆動トランジスタのゲート電極に接続された第 1 のキャパシタと、

ゲート電極が前記走査線に接続され、所定の参照電位を供給する第 1 の参照電位線と前記駆動トランジスタのゲート電極との導通及び非導通を切り替える第 1 スイッチングトランジスタと、

ゲート電極が前記走査線に接続され、前記データ線と前記第 1 のキャパシタの他方の電極との導通及び非導通を切り替える第 2 スイッチングトランジスタと、

ゲート電極が前記制御線に接続され、前記第 1 のキャパシタの前記他方の電極と前記駆動トランジスタのソース電極との導通及び非導通を切り替える第 3 スイッチングトランジスタと、

20

一方の電極が前記第 1 のキャパシタの前記他方の電極に接続され、他方の電極が所定の参照電位を供給する第 2 の参照電位線に接続された第 2 のキャパシタと、を備え、

前記駆動部は、

前記走査線を介して前記第 1 の表示部及び前記第 2 の表示部の全ての発光画素における前記第 1 スイッチングトランジスタを導通させ、前記駆動トランジスタのゲート電極に前記所定の参照電位を印加することで、全ての前記発光画素が同時に消光される非表示期間を開始する制御を行い、

前記制御線を介して、前記全ての発光画素における前記第 3 スイッチングトランジスタを導通させ、前記駆動トランジスタのゲート電極及びソース電極の間に前記第 1 のキャパシタに保持された信号電圧を印加することにより、前記全ての発光画素が同時に発光される表示期間を開始する制御を行う、

30

表示装置。

【請求項 2】

前記非表示期間には、前記第 1 の表示部及び前記第 2 の表示部の全ての前記発光画素における前記駆動トランジスタの初期化を行うリセット期間が含まれ、

前記リセット期間は、

前記駆動部が、前記制御線を介して、前記第 1 の表示部及び前記第 2 の表示部の全ての前記発光画素における前記第 3 スイッチングトランジスタを非導通とし、かつ、前記走査線によって前記第 1 スイッチングトランジスタを導通させることで、前記第 2 電源線より前記発光素子を介して一定の電位が前記駆動トランジスタのソース電極に印加されると共に、前記駆動トランジスタのゲート電極に前記所定の参照電位を印加することによって開始し、

40

前記駆動部が、前記制御線を介して前記第 3 スイッチングトランジスタを導通させ、前記駆動トランジスタのゲート電極及びソース電極の間に前記第 1 のキャパシタに保持された信号電圧を印加することによって終了する、

請求項 1 に記載の表示装置。

【請求項 3】

前記非表示期間には、前記第 1 の表示部及び前記第 2 の表示部の全ての前記発光画素における前記駆動トランジスタの初期化を行うリセット期間が含まれ、

50

前記リセット期間は、

前記駆動部が、前記データ線にリセット電圧を供給すると共に、前記走査線を介して前記第 1 スイッチングトランジスタ及び前記第 2 スイッチングトランジスタを導通させることで、前記リセット電圧が前記駆動トランジスタのソース電極に印加されると共に、前記駆動トランジスタのゲート電極に前記所定の参照電位が印加されることによって開始し、

前記駆動部が、前記制御線を介して前記第 3 スイッチングトランジスタを導通させ、前記駆動トランジスタのゲート電極及びソース電極の間に前記第 1 のキャパシタに保持された信号電圧が印加されることによって終了する、

請求項 1 に記載の表示装置。

【請求項 4】

10

前記非表示期間には、

前記全ての発光画素における前記第 3 スイッチングトランジスタが非導通である状態で、前記第 1 の表示部及び前記第 2 の表示部のそれぞれにおける全ての前記発光画素の前記第 1 のキャパシタそれぞれに、信号電圧を保持させる信号電圧書込期間が含まれ、

前記信号電圧書込期間では、

前記駆動部が、前記第 1 の表示部及び前記第 2 の表示部のそれぞれにおける前記発光画素の対応する行に配置された前記走査線を介して、対応する第 1 スイッチングトランジスタ及び前記第 2 スイッチングトランジスタを導通させ、かつ、対応する前記データ線から伝達される信号電圧を、対応する前記第 1 のキャパシタに保持させることにより、前記全ての発光画素における前記第 1 のキャパシタは前記信号電圧を保持する、

20

請求項 1 に記載の表示装置。

【請求項 5】

前記信号電圧書込期間は、前記駆動部により、前記リセット期間の少なくとも一部と重なるように制御される、

請求項 4 に記載の表示装置。

【請求項 6】

前記信号電圧書込期間は、前記駆動部により、前記リセット期間に含まれるように制御される、

請求項 4 に記載の表示装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、表示装置に関し、特に電流駆動型の発光素子を用いた表示装置に関する。

【背景技術】

【0002】

電流駆動型の発光素子を用いた表示装置として、有機エレクトロルミネッセンス（EL）素子を用いた表示装置が知られている。この自発光する有機 EL 素子を用いた有機 EL 表示装置は、液晶表示装置に必要なバックライトが不要で装置の薄型化に最適である。また、視野角にも制限がないため、次世代の表示装置としての実用化が期待されている。また、有機 EL 表示装置に用いられる有機 EL 素子は、各発光素子の輝度がそこに流れる電流値により制御される点で、液晶セルがそこに印加される電圧により制御されるのとは異なる。

40

【0003】

有機 EL 表示装置では、通常、画素を構成する有機 EL 素子がマトリクス状に配置される。複数の行電極（走査線）と複数の列電極（データ線）との交点に有機 EL 素子を設け、選択した行電極と複数の列電極との間にデータ信号に相当する電圧を印加するようにして有機 EL 素子を駆動するものをパッシブマトリクス型の有機 EL ディスプレイと呼ぶ。

【0004】

一方、複数の走査線と複数のデータ線との交点にスイッチング薄膜トランジスタ（TFT：Thin Film Transistor）を設け、このスイッチング TFT に駆

50

動素子のゲートを接続し、選択した走査線を通じてこのスイッチングＴＦＴをオンさせて信号線からデータ信号を駆動素子に入力する。この駆動素子によって有機ＥＬ素子を駆動するものをアクティブマトリクス型の有機ＥＬ表示装置と呼ぶ。

【０００５】

アクティブマトリクス型の有機ＥＬ表示装置は、各行電極（走査線）を選択している期間のみ、それに接続された有機ＥＬ素子が発光するパッシブマトリクス型の有機ＥＬ表示装置とは異なり、次の走査（選択）まで有機ＥＬ素子を発光させることが可能であるため、走査線数が増大してもディスプレイの輝度減少を招くようなことはない。従って、アクティブマトリクス型の有機ＥＬ表示装置は、低電圧で駆動でき、低消費電力化が可能となる。

10

【０００６】

例えば特許文献１には、アクティブマトリクス型の有機ＥＬ表示装置における画素部の回路構成及びその駆動方法が開示されている。

【先行技術文献】

【特許文献】

【０００７】

【特許文献１】国際公開第２０１０／０４１４２６号

【発明の概要】

【発明が解決しようとする課題】

【０００８】

20

しかしながら、上記特許文献１の画素回路を用い、表示領域を上下に分割して、駆動トランジスタの電気特性の変動による残像を解消するためのリセット期間を設けつつ線順次駆動を行なった場合、以下に説明する課題がある。

【０００９】

具体的には、特許文献１の画素回路を用いて、大型のパネルの表示領域を上下に分割して、リセット期間を設けつつ線順次駆動を行なった場合、表示タイミングのずれにより表示領域の分割線がどうしても視認されてしまうという課題がある。例えば、図１１に示すように、上下分割線上で途切れて見えてしまう。この分割線は、表示対象物としての白の縦バーを左右方向にスクロールした場合に顕著に現れる。

【００１０】

30

そこで、上記課題に鑑み、本発明は、簡単な画素回路で、表示領域を上下に分割して駆動する際に分割線が視認されないと共に、駆動トランジスタの電気特性変動による残像を解消することができる表示装置を提供することを目的とする。

【課題を解決するための手段】

【００１１】

上記目的を達成するために、本発明の一態様に係る表示装置は、第１の表示部及び第２の表示部で構成される表示部と、前記第１の表示部及び前記第２の表示部を駆動する駆動部とを具備し、前記第１の表示部及び前記第２の表示部の各々は、マトリクス状に配置された複数の発光画素と、前記発光画素の行ごとに配置された走査線及び制御線と、前記発光画素の列ごとに配置されたデータ線と、前記発光画素に電源供給を行う第１電源線及び第２電源線とを備え、前記発光画素の各々は、一方の電極が前記第２電源線に接続された発光素子と、ソース電極が前記発光素子に接続され、ドレイン電極が前記第１電源線に接続された駆動トランジスタと、一方の電極が前記駆動トランジスタのゲート電極に接続された第１のキャパシタと、ゲート電極が前記走査線に接続され、所定の参照電位を供給する第１の参照電位線と前記駆動トランジスタのゲート電極との導通及び非導通を切り替える第１スイッチングトランジスタと、ゲート電極が前記走査線に接続され、前記データ線と前記第１のキャパシタの他方の電極との導通及び非導通を切り替える第２スイッチングトランジスタと、ゲート電極が前記制御線に接続され、前記第１のキャパシタの前記他方の電極と前記駆動トランジスタのソース電極との導通及び非導通を切り替える第３スイッチングトランジスタと、一方の電極が前記第１のキャパシタの前記他方の電極に接続され

40

50

、他方の電極が所定の参照電位を供給する第２の参照電位線に接続された第２のキャパシタと、を備え、前記駆動部は、前記走査線を介して前記第１の表示部及び前記第２の表示部の全ての発光画素における前記第１スイッチングトランジスタを導通させ、前記駆動トランジスタのゲート電極に前記所定の参照電位を印加することで、全ての前記発光画素が同時に消光される非表示期間を開始する制御を行い、前記制御線を介して、前記全ての発光画素における前記第３スイッチングトランジスタを導通させ、前記駆動トランジスタのゲート電極及びソース電極の間に前記第１のキャパシタに保持された信号電圧を印加することにより、前記全ての発光画素が同時に発光される表示期間を開始する制御を行う。

【発明の効果】

【００１２】

本発明によれば、簡単な画素回路で、表示領域を上下に分割して駆動する際に分割線が視認されないと共に、駆動トランジスタの電気特性変動による残像を解消することができる表示装置を実現することができる。

【図面の簡単な説明】

【００１３】

【図１】図１は、本発明の表示装置の電気的な構成を示すブロック図である。

【図２】図２は、本発明の実施の形態に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。

【図３Ａ】図３Ａは、本発明の実施の形態に係る表示装置の制御方法の動作タイミングチャートの一例である。

【図３Ｂ】図３Ｂは、本発明の実施の形態に係る表示装置の制御方法の動作タイミングチャートの別の一例である。

【図４】図４は、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートの一例である。

【図５Ａ】図５Ａは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｂ】図５Ｂは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｃ】図５Ｃは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｄ】図５Ｄは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｅ】図５Ｅは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｆ】図５Ｆは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｇ】図５Ｇは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｈ】図５Ｈは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｉ】図５Ｉは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｊ】図５Ｊは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｋ】図５Ｋは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｌ】図５Ｌは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｍ】図５Ｍは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

10

20

30

40

50

【図 5 N】図 5 N は、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図 6】図 6 は、駆動トランジスタに蓄積された電荷により閾値電圧の変動が生じることを示す特性図である。

【図 7】図 7 は、駆動トランジスタに蓄積された電荷を模式的に示す図である。

【図 8】図 8 は、駆動トランジスタに蓄積された電荷を解消するリセット効果を模式的に示す図である。

【図 9】図 9 は、本発明の表示装置の効果を示すための図である。

【図 10】図 10 は、本発明の表示装置を内蔵した薄型フラット TV の外観図である。

【図 11】図 11 は、本発明の課題を説明するための図である。

10

【発明を実施するための形態】

【0014】

本発明の一態様に係る表示装置は、第 1 の表示部及び第 2 の表示部で構成される表示部と、前記第 1 の表示部及び前記第 2 の表示部を駆動する駆動部とを具備し、前記第 1 の表示部及び前記第 2 の表示部の各々は、マトリクス状に配置された複数の発光画素と、前記発光画素の行ごとに配置された走査線及び制御線と、前記発光画素の列ごとに配置されたデータ線と、前記発光画素に電源供給を行う第 1 電源線及び第 2 電源線とを備え、前記発光画素の各々は、一方の電極が前記第 2 電源線に接続された発光素子と、ソース電極が前記発光素子に接続され、ドレイン電極が前記第 1 電源線に接続された駆動トランジスタと、一方の電極が前記駆動トランジスタのゲート電極に接続された第 1 のキャパシタと、ゲート電極が前記走査線に接続され、所定の参照電位を供給する第 1 の参照電位線と前記駆動トランジスタのゲート電極との導通及び非導通を切り替える第 1 スイッチングトランジスタと、ゲート電極が前記走査線に接続され、前記データ線と前記第 1 のキャパシタの他方の電極との導通及び非導通を切り替える第 2 スイッチングトランジスタと、ゲート電極が前記制御線に接続され、前記第 1 のキャパシタの前記他方の電極と前記駆動トランジスタのソース電極との導通及び非導通を切り替える第 3 スイッチングトランジスタと、一方の電極が前記第 1 のキャパシタの前記他方の電極に接続され、他方の電極が所定の参照電位を供給する第 2 の参照電位線に接続された第 2 のキャパシタと、を備え、前記駆動部は、前記走査線を介して前記第 1 の表示部及び前記第 2 の表示部の全ての発光画素における前記第 1 スイッチングトランジスタを導通させ、前記駆動トランジスタのゲート電極に前記所定の参照電位を印加することで、全ての前記発光画素が同時に消光される非表示期間を開始する制御を行い、前記制御線を介して、前記全ての発光画素における前記第 3 スイッチングトランジスタを導通させ、前記駆動トランジスタのゲート電極及びソース電極の間に前記第 1 のキャパシタに保持された信号電圧を印加することにより、前記全ての発光画素が同時に発光される表示期間を開始する制御を行う。

20

30

【0015】

本態様によれば、上下分割駆動を行なう表示装置において、表示部を一括発光・一括消光することにより、順次発光を行った場合における上下分割線上で途切れて見えてしまうという問題（白の縦バーを左右方向にスクロールした場合に顕著に現れる）を解消する。また、リセット期間を十分に確保することができ、駆動トランジスタの電気特性変動による残像を解消することができる。

40

【0016】

ここで、前記非表示期間には、前記第 1 の表示部及び前記第 2 の表示部の全ての前記発光画素における前記駆動トランジスタの初期化を行うリセット期間が含まれ、前記リセット期間は、前記駆動部が、前記制御線を介して、前記第 1 の表示部及び前記第 2 の表示部の全ての前記発光画素における前記第 3 スイッチングトランジスタを非導通とし、かつ、前記走査線によって前記第 1 スイッチングトランジスタを導通させることで、前記第 2 電源線より前記発光素子を介して一定の電位が前記駆動トランジスタのソース電極に印加されると共に、前記駆動トランジスタのゲート電極に前記所定の参照電位を印加することによって開始し、前記駆動部が、前記制御線を介して前記第 3 スイッチングトランジスタを

50

導通させ、前記駆動トランジスタのゲート電極及びソース電極の間に前記第 1 のキャパシタに保持された信号電圧を印加することによって終了するとしてもよい。

【 0 0 1 7 】

また、前記非表示期間には、前記第 1 の表示部及び前記第 2 の表示部の全ての前記発光画素における前記駆動トランジスタの初期化を行うリセット期間が含まれ、前記リセット期間は、前記駆動部が、前記データ線にリセット電圧を供給すると共に、前記走査線を介して前記第 1 スイッチングトランジスタ及び前記第 2 スイッチングトランジスタを導通させることで、前記リセット電圧が前記駆動トランジスタのソース電極に印加されると共に、前記駆動トランジスタのゲート電極に前記所定の参照電位が印加されることによって開始し、前記駆動部が、前記制御線を介して前記第 3 スイッチングトランジスタを導通させ、前記駆動トランジスタのゲート電極及びソース電極の間に前記第 1 のキャパシタに保持された信号電圧が印加されることによって終了するとしてもよい。

10

【 0 0 1 8 】

また、前記非表示期間には、前記全ての発光画素における前記第 3 スイッチングトランジスタが非導通である状態で、前記第 1 の表示部及び前記第 2 の表示部のそれぞれにおける全ての前記発光画素の前記第 1 のキャパシタそれぞれに、信号電圧を保持させる信号電圧書込期間が含まれ、前記信号電圧書込期間では、前記駆動部が、前記第 1 の表示部及び前記第 2 の表示部のそれぞれにおける前記発光画素の対応する行に配置された前記走査線を介して、対応する第 1 スイッチングトランジスタ及び前記第 2 スイッチングトランジスタを導通させ、かつ、対応する前記データ線から伝達される信号電圧を、対応する前記第 1 のキャパシタに保持させることにより、前記全ての発光画素における前記第 1 のキャパシタは前記信号電圧を保持するとしてもよい。

20

【 0 0 1 9 】

また、前記信号電圧書込期間は、前記駆動部により、前記リセット期間の少なくとも一部と重なるように制御されるとしてもよい。

【 0 0 2 0 】

また、前記信号電圧書込期間は、前記駆動部により、前記リセット期間に含まれるように制御されるとしてもよい。

【 0 0 2 1 】

以下、本発明の好ましい実施の形態を図に基づき説明する。なお、以下では、全ての図を通じて同一又は相当する要素には同じ符号を付して、その重複する説明を省略する。

30

【 0 0 2 2 】

(実施の形態)

以下、本発明の実施の形態について、図面を参照しながら説明する。

【 0 0 2 3 】

図 1 は、本発明の表示装置の電気的な構成を示すブロック図である。図 2 は、本発明の実施の形態に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。ここで、図 2 では、複数の発光画素 10 のうちの 1 つの発光画素 10 についての回路構成及びその周辺回路との接続を示している。

40

【 0 0 2 4 】

図 1 に示すように表示装置 1 は、制御回路 2 と、メモリ 3 と、走査線駆動回路 4 と、信号線駆動回路 5 a と、信号線駆動回路 5 b と、表示部 6 とを備える。また、表示部 6 は、上部表示部 6 a と下部表示部 6 b とで構成され、表示部 6 の上部にある信号線駆動回路 5 a と表示部 6 の下部にある信号線駆動回路 5 b により上下分割駆動される。

【 0 0 2 5 】

言い換えると、表示部 6 は、本発明の第 1 の表示部に相当する上部表示部 6 a と、本発明の第 2 の表示部に相当する下部表示部 6 b とを有する。

【 0 0 2 6 】

上部表示部 6 a 及び下部表示部 6 b は、複数の発光画素 10 を備え、外部から表示装置 1 へ入力された映像信号に基づいて画像を表示する。具体的には、上部表示部 6 a 及び下

50

部表示部 6 b の各々は、マトリクス状に配置された複数の発光画素 1 0 と、複数の発光画素 1 0 の行ごとに配置された走査線 1 7 及び走査線 1 8 と、複数の発光画素 1 0 の列ごとに配置された信号線 1 6 と、発光画素 1 0 に電源供給を行う正電源線 2 1 及び負電源線 2 2 とを備える。

【 0 0 2 7 】

制御回路 2 は、上部表示部 6 a 及び下部表示部 6 b を駆動する。具体的には、制御回路 2 は、走査線駆動回路 4、信号線駆動回路 5 a、信号線駆動回路 5 b 及びメモリ 3 の制御を行い、上部表示部 6 a 及び下部表示部 6 b を駆動させる機能を有する。メモリ 3 には、各発光画素の補正データなどが記憶されており、制御回路 2 は、メモリ 3 に書き込まれた補正データを読み出し、外部から入力された映像信号を、その補正データに基づいて補正して、信号線駆動回路 5 へと出力する。

10

【 0 0 2 8 】

走査線駆動回路 4 は、制御回路 2 に制御される。また、走査線駆動回路 4 は、走査線 1 7 及び走査線 1 8 に接続されており、走査線 1 7 及び走査線 1 8 に走査信号を出力することにより、発光画素 1 0 の有するスイッチングトランジスタ 1 1、スイッチングトランジスタ 1 2 及びスイッチングトランジスタ 1 9 の導通・非導通を制御する機能を有する。

【 0 0 2 9 】

信号線駆動回路 5 a 及び信号線駆動回路 5 b はそれぞれ、制御回路 2 に制御され、上部表示部 6 a 及び下部表示部 6 b を駆動する。具体的には、信号線駆動回路 5 a 及び信号線駆動回路 5 b は、信号線 1 6 に接続されており、制御回路 2 に制御されて、映像信号に基づいた信号電圧を発光画素 1 0 へ出力する機能を有する駆動回路である。なお、信号線駆動回路 5 a 及び信号線駆動回路 5 b はそれぞれ機能的に独立して、上部表示部 6 a 及び下部表示部 6 b を駆動すればよく、一つの信号線駆動回路 5 で上部表示部 6 a 及び下部表示部 6 b をそれぞれ駆動するとしてもよい。

20

【 0 0 3 0 】

発光画素 1 0 は、図 2 に示すように、スイッチングトランジスタ 1 1、1 2 及び 1 9 と、静電保持容量 1 3 及び 2 3 と、駆動トランジスタ 1 4 と、有機 E L 素子 1 5 と、信号線 1 6 と、走査線 1 7 及び 1 8 と、参照電源線 2 0 及び 2 4 と、正電源線 2 1 と、負電源線 2 2 とを備える。また、周辺回路は、走査線駆動回路 4 と、信号線駆動回路 5 (信号線駆動回路 5 a または信号線駆動回路 5 b) とを備える。

30

【 0 0 3 1 】

スイッチングトランジスタ 1 1 は、本発明の第 2 スwitchングトランジスタの一例であり、ゲートが走査線 1 7 に接続され、信号線 1 6 と静電保持容量 1 3 の他方の電極 1 3 2 との導通及び非導通を切り換える。具体的には、スイッチングトランジスタ 1 1 は、ゲートが走査線 1 7 に接続され、ソース及びドレインの一方が信号線 1 6 に接続され、ソース及びドレインの他方が静電保持容量 1 3 の電極 1 3 2 に接続された第 2 スwitchングトランジスタである。スイッチングトランジスタ 1 1 は、信号線 1 6 と静電保持容量 1 3 の電極 1 3 2 との導通及び非導通を制御することで、信号線 1 6 の所望の電圧を静電保持容量 1 3 に保持させる機能を有する。

【 0 0 3 2 】

スイッチングトランジスタ 1 2 は、本発明の第 1 スwitchングトランジスタの一例であり、ゲートが走査線 1 7 に接続され、所定の参照電位 (V R E F 1) を供給する参照電源線 2 0 と駆動トランジスタ 1 4 のゲートとの導通及び非導通を切り換える。具体的には、スイッチングトランジスタ 1 2 は、ゲートが走査線 1 7 に接続され、ソース及びドレインの一方が参照電源線 2 0 に接続され、ソース及びドレインの他方が静電保持容量 1 3 の電極 1 3 1 に接続された第 1 スwitchングトランジスタである。スイッチングトランジスタ 1 2 は、参照電源線 2 0 の参照電圧 V R E F 1 を静電保持容量 1 3 の電極 1 3 1 に印加するタイミングを決定する機能を有する。なお、スイッチングトランジスタ 1 1 及び 1 2 は、例えば、n 型の薄膜トランジスタ (n 型 T F T) で構成されるが、p 型の薄膜トランジスタ (p 型 T F T) であってもよい。

40

50

【 0 0 3 3 】

静電保持容量 1 3 は、本発明の第 1 のキャパシタの一例であり、一方の電極 1 3 1 が駆動トランジスタのゲートに接続されている。具体的には、静電保持容量 1 3 は、一方の電極である電極 1 3 1 が駆動トランジスタ 1 4 のゲートに接続され、他方の電極である電極 1 3 2 がスイッチングトランジスタ 1 9 を介して駆動トランジスタ 1 4 のソースに接続された第 1 のキャパシタである。静電保持容量 1 3 は、信号線 1 6 から供給された信号電圧に対応した電圧を保持し、例えば、スイッチングトランジスタ 1 1 及び 1 2 がオフ状態（非導通状態）となり、スイッチングトランジスタ 1 9 がオン状態（導通状態）となった後に、駆動トランジスタ 1 4 のゲート・ソース電極間電位を安定的に保持し、駆動トランジスタ 1 4 から有機 E L 素子 1 5 へ供給する電流を安定化する機能を有する。

10

【 0 0 3 4 】

静電保持容量 2 3 は、本発明の第 2 のキャパシタの一例であり、一方の電極 2 3 1 が静電保持容量 1 3 の他方の電極 1 3 2 に接続され、他方の電極 2 3 2 が所定の参照電位を供給する参照電源線 2 4 に接続されている。静電保持容量 2 3 は、電極 2 3 2 が参照電源線 2 4 の固定の参照電圧 V R E F 2 と接続されていることにより、スイッチングトランジスタ 1 1 及びスイッチングトランジスタ 1 2 がオン状態（導通状態）からオフ状態（非導通状態）に切り替わった後も、静電保持容量 1 3 および静電保持容量 2 3 により静電保持容量 1 3 の第 1 電極 1 3 1 に保持された電位 V R E F 1 が変動するのを抑える機能を有する。つまり、静電保持容量 2 3 は、スイッチングトランジスタ 1 1 及びスイッチングトランジスタ 1 2 がオフ状態（非導通状態）とされても、駆動トランジスタ 1 4 のゲート電極に印加される電圧は安定的に V R E F 1 となっている。

20

【 0 0 3 5 】

駆動トランジスタ 1 4 は、本発明の駆動トランジスタの一例であり、ソースが有機 E L 素子 1 5 に接続され、ドレインが正電源線 2 1 に接続されている。具体的には、駆動トランジスタ 1 4 は、ドレインが第 1 電源線である正電源線 2 1 に接続され、ソースが有機 E L 素子 1 5 のアノードに接続された駆動素子である。駆動トランジスタ 1 4 は、ゲート・ソース間に印加された電圧に対応したドレイン電流に変換する、電圧 - 電流変換素子である。そして、このドレイン電流を信号電流として有機 E L 素子 1 5 に供給する。駆動トランジスタ 1 4 は、例えば、n 型の薄膜トランジスタ（n 型 T F T）で構成される。また、駆動トランジスタ 1 4 は、例えば、非晶質シリコン膜または非晶質シリコン膜をレーザアニールして結晶化した結晶性シリコン層を含む半導体層を有してもよいし、I n または Z n 等を含む合金の酸化物からなる半導体層を有してもよい。

30

【 0 0 3 6 】

有機 E L 素子 1 5 は、本発明の発光素子の一例であり、一方の電極（カソード）が負電源線 2 2 に接続されている。具体的には、有機 E L 素子 1 5 は、カソードが第 2 電源線である負電源線 2 2 に接続された発光素子である。駆動トランジスタ 1 4 により制御された上記信号電流が有機 E L 素子 1 5 へ流れることにより、有機 E L 素子 1 5 は発光する。

【 0 0 3 7 】

スイッチングトランジスタ 1 9 は、本発明の第 3 スwitchングトランジスタの一例であり、ゲートが走査線 1 8 に接続され、静電保持容量 1 3 の他方の電極 1 3 2 と駆動トランジスタ 1 4 のソースとの導通及び非導通を切り換える。具体的には、スイッチングトランジスタ 1 9 は、ゲートが走査線 1 8 に接続され、ソース及びドレインの一方が駆動トランジスタ 1 4 のソースに接続され、ソース及びドレインの他方が静電保持容量 1 3 の電極 1 3 2 に接続された第 3 スwitchング素子である。スイッチングトランジスタ 1 9 は、静電保持容量 1 3 に保持された電位を駆動トランジスタ 1 4 のゲート・ソース電極間に印加することにより、有機 E L 素子 1 5 の発光開始タイミングを決定する機能を有する。スイッチングトランジスタ 1 9 は、例えば、n 型の薄膜トランジスタ（n 型 T F T）で構成されるが、p 型の薄膜トランジスタ（p 型 T F T）であってもよい。

40

【 0 0 3 8 】

信号線 1 6 は、本発明のデータ線の一例であり、複数の発光画素 1 0 の列ごとに配置さ

50

れている。具体的には、信号線 16 は、信号線駆動回路 5（信号線駆動回路 5a または信号線駆動回路 5b）に接続され、発光画素 10 を含む画素列に属する各発光画素へ接続され、発光強度を決定する信号電圧を供給する機能を有する。

【0039】

走査線 17 は、本発明の走査線の一例であり、複数の発光画素 10 の行ごとに配置されている。具体的には、走査線 17 は、走査線駆動回路 4 に接続され、発光画素 10 を含む画素行に属する各発光画素に接続されている。これにより、走査線 17 は、発光画素 10 を含む画素行に属する各発光画素へ上記信号電圧を書き込むタイミングを決定する機能、及び当該発光画素の有する駆動トランジスタ 14 のゲートに参照電圧 V_{REF1} を印加し、有機 EL 素子 15 が発光を終了するタイミングを決定する機能を有する。

10

【0040】

走査線 18 は、本発明の制御線の一例であり、複数の発光画素 10 の行ごとに配置されている。具体的には、走査線 18 は、走査線駆動回路 4 に接続され、静電保持容量 13 の電極 132 の電位を駆動トランジスタ 14 のソースに接続することにより、静電保持容量 13 の電極間に保持されている輝度信号電圧を駆動トランジスタ 14 のゲート・ソース電極間に印加し、有機 EL 素子 15 が発光を開始するタイミングを決定する機能を有する。

【0041】

このように、表示装置 1 は、画素行数分の走査線 17 及び 18 を備える。

【0042】

参照電源線 20 は、本発明の第 1 の参照電位線の一例であり、所定の参照電位を供給する。具体的には、参照電源線 20 は、静電保持容量 13 の電極 131 と接続され、静電保持容量 13 の電極 131 の電圧値を規定する参照電圧 V_{REF1} を供給する。 V_{REF1} は、走査線 17 によってスイッチングトランジスタ 12 が導通してから、走査線 18 によってスイッチングトランジスタ 19 が導通するまで、駆動トランジスタ 14 がオフ状態となる電圧に設定されている。

20

【0043】

参照電源線 24 は、本発明の第 2 の参照電位線の一例であり、所定の参照電位を供給する。具体的には、参照電源線 24 は、静電保持容量 23 の電極 232 と接続され、静電保持容量 23 の電極 232 の電圧値を規定する参照電圧 V_{REF2} を供給する。なお、参照電源線 24 は、走査線 17 によりスイッチングトランジスタ 11 とスイッチングトランジスタ 12 が導通する直前の時間から、走査線 18 によりスイッチングトランジスタ 19 が導通する直前の時間まで、駆動トランジスタ 14 のゲート電極の電圧を安定的に維持させることができればよく、独立配線で給電されてもよいし、各発光画素 10 の正電源線 21 や負電源線 22 や参照電源線 20 や走査線 18 であってもよい。

30

【0044】

また、正電源線 21 は、本発明の第 1 電源線の一例であり、駆動トランジスタ 14 のドレインに接続され、駆動トランジスタ 14 のドレインの電位 (V_{DD}) を決定する。

【0045】

また、負電源線 22 は、本発明の第 2 電源線の一例であり、有機 EL 素子 15 のカソードに接続され、有機 EL 素子 15 のカソードの電位 (V_{EE}) を決定する。

40

【0046】

以上のように、表示装置 1 は構成される。

【0047】

なお、図 1、図 2 には記載されていないが、参照電源線 20 及び参照電源線 24、第 1 電源線である正電源線 21 及び第 2 電源線である負電源線 22 は、それぞれ、他の発光画素にも接続されており電圧源に接続されている。

【0048】

次に、本実施の形態に係る表示装置 1 の制御方法について説明する。

【0049】

図 3A は、本発明の実施の形態に係る表示装置の制御方法の動作タイミングチャートの

50

一例である。図 3 A において、横軸は時間を表している。また縦方向には、上から順に、上部表示部 6 a 及び下部表示部 6 b の全ての発光画素 1 0 の行の走査線 1 7、走査線 1 8、及び全ての発光画素 1 0 の列の信号線 1 6 に発生する電圧の波形図が示されている。なお、表示部 6 の発光画素 1 0 は、 n 行 m 列からなり、上部表示部 6 a の発光画素 1 0 は p 行 m 列からなるとしている。そのため、図 3 A では、上部表示部 6 a の発光画素 1 0 に対応した行の走査線 1 7 を、走査線 1 7 (1) ~ 走査線 1 7 (p) と示しており、対応した行の走査線 1 8 を走査線 1 8 (1 ~ p) と示しており、及び対応した列の信号線 1 6 を信号線 1 6 (1 ~ m) と示している。また、下部表示部 6 b についても同様に、走査線 1 7 ($p + 1$) ~ 走査線 1 7 (n)、走査線 1 8 ($p + 1$ ~ n)、及び信号線 1 6 (1 ~ m) と示している。

10

【 0 0 5 0 】

ここで、図 3 A において、表示装置の特徴的な制御方法は以下の通りである。

【 0 0 5 1 】

制御回路 2 は、走査線 1 8 (1 ~ p) 及び走査線 1 8 ($p + 1$ ~ n) を介して、上部表示部 6 a 及び下部表示部 6 b の全ての発光画素 1 0 におけるスイッチングトランジスタ 1 9 を非導通とすると共に (図 3 A で時刻 t_0)、走査線 1 7 (1) ~ 走査線 1 7 (n) を介して全ての発光画素 1 0 におけるスイッチングトランジスタ 1 2 を導通させ (図 3 A で時刻 t_1)、駆動トランジスタ 1 4 のゲートに所定の参照電位を印加することで、全ての発光画素 1 0 (有機 E L 素子 1 5) が同時に消光される非表示期間 (時刻 t_1 ~) を開始する制御を行う。

20

【 0 0 5 2 】

また、制御回路 2 は、走査線 1 8 (1 ~ p) 及び走査線 1 8 ($p + 1$ ~ n) を介して、全ての発光画素 1 0 におけるスイッチングトランジスタ 1 9 を導通させ (図 3 A で時刻 t_6)、駆動トランジスタ 1 4 のゲート及びソースの間に静電保持容量 1 3 に保持された信号電圧 ($V_{REF1} - V_{data}$) を印加することにより、全ての発光画素 1 0 (有機 E L 素子 1 5) が同時に発光される表示期間 (時刻 t_6 ~) を開始する制御を行う。

【 0 0 5 3 】

非表示期間には、上部表示部 6 a 及び下部表示部 6 b の全ての発光画素 1 0 における駆動トランジスタ 1 4 の初期化を行なうリセット期間が含まれる。典型的には、非表示期間とリセット期間とは同一期間である。

30

【 0 0 5 4 】

このリセット期間は、図 3 A に示した実施の形態においては、制御回路 2 が、走査線 1 8 (1 ~ p) 及び走査線 1 8 ($p + 1$ ~ n) を介して、上部表示部 6 a 及び下部表示部 6 b の全ての発光画素 1 0 におけるスイッチングトランジスタ 1 9 を非導通とし (図 3 A で時刻 t_0 ~)、かつ、走査線 1 7 (1) ~ 走査線 1 7 (n) によってスイッチングトランジスタ 1 2 を導通させることで (図 3 A で時刻 t_1 ~)、負電源線 2 2 より有機 E L 素子 1 5 を介して一定の電位を駆動トランジスタ 1 4 のソースに印加すると共に、駆動トランジスタ 1 4 のゲートに所定の参照電位を印加することによって開始する。なお、本発明においては、後述の図 3 B で説明するように、リセット期間の初期の期間において、発光画素 1 0 におけるスイッチングトランジスタ 1 9 を非導通とする必要はない。また、このリセット期間は、制御回路 2 が、走査線 1 8 (1 ~ p) 及び走査線 1 8 ($p + 1$ ~ n) を介してスイッチングトランジスタ 1 9 を導通させ、駆動トランジスタ 1 4 のゲート及びソースの間に静電保持容量 1 3 に保持された信号電圧 ($V_{REF1} - V_{data}$) を印加することによって終了する。

40

【 0 0 5 5 】

また、非表示期間には、全ての発光画素 1 0 におけるスイッチングトランジスタ 1 9 が非導通である状態で、上部表示部 6 a 及び下部表示部 6 b のそれぞれにおける全ての発光画素 1 0 の静電保持容量 1 3 それぞれに、順次、信号電圧を保持させる書込期間が含まれる。

【 0 0 5 6 】

50

この書込期間では、制御回路 2 が、上部表示部 6 a 及び下部表示部 6 b のそれぞれにおける発光画素 1 0 の対応する行に配置された走査線 1 7 (x) を介して、順次、対応するスイッチングトランジスタ 1 2 及びスイッチングトランジスタ 1 1 を導通させ (時刻 t 3)、かつ、対応する発光画素 1 0 の列ごとの信号線 1 6 (x) から伝達される信号電圧を、対応する静電保持容量 1 3 に保持させることにより、上部表示部 6 a 及び下部表示部 6 b それぞれ全ての発光画素 1 0 における静電保持容量 1 3 はその信号電圧を保持する。

【 0 0 5 7 】

ここで、書込期間は、図 3 A に示すように、制御回路 2 により、リセット期間の少なくとも一部に含まれるように制御される。なお、典型的には、書込期間はリセット期間に含まれる。

10

【 0 0 5 8 】

なお、書込期間は、上述のように、順次走査、すなわち、スイッチングトランジスタ 1 2 及びスイッチングトランジスタ 1 1 を行ごとに順番に導通させて、順番に信号電圧を保持させる走査方法で制御される場合に限られない。例えば、信号電圧を保持させる順序を行単位で入れ替えた走査方法で制御されるとしてもよい。この場合すなわち書込期間が行ごとに信号電圧を保持させる順序を入れ替えた走査方法で制御される場合、信号線 1 6 から伝達される信号電圧の順序を並び替え、例えば信号線 1 6 に伝達するデータの順番を 3 行目、5 行目、1 行目、2 行目、4 行目・・・とすれば、それに対応させて走査線 1 7 をオンさせる順番を走査線 1 7 (3) → 走査線 1 7 (5) → 走査線 1 7 (1) → 走査線 1 7 (2) → 走査線 1 7 (4) のように設定する。さらには信号線 1 6 に伝達するデータの順番とそれに対応させて走査線 1 7 をオンさせる順番とをフレーム毎に変えてもよい。

20

【 0 0 5 9 】

以上を、換言すると、上下分割駆動を行なう本実施の形態の表示装置は、1 フレーム中に非発光期間とは表示期間とを含むように制御される。非発光期間では、上部表示部 6 a 及び下部表示部 6 b (表示部 6) は一括消光され、表示期間では、全画素のデータ書き込みが完了した後、上部表示部 6 a 及び下部表示部 6 b (表示部 6) は一括発光される。

【 0 0 6 0 】

例えば、制御回路 2 は、時刻 t 1 において、上部表示部 6 a 及び下部表示部 6 b (表示部 6) の全発光画素 1 0 の走査線 1 7 (1) ~ 走査線 1 7 (n) の電圧レベルを LOW から HIGH に変化することで、非表示期間を開始すると共にリセット期間も開始する。ここで、リセット期間が開始されるのは、走査線 1 7 (1) ~ 走査線 1 7 (n) の電圧レベルを LOW から HIGH に変化することで、駆動トランジスタ 1 4 のゲートに所定の参照電位が印加され、駆動トランジスタ 1 4 のソース電圧は負電源線 2 2 より有機 EL 素子 1 5 の正の閾値電圧を加算した値の電圧となっているため、駆動トランジスタ 1 4 に逆バイアスの電圧が印加されて駆動トランジスタ 1 4 が初期化され始めるからである。

30

【 0 0 6 1 】

なお、図 3 B に示すように、リセット期間の初期の期間 (図 3 B の時刻 t 0 ~ t 2) において、発光画素 1 0 におけるスイッチングトランジスタ 1 9 を導通させていてもよい。この場合、時刻 t 1 ~ t 2 において、上部表示部 6 a 及び下部表示部 6 b (表示部 6) の全発光画素 1 0 の信号線 1 6 (1 ~ p) 及び信号線 1 6 (p + 1 ~ n) の電圧レベルを HIGH からリセット電圧 V d a t a 0 に変化させた状態で、走査線 1 8 (1 ~ p) および走査線 1 8 (p + 1 ~ n) の電圧レベルを HIGH とする。これにより、有機 EL 素子 1 5 のアノードに信号電圧 1 6 の V d a t a 0 電圧が印加され、有機 EL 素子 1 5 はアノードよりもカソードの電圧が高くなる逆バイアス状態となり、容量として機能する。よって駆動トランジスタのソース電圧が安定的に V d a t a 0 に保持され、駆動トランジスタのゲート電極に V R E F 1 がおよびソース電極に V d a t a 0 が印加され、リセット工程が実行される。このように信号線 1 6 からリセット電圧を印加することによってより高速にリセット状態とすることができる。

40

【 0 0 6 2 】

以下、上部表示部 6 a または下部表示部 6 b の一つの発光画素 1 0 を例に取り、本発明

50

の実施の形態に係る表示部 6 の有する発光画素 10 の制御方法について説明する。

【0063】

図 4 は、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートの一例である。図 4 において、横軸は時間を表している。また縦方向には、上から順に、上部表示部 6 a または下部表示部 6 b の一つの発光画素 10 の走査線 17 (x)、走査線 18 (x)、及び信号線 16 (y) に発生する電圧の波形図が示されている。

【0064】

また、図 5 A ~ 図 5 N は、本発明の実施の形態に係る表示部の有する発光画素制御方法の動作タイミングチャートを説明するための図であり、画素回路の導通状態を示す図である。以下、例えば、走査線 17 (x) 及び走査線 18 (x) の電圧レベルの HIGH は共に +20V、LOW は共に -10V に設定されているとして説明するが、スイッチングトランジスタ 11、12、19 の電気的特性に応じて走査線 17 と走査線 18 に別の電圧レベル (HIGH、LOW) を与えてもよい。

【0065】

まず、時刻 t0 において、図 4 に示すように、走査線駆動回路 4 は、上部表示部 6 a または下部表示部 6 b における全ての発光画素 10 に対応する走査線 17 (1) ~ 走査線 17 (n) の電圧レベルは LOW に維持したままであるので、スイッチングトランジスタ 11 及び 12 はオフ状態のままである。一方、走査線駆動回路 4 は、上部表示部 6 a または下部表示部 6 b における全ての発光画素 10 に対応する走査線 18 (1 ~ p) 及び走査線 18 (p+1 ~ n) の電圧レベルを HIGH から LOW に変化させ、スイッチングトランジスタ 19 をオフ状態とする。これにより、上部表示部 6 a または下部表示部 6 b における全ての発光画素 10 に対応する駆動トランジスタ 14 のソースと静電保持容量 13 の電極 132 とは非導通の状態となる (例えば図 5 A)。したがって、時刻 t0 では、駆動トランジスタ 14 のソースと静電保持容量 13 の電極 132 とが非導通の状態となった直後であるので、静電保持容量 13 の電極 132 には、静電保持容量 23 により有機 EL 素子 15 のアノードの電圧 (VEL1 (ON)) が保持され、駆動トランジスタ 14 のゲート電圧も静電保持容量 13 によりスイッチングトランジスタ 19 がオン状態の際の電圧が保持されており、有機 EL 素子 15 の発光は継続している。

【0066】

次に、時刻 t1 において、図 3 A 及び図 4 に示すように、発光画素 10 の非表示期間を開始するとともに駆動トランジスタ 14 のリセット期間を開始する。本実施の形態では、上部表示部 6 a または下部表示部 6 b における全ての発光画素 10 において、非表示期間及びリセット期間が開始されるが、ここではそのうちの一つの発光画素 10 について説明する。

【0067】

具体的には、図 4 及び図 5 B に示すように、走査線駆動回路 4 は、走査線 18 (x) の電圧レベルを LOW に維持し、スイッチングトランジスタ 19 はオフ状態 (非導通の状態) のままである。また、走査線駆動回路 4 は、スイッチングトランジスタ 19 がオフ状態 (非導通の状態) において、走査線 17 (x) の電圧レベルを LOW から HIGH に変化させ、スイッチングトランジスタ 12 及びスイッチングトランジスタ 11 をオン状態 (導通状態) にさせる。

【0068】

具体的には、時刻 t1 において、駆動トランジスタ 14 のゲートには参照電源線 20 の参照電圧 (VREF1) が印加され、駆動トランジスタ 14 のソース側には、負電源線 22 の電圧 (VEE) と有機 EL 素子 15 の発光閾値電圧の絶対値以上の電圧との合計に相当する電圧が印加されている。また、静電保持容量 13 の電極 131 には参照電源線 20 の参照電圧 VREF1 が印加され、参照電源線 20 の参照電圧 (VREF1) が保持される。このようにして、駆動トランジスタ 14 がオフ状態となる。

【0069】

換言すると、時刻 t1 において、スイッチングトランジスタ 19 がオフ状態 (非導通の

10

20

30

40

50

状態)であるため、駆動トランジスタ14のソース電圧である有機EL素子15のアノードの電位は、次第に負電源線22の電圧(V_{EE})と有機EL素子15の発光閾値電圧の絶対値の電圧との合計に漸近していく。これにより、前フレーム(($N-1$)フレーム)の非表示期間区間において駆動トランジスタ14および有機EL素子15に蓄積された不要な電荷の放電すなわち駆動トランジスタ14のリセットが開始される。

【0070】

また、駆動トランジスタ14のソースには、負電源線22の電位(V_{EE})に対応した固定電圧が設定されはじめている。

【0071】

ここで、負電源線22の電位(V_{EE})に対応した固定電圧とは、例えば、負電源線22の電圧(V_{EE})に(有機EL素子15が発光開始する閾値電圧の絶対値($V_{th}(EL)$))を加えた値である。そのため、 $V_{EE} = 5V$ 、 $V_{REF1} = 5V$ 、 $V_{th}(EL) = 2V$ 、 $V_{th}(TFT) = 1V$ とすれば、駆動トランジスタ14には、 $V_{gs} - V_{th}(TFT) = V_{REF1} - (V_{EE} + V_{th}(EL)) - V_{th}(TFT) = -1 < 0$ となる逆バイアス(一定の電圧)が印加されはじめる。

【0072】

したがって、このとき駆動トランジスタ14はオフ状態となり、駆動トランジスタ14のソース-ドレイン電流は流れないので、有機EL素子15は発光しない。つまり、時刻 t_1 において、有機EL素子15の発光は停止している。これにより、スイッチングトランジスタ19がオフ状態(非導通状態)において走査線17を介してスイッチングトランジスタ11及びスイッチングトランジスタ12を導通させた場合に、駆動トランジスタ14のゲート-ソース間において逆バイアス(一定の電圧)が印加されることに相当するので、有機EL素子15の自己放電による駆動トランジスタ14のソース電位の収束(リセット期間)が確実に開始される。

【0073】

次に、時刻 t_2 において、図4に示すように、走査線駆動回路4は、走査線17(x)の電圧レベルをHIGHからLOWに変化させ、スイッチングトランジスタ11及び12をオフ状態(非導通状態)とする。これにより、図5Cに示すように、静電保持容量13の電極131と参照電源線20とはオフ状態(非導通状態)となり、かつ、静電保持容量13の電極132と信号線16とはオフ状態(非導通状態)となる。また、駆動トランジスタ14のソースには、負電源線22の電位(V_{EE})に対応した固定電圧が設定されはじめている。

【0074】

より具体的には、時刻 t_2 において、走査線駆動回路4は、図4に示すように、走査線18(x)の電圧レベルをLOWに維持しており、スイッチングトランジスタ19はオフ状態(非導通の状態)のままである。走査線駆動回路4は、スイッチングトランジスタ19がオフ状態(非導通の状態)において、走査線17(x)の電圧レベルをHIGHからLOWに変化させ、スイッチングトランジスタ12及びスイッチングトランジスタ11をオフ状態(非導通の状態)にさせる。なお、駆動トランジスタ14のリセットは継続されている。なぜなら、静電保持容量23は、スイッチングトランジスタ11及びスイッチングトランジスタ12がオン状態(導通の状態)からオフ状態(非導通の状態)に切り替わった後も、静電保持容量23の第1電極231すなわち静電保持容量13の第2電極132の電位が変動するのを抑え、静電保持容量13は、静電保持容量13の第1電極131の電位が変動するのを抑える機能を果たすからである。つまり、静電保持容量13及び静電保持容量23により、スイッチングトランジスタ12及びスイッチングトランジスタ11がオフ状態(非導通の状態)となる時刻 t_2 以降も、駆動トランジスタ14のゲート電位を安定的に V_{REF1} に維持でき、駆動トランジスタ14のゲート-ソース間において逆バイアス(一定の電圧)を印加し続ける。

【0075】

次に、時刻 t_3 において、図4に示すように、静電保持容量13の電極132への信号

電圧の設定（書込期間）を開始する。

【0076】

具体的には、図4及び図5Dに示すように、走査線駆動回路4は、走査線18(x)の電圧レベルをLOWに維持し、スイッチングトランジスタ19はオフ状態（非導通の状態）のままである。走査線駆動回路4は、スイッチングトランジスタ19がオフ状態（非導通の状態）において、走査線17(x)の電圧レベルをLOWからHIGHに変化させ、スイッチングトランジスタ12及びスイッチングトランジスタ11をオン状態（導通状態）にさせる。

【0077】

このようにしても、駆動トランジスタ14のリセットは継続されている。なぜなら、駆動トランジスタ14のリセットは、駆動トランジスタ14のゲート・ソース間に一定の電圧（逆バイアス）が掛けられているからである。

10

【0078】

より具体的には、時刻t3において、駆動トランジスタ14のゲートには参照電源線20の参照電圧(VREF1)が印加され、駆動トランジスタ14のソース側には、負電源線22の電圧(VEE)と有機EL素子15の発光閾値電圧の絶対値以下の電圧との合計に相当する電圧が印加される。また、静電保持容量13の電極131には参照電源線20の参照電圧(VREF1)が印加されており、参照電源線20の参照電圧(VREF1)が保持されている。そのため、駆動トランジスタ14のリセットは継続される。

20

【0079】

また、時刻t3において、信号線駆動回路5は、信号線16(y)に信号電圧(Vdata1)を印加する。すると、静電保持容量13の電極132（電圧Vx）には、信号線16の信号電圧(Vdata1)が設定される。一方、静電保持容量13の電極131には、参照電源線20の参照電圧(VREF1)が設定されている。これにより、静電保持容量13には信号電圧(Vdata)と参照電圧(VREF1)との電位差に対応する電圧が保持される。

【0080】

また、この参照電圧VREF1は、駆動トランジスタ14をオフ状態（非導通状態）にするオフ電圧である。駆動トランジスタ14がオフ状態となるためには、有機EL素子15の発光閾値電圧をVth(EL)、駆動トランジスタ14の閾値電圧をVth(TFT)として、 $VREF1 = VEE + Vth(EL) + Vth(TFT)$ である。例えば駆動トランジスタ14の閾値電圧を1V、有機EL素子15の発光閾値電圧の絶対値を2Vとしたとき、正電源線21の電圧を25V、負電源線22の電圧を5V、参照電源線20の電圧を5Vと設定する。

30

【0081】

そして、時刻t3～時刻t4の期間、図4に示すように、走査線17(x)の電圧レベルがHIGHであるので、発光画素10の電極132には信号線16(x)から信号電圧(Vdata1)が印加され、同様に、発光画素10を含む画素行に属する各発光画素に対し駆動トランジスタ14のソースには、負電源線22の電位(VEE)に対応した固定電圧が設定されている。

40

【0082】

この期間において、参照電源線20には容量性負荷のみが接続されているので、走査線17の電圧レベルがHIGHとなっている期間において定常電流は発生せず、電圧降下は発生しない。また、スイッチングトランジスタ12のドレイン・ソース間に発生する電位差は、静電保持容量13の充電が完了した際は0Vとなる。信号線16とスイッチングトランジスタ11についても同様である。よって、静電保持容量13の電極131及び電極132には、それぞれ、信号電圧に対応した正確な参照電位(VREF1)及び信号電圧(Vdata)が書き込まれる。

【0083】

次に、時刻t4において、図4に示すように、走査線駆動回路4は、走査線17(x)

50

の電圧レベルをHIGHからLOWに変化させ、スイッチングトランジスタ11及び12をオフ状態（非導通状態）とする。これにより、図5Eに示すように、静電保持容量13の電極131と参照電源線20とはオフ状態（非導通状態）となり、かつ、静電保持容量13の電極132と信号線16とはオフ状態（非導通状態）となる。

【0084】

より具体的には、時刻t4において、走査線駆動回路4は、図3Aに示すように、走査線18(x)の電圧レベルをLOWに維持しており、スイッチングトランジスタ19はオフ状態（非導通の状態）のままである。走査線駆動回路4は、スイッチングトランジスタ19がオフ状態（非導通の状態）において、走査線17(x)の電圧レベルをHIGHからLOWに変化させ、スイッチングトランジスタ12及びスイッチングトランジスタ11をオフ状態（非導通の状態）にさせる。なお、駆動トランジスタ14のリセットは継続されている。なぜなら、上述したように、静電保持容量13および静電保持容量23は、スイッチングトランジスタ11及びスイッチングトランジスタ12がオン状態（導通の状態）からオフ状態（非導通の状態）に切り替わった後も、静電保持容量13の電極131の電位が変動するのを抑える機能を果たすからである。つまり、静電保持容量13の電極131は、静電保持容量13および静電保持容量23により、スイッチングトランジスタ12及びスイッチングトランジスタ11が再度オフ状態（非導通の状態）となる時刻t4以降も、保持している電位を維持できるからである。駆動トランジスタ14のリセット期間を十分確保できれば、それだけ、駆動トランジスタ14のソースの電位は、参照電圧VREF1に対応した固定電圧($V_{EE} + V_{th}(EL)$)に近づくことになり好ましく、本実施の形態では、時刻t6までリセット期間が継続する。

【0085】

ただし、本実施の形態では、駆動トランジスタ14のソースの電位は、時刻t5において、参照電圧(VREF1)に対応した固定電圧($V_{EL}(off) = V_{EE} + V_{th}(EL)$)に近づく（例えば図5F）。ここで、参照電圧(VREF1)に対応した固定電圧は、駆動トランジスタ14の電気特性、有機EL素子15の電気特性、及び参照電圧VREF1に基づいて決定される電位である。

【0086】

次に、時刻t6において、図4に示すように、駆動トランジスタ14のリセット期間を終了し、表示期間を開始する。具体的には、図4に示すように、走査線駆動回路4は、走査線17(x)の電圧レベルをLOWに維持し、スイッチングトランジスタ11及びスイッチングトランジスタ12はオフ状態（非導通の状態）に維持したまま、走査線18(x)の電圧レベルをLOWからHIGHに変化させ、スイッチングトランジスタ19をオン状態（導通の状態）にさせる。

【0087】

すると、図5Gに示されているように、駆動トランジスタ14のソースと静電保持容量13の電極132とが導通する。また、静電保持容量13の電極131は、参照電源線20と遮断されており、電極132は信号線16と遮断されている。

【0088】

これにより、時刻t6において、駆動トランジスタ14のゲート・ソース間は静電保持容量13と接続され、駆動トランジスタ14のゲートには静電保持容量13の電極131の電位($V_{REF1} - V_{data} + V_{EL}(off)$)が設定され、駆動トランジスタ14のソースには静電保持容量13の電極132の電位($V_{EL2}(off)$)が設定される。換言すると、静電保持容量13の電極131と電極132との間の電位差($V_{REF1} - V_{data}$)が駆動トランジスタ14のゲート・ソース電極間に印加される。それにより、駆動トランジスタ14のゲート・ソース電極間電位差に応じて駆動トランジスタ14のドレイン・ソース間に電流を流されるので有機EL素子15が発光を開始する。有機EL素子15が発光し始めると駆動トランジスタ14のソースの電位は変化し、 $V_{EL}(ON)$ になる。そのとき、駆動トランジスタ14のゲートには静電保持容量13の電極131の電位($V_{REF1} - V_{data} + V_{EL}(on)$)が設定され、駆動トランジスタ

14のゲート・ソース電極間には静電保持容量13の電極131と電極132との間の電位差($V_{REF1} - V_{data}$)が印加され続ける。つまり、駆動トランジスタ14のゲート電位はブートストラップ動作によりソース電位の変動と共に変化し、かつ、ゲート・ソース間には、静電保持容量13の両端電圧である($V_{REF1} - V_{data}$)が印加されるので、この($V_{REF1} - V_{data}$)に対応した信号電流が有機EL素子15に流れ、有機EL素子15が発光する。なお、本実施の形態において、例えば、駆動トランジスタ14のソース電位はスイッチングトランジスタ19の導通により、7Vから10Vに変化する。

【0089】

時刻 t_6 ～時刻 t_7 の期間(すなわち表示期間)では、ゲート・ソース間には、静電保持容量13の両端電圧である($V_{REF1} - V_{data}$)が印加され続け、上記信号電流が流れることにより有機EL素子15は発光を持続する。

10

【0090】

なお、時刻 t_0 ～時刻 t_7 の期間は、表示装置1の有する全発光画素の発光強度が更新される1フレーム期間に相当し、時刻 t_7 以降においても時刻 t_0 ～時刻 t_7 の期間の動作が繰り返される。例えば、 $N+1$ フレームにおける時刻 t_7 ～時刻 t_{14} は、上述した時刻 t_0 ～時刻 t_7 にそれぞれ相当する。なお、図4および図5H～図5Nに示す時刻 t_7 ～時刻 t_{14} における表示部の有する発光画素の制御方法の動作は、時刻 t_0 ～時刻 t_7 と同様であるため、説明は省略する。

【0091】

20

以上のように表示部6の有する発光画素10は制御され、前フレームにおける発光期間において駆動トランジスタ14に蓄積された電荷による閾値電圧の変動は解消される。つまり、上述したようにリセット期間を十分確保することにより駆動トランジスタ14の閾値電圧が安定する。換言すると、発光開始時の駆動トランジスタ14の電気特性は、上記のリセット期間が終了すると、前フレームの影響を受けることなく、有機EL素子15に所望の電流を供給することが可能となる。

【0092】

また、静電保持容量13は、信号電圧(V_{data1} 等)と参照電圧(V_{REF1})との電位差に対応する電圧が保持されると共に、静電保持容量13と静電保持容量23による合成容量により駆動トランジスタ14のゲートに参照電圧(V_{REF1})を安定的に供給しリセットが開始される。そのため、1つの画素の1つの発光動作のために、信号線16が消光データと発光データの2回分のデータ書き込みの時間だけ占有されることはない。その結果、1行の各画素に対し1回書き込むだけで済むので、設定された1フレーム期間に全行の書込動作を完了させるために、2倍の書込速度は要求されない。つまり、信号線16および走査線17、18の配線時定数を低減させる必要もなく、配線膜厚又は配線間用絶縁膜の膜厚を厚く形成する必要はない。したがって、その分プロセス時間を短縮し、スループットを向上させ、コストの低減を図ることができる。

30

【0093】

なお、上記書込期間の説明では、上部表示部6aまたは下部表示部6bにおける発光画素10の1つを例にとって説明したが、書込期間は、上部表示部6a及び下部表示部6bで一括に行われるものではない。この書込期間は、上述したように、上部表示部6aにおける発光画素10それぞれにおいて、実施されるものである。つまり、書込期間では、対応する発光画素10の走査線17(1)～走査線18(p)それぞれに対して上記の時刻 t_3 ～時刻 t_4 に相当する期間となるように制御することにより、上部表示部6aの全ての発光画素10に所望の信号電圧の書き込みを行う。下部表示部6bについても同様である。なお、本実施の形態では、上部表示部6a及び下部表示部6bのそれぞれの発光画素10に対して、所望の信号電圧の書き込みを行うが、図3Aまたは図3Bに示したように、上部表示部6a及び下部表示部6bの対応する発光画素10において同期をとって行ってもよい。

40

【0094】

50

次に、上述したように、リセット期間を十分確保することにより、前フレームの影響を受けることなく、駆動トランジスタ 14 の閾値電圧が安定するメカニズムについて説明する。

【0095】

以下の説明では、一つの発光画素 10 を例に挙げて説明するが、まず、前フレームにおける発光期間において駆動トランジスタ 14 に蓄積された電荷による閾値電圧の変動が生じてしまうことについて説明し、その後、本実施の形態の表示装置の上述した制御によるリセット効果について説明する。

【0096】

図 6 は、駆動トランジスタに蓄積された電荷により閾値電圧の変動が生じることを示す特性図である。図 7 は、駆動トランジスタに蓄積された電荷を模式的に示す図である。

10

【0097】

図 6 において、縦軸は電流値の $\log$ 値 (I_d) を示しており、横軸はゲートに印加されるゲート電圧値を示している。

【0098】

ここで、図 6 に示す線 A は、駆動トランジスタの初期特性を示している。一方、図 7 (a) には、初期特性 (線 A) を示す場合の駆動トランジスタに蓄積された電荷を模式的に示している。同様に、線 B は、ゲート・ソース間に印加された電圧ストレス (V_{gs} ストレスとも呼ぶ) が小さい場合の駆動トランジスタ 14 の特性を示している。図 7 (b) には、この線 B の特性を示す場合の駆動トランジスタに蓄積された電荷を模式的に示している。また、線 C は、 V_{gs} ストレスが大きい場合の駆動トランジスタの特性を示している。図 7 (c) には、この線 C の特性を示す場合の駆動トランジスタに蓄積された電荷を模式的に示している。

20

【0099】

図 6 及び図 7 に示すように、駆動トランジスタに大きな V_{gs} ストレスがかけられるほど、電荷が蓄積されていることがわかる。そして、電荷が蓄積されるほど (大きな V_{gs} ストレスがかけられるほど)、駆動トランジスタの閾値の変化 (V_{th} シフト) が大きいことがわかる。つまり、この 1 フレーム期間での電荷の蓄積が、駆動トランジスタの電圧 - 電流特性に変動を示させる要因となっている。

【0100】

30

また、この電荷の蓄積は、 V_{gs} ストレス下で、比較的時間をかけて行われ、電荷の蓄積の解消にも比較的時間を要することが知られている。リセット期間が十分に確保されないパネルでは、電荷の蓄積の解消が不十分であった。その結果、駆動トランジスタの特性変動による残像が発生してしまうという課題があった。

【0101】

それに対して、上述した本実施の形態の表示装置及びその制御方法によれば、リセット期間を十分確保できるので、電荷の蓄積を解消し、駆動トランジスタの特性を初期特定に戻すことができる。これを図 8 に模式的に示している。ここで、図 8 は、駆動トランジスタに蓄積された電荷を解消するリセット効果を模式的に示す図である。なお、図 8 は、図 7 の構造を利用して模式的に示している。

40

【0102】

図 8 (a) に示すように、初期状態の駆動トランジスタに対して、 $V_{gs} > 0$ の V_{gs} ストレスを印加する。すると、図 8 (b) に示すように、駆動トランジスタのゲート絶縁膜の局在準位に電荷がトラップされ、電荷が蓄積する。ここで、 $V_{gs} > 0$ の V_{gs} ストレスとは、例えば、ソースに 12 V、ドレインに 25 V、ゲートに 10 V を印加した状態である。

【0103】

そして、上述した制御方法により、十分確保したリセット期間を経過すると、図 8 (c) に示すように、駆動トランジスタのゲート絶縁膜の局在準位にトラップされている電荷が放出され、初期状態と同等になる。ここで、駆動トランジスタは、リセット期間におい

50

て、例えば、ソースに 0 V、ドレインに 5 V、ゲートに 5 V を印加し、 $V_{gs} < 0$ の V_{gs} ストレスが印加されている。それにより、駆動トランジスタのゲート絶縁膜の局在準位にトラップされている電荷が放出される。

【0104】

なお、上記では、駆動トランジスタの構造として、チャネルエッチ構造を例にとって説明したが、それに限らない。エッチングストップ構造でもよい。

【0105】

以上のように、実施の形態に係る表示装置によれば、簡単な画素回路で、駆動トランジスタの電気特性変動による残像を解消することができるだけでなく、表示領域を上下に分割して駆動する際に分割線が視認されないようにできる。

10

【0106】

具体的には、実施の形態に係る表示装置では、上述したように、表示期間において、表示部 6 の表示領域を一括発光し、かつ、非表示期間において表示部 6 の表示領域を一括消光することにより、順次発光を行った場合における上下分割線上で途切れて見えてしまうという問題（白の縦バーを左右方向にスクロールした場合に顕著に現れる）を解消する。例えば、図 9 に示すように、表示部 6 の表示領域において、上部表示部 6 a と下部表示部 6 b とを分割する上下分割線上では分割線が見えないという効果を奏する。ここで、図 9 は、本発明の表示装置の効果を示すための図である。

【0107】

さらに、実施の形態に係る表示装置では、非表示期間はリセット期間を兼ねるので、リセット期間を十分確保することができる。それにより、電気特性変動による影響（残像）を軽減できる。

20

【0108】

なお、上述したリセット期間は、1 フレーム期間の、20 パーセント以上の期間が好ましい。このリセット期間は、上述した制御方法を用いることにより、非発光期間と同じ期間となっている。ここで、非発光期間は、例えば時刻 t_1 ~ 時刻 t_7 の期間であり、スイッチングトランジスタ 19 が非導通の状態においてスイッチングトランジスタ 11 及びスイッチングトランジスタ 12 を導通させてから、スイッチングトランジスタ 11 及びスイッチングトランジスタ 12 が非導通の状態においてスイッチングトランジスタ 19 を導通させるまでの期間に相当する。また、1 フレーム期間とは、例えば時刻 t_1 ~ 時刻 t_8 の期間であり、スイッチングトランジスタ 19 が非導通の状態においてスイッチングトランジスタ 11 及びスイッチングトランジスタ 12 を導通させてから（時刻 t_1 ）、次にスイッチングトランジスタ 19 が非導通の状態においてスイッチングトランジスタ 11 及びスイッチングトランジスタ 12 を導通させる（時刻 t_8 ）までの期間に相当する。

30

【0109】

以上、本発明によれば、簡単な画素回路で、表示領域を上下に分割して駆動する際に分割線が視認されないと共に、駆動トランジスタの電気特性変動による残像を解消することができる表示装置を実現することができる。

【0110】

なお、以上述べた実施の形態では、駆動トランジスタ 14 を n 型トランジスタとして、有機 EL 素子 15 のカソードが共通電源線に接続されたものとし記述しているが、駆動トランジスタ 14 を p 型トランジスタで形成し、有機 EL 素子 15 のアノードが共通電源線に接続された表示装置でも、上述した各実施の形態と同様の効果を奏する。

40

【0111】

また、例えば、本発明に係る表示装置は、図 10 に記載されたような薄型フラット TV に内蔵される。本発明に係る表示装置が内蔵されることにより、映像信号を反映した高精度な画像表示が可能な薄型フラット TV が実現される。

【産業上の利用可能性】

【0112】

本発明は、特に、画素信号電流により画素の発光強度を制御することで輝度を変動させ

50

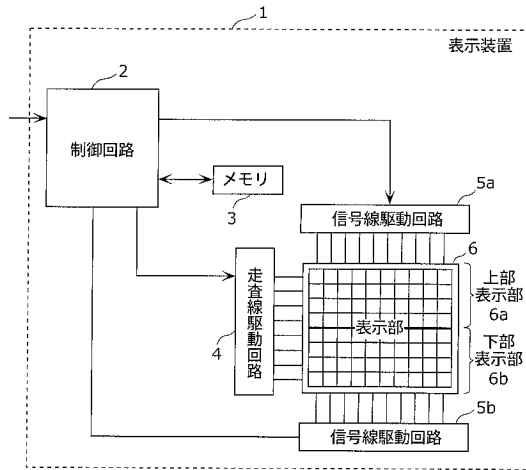
るアクティブ型の有機ＥＬフラットパネルディスプレイに有用である。

【符号の説明】

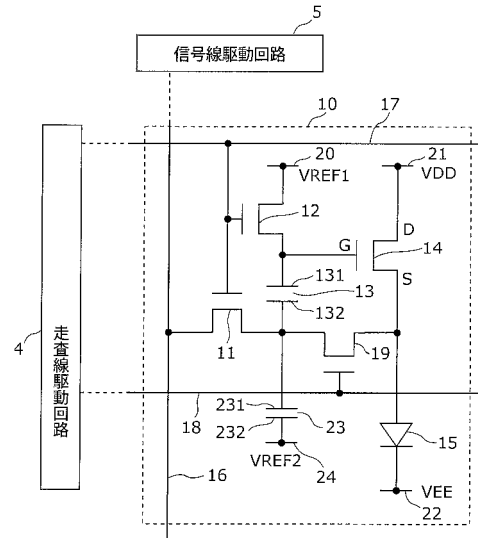
【０１１３】

１	表示装置	
２	制御回路	
３	メモリ	
４	走査線駆動回路	
５、５ a、５ b	信号線駆動回路	
６	表示部	
１０	発光画素	10
１１、１２、１９	スイッチングトランジスタ	
１３、２３	静電保持容量	
１４	駆動トランジスタ	
１５、５０５	有機ＥＬ素子	
１６	信号線	
１７、１８	走査線	
２０、２４	参照電源線	
２１	正電源線	
２２	負電源線	
１３１、１３２、２３１、２３２	電極	20
５００	画素部	
５０１	第１スイッチング素子	
５０２	第２スイッチング素子	
５０３	容量素子	
５０４	n型薄膜トランジスタ（n型TFT）	
５０６	データ線	
５０７	第１走査線	
５０８	第２走査線	
５０９	第３スイッチング素子	

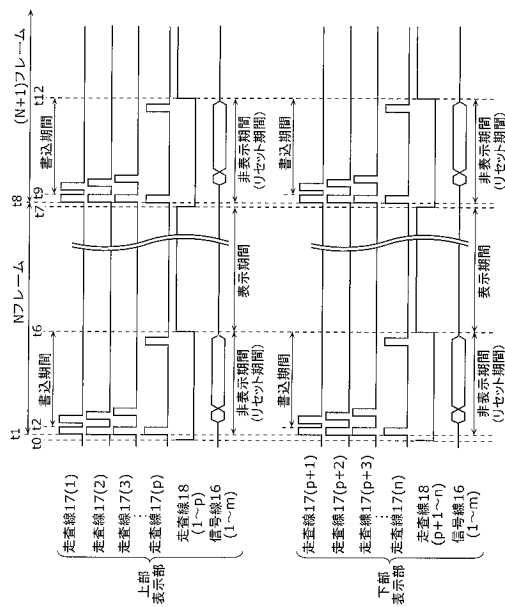
【図 1】



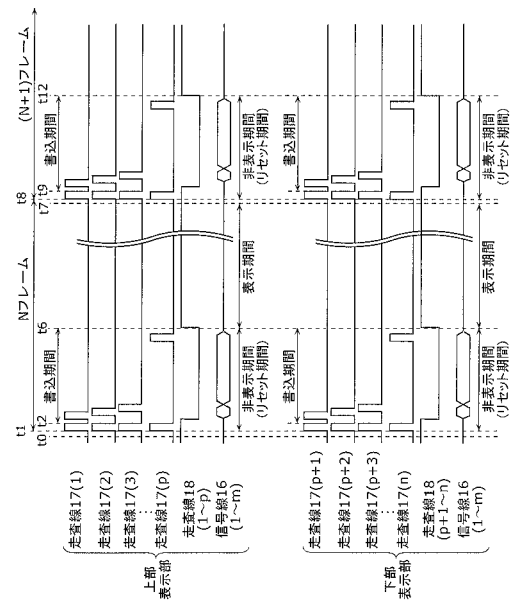
【図 2】



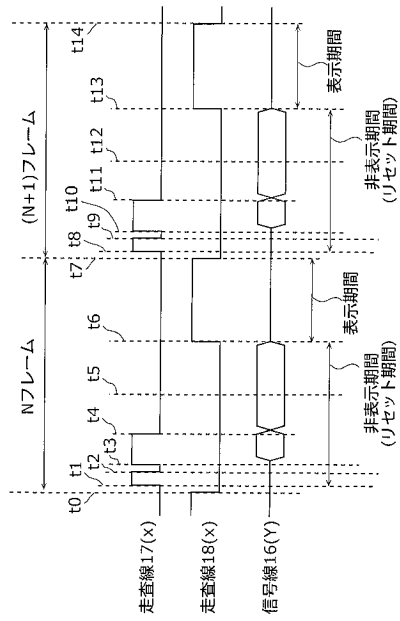
【図 3 A】



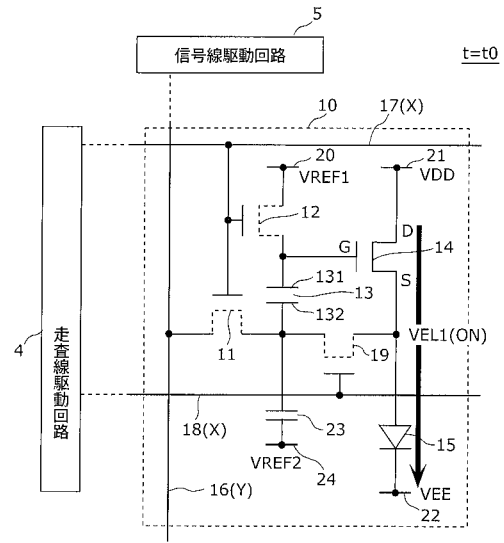
【図 3 B】



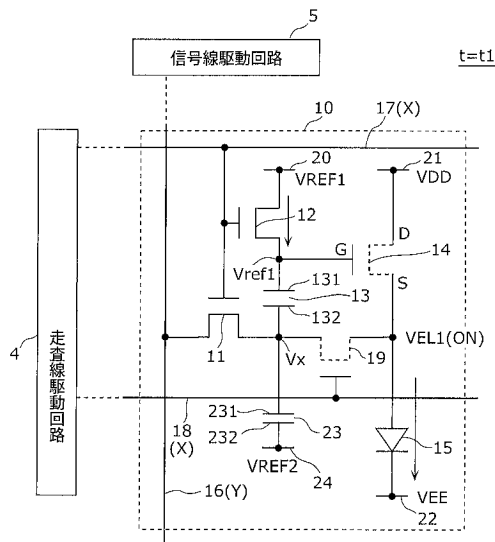
【図 4】



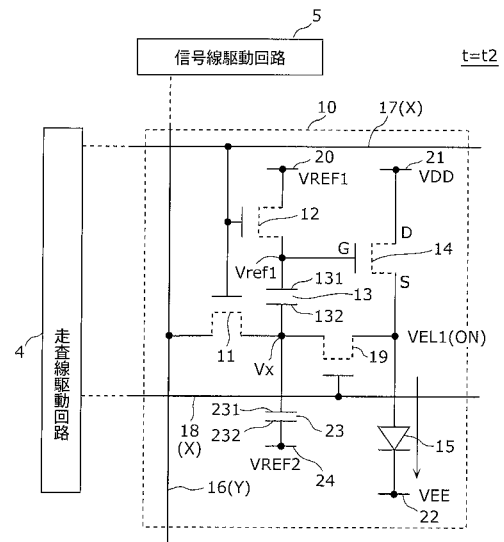
【図 5 A】



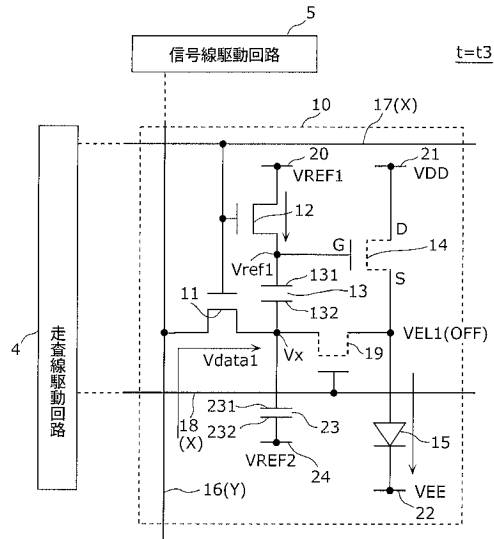
【図 5 B】



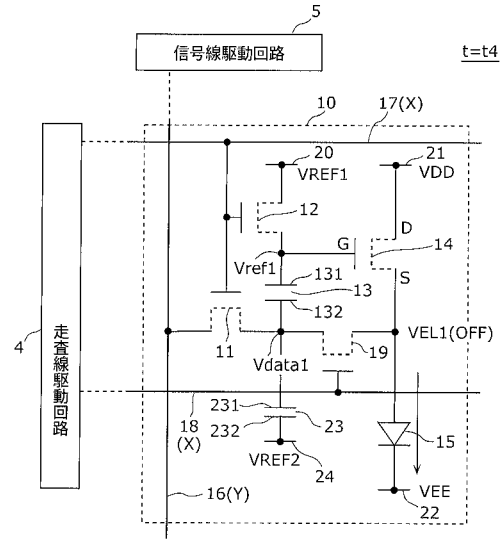
【図 5 C】



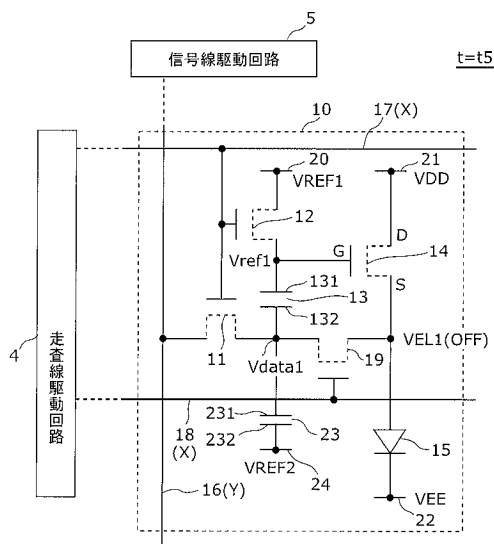
【図 5 D】



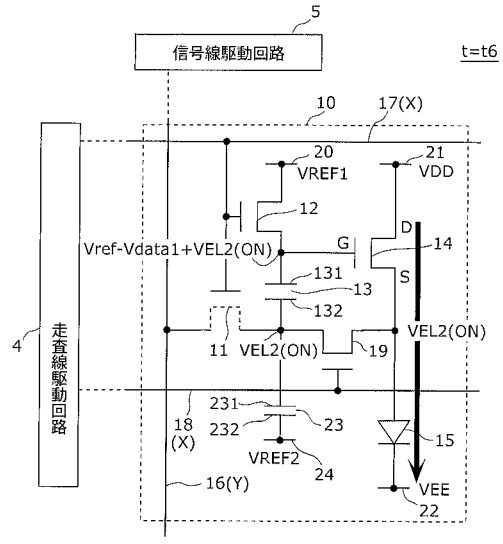
【図 5 E】



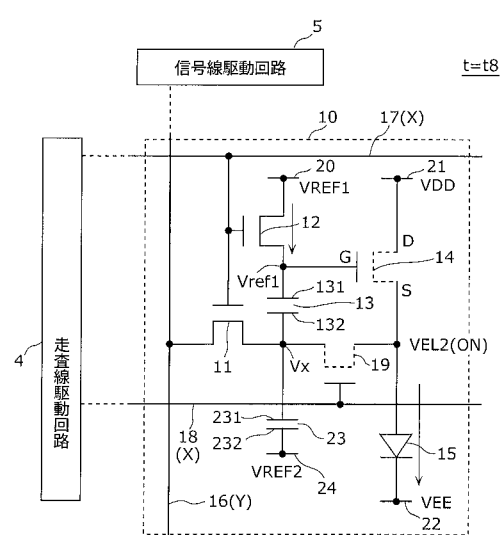
【図 5 F】



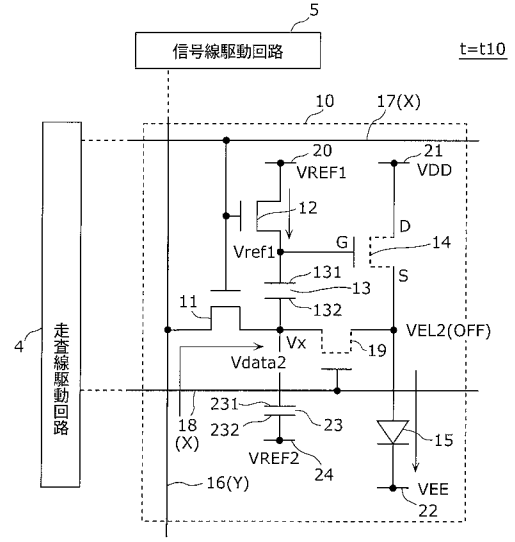
【図 5 G】



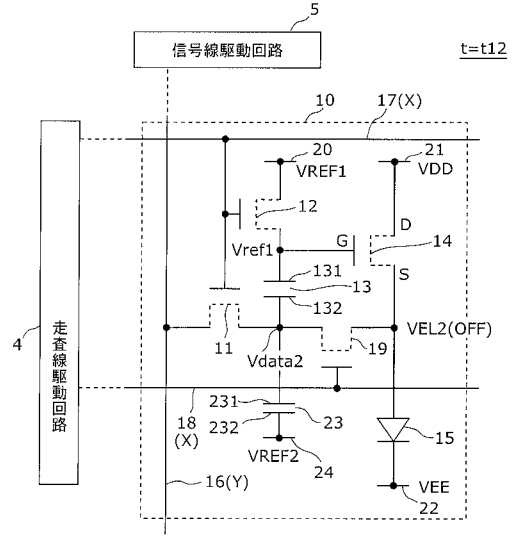
【 図 5 I 】



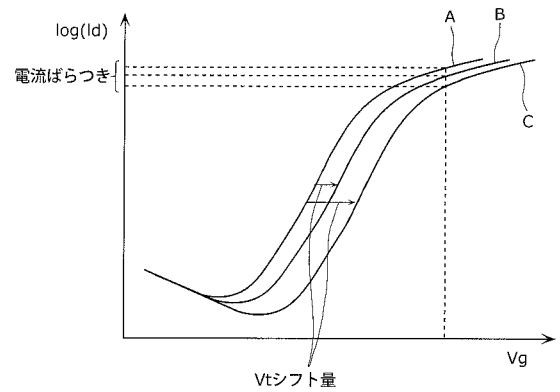
【 図 5 K 】



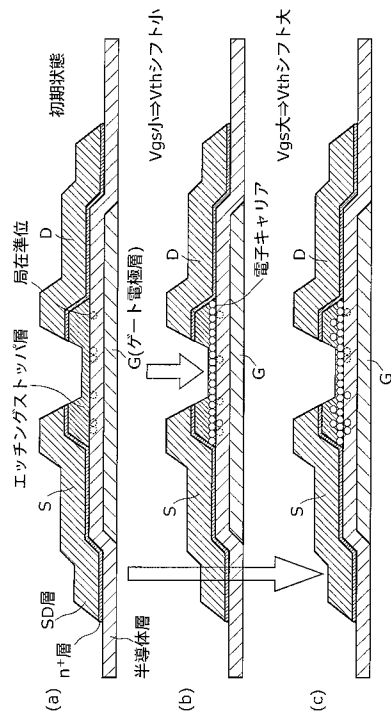
【 図 5 M 】



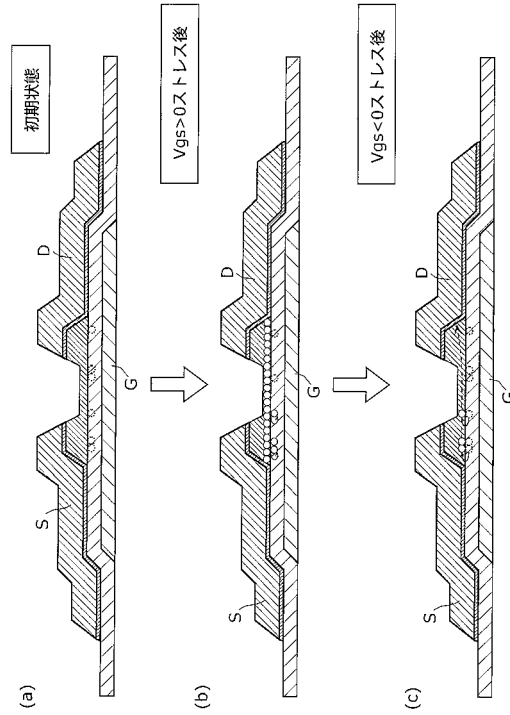
【 図 6 】



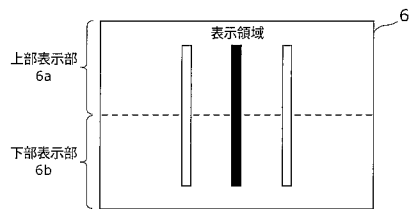
【図 7】



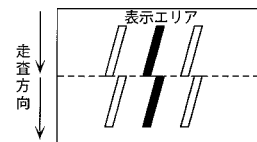
【図 8】



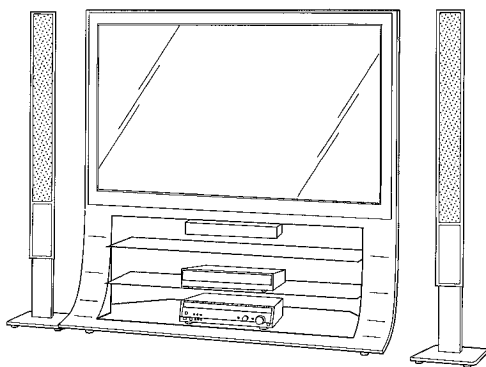
【図 9】



【図 11】



【図 10】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/004511

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/30, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4719821 B (Panasonic Corp.), 08 April 2011 (08.04.2011), paragraphs [0133] to [0174]; fig. 8 & US 2010/0259531 A1 & EP 002226786 A1 & WO 2010/041426 A1 & CN 101842829 A & KR 10-2010-0057890 A	1-6
A	JP 10-312173 A (Pioneer Corp.), 24 November 1998 (24.11.1998), paragraphs [0066] to [0067]; fig. 3 (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 November, 2011 (04.11.11)Date of mailing of the international search report
15 November, 2011 (15.11.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/004511

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 02/039420 A1 (Sony Corp.), 16 May 2002 (16.05.2002), page 27, lines 5 to 24; figures & JP 2003-195815 A & JP 2006-309256 A & US 2003/0128200 A1 & US 2006/0119552 A1 & EP 001333422 A1 & TW 000538649 B & CN 001404600 A	1-6
A	JP 2004-117758 A (Hitachi, Ltd.), 15 April 2004 (15.04.2004), fig. 7 (Family: none)	1-6
A	JP 2002-062518 A (NEC Corp.), 28 February 2002 (28.02.2002), entire text; all drawings & US 006590553 B1 & US 2004/0056831 A1 & US 2008/0158140 A1 & KR 10-2001-0015406 A	1-6

国際調査報告		国際出願番号 PCT/JP2011/004511	
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/30, G09G3/20			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2011年 日本国実用新案登録公報 1996-2011年 日本国登録実用新案公報 1994-2011年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 4719821 B（パナソニック株式会社） 2011.04.08 段落0133-0174, 図8 & US 2010/0259531 A1 & EP 002226786 A1 & WO 2010/041426 A1 & CN 101842829 A & KR 10-2010-0057890 A	1-6	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 04.11.2011		国際調査報告の発送日 15.11.2011	
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 福村 拓 電話番号 03-3581-1101 内線 3226	2G 3308

国際調査報告		国際出願番号 PCT/J P 2 0 1 1 / 0 0 4 5 1 1
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 1 0 - 3 1 2 1 7 3 A (パイオニア株式会社) 1 9 9 8 . 1 1 . 2 4 段落 0 0 6 6 - 0 0 6 7 , 図 3 (ファミリーなし)	1 - 6
A	W O 0 2 / 0 3 9 4 2 0 A 1 (ソニー株式会社) 2 0 0 2 . 0 5 . 1 6 第 2 7 頁 第 5 行 - 同 頁 第 2 4 行 , 図 & J P 2 0 0 3 - 1 9 5 8 1 5 A & J P 2 0 0 6 - 3 0 9 2 5 6 A & U S 2 0 0 3 / 0 1 2 8 2 0 0 A 1 & U S 2 0 0 6 / 0 1 1 9 5 5 2 A 1 & E P 0 0 1 3 3 3 4 2 2 A 1 & T W 0 0 0 5 3 8 6 4 9 B & C N 0 0 1 4 0 4 6 0 0 A	1 - 6
A	J P 2 0 0 4 - 1 1 7 7 5 8 A (株式会社日立製作所) 2 0 0 4 . 0 4 . 1 5 図 7 (ファミリーなし)	1 - 6
A	J P 2 0 0 2 - 0 6 2 5 1 8 A (日本電気株式会社) 2 0 0 2 . 0 2 . 2 8 全文、全図 & U S 0 0 6 5 9 0 5 5 3 B 1 & U S 2 0 0 4 / 0 0 5 6 8 3 1 A 1 & U S 2 0 0 8 / 0 1 5 8 1 4 0 A 1 & K R 1 0 - 2 0 0 1 - 0 0 1 5 4 0 6 A	1 - 6

 フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 2 3 D	
	H 0 5 B 33/08	
	H 0 5 B 33/14 A	

F ターム(参考) 5C380 AA01 AB06 AB22 AB24 AC07 BA28 BD08 BD10 CA08 CA12
 CA48 CA53 CB01 CB30 CB31 CC27 CC33 CC52 CC63 CD024
 CF13 DA02 DA32 DA35 DA47 HA02 HA11

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	表示装置		
公开(公告)号	JPWO2013021417A1	公开(公告)日	2015-03-05
申请号	JP2012502044	申请日	2011-08-09
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	小野晋也 戎野浩平		
发明人	小野 晋也 戎野 浩平		
IPC分类号	G09G3/30 G09G3/20 H05B33/08 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2310/0221 G09G2310/0245 G09G2310/0262 G09G2320/045 G06F3/038		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.622.L G09G3/20.670.K G09G3/20.622.D G09G3/20.623.D H05B33/08 H05B33/14.A		
F-TERM分类号	3K107/CC31 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD01 5C080/DD29 5C080/EE29 5C080/FF11 5C080/GG12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB24 5C380/AC07 5C380/BA28 5C380/BD08 5C380/BD10 5C380/CA08 5C380/CA12 5C380/CA48 5C380/CA53 5C380/CB01 5C380/CB30 5C380/CB31 5C380/CC27 5C380/CC33 5C380/CC52 5C380/CC63 5C380/CD024 5C380/CF13 5C380/DA02 5C380/DA32 5C380/DA35 5C380/DA47 5C380/HA02 5C380/HA11		
代理人(译)	新居 広守		
其他公开文献	JP5738270B2		
外部链接	Espacenet		

摘要(译)

利用简单的像素电路，可以消除由于驱动晶体管的电特性变化而产生的残像，并且在将显示区域分为上下部分时无法视觉识别到分隔线的本发明的显示线是有机EL元件（15），静电保持电容器（13），栅极连接到静电保持电容器（13）的电极（131），源极连接到有机EL元件（15）的阳极，驱动晶体管（14），电极（231）连接至静电保持电容器（13）的电极（132）的静电保持电容器（23），确定有机EL元件（15）的阴极电位的负电源线（22）和开关提供用于控制晶体管（12），开关晶体管（11）和开关晶体管（19）的扫描线驱动电路（4）。然后，在显示时段中，显示单元（6）的显示区域一次全部发光，而在非显示时段中，显示单元（6）的显示区域全部熄灭，并且驱动晶体管（14）复位。

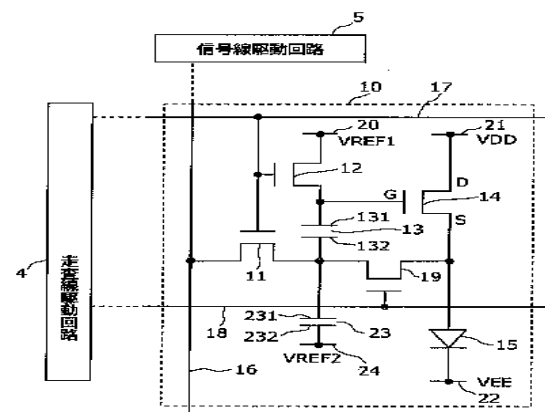


FIG. 2:
4 Scanning line drive circuit
5 Signal line drive circuit