

(19) 日本国特許庁 (JP)

再 公 表 特 許 (A1)

(11) 国際公開番号

W02010/140285

発行日 平成24年11月15日 (2012.11.15)

(43) 国際公開日 平成22年12月9日 (2010.12.9)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 621K	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	5C380
	G09G 3/20 612U	
	G09G 3/20 670K	
審査請求 有 予備審査請求 未請求 (全 30 頁) 最終頁に続く		

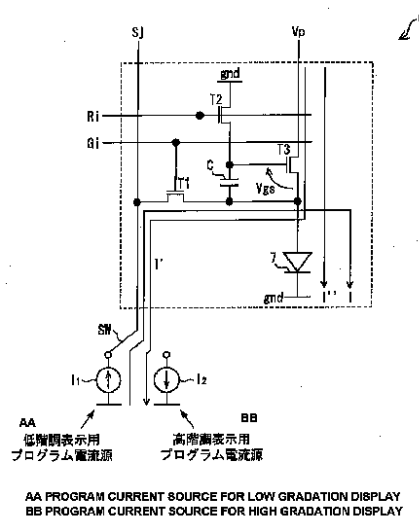
出願番号	特願2011-518215 (P2011-518215)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2010/001523		シャープ株式会社
(22) 国際出願日	平成22年3月4日 (2010.3.4)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	特願2009-135286 (P2009-135286)	(74) 代理人	110000338
(32) 優先日	平成21年6月4日 (2009.6.4)		特許業務法人原謙三国際特許事務所
(33) 優先権主張国	日本国 (JP)	(72) 発明者	岸 宣孝
			日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		Fターム (参考)	3K107 AA01 BB01 CC14 CC21 EE03 FF12 HH05 5C080 AA07 BB05 CC03 DD08 DD22 DD26 DD29 EE01 EE19 EE29 EE30 FF11 JJ02 JJ03 JJ04 JJ07
			最終頁に続く

(54) 【発明の名称】 表示装置及び表示装置の駆動方法

(57) 【要約】

画素回路 (6) は、有機 EL ダイオード (7) が選択期間のみ発光するインパルスモードで駆動されるか、有機 EL ダイオード (7) が上記選択期間中は発光せず上記選択期間後に発光を続けるホールドモードで駆動される。また、画素回路 (6) は、上記インパルスモードで駆動される際にプログラム電流 (I) を流す低階調表示用プログラム電流源 (I1) と、上記ホールドモードで駆動される際にプログラム電流 (I') を流す高階調表示用プログラム電流源 (I2) とを有する。

【図1】



【特許請求の範囲】

【請求項 1】

一方向に伸びる複数の走査線と、他方向に伸びる複数のデータ信号線と、複数の上記データ信号線を駆動するソースドライバ回路と、複数の上記走査線を制御するゲートドライバ回路と、上記走査線および上記データ信号線の交差部に対応して設けられる複数の画素とを備え、流れる電流に応じた輝度で発光する素子を上記画素が有し、上記ゲートドライバ回路が上記走査線を選択する期間を選択期間と称する表示装置であって、

上記画素の画素回路は、上記素子が上記選択期間のみ発光するインパルスモードで駆動されるか、上記素子が上記選択期間中は発光せず上記選択期間後に発光を続けるホールドモードで駆動されると共に、

上記画素回路は、上記インパルスモードで駆動される際に発光信号を供給する第 1 の信号源と、上記ホールドモードで駆動される際に発光信号を供給する第 2 の信号源とを有することを特徴とする表示装置。

【請求項 2】

複数の上記走査線は、複数の第 1 走査線及び複数の第 2 走査線からなり、

上記画素回路は、第 1 薄膜トランジスタ、第 2 薄膜トランジスタ、第 3 薄膜トランジスタ及び容量を有し、

上記第 1 薄膜トランジスタは、ゲートが上記第 1 走査線に接続され、ソースが上記データ信号線に接続され、

上記第 2 薄膜トランジスタは、ゲートが上記第 2 走査線に接続され、ドレインが電氣的に接地され、ソースが上記第 3 薄膜トランジスタのゲート及び上記容量の一端に接続され、

上記第 3 薄膜トランジスタは、ドレインが電源線に接続され、ソースが、上記第 1 薄膜トランジスタのドレイン、上記容量の他端及び上記素子のアノードに接続され、

上記素子のカソードが電氣的に接地され、

上記ソースドライバ回路は、上記第 1 の信号源、上記第 2 の信号源及びスイッチ手段を有し、

上記スイッチ手段は、上記画素が上記インパルスモードにより画像を表示する場合は、上記データ信号線を上記第 1 の信号源に接続し、上記画素が上記ホールドモードにより上記画像を表示する場合は、上記データ信号線を上記第 2 の信号源に接続することを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

複数の上記走査線は、複数の第 1 走査線及び複数の第 2 走査線からなり、

上記画素回路は、第 1 薄膜トランジスタ、第 2 薄膜トランジスタ、第 3 薄膜トランジスタ及び容量を有し、

上記第 1 薄膜トランジスタは、ゲートが上記第 1 走査線に接続され、ソースが上記データ信号線に接続され、

上記第 2 薄膜トランジスタは、ゲートが上記第 2 走査線に接続され、ドレインが共通電源線に接地され、ソースが上記第 3 薄膜トランジスタのゲート及び上記容量の一端に接続され、

上記第 3 薄膜トランジスタは、ドレインが上記共通電源線に接続され、ソースが、上記第 1 薄膜トランジスタのドレイン、上記容量の他端及び上記素子のアノードに接続され、

上記素子のカソードが電氣的に接地され、

上記ソースドライバ回路は、上記第 1 の信号源、上記第 2 の信号源及びスイッチ手段を有し、

上記スイッチ手段は、上記画素が上記インパルスモードにより画像を表示する場合は、上記データ信号線を上記第 1 の信号源に接続し、上記画素が上記ホールドモードにより上記画像を表示する場合は、上記データ信号線を上記第 2 の信号源に接続し、

上記共通電源線の電位は、上記選択期間中は接地電位とし、非選択期間中は接地電位よりも大きい電位とすることを特徴とする請求項 1 に記載の表示装置。

10

20

30

40

50

【請求項 4】

上記画素回路は、第 1 薄膜トランジスタ、第 2 薄膜トランジスタ、第 3 薄膜トランジスタ及び容量を有し、

上記第 1 薄膜トランジスタは、ゲートが上記走査線に接続され、ソースが上記データ信号線に接続され、

上記第 2 薄膜トランジスタは、ゲートが上記走査線に接続され、ドレインが電氣的に接地され、ソースが上記第 3 薄膜トランジスタのゲート及び上記容量の一端に接続され、

上記第 3 薄膜トランジスタは、ドレインが電源線に接続され、ソースが、上記第 1 薄膜トランジスタのドレイン、上記容量の他端及び上記素子のアノードに接続され、

上記素子のカソードが電氣的に接地され、

10

上記ソースドライバ回路は、上記第 1 の信号源、上記第 2 の信号源及びスイッチ手段を有し、

上記スイッチ手段は、上記画素が上記インパルスモードにより画像を表示する場合は、上記データ信号線を上記第 1 の信号源に接続し、上記画素が上記ホールドモードにより上記画像を表示する場合は、上記データ信号線を上記第 2 の信号源に接続することを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

上記第 1 の信号源および上記第 2 の信号源は、出力する電流の向きが互いに逆の電流源であることを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

20

上記第 1 の信号源および上記第 2 の信号源は、階調変化に対する電圧変化の傾きの符号が、一方が正であり他方が負である電圧源であることを特徴とする請求項 1 に記載の表示装置。

【請求項 7】

上記第 1 薄膜トランジスタ、上記第 2 薄膜トランジスタ及び上記第 3 薄膜トランジスタは、N チャネルの薄膜トランジスタであることを特徴とする請求項 2 に記載の表示装置。

【請求項 8】

上記発光信号の全階調を、それぞれ低階調側と高階調側とに分けたとき、上記インパルスモードは上記低階調側で駆動され、上記ホールドモードは上記高階調側で駆動されることを特徴とする請求項 1 に記載の表示装置。

30

【請求項 9】

上記発光信号の全階調に関して、該全階調の半分の輝度を $1/2$ 輝度としたとき、上記低階調側は、最低階調から上記 $1/2$ 輝度より小さい階調までの範囲であり、上記高階調側は、上記 $1/2$ 輝度より小さい階調から最高階調までの範囲であることを特徴とする請求項 8 に記載の表示装置。

【請求項 10】

上記ソースドライバ回路は、上記インパルスモードと上記ホールドモードとの両方で上記画素回路を駆動するか、上記ホールドモードのみで上記画素回路を駆動するかを決定する基準を有しており、

上記基準は、上記画像を構成する階調値の分布であることを特徴とする請求項 2 に記載の表示装置。

40

【請求項 11】

上記素子は、有機エレクトロルミネッセンスダイオードであることを特徴とする請求項 1 に記載の表示装置。

【請求項 12】

一方向に伸びる複数の走査線と、他方向に伸びる複数のデータ信号線と、複数の上記データ信号線を駆動するソースドライバ回路と、複数の上記走査線を制御するゲートドライバ回路と、上記走査線および上記データ信号線の交差部に対応して設けられる複数の画素とを備え、流れる電流に応じた輝度で発光する素子を上記画素が有し、上記ゲートドライバ回路が上記走査線を選択する期間を選択期間と称する表示装置の駆動方法であって、

50

上記素子が上記選択期間のみ発光するインパルスモードで上記画素の画素回路を駆動する工程と、

上記素子が上記選択期間中は発光せず上記選択期間後に発光を続けるホールドモードで上記画素回路を駆動する工程と、

上記画素回路が上記インパルスモードで駆動される場合に、第１の信号源により発光信号を供給する工程と、

上記画素回路が上記ホールドモードで駆動される場合に、第２の信号源により発光信号を供給する工程とを含むことを特徴とする表示装置の駆動方法。

【請求項１３】

上記発光信号の全階調を、それぞれ低階調側と高階調側とに分けたとき、上記インパルスモードは上記低階調側で駆動され、上記ホールドモードは上記高階調側で駆動されることを特徴とする請求項１２に記載の表示装置の駆動方法。

【請求項１４】

上記発光信号の全階調に関して、該全階調の半分の輝度を１／２輝度としたとき、上記低階調側は、最低階調から上記１／２輝度より小さい階調までの範囲であり、上記高階調側は、上記１／２輝度より小さい階調から最高階調までの範囲であることを特徴とする請求項１３に記載の表示装置の駆動方法。

【請求項１５】

上記素子は、有機エレクトロルミネッセンスダイオードであることを特徴とする請求項１２に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、表示装置及び表示装置の駆動方法に関する。

【背景技術】

【０００２】

有機ＥＬや発光ダイオード等の、電流により制御される発光素子、即ち電流素子を駆動する場合は、上記電流素子に流す電流を、低階調時の微小電流から高階調時の大電流に至るまで、精度良く制御する必要がある。有機ＥＬディスプレイにおいて、従来の単純マトリクス駆動では、低いデューティ比により、特に高階調領域で高輝度駆動が必要となることにより、有機ＥＬ素子の寿命が短くなってしまう。このため、ＴＦＴを用いたアクティブマトリクス駆動が主流となっている。

【０００３】

アクティブマトリクス駆動は、選択期間にプログラムされた信号により、非選択期間も発光させるホールドモードによる駆動を可能にする。

【０００４】

近年、有機ＥＬ素子の高効率化が進み、より微小な電流を高精度かつ高速に制御されることが求められている。種々の駆動方式が提案されているが、決定的な駆動方式はまだ開発されておらず、今後、高画質化、階調数の増加に対応した駆動技術への要求は高くなると予想される。

【０００５】

図９は、特許文献１に示される従来の駆動回路の回路図である。図９の駆動回路では、トランジスタ１０のゲート電極は走査線Ｘ_iに接続されており、トランジスタ１０のドレイン電極は、トランジスタ１２のドレイン電極に接続されている。トランジスタ１２のドレイン電極は電源線Ｖ_iに接続されており、トランジスタ１２のゲート電極はトランジスタ１０のソース電極に接続されている。トランジスタ１２のソース電極は、トランジスタ１１のドレイン電極及び有機ＥＬ素子Ｅ_{i, j}のアノードに接続されている。トランジスタ１１のゲート電極は、走査線Ｘ_iに接続されており、トランジスタ１１のソース電極は

信号線 Y_j に接続されている。

【0006】

選択期間の電源線 V_i には、基準電位 V_{ss} と等電位または基準電位 V_{ss} よりも低い電源信号電圧が印加される。選択期間に走査線 X_i が H (ハイ) になると、トランジスタ 10 ~ 12 がオンになる。また、有機 EL 素子 $E_{i,j}$ の両端電圧は、0 または逆バイアスの電圧となる。従って、プログラムされたシンク電流 I_j が矢印 α の示す経路を流れる。

【0007】

選択期間にトランジスタ 12 がオンすることにより、トランジスタ 12 の駆動能力に応じたゲート - ソース間電圧 V_{gs} が容量 13 に印加される。これにより、ゲート - ソース間電圧 V_{gs} に対応した電荷が容量 13 に蓄えられる。

10

【0008】

その後、選択期間が終了し、走査線 X_i が L (ロー) となった後の非選択期間では、選択期間に充電された容量 13 により、トランジスタ 12 のゲート - ソース間に正の電圧が印加される。これにより、トランジスタ 12 のみがオンとなる。

【0009】

また、非選択期間において電源線 V_i に印加される電源信号電圧は、基準電位 V_{ss} よりも十分高い電源電圧 V_{dd} である。そのため、有機 EL 素子 $E_{i,j}$ には順バイアスの電圧が印加され、トランジスタ 12 により有機 EL 素子に定電流が供給される。このときの電流値は、 I_j に等しい。すなわち、トランジスタ 12 の特性がばらつく場合であっても、有機 EL 素子 $E_{i,j}$ に定電流を流すことが出来る。

20

【先行技術文献】

【特許文献】

【0010】

【特許文献 1】日本国公開特許公報「特開 2003 - 195810 号公報 (2003 年 7 月 9 日公開)」

【発明の概要】

【発明が解決しようとする課題】

【0011】

図 9 の駆動回路において電流をプログラムする場合は、電流源が信号源として用いられるが、数十 nA オーダーという微小電流の制御を行う電流源の実現は困難である。その上、上述するような微小電流がプログラムされる場合は、この微小電流により配線や画素回路の寄生容量を充電するのに時間がかかる。このため、書き込み時間の不足が発生する。

30

【0012】

一方、図 9 の駆動回路において、信号源として電圧源を用いて電圧をプログラムする場合は、書き込み時間の不足の問題は起こらない。しかし、燐光材料の開発を始めとする EL 素子の高効率化に伴い、発光電流値は微小になってきている。一方、プログラム電圧を発光電流に変換する駆動トランジスタは、TFT により形成されるが、TFT の移動度を向上させる技術開発も進行しており、より小さい電圧変動により大きな電流振幅を得られるようになってきている。このことは逆に、微小な電流を制御するには、微小な電圧の制御が必要であるということであり、このような微小な電圧を精度良く供給することは困難であった。

40

【0013】

このため、フレームの後半に黒を挿入することで、発光期間の輝度を上げる手法が用いられることがある。フレーム期間中の、輝度積分値が一定であれば、見かけ上の輝度は同じに見えるからである。

【0014】

しかし黒挿入の対策を行ってもなお電流制御が困難となる場合があり、ホールドモードでは数十 nA という微小な電流の制御が必要な場合もある。

【0015】

50

この電流制御は、電流画素内の駆動 T F T により電圧を電流に変換して行い、制御電流を E L 素子に供給している。しかし、このような微小な電流を制御する、精度の良い駆動 T F T を配置することは困難になってくると考えられる。微小電流の領域では、閾値のばらつきの影響を多分に受けるからである。

【 0 0 1 6 】

これを解消するために、更に瞬間輝度を大きく、黒時間を長くして駆動すると、高階調側の発光期間の輝度をも大幅に上げなければならず、結果的に有機 E L 素子の寿命の短縮を招くことが、特許文献 2 内の“ 非特許文献 2 ”に示されている。

【 0 0 1 7 】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、階調制御を従来よりも容易に行うことが出来、瞬間輝度の低下による長寿命化が実現出来、更には低消費電力化を実現出来る、表示装置及び表示装置の駆動方法を提供することにある。

【課題を解決するための手段】

【 0 0 1 8 】

本発明の表示装置は、上記課題を解決するために、一方向に伸びる複数の走査線と、他方向に伸びる複数のデータ信号線と、複数の上記データ信号線を駆動するソースドライバ回路と、複数の上記走査線を制御するゲートドライバ回路と、上記走査線および上記データ信号線の交差部に対応して設けられる複数の画素とを備え、流れる電流に応じた輝度で発光する素子を上記画素が有し、上記ゲートドライバ回路が上記走査線を選択する期間を選択期間と称する表示装置であって、上記画素の画素回路は、上記素子が上記選択期間のみ発光するインパルスモードで駆動されるか、上記素子が上記選択期間中は発光せず上記選択期間後に発光を続けるホールドモードで駆動されると共に、上記画素回路は、上記インパルスモードで駆動される際に発光信号を供給する第 1 の信号源と、上記ホールドモードで駆動される際に発光信号を供給する第 2 の信号源とを有することを特徴とする。

【 0 0 1 9 】

また、本発明の表示装置の駆動方法は、上記課題を解決するために、一方向に伸びる複数の走査線と、他方向に伸びる複数のデータ信号線と、複数の上記データ信号線を駆動するソースドライバ回路と、複数の上記走査線を制御するゲートドライバ回路と、上記走査線および上記データ信号線の交差部に対応して設けられる複数の画素とを備え、流れる電流に応じた輝度で発光する素子を上記画素が有し、上記ゲートドライバ回路が上記走査線を選択する期間を選択期間と称する表示装置の駆動方法であって、上記素子が上記選択期間のみ発光するインパルスモードで上記画素の画素回路を駆動する工程と、上記素子が上記選択期間中は発光せず上記選択期間後に発光を続けるホールドモードで上記画素回路を駆動する工程と、上記画素回路が上記インパルスモードで駆動される場合に、第 1 の信号源により発光信号を供給する工程と、上記画素回路が上記ホールドモードで駆動される場合に、第 2 の信号源により発光信号を供給する工程とを含むことを特徴とする。

【 0 0 2 0 】

上記発明によれば、上記画素が低階調を表示する場合は、階調制御のしやすい上記インパルスモードにより駆動を行い、上記画素が高階調を表示する場合は、寿命対策として上記ホールドモードにより駆動を行う。

【 0 0 2 1 】

これにより、上記ホールドモードで駆動する場合は、上記第 2 の信号源により上記発光信号を供給し、最小階調における電流値を従来よりも大きく出来るので、階調制御を従来よりも容易に行うことが可能となった。

【 0 0 2 2 】

また、上記インパルスモードで駆動する場合は、上記第 1 の信号源により上記発光信号を供給し、最大階調における電流値を従来よりも小さく出来るので、従来よりも長寿命化が可能となった。

【 0 0 2 3 】

このように、特に高精細の表示装置においては、上記インパルスモードで駆動される階

10

20

30

40

50

調領域を小さく、上記ホールドモードで駆動される階調領域を大きく設定すれば、電流制御の領域を有効に利用することができる。

【 0 0 2 4 】

更に、従来技術と比較して、以下の効果を奏する。第 1 の効果として、データを出力するタイミングを変える必要がないため、上記ゲートドライバ回路内の制御回路の構成をより簡単なものとする事が出来る。第 2 の効果として、選択期間の全てで発光させることが可能であるため、瞬間輝度の低下による長寿命化が実現出来る。

【 0 0 2 5 】

さらに、第 3 の効果として、低消費電力化の観点でも、本発明の技術は有用である。従来の駆動回路のホールドモードでは、発光時、常に駆動トランジスタを通して電流が有機 EL 素子に供給される。駆動トランジスタを飽和領域で駆動させる場合、駆動トランジスタによる電圧降下が生じ、そのエネルギーは熱となって発光に寄与しないまま、損失となる。一方、インパルスモードでは、線形領域で動作するスイッチング素子を介して発光電流が供給されるため、電力損失を最小限とすることが出来る。すなわち、従来の駆動回路のホールドモードによる駆動と比較して、インパルスモードで駆動される場合において、電力損失を低減させることができるため、消費電力を抑えた表示装置が実現可能となる。

【発明の効果】

【 0 0 2 6 】

本発明の表示装置は、以上のように、画素の画素回路は、素子が選択期間のみ発光するインパルスモードで駆動されるか、上記素子が上記選択期間中は発光せず上記選択期間後に発光を続けるホールドモードで駆動されると共に、上記画素回路は、上記インパルスモードで駆動される際に発光信号を供給する第 1 の信号源と、上記ホールドモードで駆動される際に発光信号を供給する第 2 の信号源とを有するものである。

【 0 0 2 7 】

また、本発明の表示装置の駆動方法は、以上のように、素子が選択期間のみ発光するインパルスモードで画素の画素回路を駆動する工程と、上記素子が上記選択期間中は発光せず上記選択期間後に発光を続けるホールドモードで上記画素回路を駆動する工程と、上記画素回路が上記インパルスモードで駆動される場合に、第 1 の信号源により発光信号を供給する工程と、上記画素回路が上記ホールドモードで駆動される場合に、第 2 の信号源により発光信号を供給する工程とを含む方法である。

【 0 0 2 8 】

それゆえ、階調制御を従来よりも容易に行うことが出来、瞬間輝度の低下による長寿命化が実現出来、更には低消費電力化を実現出来る、表示装置及び表示装置の駆動方法を提供するという効果を奏する。

【図面の簡単な説明】

【 0 0 2 9 】

【図 1】本発明の実施例に係る画素回路の回路図である。

【図 2】本発明の実施例に係る画素回路の動作を示すタイミングチャートである。

【図 3】本発明の実施例に係る表示装置のブロック図である。

【図 4】ホールドモードのみで駆動する駆動法と、インパルスモード及びホールドモードの両方で駆動する駆動法とを、映像源によって切り分ける場合のフローチャートである。

【図 5】本発明の他の実施例に係る画素回路の回路図である。

【図 6】本発明の他の実施例に係る画素回路の動作を示すタイミングチャートである。

【図 7】本発明のさらに別の実施例に係る画素回路の回路図である。

【図 8】本発明のさらに別の実施例に係る画素回路の動作を示すタイミングチャートである。

【図 9】特許文献 1 に示される従来の駆動回路の回路図である。

【発明を実施するための形態】

【 0 0 3 0 】

本発明の一実施形態について実施例 1 ~ 実施例 3、および図 1 ~ 図 8 に基づいて説明す

10

20

30

40

50

ると以下の通りである。まずは本発明の実施形態に係る表示装置 1 の構成について以下に説明する。

【0031】

〔表示装置の構成〕

図 3 は、本実施形態に係る表示装置 1 の構成を示すブロック図である。表示装置 1 は、複数本 (m 本) のデータ信号線 $S_1, S_2, \dots, S_m$ を駆動するソースドライバ回路 2 と、複数本 (n 本) の走査線 $G_1, G_2, \dots, G_n$ 及び複数本 (n 本) の走査線 $R_1, R_2, \dots, R_n$ を制御するゲートドライバ回路 3 と、 $m \times n$ 個の画素 $A_{11}, \dots, A_{1m}, \dots, A_{n1}, \dots, A_{nm}$ を備える表示部 4 と、ソースドライバ回路 2 及びゲートドライバ回路 3 を制御するためのコントロール回路 5 とを備えている。

10

【0032】

ソースドライバ回路 2 は、シフトレジスタと、データラッチ部と、スイッチ部とを有し、選択された列に対し、電圧信号または電流信号を供給する。ゲートドライバ回路 3 は、ソースドライバ回路 2 と同様に、シフトレジスタと、データラッチ部と、スイッチ部とを有し、走査線 $G_1, G_2, \dots, G_n$ 及び走査線 $R_1, R_2, \dots, R_n$ を制御する。各々選択された行に対し、制御信号を供給する。コントロール回路 5 は、制御クロックやスタートパルスなどを出力する。ソースドライバ回路 2 が有するシフトレジスタ及びゲートドライバ回路 3 が有するシフトレジスタは、行および列を選択する信号を出力する。

【0033】

表示装置 1 における表示部 4 は、複数本 (n 本) の走査線 $G_1 \sim G_n$ と、走査線 $G_1 \sim G_n$ のそれぞれと交差する複数本 (m 本) のデータ信号線 $S_1 \sim S_m$ と、走査線 $G_1 \sim G_n$ とデータ信号線 $S_1 \sim S_m$ との交差点にそれぞれ対応して設けられた複数個 ($m \times n$ 個) の画素 $A_{11}, \dots, A_{1m}, \dots, A_{n1}, \dots, A_{nm}$ とを含む。上記画素は絵素であってもよい。画素 $A_{11}, \dots, A_{1m}, \dots, A_{n1}, \dots, A_{nm}$ は、マトリクス状に配置されて画素アレイを構成する。以下では、画素アレイの並びにおける走査線が伸びる方向を行方向、データ信号線が伸びる方向を列方向と称する。

20

【0034】

以下の実施例 1 ~ 実施例 3 では、画素 $A_{11}, \dots, A_{1m}, \dots, A_{n1}, \dots, A_{nm}$ の画素回路の構成及び動作について述べる。

【0035】

30

〔実施例 1〕

図 1 は、本実施例 1 に係る画素回路 6 の回路図であり、図 2 は、本実施例 1 に係る画素回路 6 の動作を示すタイミングチャートである。まずは画素回路 6 の構成について図 1 を参照して説明する。

【0036】

画素回路 6 は、i 行目の走査線 G_i, R_i と j 列目のデータ信号線 S_j との交差点に設けられた画素 A_{ij} の画素回路である。i = 1 ~ n であり、j = 1 ~ m である。

【0037】

画素回路 6 は、流れる電流に応じた輝度で発光する素子である有機 EL (Electro luminescence: エレクトロルミネッセンス) ダイオード 7 (素子)、薄膜トランジスタ (thin film transistor: TFT) $T_1 \sim T_3$ 、容量 C を備えている。薄膜トランジスタ $T_1 \sim T_3$ は、N チャンルの薄膜トランジスタであってもよい。これにより、P チャンルの薄膜トランジスタが作りにくいアモルファスシリコンのパネルを表示装置 1 に利用出来る。

40

【0038】

画素回路 6 において、薄膜トランジスタ T_1 のゲートは、i 行目の走査線 G_i に接続されている。薄膜トランジスタ T_2 のゲートは、i 行目の走査線 R_i に接続されている。薄膜トランジスタ T_3 のゲートは、薄膜トランジスタ T_2 のソース及び容量 C の一端に接続されている。薄膜トランジスタ T_3 のドレインは、電源線 V_p に接続されている。

【0039】

薄膜トランジスタ T_3 のソースは、薄膜トランジスタ T_1 のドレイン、容量 C の他端及

50

び有機ELダイオード7のアノードに接続されている。薄膜トランジスタT1のソースは、j列目のデータ信号線Sjに接続されている。

【0040】

薄膜トランジスタT2のドレイン及び有機ELダイオード7のカソードは、電氣的に接地されている。

【0041】

j列目のデータ信号線Sjは、画素Aijが低階調を表示する場合は、低階調表示用プログラム電流源I1に接続される。これに対して、画素Aijが高階調を表示する場合は、j列目のデータ信号線Sjは、高階調表示用プログラム電流源I2に接続される。j列目のデータ信号線Sjと各電流源I1, I2との接続の切り替えは、スイッチSWにより行われる。各電流源I1, I2及びスイッチSWは、後述する図3のソースドライバ回路2が有している。

【0042】

このような画素回路6の動作について、図2のタイミングチャートを参照して以下に説明する。

【0043】

選択された行における「選択期間」の開始時に、選択された行の走査線Gi, Riの信号レベルは、L(ロー)からH(ハイ)へ変化する。上記信号レベルは、選択期間終了後にHからLへ変化する。

【0044】

画素回路6は、画素Aijが低階調を表示する場合はインパルスモードで駆動する、即ち有機ELダイオード7が選択期間のみ発光するようにする。具体的には、図2においてプログラム電流Iをソースする、即ち、j列目のデータ信号線Sjを低階調表示用プログラム電流源I1に接続する。

【0045】

この場合、データ信号線Sjのデータに対応する電位は正となり、薄膜トランジスタT1のソースの電位も正となる。また、選択期間中は薄膜トランジスタT1, T2がオンする。よって、薄膜トランジスタT1のドレイン、容量Cの他端及び有機ELダイオード7のアノードの電位は、薄膜トランジスタT1のソースの電位が書き込まれるので正となる。薄膜トランジスタT3のゲート及び容量Cの一端の電位は接地電位となる。

【0046】

これにより、有機ELダイオード7には順バイアスの電圧が印加されるので、有機ELダイオード7はオンする。また、薄膜トランジスタT3のゲート-ソース間電圧Vgsは負となるので、薄膜トランジスタT3はオフする。

【0047】

従って、低階調表示用プログラム電流源I1の出力→データ信号線Sj→薄膜トランジスタT1のソース→薄膜トランジスタT1のドレイン→有機ELダイオード7のアノード→有機ELダイオード7のカソードの経路でプログラム電流Iが流れ、有機ELダイオード7は発光する。

【0048】

但し、薄膜トランジスタT1は、走査線Giの信号レベルがLからHへ変化してもドレイン電流がすぐには流れず、ドレイン電流が飽和するまでに遅延時間と立ち上がり時間とを要する。遅延時間と立ち上がり時間については後述する。このため、有機ELダイオード7の電流波形Eli(i行), Eli-1(i-1行)は、上記遅延時間及び上記立ち上がり時間を経過する間は緩やかに立ち上がる。

【0049】

有機ELダイオード7の発光輝度は、低階調表示用プログラム電流源I1で設定される、プログラム電流Iの電流値により決まる。プログラム電流Iの電流値と階調値とは、比例の関係にある。

【0050】

10

20

30

40

50

選択期間終了後は、薄膜トランジスタ T_1 、 T_2 がオフし、プログラム電流 I が流れなくなる。また、薄膜トランジスタ T_3 のゲート - ソース間電圧 V_{gs} はゼロまたは負となるため、 T_3 もオフとなる。よって、有機ELダイオード7は消灯する。

【0051】

但し、薄膜トランジスタ T_1 は、走査線 G_i の信号レベルがHからLへ変化してもすぐにはオフせず、オフするまでに遅延時間と立ち下がり時間とを要する。このため、有機ELダイオード7の電流波形 E_{li} 、 $E_{li}-1$ は、上記遅延時間及び上記立ち下がり時間を経過する間は緩やかに立ち下がる。

【0052】

なお、上記説明において、遅延時間とは、薄膜トランジスタのドレイン電流のパルスに関して、理想的なパルスが出現する時刻から実際のパルスの振幅が10%になるまでの時間、または上記振幅が10%から0になるまでの時間を示す。また、立ち上がり時間とは、上記振幅が10%から90%になるまでの時間を示す。さらに、立ち下がり時間とは、上記振幅が90%から10%になるまでの時間を示す。

【0053】

なお、図2の電流波形 E_{li} は、走査線 G_i 、 R_i により制御される画素 A_{ij} の電流波形であるが、走査線 G_i 、 R_i により制御される画素の全てがインパルスモードで駆動しているわけではない。データ信号線 S_j に対応して、インパルスモードで駆動している画素と、ホールドモードで駆動している画素とが存在する。よって、一部のホールドモードで駆動している画素に黒挿入を行うために、走査線 G_i の信号レベルをLとし、走査線 R_i の信号レベルをHとして黒挿入期間を設けている。

【0054】

次に、画素回路6は、画素 A_{ij} が高階調を表示する場合はホールドモードで駆動する、即ち有機ELダイオード7が選択期間中は発光せず選択期間後に発光を続けるようにする。具体的には、図2においてプログラム電流 I' をシンクする、即ち、 j 列目のデータ信号線 S_j を高階調表示用プログラム電流源 I_2 に接続する。

【0055】

この場合、データ信号線 S_j の電位は負となり、薄膜トランジスタ T_1 のソースの電位も負となる。また、選択期間中は薄膜トランジスタ T_1 、 T_2 がオンする。よって、薄膜トランジスタ T_1 のドレイン、容量Cの他端及び有機ELダイオード7のアノードの電位は、薄膜トランジスタ T_1 のソースの電位が書き込まれるので負となる。さらに、薄膜トランジスタ T_3 のゲート及び容量Cの一端の電位は接地電位となる。

【0056】

これにより、有機ELダイオード7には逆バイアスの電圧が印加されるので、有機ELダイオード7はオフする。また、薄膜トランジスタ T_3 のゲート - ソース間電圧 V_{gs} は正となるので、薄膜トランジスタ T_3 はオンする。

【0057】

従って、電源線 V_p →薄膜トランジスタ T_3 のドレイン→薄膜トランジスタ T_3 のソース→薄膜トランジスタ T_1 のドレイン→薄膜トランジスタ T_1 のソース→データ信号線 S_j →高階調表示用プログラム電流源 I_2 の入力→高階調表示用プログラム電流源 I_2 の出力の経路でプログラム電流 I' が流れる。プログラム電流 I' の電流値は階調値に対応しており、高階調表示用プログラム電流源 I_2 で設定される。

【0058】

選択期間終了後は、薄膜トランジスタ T_3 のソース電位は、有機ELダイオード7のアノード電位に応じて変動する。また、薄膜トランジスタ T_3 のゲート電位は、薄膜トランジスタ T_3 のゲート - ソース間電圧 V_{gs} が一定になるように、薄膜トランジスタ T_3 のソース電位の変動に追従する。これは、薄膜トランジスタ T_2 がオフになったことによりフローティングになっているためである。

【0059】

選択期間中の薄膜トランジスタ T_3 のゲート - ソース間電圧 V_{gs} は、該ゲート - ソー

10

20

30

40

50

ス間電圧 V_{gs} により選択期間中に容量 C が充電されているために、選択期間終了後も保持される。このため、選択期間終了後は、薄膜トランジスタ T_1 、 T_2 はオフするが、薄膜トランジスタ T_3 はオンしたままである。

【0060】

よって、選択期間におけるプログラム電流 I' と電流値がほぼ等しいプログラム電流 I'' が、電源線 V_p → 薄膜トランジスタ T_3 のドレイン → 薄膜トランジスタ T_3 のソース → 有機 EL ダイオード 7 のアノード → 有機 EL ダイオード 7 のカソードの経路で流れる。

【0061】

但し、薄膜トランジスタ T_1 は、走査線 G_i の信号レベルが H から L へ変化してもすぐにはオフせず、オフするまでに遅延時間と立ち下がり時間とを要する。このため、有機 EL ダイオード 7 の電流波形 E_{li+1} ($i+1$ 行) は、上記遅延時間及び上記立ち下がり時間を経過する間は緩やかに立ち下がる。

10

【0062】

選択期間終了後に黒を挿入する場合は、走査線 G_i の信号レベルは L (ロー) とし、走査線 R_i の信号レベルは H (ハイ) とする。これにより、薄膜トランジスタ T_1 はオフし薄膜トランジスタ T_2 はオンする。薄膜トランジスタ T_3 は、薄膜トランジスタ T_2 がオンすることによりゲート電位が接地電位となるためにオフする。薄膜トランジスタ T_3 がオフするため、プログラム電流 I'' が流れなくなり、有機 EL ダイオード 7 は消灯する。

【0063】

但し、薄膜トランジスタ T_3 は、走査線 R_i の信号レベルが L から H へ変化してもすぐにはオフせず、オフするまでに遅延時間と立ち下がり時間とを要する。このため、有機 EL ダイオード 7 の電流波形 E_{li+1} は、上記遅延時間及び上記立ち下がり時間を経過する間は緩やかに立ち下がる。

20

【0064】

本実施例 1 の画素回路 6 では、インパルスモードにおいてデータ信号線 S_j に流れるプログラム電流 I の方向と、ホールドモードにおいてデータ信号線 S_j に流れるプログラム電流 I' の方向とは、データ信号線 S_j 上において互いに逆向きである。

【0065】

これにより、インパルスモードとホールドモードとを、各プログラム電流の方向により区別することが可能となる。

30

【0066】

また、インパルスモード及びホールドモードの両モードとも、データ出力のタイミングは、選択期間の開始及び終了と同一に出来るので、データ出力のタイミングを制御する回路を複雑にする必要がなくなる。

【0067】

さらに、EL 素子に直接流れる電流により EL 素子の輝度を制御するので、画素回路の駆動に用いる駆動 TFT のばらつき (個体差) に影響されない、均一な輝度分布を得ることが出来る。

【0068】

なお、図 2 における、「選択期間」、「フレーム期間」、「黒挿入期間」などの記載は、 i 行に関する記載である。

40

【0069】

本発明では、全階調が低階調と高階調とに分けられ、画素 A_{ij} が低階調を表示する場合は、階調制御のしやすいインパルスモードにより駆動を行い、画素 A_{ij} が高階調を表示する場合は、寿命対策としてホールドモードにより駆動を行う構成を提案するものである。

【0070】

本実施例 1 では、以下の表 1 に示すように、全階調を $0 \sim 255$ とし、 32 階調まではインパルスモードにより駆動を行い、 33 階調以降は、「1 フレーム期間の 90% の期間

50

に黒を挿入したホールドモード」にて駆動している。

【 0 0 7 1 】

黒、すなわち 0 階調については、インパルスモードおよびホールドモードのどちらで駆動しても構わない。

【 0 0 7 2 】

【 表 1 】

インパルス／ホールドモードにおける発光電流値
※黒挿入90%ホールドモードにおける白電流=10 μ Aの場合

階調	インパルス (μ A)	ホールド (μ A)
255	1076	10.0
128	540	5.0
64	270	2.5
33	139	1.29
32	135	1.25
16	68	0.63
8	34	0.31
4	17	0.16
2	8	0.08
1	4.2	0.04

※ライン数：1080本の場合の試算

【 0 0 7 3 】

この駆動方法により、ホールドモードで駆動する場合は、最小階調における電流値が 40 nAであったのが、4.2 μ Aにできた。これにより、階調制御をより容易に行うことが可能となった。

【 0 0 7 4 】

また、インパルスモードで駆動する場合は、最大階調における電流値が 1 mA 以上であったのが、10 μ Aにできた。これにより、従来よりも長寿命化が可能となった。

【 0 0 7 5 】

このように、特に高精細の表示装置においては、インパルスモードで駆動される階調領域を小さく、ホールドモードで駆動される階調領域を大きく設定すれば、電流制御の領域を有効に利用することができる。インパルスモードで駆動される階調領域を大きく設定した場合、必要電流値が増加し、瞬間的に大電流を流すことになるため、好ましくない。

【 0 0 7 6 】

更に、従来技術と比較して、以下の効果を奏する。第 1 の効果として、データを出力するタイミングを変える必要がないため、ゲートドライバ回路内の制御回路の構成をより簡単なものとする事が出来る。第 2 の効果として、選択期間の全てで発光させることが可能であるため、瞬間輝度の低下による長寿命化が実現出来た。

【 0 0 7 7 】

第 3 の効果として、低消費電力化の観点でも、本実施の形態に記載の技術は有用である。従来の駆動回路のホールドモードでは、発光時、常に駆動トランジスタを通して電流が有機 EL 素子に供給される。駆動トランジスタを飽和領域で駆動させる場合、駆動トランジスタによる電圧降下が生じ、そのエネルギーは熱となって発光に寄与しないまま、損失

となる。一方、インパルスモードでは、線形領域で動作するスイッチング素子を介して発光電流が供給されるため、電力損失を最小限とすることが出来る。すなわち、従来の駆動回路のホールドモードによる駆動と比較して、インパルスモードで駆動される場合において、電力損失を低減させることができるため、消費電力を抑えた表示装置が実現可能となる。

【 0 0 7 8 】

なお、インパルスモードと、ホールドモードとの切り替えは、階調による切り替えでなくともよい。例えば、テキストなど、白黒主体の表示コンテンツを表示する第 1 のパターンにおける階調値の分布では、白を表示するための階調値と黒を表示するための階調値とが、他の色を表示するための階調値よりも大きくなる。このような第 1 のパターンでは、階調のムラに対し、表示品位の低下は限定的であるから、有機 E L 素子の長寿命化を目的として、階調によらずホールドモードのみで画素回路を駆動すればよい。

【 0 0 7 9 】

一方、写真や動画など、階調のムラが表示品位の低下に直結するようなコンテンツを表示する第 2 のパターンにおける階調値の分布は、例えば全階調にわたる幅広い分布となる。このような第 2 のパターンでは、インパルスモードとホールドモードとの両方で画素回路を駆動すればよい。

【 0 0 8 0 】

図 4 に、ホールドモードのみで駆動する駆動法と、インパルスモード及びホールドモードの両方で駆動する駆動法とを、映像源によって切り分ける場合のフローチャートの一例を示す。即ち、表示装置 1 が映像信号を解析する手段を有しており、動画か否か、黒表示の面積の大小、およびテキスト主体か否かにより、二つの駆動方法を切り替える。

【 0 0 8 1 】

図 4 のフローチャートでは、まずステップ s 1 において映像信号が動画か否かを判定する。映像信号が動画である場合（ステップ s 1 で Y e s ）は、インパルスモード及びホールドモードの両方で駆動する駆動法を用いる。

【 0 0 8 2 】

映像信号が動画でない場合（ステップ s 1 で N o ）は、黒表示の面積の大小を判定するために、中間長の信号が 9 0 % 以上か否かを判定する（ステップ s 2 ）。中間長の信号が 9 0 % 以上ではない場合（ステップ s 2 で N o ）は、ホールドモードのみで駆動する駆動法を用いる。

【 0 0 8 3 】

中間長の信号が 9 0 % 以上である場合（ステップ s 2 で Y e s ）は、テキスト主体か否かを判定する（ステップ s 3 ）。テキスト主体である場合（ステップ s 3 で Y e s ）は、ホールドモードのみで駆動する駆動法を用いる。テキスト主体でない場合（ステップ s 3 で N o ）は、インパルスモード及びホールドモードの両方で駆動する駆動法を用いる。

【 0 0 8 4 】

前述のように、二つの駆動方法は、信号電流源の切り替えのみで選択できるので、特別な制御をしなくても、映像が切り替わるたびに制御を変更することが可能となる。

【 0 0 8 5 】

このように、インパルスモードと、ホールドモードとの切り替えの基準、即ちインパルスモードとホールドモードとの両方で画素回路 6 を駆動するか、ホールドモードのみで画素回路 6 を駆動するかを決定する基準は、画像を構成する階調値の分布であってもよい。上記基準は、ソースドライバ回路 2 が有してもよく、コントロール回路 5 が有してもよい。

【 0 0 8 6 】

〔 実施例 2 〕

本発明の他の実施例について図 5 及び図 6 に基づいて説明すれば、以下の通りである。なお、本実施例 2 において説明すること以外の構成は、前記実施例 1 と同じである。また、説明の便宜上、前記実施例 1 の図面に示した部材と同一の機能を有する部材については

10

20

30

40

50

、同一の符号を付し、その説明を省略する。

【 0 0 8 7 】

図 5 は、本実施例 2 に係る画素回路 8 の回路図である。画素回路 8 は、実施例 1 に係る画素回路 6 と以下の点で異なっている。

【 0 0 8 8 】

実施例 1 に係る画素回路 6 では、薄膜トランジスタ T 2 のドレインは電氣的に接地されており、薄膜トランジスタ T 3 のドレインは電源線 V p に接続されている。

【 0 0 8 9 】

これに対して、本実施例 2 に係る画素回路 8 では、薄膜トランジスタ T 2 のドレイン及び薄膜トランジスタ T 3 のドレインは、共通電源線 P i に接続されている。共通電源線 P i の電位は、図 6 のタイミングチャートに示されるように、選択期間中は接地電位とし、非選択期間中は接地電位よりも大きい電位 V p ' とする。

【 0 0 9 0 】

これにより、画素回路 8 は、実施例 1 に係る画素回路 6 と同じ動作が可能になるだけでなく、接地電位の電源線と接地電位よりも大きい電位 V p ' の電源線とを共通電源線 P i により共通に出来る。よって、電源線を 1 行当たり 1 本減らすことが可能となる。

【 0 0 9 1 】

〔 実施例 3 〕

本発明のさらに別の実施例について図 7 及び図 8 に基づいて説明すれば、以下の通りである。なお、本実施例 3 において説明すること以外の構成は、前記実施例 1 , 2 と同じである。また、説明の便宜上、前記実施例 1 , 2 の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【 0 0 9 2 】

図 7 は、本実施例 3 に係る画素回路 9 の回路図である。画素回路 8 は、実施例 1 に係る画素回路 6 と以下の点で異なっている。

【 0 0 9 3 】

実施例 1 に係る画素回路 6 では、薄膜トランジスタ T 1 のゲートは i 行目の走査線 G i に接続されており、薄膜トランジスタ T 2 のゲートは i 行目の走査線 R i に接続されている。

【 0 0 9 4 】

これに対して、本実施例 3 に係る画素回路 9 では、薄膜トランジスタ T 1 のゲート、及び薄膜トランジスタ T 2 のゲートは、共に i 行目の走査線 G i に接続されている。

【 0 0 9 5 】

これにより、画素回路 9 は、実施例 1 に係る画素回路 6 において黒挿入を行わない動作が可能になるだけでなく、走査線 G i を共通に出来るので、走査線を 1 行当たり 1 本減らすことが可能となる。

【 0 0 9 6 】

図 8 は、本実施例 3 に係る画素回路 9 の動作を示すタイミングチャートである。図 3 のタイミングチャートと異なり、走査線 R i の波形が含まれなくなっている。

【 0 0 9 7 】

なお、本実施の形態の画素回路 6 , 8 , 9 は、有機 E L ダイオード 7 だけでなく半導体の発光ダイオードにも適用可能である。

【 0 0 9 8 】

また、表示装置 1 では、低階調表示用プログラム電流源 I 1 および高階調表示用プログラム電流源 I 2 は、出力する電流の向きが互いに逆の電流源であってもよい。

【 0 0 9 9 】

さらに、表示装置 1 では、低階調表示用プログラム電流源 I 1 および高階調表示用プログラム電流源 I 2 に代えて、階調変化に対する電圧変化の傾きの符号が、一方が正であり他方が負である電圧源を用いてもよい。

【 0 1 0 0 】

さらに、表示装置 1 では、プログラム電流 I の全階調と、プログラム電流 I' の全階調とを、それぞれ低階調側と高階調側とに分けたとき、上記インパルスモードは上記低階調側で駆動され、上記ホールドモードは上記高階調側で駆動されてもよい。

【0101】

さらに、表示装置 1 では、プログラム電流 I の全階調に関して、該全階調の半分の輝度を $1/2$ 輝度としたとき、上記低階調側は、最低階調から上記 $1/2$ 輝度より小さい階調までの範囲であり、上記高階調側は、上記 $1/2$ 輝度より小さい階調から最高階調までの範囲であってもよい。

【0102】

本実施の形態の表示装置 1 では、インパルスモードとホールドモードとの組み合わせにより、低階調側及び高階調側の両方で色再現域が広がる。従って、各色の組み合わせによる全体の色再現域が格段に広がる。

【0103】

(実施形態の総括)

表示装置 1 では、複数の上記走査線は、走査線 $G_1, G_2, \dots, G_n, G_i$ 及び走査線 $R_1, R_2, \dots, R_n, R_i$ からなり、画素回路 6 は、薄膜トランジスタ T_1 、薄膜トランジスタ T_2 、薄膜トランジスタ T_3 及び容量 C を有し、薄膜トランジスタ T_1 は、ゲートが走査線 G_i に接続され、ソースがデータ信号線 S_j に接続され、薄膜トランジスタ T_2 は、ゲートが走査線 R_i に接続され、ドレインが電氣的に接地され、ソースが薄膜トランジスタ T_3 のゲート及び容量 C の一端に接続され、薄膜トランジスタ T_3 は、ドレインが電源線 V_p に接続され、ソースが、薄膜トランジスタ T_1 のドレイン、容量 C の他端及び有機 EL ダイオード 7 のアノードに接続され、有機 EL ダイオード 7 のカソードが電氣的に接地され、ソースドライバ回路 3 は、低階調表示用プログラム電流源 I_1 、高階調表示用プログラム電流源 I_2 及びスイッチ SW を有し、スイッチ SW は、画素 $A_{11}, \dots, A_{1m}, \dots, A_{n1}, \dots, A_{nm}, A_{ij}$ が上記インパルスモードにより画像を表示する場合は、データ信号線 $S_1, S_2, \dots, S_m, S_j$ を低階調表示用プログラム電流源 I_1 に接続し、画素 $A_{11}, \dots, A_{1m}, \dots, A_{n1}, \dots, A_{nm}, A_{ij}$ が上記ホールドモードにより上記画像を表示する場合は、データ信号線 $S_1, S_2, \dots, S_m, S_j$ を高階調表示用プログラム電流源 I_2 に接続してもよい。

【0104】

上記選択期間において、走査線 G_i の信号レベル及び走査線 R_i の信号レベルをハイレベルとする。これにより、上記インパルスモードでは、低階調表示用プログラム電流源 $I_1 \rightarrow$ データ信号線 $S_j \rightarrow$ 薄膜トランジスタ T_1 のソース $\rightarrow$ 薄膜トランジスタ T_1 のドレイン $\rightarrow$ 有機 EL ダイオード 7 のアノード $\rightarrow$ 有機 EL ダイオード 7 のカソードの経路でプログラム電流 I が供給され、有機 EL ダイオード 7 は発光する。

【0105】

上記ホールドモードでは、上記選択期間において有機 EL ダイオード 7 には逆バイアスの電圧が印加されるので、有機 EL ダイオード 7 はオフする。また、薄膜トランジスタ T_3 のゲート - ソース間電圧は正となるので、薄膜トランジスタ T_3 はオンする。

【0106】

従って、電源線 $V_p \rightarrow$ 薄膜トランジスタ T_3 のドレイン $\rightarrow$ 薄膜トランジスタ T_3 のソース $\rightarrow$ 薄膜トランジスタ T_1 のドレイン $\rightarrow$ 薄膜トランジスタ T_1 のソース $\rightarrow$ データ信号線 $S_j \rightarrow$ 高階調表示用プログラム電流源 I_2 の経路でプログラム電流 I' が供給される。

【0107】

上記選択期間中の薄膜トランジスタ T_3 のゲート - ソース間電圧は、該ゲート - ソース間電圧により上記選択期間中に容量 C が充電されているために、上記選択期間終了後も保持される。このため、上記選択期間終了後は、薄膜トランジスタ T_1 及び薄膜トランジスタ T_2 はオフするが、薄膜トランジスタ T_3 はオンしたままである。

【0108】

10

20

30

40

50

よって、プログラム電流 I' と電流値がほぼ等しいプログラム電流 I'' が、電源線 V_p → 薄膜トランジスタ T_3 のドレイン → 薄膜トランジスタ T_3 のソース → 有機 EL ダイオード 7 のアノード → 有機 EL ダイオード 7 のカソードの経路で供給される。

【0109】

選択期間終了後に黒を挿入する場合は、走査線 G_i の信号レベルはローとし、走査線 R_i の信号レベルはハイとする。これにより、薄膜トランジスタ T_1 はオフし薄膜トランジスタ T_2 はオンする。薄膜トランジスタ T_3 は、薄膜トランジスタ T_2 がオンすることによりゲート電位が接地電位となるためにオフする。薄膜トランジスタ T_3 がオフするため、プログラム電流 I'' が供給されなくなり、有機 EL ダイオード 7 は消灯する。

【0110】

従って、プログラム電流 I の階調を低階調とする場合は、上記インパルスモードで駆動し、プログラム電流 I の階調を高階調とする場合は、上記ホールドモードで駆動することが可能となる。

【0111】

表示装置 1 では、複数の上記走査線は、走査線 $G_1, G_2, \dots, G_n, G_i$ 及び走査線 $R_1, R_2, \dots, R_n, R_i$ からなり、画素回路 8 は、薄膜トランジスタ T_1 、薄膜トランジスタ T_2 、薄膜トランジスタ T_3 及び容量 C を有し、薄膜トランジスタ T_1 は、ゲートが走査線 G_i に接続され、ソースがデータ信号線 S_j に接続され、薄膜トランジスタ T_2 は、ゲートが走査線 R_i に接続され、ドレインが共通電源線 P_i に接地され、ソースが薄膜トランジスタ T_3 のゲート及び容量 C の一端に接続され、薄膜トランジスタ T_3 は、ドレインが共通電源線 P_i に接続され、ソースが、薄膜トランジスタ T_1 のドレイン、容量 C の他端及び有機 EL ダイオード 7 のアノードに接続され、有機 EL ダイオード 7 のカソードが電氣的に接地され、ソースドライバ回路 3 は、低階調表示用プログラム電流源 I_1 、高階調表示用プログラム電流源 I_2 及びスイッチ SW を有し、スイッチ SW は、画素 $A_{11}, \dots, A_{1m}, \dots, A_{n1}, \dots, A_{nm}, A_{ij}$ が上記インパルスモードにより画像を表示する場合は、データ信号線 $S_1, S_2, \dots, S_m, S_j$ を低階調表示用プログラム電流源 I_1 に接続し、画素 $A_{11}, \dots, A_{1m}, \dots, A_{n1}, \dots, A_{nm}, A_{ij}$ が上記ホールドモードにより上記画像を表示する場合は、データ信号線 $S_1, S_2, \dots, S_m, S_j$ を高階調表示用プログラム電流源 I_2 に接続し、共通電源線 P_i の電位は、上記選択期間中は接地電位とし、非選択期間中は接地電位よりも大きい電位としてもよい。

【0112】

これにより、画素回路 8 は、薄膜トランジスタ T_3 のドレインが電源線 V_p に接続される画素回路 6 と同じ動作が可能になるだけでなく、接地電位の電源線と接地電位よりも大きい電位 $V_{p'}$ の電源線とを共通電源線 P_i により共通に出来る。よって、電源線を 1 行当たり 1 本減らすことが可能となる。

【0113】

表示装置 1 では、画素回路 9 は、薄膜トランジスタ T_1 、薄膜トランジスタ T_2 、薄膜トランジスタ T_3 及び容量 C を有し、薄膜トランジスタ T_1 は、ゲートが走査線 G_i に接続され、ソースがデータ信号線 S_j に接続され、薄膜トランジスタ T_2 は、ゲートが走査線 G_i に接続され、ドレインが電氣的に接地され、ソースが薄膜トランジスタ T_3 のゲート及び容量 C の一端に接続され、薄膜トランジスタ T_3 は、ドレインが電源線 V_p に接続され、ソースが、薄膜トランジスタ T_1 のドレイン、容量 C の他端及び有機 EL ダイオード 7 のアノードに接続され、有機 EL ダイオード 7 のカソードが電氣的に接地され、ソースドライバ回路 3 は、低階調表示用プログラム電流源 I_1 、高階調表示用プログラム電流源 I_2 及びスイッチ SW を有し、スイッチ SW は、画素 $A_{11}, \dots, A_{1m}, \dots, A_{n1}, \dots, A_{nm}, A_{ij}$ が上記インパルスモードにより画像を表示する場合は、データ信号線 $S_1, S_2, \dots, S_m, S_j$ を低階調表示用プログラム電流源 I_1 に接続し、画素 $A_{11}, \dots, A_{1m}, \dots, A_{n1}, \dots, A_{nm}, A_{ij}$ が上記ホールドモードにより上記画像を表示する場合は、データ信号線 $S_1, S_2, \dots, S$

10

20

30

40

50

m、S_jを高階調表示用プログラム電流源I₂に接続してもよい。

【0114】

これにより、画素回路9では、薄膜トランジスタT₁のゲート及び薄膜トランジスタT₂のゲートは、共に走査線G_iに接続されている。

【0115】

よって、画素回路9は、走査線G_i及び走査線R_iを用いる画素回路6, 8において黒挿入を行わない動作が可能になるだけでなく、走査線G_iを共通に出来るので、走査線を1行当たり1本減らすことが可能となる。

【0116】

表示装置1では、低階調表示用プログラム電流源I₁及び高階調表示用プログラム電流源I₂は、出力する電流の向きが互いに逆の電流源であってもよい。

10

【0117】

これにより、上記インパルスモードにおいてデータ信号線S₁, S₂, ..., S_m, S_jに流れる電流(上記第1電流)の方向と、上記ホールドモードにおいてデータ信号線S₁, S₂, ..., S_m, S_jに流れる電流(上記第2電流)の方向とが、データ信号線S₁, S₂, ..., S_m, S_j上において互いに逆向きとなり、上記インパルスモードと上記ホールドモードとを区別することが可能となる。従って、上記インパルスモードの場合でも選択期間が終了するまで、発光を続けることが可能となる。

【0118】

また、上記インパルスモード及び上記ホールドモードの両モードとも、データ出力のタイミングは、上記選択期間の開始及び終了と同一に出来るので、上記データ出力のタイミングを制御する回路を複雑にする必要がなくなる。

20

【0119】

さらに、有機ELダイオード7に直接流れる電流により素子の輝度を制御するので、画素回路の駆動に用いる駆動TF_Tのばらつき(個体差)に影響されない、均一な輝度分布を得ることが出来る。

【0120】

表示装置1では、低階調表示用プログラム電流源I₁及び高階調表示用プログラム電流源I₂は、階調変化に対する電圧変化の傾きの符号が、一方が正であり他方が負である電圧源であってもよい。

30

【0121】

また、表示装置1では、薄膜トランジスタT₁、薄膜トランジスタT₂及び薄膜トランジスタT₃は、Nチャネルの薄膜トランジスタであってもよい。

【0122】

これにより、Pチャネルの薄膜トランジスタが作りにくいアモルファスシリコンのパネルを表示装置1に利用出来る。

【0123】

さらに、表示装置1では、上記発光信号の全階調を、それぞれ低階調側と高階調側とに分けたとき、上記インパルスモードは上記低階調側で駆動され、上記ホールドモードは上記高階調側で駆動されてもよい。

40

【0124】

さらに、上記表示装置の駆動方法では、プログラム電流I, I', I''の全階調を、それぞれ低階調側と高階調側とに分けたとき、上記インパルスモードは上記低階調側で駆動され、上記ホールドモードは上記高階調側で駆動されてもよい。

【0125】

さらに、表示装置1では、プログラム電流I, I', I''の全階調に関して、該全階調の半分の輝度を1/2輝度としたとき、上記低階調側は、最低階調から上記1/2輝度より小さい階調までの範囲であり、上記高階調側は、上記1/2輝度より小さい階調から最高階調までの範囲であってもよい。

【0126】

50

さらに、表示装置 1 の駆動方法では、プログラム電流 I , I' , I'' の全階調に関して、該全階調の半分の輝度を $1/2$ 輝度としたとき、上記低階調側は、最低階調から上記 $1/2$ 輝度より小さい階調までの範囲であり、上記高階調側は、上記 $1/2$ 輝度より小さい階調から最高階調までの範囲であってもよい。

【0127】

さらに、表示装置 1 では、ソースドライバ回路 3 は、上記インパルスモードと上記ホールドモードとの両方で画素回路 6 を駆動するか、上記ホールドモードのみで画素回路 6 を駆動するかを決定する基準を有しており、上記基準は、上記画像を構成する階調値の分布であってもよい。

【0128】

例えば、テキストなど、白黒主体の表示コンテンツを表示する第 1 のパターンにおける階調値の分布では、白を表示するための階調値と黒を表示するための階調値とが、他の色を表示するための階調値よりも大きくなる。このような第 1 のパターンでは、階調のムラに対し、表示品位の低下は限定的であるから、電力を重視して、階調によらず上記ホールドモードのみで画素回路 6 を駆動すればよい。

【0129】

一方、写真や動画など、階調のムラが表示品位の低下に直結するようなコンテンツを表示する第 2 のパターンにおける階調値の分布は、例えば全階調にわたる幅広い分布となる。このような第 2 のパターンでは、上記インパルスモードと上記ホールドモードとの両方で画素回路 6 を駆動すればよい。

【産業上の利用可能性】

【0130】

本発明は、階調制御を従来よりも容易に行うことが出来、瞬間輝度の低下による長寿命化が実現出来、動画性能の改善が可能であるので、フルカラーの画像表示を行う表示装置に好適に用いることが出来る。

【符号の説明】

【0131】

- 1 表示装置
- 2 ソースドライバ回路
- 3 ゲートドライバ回路
- 4 表示部
- 5 コントロール回路
- 6 , 8 , 9 画素回路
- 7 有機 EL ダイオード (素子、有機エレクトロルミネッセンスダイオード)
- A 1 1 , . . . , A 1 m , . . . , A n 1 , . . . , A n m、A i j 画素
- C 容量
- G 1 , G 2 , . . . , G n、G i 走査線 (第 1 走査線)
- R 1 , R 2 , . . . , R n , R i 走査線 (第 2 走査線)
- I プログラム電流 (発光信号)
- I' プログラム電流 (発光信号)
- I'' プログラム電流 (発光信号)
- I 1 低階調表示用プログラム電流源 (第 1 の信号源)
- I 2 高階調表示用プログラム電流源 (第 2 の信号源)
- P i 共通電源線
- s 1 ~ s 3 ステップ
- S 1 , S 2 , . . . , S m、S j データ信号線
- SW スイッチ (スイッチ手段)
- T 1 薄膜トランジスタ (第 1 薄膜トランジスタ)
- T 2 薄膜トランジスタ (第 2 薄膜トランジスタ)
- T 3 薄膜トランジスタ (第 3 薄膜トランジスタ)

10

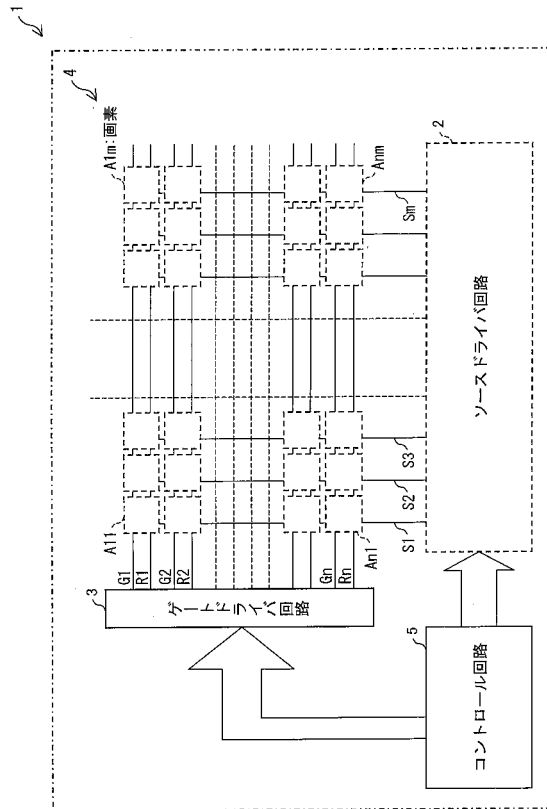
20

30

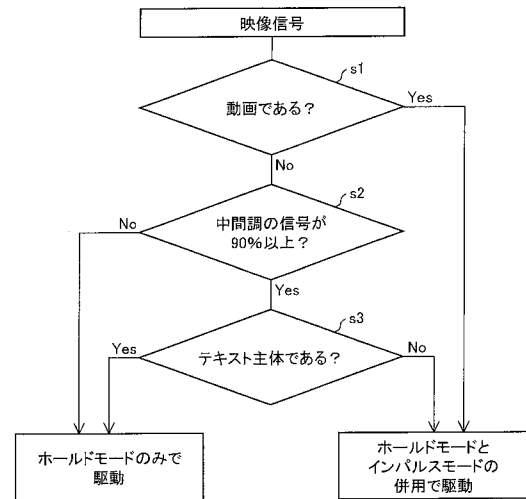
40

50

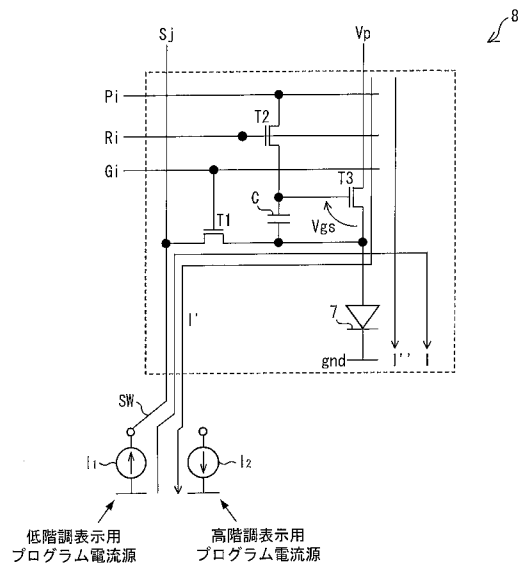
【図 3】



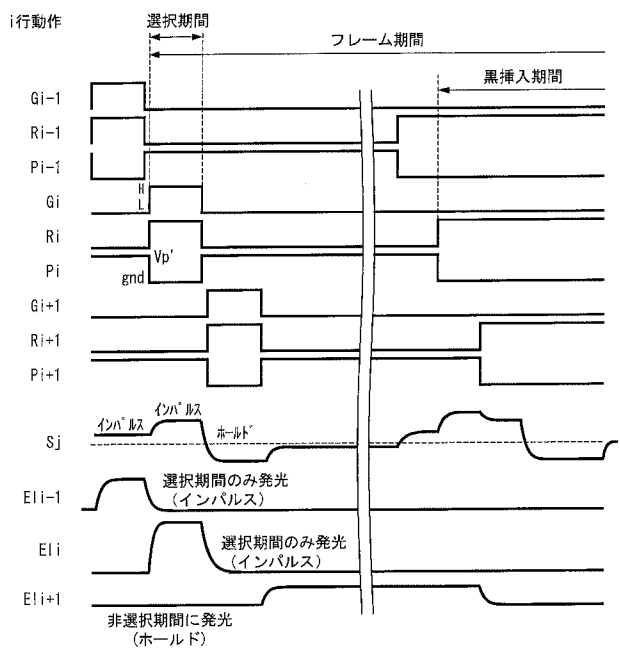
【図 4】



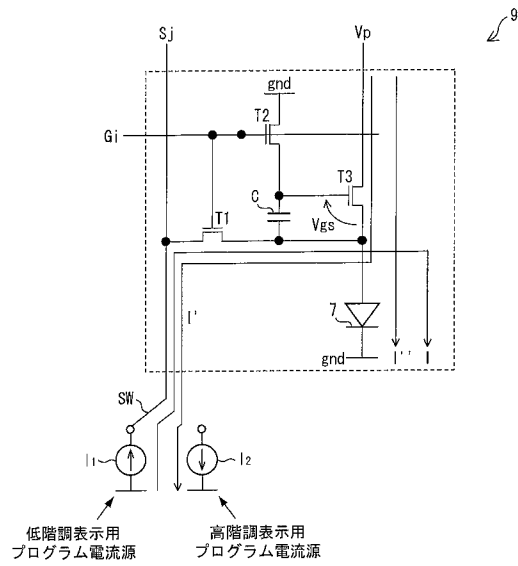
【図 5】



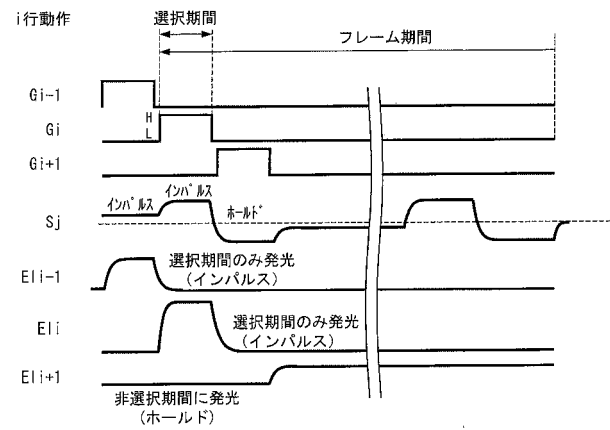
【図 6】



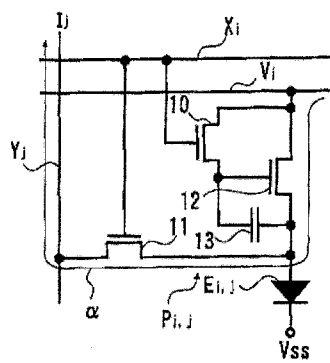
【図 7】



【図 8】



【図 9】



【手続補正書】

【提出日】平成24年1月26日(2012.1.26)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

一方向に伸びる複数の走査線と、他方向に伸びる複数のデータ信号線と、複数の上記データ信号線を駆動するソースドライバ回路と、複数の上記走査線を制御するゲートドライバ回路と、上記走査線および上記データ信号線の交差部に対応して設けられる複数の画素とを備え、流れる電流に応じた輝度で発光する素子を上記画素が有し、上記ゲートドライバ回路が上記走査線を選択する期間を選択期間と称する表示装置であって、

上記画素の画素回路は、上記素子が上記選択期間のみ発光するインパルスモードで駆動されるか、上記素子が上記選択期間中は発光せず上記選択期間後に発光を続けるホールドモードで駆動されると共に、

上記画素回路は、上記インパルスモードで駆動される際に発光信号を供給する第1の信号源と、上記ホールドモードで駆動される際に発光信号を供給する第2の信号源と、スイッチ手段とを有しており、

上記スイッチ手段は、上記画素が上記インパルスモードにより画像を表示する場合は、上記データ信号線を上記第1の信号源に接続し、上記画素が上記ホールドモードにより上記画像を表示する場合は、上記データ信号線を上記第2の信号源に接続し、

上記発光信号の全階調を、それぞれ低階調側と高階調側とに分けたとき、上記インパルスモードは上記低階調側で駆動され、上記ホールドモードは上記高階調側で駆動されることを特徴とする表示装置。

【請求項 2】

複数の上記走査線は、複数の第1走査線及び複数の第2走査線からなり、

上記画素回路は、第1薄膜トランジスタ、第2薄膜トランジスタ、第3薄膜トランジスタ及び容量を有し、

上記第1薄膜トランジスタは、ゲートが上記第1走査線に接続され、ソースが上記データ信号線に接続され、

上記第2薄膜トランジスタは、ゲートが上記第2走査線に接続され、ドレインが電氣的に接地され、ソースが上記第3薄膜トランジスタのゲート及び上記容量の一端に接続され、

上記第3薄膜トランジスタは、ドレインが電源線に接続され、ソースが、上記第1薄膜トランジスタのドレイン、上記容量の他端及び上記素子のアノードに接続され、

上記素子のカソードが電氣的に接地され、

上記ソースドライバ回路は、上記第1の信号源、上記第2の信号源を有することを特徴とする請求項1に記載の表示装置。

【請求項 3】

複数の上記走査線は、複数の第1走査線及び複数の第2走査線からなり、

上記画素回路は、第1薄膜トランジスタ、第2薄膜トランジスタ、第3薄膜トランジスタ及び容量を有し、

上記第1薄膜トランジスタは、ゲートが上記第1走査線に接続され、ソースが上記データ信号線に接続され、

上記第2薄膜トランジスタは、ゲートが上記第2走査線に接続され、ドレインが共通電源線に接続され、ソースが上記第3薄膜トランジスタのゲート及び上記容量の一端に接続され、

上記第3薄膜トランジスタは、ドレインが上記共通電源線に接続され、ソースが、上記

第 1 薄膜トランジスタのドレイン、上記容量の他端及び上記素子のアノードに接続され、
上記素子のカソードが電氣的に接地され、
上記ソースドライバ回路は、上記第 1 の信号源、上記第 2 の信号源を有し、
上記共通電源線の電位は、上記選択期間中は接地電位とし、非選択期間中は接地電位よりも大きい電位とすることを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

上記画素回路は、第 1 薄膜トランジスタ、第 2 薄膜トランジスタ、第 3 薄膜トランジスタ及び容量を有し、

上記第 1 薄膜トランジスタは、ゲートが上記走査線に接続され、ソースが上記データ信号線に接続され、

上記第 2 薄膜トランジスタは、ゲートが上記走査線に接続され、ドレインが電氣的に接地され、ソースが上記第 3 薄膜トランジスタのゲート及び上記容量の一端に接続され、

上記第 3 薄膜トランジスタは、ドレインが電源線に接続され、ソースが、上記第 1 薄膜トランジスタのドレイン、上記容量の他端及び上記素子のアノードに接続され、

上記素子のカソードが電氣的に接地され、

上記ソースドライバ回路は、上記第 1 の信号源、上記第 2 の信号源を有することを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

上記第 1 の信号源および上記第 2 の信号源は、出力する電流の向きが互いに逆の電流源であることを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

上記第 1 の信号源および上記第 2 の信号源は、階調変化に対する電圧変化の傾きの符号が、一方が正であり他方が負である電圧源であることを特徴とする請求項 1 に記載の表示装置。

【請求項 7】

上記第 1 薄膜トランジスタ、上記第 2 薄膜トランジスタ及び上記第 3 薄膜トランジスタは、N チャネルの薄膜トランジスタであることを特徴とする請求項 2 に記載の表示装置。

【請求項 8】

上記発光信号の全階調に関して、該全階調の半分の輝度を $1/2$ 輝度としたとき、上記低階調側は、最低階調から上記 $1/2$ 輝度より小さい階調までの範囲であり、上記高階調側は、上記 $1/2$ 輝度より小さい階調から最高階調までの範囲であることを特徴とする請求項 1 に記載の表示装置。

【請求項 9】

上記ソースドライバ回路は、上記インパルスモードと上記ホールドモードとの両方で上記画素回路を駆動するか、上記ホールドモードのみで上記画素回路を駆動するかを決定する基準を有しており、

上記基準は、上記画像を構成する階調値の分布であることを特徴とする請求項 2 に記載の表示装置。

【請求項 10】

上記素子は、有機エレクトロルミネッセンスダイオードであることを特徴とする請求項 1 に記載の表示装置。

【請求項 11】

一方向に伸びる複数の走査線と、他方向に伸びる複数のデータ信号線と、複数の上記データ信号線を駆動するソースドライバ回路と、複数の上記走査線を制御するゲートドライバ回路と、上記走査線および上記データ信号線の交差部に対応して設けられる複数の画素とを備え、流れる電流に応じた輝度で発光する素子を上記画素が有し、上記ゲートドライバ回路が上記走査線を選択する期間を選択期間と称する表示装置の駆動方法であって、

上記素子が上記選択期間のみ発光するインパルスモードで上記画素の画素回路を駆動する工程と、

上記素子が上記選択期間中は発光せず上記選択期間後に発光を続けるホールドモードで

上記画素回路を駆動する工程と、

上記画素回路が上記インパルスモードで駆動される場合に、第１の信号源により発光信号を供給する工程と、

上記画素回路が上記ホールドモードで駆動される場合に、第２の信号源により発光信号を供給する工程とを含んでおり、

上記発光信号の全階調を、それぞれ低階調側と高階調側とに分けたとき、上記インパルスモードは上記低階調側で駆動され、上記ホールドモードは上記高階調側で駆動されることを特徴とする表示装置の駆動方法。

【請求項１２】

上記発光信号の全階調に関して、該全階調の半分の輝度を１／２輝度としたとき、上記低階調側は、最低階調から上記１／２輝度より小さい階調までの範囲であり、上記高階調側は、上記１／２輝度より小さい階調から最高階調までの範囲であることを特徴とする請求項１１に記載の表示装置の駆動方法。

【請求項１３】

上記素子は、有機エレクトロルミネッセンスダイオードであることを特徴とする請求項１１に記載の表示装置の駆動方法。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】００１６

【補正方法】変更

【補正の内容】

【００１６】

これを解消するために、更に瞬間輝度を大きく、黒時間を長くして駆動すると、高階調側の発光期間の輝度をも大幅に上げなければならず、結果的に有機ＥＬ素子の寿命の短縮を招くことが知られている。

【手続補正３】

【補正対象書類名】明細書

【補正対象項目名】０１１１

【補正方法】変更

【補正の内容】

【０１１１】

表示装置１では、複数の上記走査線は、走査線Ｇ１，Ｇ２，・・・，Ｇｎ、Ｇｉ及び走査線Ｒ１，Ｒ２，・・・，Ｒｎ，Ｒｉからなり、画素回路８は、薄膜トランジスタＴ１、薄膜トランジスタＴ２、薄膜トランジスタＴ３及び容量Ｃを有し、薄膜トランジスタＴ１は、ゲートが走査線Ｇｉに接続され、ソースがデータ信号線Ｓｊに接続され、薄膜トランジスタＴ２は、ゲートが走査線Ｒｉに接続され、ドレインが共通電源線Ｐｉに接続され、ソースが薄膜トランジスタＴ３のゲート及び容量Ｃの一端に接続され、薄膜トランジスタＴ３は、ドレインが共通電源線Ｐｉに接続され、ソースが、薄膜トランジスタＴ１のドレイン、容量Ｃの他端及び有機ＥＬダイオード７のアノードに接続され、有機ＥＬダイオード７のカソードが電氣的に接地され、ソースドライバ回路３は、低階調表示用プログラム電流源Ｉ１、高階調表示用プログラム電流源Ｉ２及びスイッチＳＷを有し、スイッチＳＷは、画素Ａ１１，・・・，Ａ１ｍ，・・・，Ａｎ１，・・・，Ａｎｍ、Ａｉｊが上記インパルスモードにより画像を表示する場合は、データ信号線Ｓ１，Ｓ２，・・・，Ｓｍ、Ｓｊを低階調表示用プログラム電流源Ｉ１に接続し、画素Ａ１１，・・・，Ａ１ｍ，・・・，Ａｎ１，・・・，Ａｎｍ、Ａｉｊが上記ホールドモードにより上記画像を表示する場合は、データ信号線Ｓ１，Ｓ２，・・・，Ｓｍ、Ｓｊを高階調表示用プログラム電流源Ｉ２に接続し、共通電源線Ｐｉの電位は、上記選択期間中は接地電位とし、非選択期間中は接地電位よりも大きい電位としてもよい。

【手続補正 4】

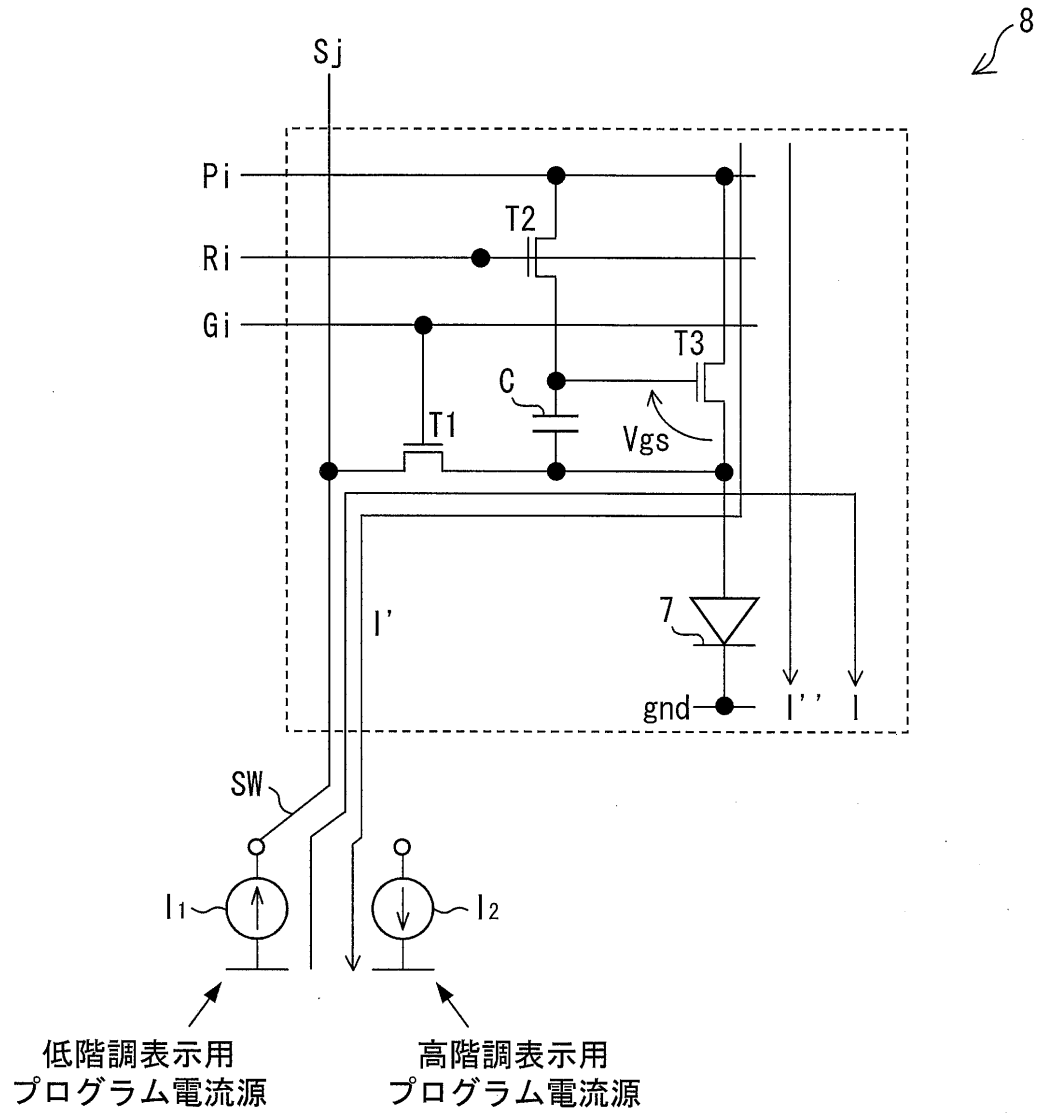
【補正対象書類名】図面

【補正対象項目名】図 5

【補正方法】変更

【補正の内容】

【図 5】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/001523

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, H01L27/32
(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/30, G09F9/30, G09G3/20, H01L27/32, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2009-009049 A (Canon Inc.), 15 January 2009 (15.01.2009), paragraphs [0016] to [0020], [0033] to [0068] & US 2009/0002281 A1	1-7, 11-12, 15 8-10, 13-14
Y	JP 2004-317677 A (Seiko Epson Corp.), 11 November 2004 (11.11.2004), entire text; all drawings (Family: none)	1-7, 11-12, 15
Y	JP 2007-248800 A (Casio Computer Co., Ltd.), 27 September 2007 (27.09.2007), paragraphs [0035] to [0082]; fig. 3 (Family: none)	2-7

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 April, 2010 (23.04.10)Date of mailing of the international search report
11 May, 2010 (11.05.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/001523

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-60076 A (Sony Corp.), 06 March 2001 (06.03.2001), entire text; all drawings (Family: none)	2-7
A	JP 2004-361935 A (Semiconductor Energy Laboratory Co., Ltd.), 24 December 2004 (24.12.2004), entire text; all drawings & US 2004/0222950 A1 & US 2009/0174631 A1 & KR 10-2004-0096777 A	1-15

国際調査報告		国際出願番号 PCT/JP2010/001523	
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/30(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/30, G09F9/30, G09G3/20, H01L27/32, H01L51/50			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2010年 日本国実用新案登録公報 1996-2010年 日本国登録実用新案公報 1994-2010年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y	JP 2009-009049 A (キヤノン株式会社) 2009.01.15 段落0016-0020, 0033-0068 & US 2009/0002281 A1	1-7, 11-12, 15	
A		8-10, 13-14	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 23.04.2010		国際調査報告の発送日 11.05.2010	
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 福村 拓 電話番号 03-3581-1101 内線 3226	2G 3308

国際調査報告		国際出願番号 PCT/JP2010/001523
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-317677 A (セイコーエプソン株式会社) 2004. 11. 11 全文、全図 (ファミリーなし)	1-7, 11 -12, 15
Y	JP 2007-248800 A (カシオ計算機株式会社) 2007. 09. 27 段落0035-0082、図3 (ファミリーなし)	2-7
Y	JP 2001-60076 A (ソニー株式会社) 2001. 03. 06 全文、全図 (ファミリーなし)	2-7
A	JP 2004-361935 A (株式会社半導体エネルギー研 究所) 2004. 12. 24 全文、全図 & US 2004/0222950 A1 & US 2009/0174631 A1 & KR 10-2004-0096777 A	1-15

フロントページの続き

(51) Int. Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/30	J
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 2 3 R
H 0 5 B	33/14	A

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

F ターム (参考) 5C380 AA01 AA03 AB06 AB32 BA01 BA11 BA19 BA46 BA47 BB19
 BD16 BE05 CA12 CA13 CC18 CC19 CC27 CC41 CD013 CF07
 CF09 CF51 DA02 DA06 DA07 DA16 DA41 DA42 DA58 FA10
 FA16 HA02 HA04

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置和显示装置的驱动方法		
公开(公告)号	JPWO2010140285A1	公开(公告)日	2012-11-15
申请号	JP2011518215	申请日	2010-03-04
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	岸 宣孝		
发明人	岸 宣孝		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3225 G09G3/2077 G09G3/3283 G09G2300/0842 G09G2320/0261 G09G2330/021		
FI分类号	G09G3/30.K G09G3/20.621.K G09G3/20.624.B G09G3/20.612.U G09G3/20.670.K G09G3/20.611.A G09G3/20.621.F G09G3/30.J G09G3/20.623.C G09G3/20.641.D G09G3/20.623.R H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC21 3K107/EE03 3K107/FF12 3K107/HH05 5C080/AA07 5C080/BB05 5C080/CC03 5C080/DD08 5C080/DD22 5C080/DD26 5C080/DD29 5C080/EE01 5C080/EE19 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ07 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB32 5C380/BA01 5C380/BA11 5C380/BA19 5C380/BA46 5C380/BA47 5C380/BB19 5C380/BD16 5C380/BE05 5C380/CA12 5C380/CA13 5C380/CC18 5C380/CC19 5C380/CC27 5C380/CC41 5C380/CD013 5C380/CF07 5C380/CF09 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA07 5C380/DA16 5C380/DA41 5C380/DA42 5C380/DA58 5C380/FA10 5C380/FA16 5C380/HA02 5C380/HA04		
优先权	2009135286 2009-06-04 JP		
其他公开文献	JP5280534B2		
外部链接	Espacenet		

摘要(译)

以仅在选择期间有机EL二极管 (7) 发光的脉冲模式或在选择期间有机EL二极管 (7) 不发光的保持模式下驱动像素电路 (6)。期,但在选择期之后。此外,像素电路 (6) 具有用于下侧灰度显示的编程电流源 (I1) 和用于上侧灰度显示的编程电流源 (I2),像素电路 (6) 被提供有当以脉冲模式驱动像素电路 (6) 时,来自编程电流源 (I1) 的编程电流 (I),以及当像素电路 (6) 时来自编程电流源 (I2) 的编程电流 (I#39;)) 在保持模式下驱动。

【图1】

