

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6573635号
(P6573635)

(45) 発行日 令和1年9月11日(2019.9.11)

(24) 登録日 令和1年8月23日(2019.8.23)

(51) Int.Cl.	F I
H05B 33/12 (2006.01)	H05B 33/12 B
H01L 27/32 (2006.01)	H01L 27/32
H01L 51/50 (2006.01)	H05B 33/14 A
H05B 33/24 (2006.01)	H05B 33/24
H05B 33/10 (2006.01)	H05B 33/10

請求項の数 16 (全 14 頁) 最終頁に続く

(21) 出願番号	特願2016-570103 (P2016-570103)	(73) 特許権者	510280589
(86) (22) 出願日	平成27年9月18日 (2015.9.18)		京東方科技集團股▲ふん▼有限公司
(65) 公表番号	特表2018-516423 (P2018-516423A)		BOE TECHNOLOGY GROU P CO., LTD.
(43) 公表日	平成30年6月21日 (2018.6.21)		中華人民共和國100015北京市朝陽區
(86) 国際出願番号	PCT/CN2015/089928		酒仙橋路10號
(87) 国際公開番号	W02016/165278		No. 10 Jiuxianqiao R d., Chaoyang Distric t, Beijing 100015, CH INA
(87) 国際公開日	平成28年10月20日 (2016.10.20)	(74) 代理人	100108453
審査請求日	平成30年6月4日 (2018.6.4)		弁理士 村山 靖彦
(31) 優先権主張番号	201510173298.0	(74) 代理人	100110364
(32) 優先日	平成27年4月13日 (2015.4.13)		弁理士 実広 信哉
(33) 優先権主張国・地域又は機関	中国 (CN)		

最終頁に続く

(54) 【発明の名称】 有機発光ダイオードアレイ基板、その製造方法、及び関連表示装置

(57) 【特許請求の範囲】

【請求項 1】

ベース基板にアレイ状に配置される複数の画素を備える有機発光ダイオード(OLED)アレイ基板において、

各画素は、異なる色を表示する第1のサブ画素と第2のサブ画素を備え、

各サブ画素は、発光ユニットと制御回路を備え、前記ベース基板における前記制御回路の直交投影は、前記ベース基板における前記発光ユニットの直交投影と重なっておらず、

前記ベース基板における前記第1のサブ画素の前記発光ユニットの直交投影は、前記ベース基板における前記第2のサブ画素の前記制御回路の直交投影と重なる

ことを特徴とするOLEDアレイ基板。

10

【請求項 2】

前記ベース基板における前記第2のサブ画素の前記制御回路の直交投影は、前記ベース基板における前記第1のサブ画素の直交投影を覆うことを特徴とする請求項1に記載のOLEDアレイ基板。

【請求項 3】

発光の方向において、前記第1のサブ画素が前記第2のサブ画素の上方に位置することを特徴とする請求項1又は2に記載のOLEDアレイ基板。

【請求項 4】

前記第1のサブ画素は白色発光サブ画素であることを特徴とする請求項1に記載のOLEDアレイ基板。

20

【請求項 5】

前記第 2 のサブ画素は、緑色発光サブ画素、赤色発光サブ画素又は青色発光サブ画素のうちの少なくとも 1 つを備えることを特徴とする請求項 1 に記載の O L E D アレイ基板。

【請求項 6】

前記画素内において、

前記緑色発光サブ画素と前記赤色発光サブ画素が前記画素の中心線に関して鏡映位置に並べて配置され、

前記青色発光サブ画素の領域は前記緑色発光サブ画素の領域又は前記赤色発光サブ画素の領域より大きく、

前記緑色発光サブ画素、前記赤色発光サブ画素及び前記青色発光サブ画素の制御回路は前記画素の中央にあることを特徴とする請求項 5 に記載の O L E D アレイ基板。

10

【請求項 7】

前記画素内において、

前記緑色発光サブ画素と前記赤色発光サブ画素が前記画素の中心線に関して鏡映位置に並べて配置され、

前記青色発光サブ画素は、隣接する画素の前記赤色発光サブ画素と、前記画素と前記隣接する画素との間の中心線に関して鏡映位置に並べて配置されることを特徴とする請求項 5 に記載の O L E D アレイ基板。

【請求項 8】

前記第 1 のサブ画素の前記制御回路は、ボトムゲート薄膜トランジスタ (T F T) を備え、

20

前記第 2 のサブ画素の前記発光ユニットは、反射層、透明電極層、発光層、及び陰極層を順に備え、

前記ボトムゲート T F T のゲート層は、前記第 2 のサブ画素の前記発光ユニットの前記反射層と同じ材料で形成されることを特徴とする請求項 3 に記載の O L E D アレイ基板。

【請求項 9】

前記第 2 のサブ画素の前記発光ユニットは、前記反射層と前記透明電極層との間にある半導体層を更に備え、

前記半導体層と前記ボトムゲート T F T の活性層は同じ材料で形成されることを特徴とする請求項 8 に記載の O L E D アレイ基板。

30

【請求項 10】

前記半導体層は酸化物層であることを特徴とする請求項 9 に記載の O L E D アレイ基板。

【請求項 11】

請求項 1 から 10 のいずれか一項に記載の O L E D アレイ基板を備える表示パネル。

【請求項 12】

請求項 1 から 10 のいずれか一項に記載の O L E D アレイ基板の製造方法において、順に

前記ベース基板に前記第 2 のサブ画素の前記制御回路を形成する手順と、

前記第 1 のサブ画素を形成する手順を含み、

40

前記ベース基板における前記第 1 のサブ画素の前記発光ユニットの直交投影は、前記ベース基板における前記第 2 のサブ画素の前記制御回路の直交投影と重なることを特徴とする O L E D アレイ基板の製造方法。

【請求項 13】

前記ベース基板に前記第 2 のサブ画素の前記制御回路を形成してから、前記第 1 のサブ画素を形成し、

前記ベース基板における前記第 2 のサブ画素の前記制御回路の直交投影は、前記ベース基板における前記第 1 のサブ画素の直交投影を覆うことを特徴とする請求項 12 に記載の O L E D アレイ基板の製造方法。

【請求項 14】

50

前記第 1 のサブ画素の前記制御回路となるボトムゲート薄膜トランジスタ (T F T) を形成する手順と、

前記第 2 のサブ画素の前記発光ユニットを作るための反射層、透明電極層、発光層、陰極層を順に形成する手順を更に含み、前記ボトムゲート T F T のゲート層と前記第 2 のサブ画素の前記発光ユニットの前記反射層が同じ成膜処理によって形成されることを特徴とする請求項 1 3 に記載の O L E D アレイ基板の製造方法。

【請求項 1 5】

前記第 2 のサブ画素の前記発光ユニットの前記反射層と前記透明電極層との間に位置される半導体層を形成する手順を更に含むことを特徴とする請求項 1 4 に記載の O L E D アレイ基板の製造方法。

10

【請求項 1 6】

前記第 1 のサブ画素の前記発光ユニットの透明電極層を形成する手順を更に含むことを特徴とする請求項 1 3 に記載の O L E D アレイ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1】

関連出願の相互参照

本出願は、2015 年 4 月 1 3 日に提出した中国特許出願 No . 2 0 1 5 1 0 1 7 3 2 9 8 . 0 の優先権を主張し、その全体が参照により本出願に援用される。

【 0 0 0 2】

20

本発明は全般的には表示技術分野に関し、特に有機発光ダイオード (O L E D 、 O r g a n i c L i g h t - E m i t t i n g D i o d e) アレイ基板、その製造方法、及び関連表示装置に関する。

【背景技術】

【 0 0 0 3】

今日、O L E D デバイスは表示分野の主流となりつつある。O L E D デバイスは、例えば電力消費が少なく、彩度が高く、視野角が広く、厚さが薄く、フレキシブルディスプレイへの応用が可能などの優れた特徴を有する。

【 0 0 0 4】

一般に、O L E D デバイスのカラーディスプレイは、赤、緑及び青 (R G B) の光をそれぞれ発するサブ画素、又は色フィルターとともに使用される白色発光 O L E D により実現される。現在、多くの O L E D デバイスではカラーディスプレイ設計としてそれぞれ R G B 光を発するサブ画素が一般に用いられている。

30

【 0 0 0 5】

O L E D は駆動電流によって電力を供給される。通常、複数の薄膜トランジスタ (T F T) とコンデンサーを備える制御回路がサブ画素ごとに対して設けられる。制御回路は、サブ画素の発光ユニットに電流を安定的に提供して発光を制御するように設けられる。制御回路がかなり大きい画素領域を占めるので、制御回路と発光ユニットとの間の断線リスクを低減するために画素定義層材料を利用して画素のピアホールを充填する。制御回路の保持容量を更に確保するために金属層を更に追加することもできる。しかしながら、上記の改善及び他の要因により、画素の開口率が低下して O L E D 表示パネルの解像度が低下してしまう恐れがある。

40

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6】

本発明は上記課題の 1 つ以上を少なくとも部分的に解決することを目的とする。本発明の開示する実施例は、O L E D デバイス、該 O L E D デバイスを製造する方法、及び関連表示装置を提供する。本開示の実施例は O L E D 表示装置における画素の開口率を改善する。

【課題を解決するための手段】

50

【 0 0 0 7 】

本発明の1つの態様は、有機発光ダイオード（O L E D）表示アレイ基板、該O L E D構造の製造方法、及び表示装置を提供する。O L E Dアレイ基板はベース基板にアレイ状に配置された複数の画素を備える。更に、各画素は異なる色を表示する第1のサブ画素と第2のサブ画素を備える。各サブ画素は発光ユニットと制御回路を備える。また、ベース基板における第1のサブ画素の発光ユニットの直交投影は、ベース基板における第2のサブ画素の制御回路の直交投影と重なる。

【 0 0 0 8 】

更に、ベース基板における第2のサブ画素の制御回路の直交投影は、ベース基板における第1のサブ画素の直交投影を覆う。第1のサブ画素は白色発光サブ画素であり、第1のサブ画素は第2のサブ画素の上方に位置される。

10

【 0 0 0 9 】

更に、第2のサブ画素は、緑色発光サブ画素、赤色発光サブ画素及び青色発光サブ画素のうちの少なくとも1つを備える。緑色発光サブ画素と赤色発光サブ画素は鏡映位置に並べて配置される。

【 0 0 1 0 】

更に、青色発光サブ画素の領域は、緑色発光サブ画素の領域又は赤色発光サブ画素の領域より大きい。緑色発光サブ画素、赤色発光サブ画素及び青色発光サブ画素の制御回路は、画素の中央にある。

【 0 0 1 1 】

20

更に、画素内において、緑色発光サブ画素と赤色発光サブ画素は鏡映位置に並べて配置され、青色発光サブ画素は隣接する画素の赤色発光サブ画素と鏡映位置に並べて配置される。第1のサブ画素は第2のサブ画素の上方に位置される。

【 0 0 1 2 】

更に、第1のサブ画素の制御回路はボトムゲート薄膜トランジスター（T F T）を備える。第2のサブ画素の発光ユニットは反射層、透明電極層、発光層及び陰極層を順に備える。ボトムゲートT F Tのゲート層は第2のサブ画素の発光ユニットの反射層と同じ材料で形成される。

【 0 0 1 3 】

更に、第2のサブ画素の発光ユニットは、反射層と透明電極層との間に半導体層を更に備える。半導体層とボトムゲートT F Tの活性層は同じ材料で形成される。半導体層は酸化層である。

30

【 0 0 1 4 】

本開示の別の態様は上記O L E Dアレイ基板を備える表示パネルを提供する。

【 0 0 1 5 】

本開示の他の態様はO L E Dアレイ基板を製造するための方法を提供する。該方法は、ベース基板に第2のサブ画素の制御回路を形成する手順と、第1のサブ画素を形成する手順を順に含む。また、ベース基板における第1のサブ画素の発光ユニットの直交投影がベース基板における第2のサブ画素の制御回路の直交投影と重なる。

【 0 0 1 6 】

40

更に、該方法は、ベース基板に第2のサブ画素の制御回路を形成する手順と、第1のサブ画素を形成する手順を順に含む。また、ベース基板における第2のサブ画素の制御回路の直交投影がベース基板における第1のサブ画素の直交投影を覆う。

【 0 0 1 7 】

更に、該方法は、第1のサブ画素の制御回路となるボトムゲートT F Tを形成する手順と、第2のサブ画素の発光ユニットを構築するために反射層、透明電極層、発光層及び陰極層を順に形成する手順を含む。また、ボトムゲートT F Tのゲート層及び第2のサブ画素の発光ユニットの反射層が同じ成膜処理によって形成される。

【 0 0 1 8 】

更に、該方法は、第2のサブ画素の発光ユニットの反射層と透明電極層との間に位置す

50

る半導体層を形成する手順を含む。

【 0 0 1 9 】

更に、該方法は、第 1 のサブ画素の発光ユニットの透明電極層を形成する手順を含む。

【 0 0 2 0 】

本開示の他の態様は、本開示の明細書、請求の範囲及び図面を参照して当業者が理解できるものである。

【図面の簡単な説明】

【 0 0 2 1 】

【図 1】本発明の一実施例に係る例示的な O L E D 構造の概略上面図を示す。

10

【図 2】本発明の他の実施例に係る例示的な O L E D 構造の概略上面図を示す。

【図 3】本発明の他の実施例に係る例示的な O L E D 構造の概略上面図を示す。

【図 4】本発明の他の実施例に係る例示的な O L E D 構造の概略上面図を示す。

【図 5】本発明の一実施例に係る例示的な O L E D 構造の概略側面図を示す。

【図 6】本発明の実施例に係る例示的な O L E D 構造の他の概略側面図を示す。

【図 7 a】本発明の一実施例に係る製造処理の各処理ステップを経た後の、図 6 に示す例示的な O L E D 構造の概略側面図を示す。

【図 7 b】本発明の一実施例に係る製造処理の各処理ステップを経た後の、図 6 に示す例示的な O L E D 構造の概略側面図を示す。

【図 7 c】本発明の一実施例に係る製造処理の各処理ステップを経た後の、図 6 に示す例示的な O L E D 構造の概略側面図を示す。

20

【図 7 d】本発明の一実施例に係る製造処理の各処理ステップを経た後の、図 6 に示す例示的な O L E D 構造の概略側面図を示す。

【図 7 e】本発明の一実施例に係る製造処理の各処理ステップを経た後の、図 6 に示す例示的な O L E D 構造の概略側面図を示す。

【図 7 f】本発明の一実施例に係る製造処理の各処理ステップを経た後の、図 6 に示す例示的な O L E D 構造の概略側面図を示す。

【図 7 g】本発明の一実施例に係る製造処理の各処理ステップを経た後の、図 6 に示す例示的な O L E D 構造の概略側面図を示す。

【図 8】開示したいいくつかの実施例を組み込んだ例示的な表示装置の概略ブロック図を示す。

30

【発明を実施するための形態】

【 0 0 2 2 】

以下、本発明の技術案を当業者がより理解し易いよう、添付図面を参照しつつ、具体的な実施例によって本発明を詳細に説明する。

【 0 0 2 3 】

本発明は O L E D デバイスを提供する。図 1 は本発明の一実施例に係る例示的な O L E D アレイ基板の概略上面図を示す。図 1 に示すように、O L E D アレイ基板はベース基板 1 0 0 にアレイ状に配置された複数の画素 2 0 0 を備える。各画素 2 0 0 は、異なる色を表示する第 1 のサブ画素 2 1 0 a と第 2 のサブ画素 2 1 0 b を備える。

40

【 0 0 2 4 】

図 1 に示すように、各画素 2 0 0 はそれぞれ異なる色を表示する 3 つの第 2 のサブ画素 2 1 0 を備える。各サブ画素 2 1 0 は、更に発光ユニット 2 1 1 と、発光ユニット 2 1 1 を制御して発光させるための制御回路 2 1 2 とを備える。各画素 2 0 0 内において、各サブ画素 2 1 0 の発光ユニット 2 1 1 の占める領域は互いに重ならない。

【 0 0 2 5 】

また、図 1 に示すように、ベース基板 1 0 0 における第 1 のサブ画素 2 1 0 a の直交投影は、少なくとも 1 つの第 2 のサブ画素 2 1 0 b の制御回路 2 1 2 b の直交投影領域内に位置される。

【 0 0 2 6 】

50

本発明の実施例によれば、第1のサブ画素210aの発光ユニット211aは、少なくとも1つの第2のサブ画素210bの制御回路212bが位置する領域内に位置される。従って、各画素200における発光ユニット211の領域の割合を増やして各画素の開口率を改善でき、OLED表示パネルの表示解像度を向上するに有用である。

【0027】

図1に示す本発明の実施例によるOLEDアレイ基板では、各画素200内において、ベース基板における第1のサブ画素210aの発光ユニット211aの直交投影が、少なくとも1つの第2のサブ画素210bの制御回路212bの位置する領域内に位置される。また、第1のサブ画素210aの制御回路212aの直交投影も、少なくとも1つの第2のサブ画素210bの制御回路212bが位置する領域内に位置される。このようにすれば、各画素200内の空間を十分に利用できる。

10

【0028】

図1に示すOLEDデバイスの一実施例では、第1のサブ画素210aの発光ユニット211aは第2のサブ画素210bの制御回路212bが位置する領域内にのみ位置されてもよい。しかしながら、第2のサブ画素210bの制御回路212bによって占められた限定領域は、第1のサブ画素210aの発光ユニット211aによって占められる領域を制限することもできる。

【0029】

図2に示すOLEDデバイスの他の実施例では、全ての第2のサブ画素210bの制御回路212bが隣接し、画素200の中央に位置するように、各画素200内において各第2のサブ画素210bの発光ユニット211bと制御回路212bの向きを変更している。第1のサブ画素210aの発光ユニット211aが十分な発光領域を確保できるよう、第1のサブ画素の発光ユニット211aを画素200の中央に設置する。

20

【0030】

OLEDデバイスでは、各サブ画素の発光ユニットは駆動電流に駆動されて光を発するため、電力消費が比較的大きい。OLEDデバイスの全体的な電力消費を低減するために、白色発光サブ画素を各画素に追加することができる。

【0031】

白色発光サブ画素から発する白色光は、元の単色サブ画素から発する光のうち割合の最も低い色光に完全に取り替わる。さらに、白色光は他の色光の一部に取り替わる。白色フィルターの透過率が高いため、白色発光サブ画素は電力消費を効果的に低減するだけでなく、各サブ画素から発する光の色彩比を維持する。これによって、色域の劣化が避けられる。

30

【0032】

しかしながら、白色発光サブ画素を追加することによって、画素において他のサブ画素の発光領域が奪われ、OLED表示パネルの表示解像度が低下する恐れがある。

【0033】

本発明のOLEDアレイ基板には、例えば、図2に示すように、第1のサブ画素210aを白色発光サブ画素として設置することができる。このようにすれば、他の単色サブ画素の発光領域は影響を受けない。従って、OLEDデバイスの開示された実施例は、電力消費を低減しつつ表示解像度を維持する。

40

【0034】

白色発光サブ画素として第1のサブ画素210aを設置することによって、画素はさまざまな構造を有することになる。

【0035】

図3に示すある実施例では、第2のサブ画素210bは、各画素200において緑色発光Gサブ画素と、赤色発光Rサブ画素と、青色発光Bサブ画素として構成される。ここで、緑色発光Gサブ画素と赤色発光Rサブ画素は鏡映位置に並べて設置される。

【0036】

青色発光材料は発光効率が低いため、青色発光サブ画素を比較的大きい領域、例えば緑

50

色発光サブ画素と赤色発光サブ画素の領域の和と等しい領域（B）を占めるように構成することができる。緑色発光サブ画素、赤色発光サブ画素及び青色発光サブ画素の制御回路212を画素200の中央に位置するように構成することができる。従って、白色を発光する第1のサブ画素の発光表面は比較的大きい領域（W）を占めることができる。

【0037】

図4に示す他の実施例では、第2のサブ画素210bは各画素200において緑色発光Gサブ画素、赤色発光Rサブ画素及び青色発光Bサブ画素として構成してもよい。二つの第2のサブ画素210b（RとG）は鏡映位置に並べて構成される。他の第2のサブ画素210b（B）は隣接する画素200の第2のサブ画素210b（R）と鏡映位置に並べて構成される。

10

【0038】

例えば、図4に示すように、緑色発光Gサブ画素と赤色発光Rサブ画素は鏡映位置に並べて構成される。従って、白光を発する第1のサブ画素の発光ユニットの発光表面は、緑色発光Gサブ画素と赤色発光Rサブ画素との間の領域Wを占めることができる。

【0039】

更に、青色発光Bサブ画素は、隣接する画素の赤色発光Rサブ画素と鏡映位置に並べて構成される。従って、白光を発する第1のサブ画素の発光ユニットの発光表面は、青色発光Bサブ画素と赤色発光Rサブ画素との間の領域を占めることができる。

【0040】

便宜上、図3及び図4では各サブ画素の制御回路を図示しない。図3及び図4では発光ユニットのおおまかな概略上面図のみを示した。

20

【0041】

本発明によるOLEDアレイ基板の実施例では、第1のサブ画素210aの発光ユニット211aが少なくとも1つの第2サブ画素の制御回路212bの位置する領域内に配置されるよう、第1のサブ画素210aと第2のサブ画素210bの製造にはトップエミッション構造を使用することができる。従って、図5及び図6に示すように、第1のサブ画素210aの制御回路212aと発光ユニット211aは、第2のサブ画素210bの制御回路212bが位置する膜層の上方になるように構成される。その結果、第1のサブ画素210aの発光ユニット211aから発する光は上からデバイスを出ることができる。

【0042】

30

具体的には、各画素において各サブ画素210の制御回路212は、通常、複数のTF T及びコンデンサーを備える。便宜上、図5及び図6では一つのTF Tのみ図示する。

【0043】

更に、図5及び図6に示すように、第1のサブ画素の制御回路212a及び第2のサブ画素の制御回路212bには、通常、ボトムゲートTF T構造を採用する。他の実施例では、第1のサブ画素の制御回路212a及び第2のサブ画素の制御回路212bの両方にトップゲートTF T構造、又はボトムゲートTF T構造とトップゲートTF T構造の組み合わせを採用することができる。

【0044】

以下、一例として、第1のサブ画素の制御回路212a及び第2のサブ画素の制御回路212bの両方に図5及び図6に示すボトムゲートTF T構造を採用する実施例について説明する。第1のサブ画素の制御回路212aが備えるボトムゲートTF Tは、順に積層されたゲート層2121aと、活性層2122aと、ソース/ドレイン層2123aとを更に備える。第2のサブ画素の制御回路212bが備えるボトムゲートTF Tは、順に積層されたゲート層2121bと、活性層2122bと、ソース/ドレイン層2123bとを更に備える。

40

【0045】

更に、第1のサブ画素と第2のサブ画素の両方にトップエミッション構造を採用するため、第1と第2のサブ画素の発光ユニットは、通常、順に積層された反射層、透明電極層、発光層及び陰極層を備える。反射層と透明電極層は合わせて陽極層と呼ばれる場合があ

50

る。図5及び図6には、第1のサブ画素における発光ユニット211aの透明電極層2111a、第2のサブ画素における発光ユニット211bの反射層2111b及び透明電極層2113bのみを図示する。

【0046】

更に、第2のサブ画素の制御回路212b及び第1のサブ画素の制御回路212aの両方が第1のサブ画素の発光ユニット211aの下方にあるように構成される。第1のサブ画素の制御回路212aにおけるソース/ドレイン層2123a及び第2のサブ画素の制御回路212bにおけるソース/ドレイン層2123bは全て不透明な薄膜である。第1のサブ画素の発光層211aのために追加の反射層を構成する代りに、ソース/ドレイン層2123aと2123bを第1のサブ画素の発光層211a用の反射層として構成し使用してもよい。

10

【0047】

更に、第1のサブ画素210aの制御回路212a及び第2のサブ画素210bの発光ユニット211bは、全て第2のサブ画素210bの制御回路212bの膜層の上方に位置される。第1のサブ画素の制御回路212aにおけるボトムゲートTF Tのゲート層2121aと第2のサブ画素210bの発光層211bにおける反射層2111bは、同じ材料で形成し、及び/又は同じ成膜処理で形成することができる。従って、第1のサブ画素の制御回路212aにおけるトップTF Tのゲート層2121a用のパターンと、第2のサブ画素210bの発光層211bの反射層2111b用のパターンを、1つのパターンニング処理によって同時に形成することができる。このようにすれば、製造処理のステップ数を減らすことができる。

20

【0048】

更に、第1のサブ画素210aの発光ユニット211aにおける透明電極2111a及び第2のサブ画素210bの発光ユニット211bにおける透明電極2113bを同じ材料、及び/又は同じ成膜ステップによって形成することができる。図5及び図6に示すように、第1のサブ画素210aの発光ユニット211aにおける透明電極2111a用のパターン及び第2のサブ画素210bの発光ユニット211bにおける透明電極2113b用のパターンは1つのパターンニングステップによって同時に形成することができる。このようにすれば、製造処理のステップ数を減らすことができる。

30

【0049】

更に、第2のサブ画素210bの発光ユニット211bは、図6に示すように、反射層2111bと透明電極層2113bとの間に位置する半導体層2112bを更に備えることができる。半導体層2112bは、第1のサブ画素210aのボトムゲートTF Tの活性層2122aと同じ材料、及び/又は同じ成膜ステップで形成することができる。半導体層2112bは酸化物層であってよい。

【0050】

半導体層2112bの厚さを調整することによって、本発明の実施例によるOLEDデバイスは、第2のサブ画素210bの発光ユニット211bのマイクロキャビティの長さを制御することができる。このようにすれば、第2のサブ画素210bの発光ユニット211bの色域の微調整が可能になる。

40

【0051】

本発明は上記OLEDデバイスを製造する方法も提供する。製造方法は次のステップを含む。

【0052】

まず、アレイに配置される複数の画素をベース基板に形成する。各画素は複数のサブ画素を備える。各サブ画素は異なる色を表示する。各サブ画素は発光ユニットと、発光ユニットを制御して発光させるための制御回路とを備える。

【0053】

各画素内において、各サブ画素の発光ユニットが位置する領域は互いに重ならない。ベース基板における第1のサブ画素の発光ユニットの直交投影は、少なくとも1つの第2の

50

サブ画素の制御回路の直交投影内に位置する。

【 0 0 5 4 】

第 1 のサブ画素の発光ユニットを少なくとも 1 つの第 2 のサブ画素の制御回路が位置される直交投影領域内に設置するために、通常、第 1 のサブ画素と第 2 のサブ画素両方にトップエミッション構造を採用できる。従って、第 1 のサブ画素の制御回路と発光ユニットを、第 2 のサブ画素の制御回路がベース基板に形成された後で形成することができる。

【 0 0 5 5 】

具体的には、本発明の製造方法は、第 2 のサブ画素の制御回路をベース基板に形成した後、第 1 のサブ画素の制御回路を構築するためにボトムゲート T F T を形成する手順を更に含む。該方法は、反射層、透明電極層、発光層及び陰極層を順に形成して第 2 のサブ画素の発光ユニットを形成する手順を更に含む。ボトムゲート T F T のゲート層及び第 2 のサブ画素の発光ユニットの反射層は同じ成膜処理によって形成することができる。

10

【 0 0 5 6 】

更に、第 2 のサブ画素の発光ユニットの透明電極層及び第 1 のサブ画素の発光ユニットの透明電極層を同じステップによって形成することができる。

【 0 0 5 7 】

更に、ボトムゲート T F T の活性層と、第 2 のサブ画素の発光ユニットの反射層と透明電極層との間に位置する半導体層を同じステップによって形成することができる。

【 0 0 5 8 】

以下、O L E D 製造方法のステップについて詳細に説明する。

20

【 0 0 5 9 】

ステップ 1。第 2 のサブ画素 2 1 0 b の制御回路 2 1 2 b をベース基板 1 0 0 に形成する。具体的には、図 7 a に示すように、ベース基板 1 0 0 (図示せず) に、ゲート層 2 1 2 1 b、活性層 2 1 2 2 b 及びソース / ドレイン層 2 1 2 3 b を順に形成して第 2 のサブ画素 2 1 0 b の制御回路 2 1 2 b におけるボトムゲート T F T を作る。

【 0 0 6 0 】

ステップ 2。次に、図 7 b に示すように、第 2 のサブ画素の発光ユニット 2 1 1 b の反射層 2 1 1 1 b 及び第 1 のサブ画素 2 1 0 a の制御回路 2 1 2 a におけるボトムゲート T F T のゲート層 2 1 2 1 a を、第 2 のサブ画素の制御回路 2 1 2 b が位置するのと同じ膜層に形成する。

30

【 0 0 6 1 】

ステップ 3。図 7 c に示すように、第 1 のサブ画素の画素定義層 3 1 0 を、反射層 2 1 1 1 b 及びゲート層 2 1 2 1 a が位置する膜層に形成する。第 1 のサブ画素の画素定義層 3 1 0 の開口領域は、第 2 のサブ画素 2 1 0 b の発光ユニット 2 1 1 b の発光領域を定義する。第 1 のサブ画素の画素定義層 3 1 0 は、ゲート層 2 1 2 1 a と後に形成される活性層 2 1 2 2 a との間の絶縁物質としても機能する。

【 0 0 6 2 】

ステップ 4。図 7 d に示すように、第 1 のサブ画素の画素定義層 3 1 0 には、第 1 のサブ画素 2 1 0 a の制御回路 2 1 2 a におけるボトムゲート T F T の活性層 2 1 2 2 a と、第 2 のサブ画素 2 1 0 b の発光ユニット 2 1 1 b における反射層 2 1 1 1 b の上方に位置する半導体層 2 1 1 2 b とが同時に形成される。半導体層 2 1 1 2 b は発光ユニット 2 1 1 b のマイクロキャピティのキャピティ長さ制御手段として機能させることができる。

40

【 0 0 6 3 】

ステップ 5。図 7 e に示すように、第 1 のサブ画素 2 1 0 a の制御回路 2 1 2 a におけるボトムゲート T F T のソース / ドレイン層 2 1 2 3 a を形成する。

【 0 0 6 4 】

ステップ 6。図 7 f に示すように、第 1 のサブ画素 2 1 0 a の発光ユニット 2 1 1 a の透明電極 2 1 1 1 a 及び第 2 のサブ画素 2 1 0 b の発光ユニット 2 1 1 b の透明電極 2 1 1 3 b をベース基板に同時に形成する。

【 0 0 6 5 】

50

ステップ7。図7gに示すように、第2の画素の画素定義層320を基板に形成する。第2のサブ画素の画素定義層320の開口領域は、第1のサブ画素の発光ユニット210a及び第2のサブ画素210bの発光ユニット211b両方の発光領域を定義する。

【0066】

更に、2つの開口領域に対応するように発光層をそれぞれ形成する。最後に、陰極層を形成する。これによって、OLED製造処理は完了する。

【0067】

本発明は表示装置も提供する。図8は開示したいいくつかの実施例を組み込んだ例示的な表示装置800を示す。表示装置800は所定の表示機能がある任意の適切な装置又は部品、例えば携帯電話、スマートフォン、タブレット、TV、モニター、ラップトップ、デジタル写真フレーム、或いはナビゲーションシステム、又は表示機能がある任意の製品又は部品等であってよい。図8に示すように、表示装置800はコントローラ802、駆動回路804、メモリ806、周辺部分808、及び表示パネル810を備える。

【0068】

コントローラ802は1つ以上の任意の適切なプロセッサ、例えば集積マイクロプロセッサ、デジタル信号プロセッサ、及び/又はグラフィックプロセッサを備えることができる。更に、コントローラ802はマルチスレッド又は並行処理用の複数のコアを備えることができる。メモリ806は任意の適切な記憶モジュール、例えば読み取り専用メモリ(ROM)、ランダムアクセスメモリ(RAM)、フラッシュメモリモジュール、消去・書換可能なメモリ、及びCD-ROM、Uディスク、ハードディスク等のような他の記憶媒体を備えることができる。メモリ806は、コントローラ802によって実行されるとき各種処理を実現するためのコンピュータプログラムを記憶することができる。

【0069】

周辺部分808は、USB、HDMI(登録商標)、VGA、DVI等のような各種信号インターフェイスを提供するための任意のインターフェイス装置を備えることができる。更に、周辺部分808は任意の入出力(I/O)装置、例えばキーボード、マウス、及び/又は遠隔のコントローラ装置を備えることができる。周辺部分808は、有線又はワイヤレス通信ネットワークによって接続を確立するための任意の適切な通信モジュールを更に備えてもよい。

【0070】

駆動回路804は、表示パネル810に電源を供給するために任意の適切な駆動回路を備えることができる。表示パネル810は任意の適切なOLEDディスプレイを備えることができる。動作中、ディスプレイ810には、コントローラ802及び駆動回路804によって画像信号又は他のソースデータ信号を与えて表示することができる。

【0071】

本開示はOLEDデバイス、OLEDデバイスの製造方法、及び表示装置の実施例を提供する。具体的には、本開示によれば、複数の画素はベース基板にアレイ状に配置され、各画素は異なる色を表示する複数のサブ画素を備える。各サブ画素は発光ユニットと、発光ユニットを制御して発光させるための制御回路とからなる。各画素内において、各サブ画素が位置する領域は互いに重ならない。ベース基板における第1のサブ画素の発光ユニットの直交投影は少なくとも1つの第2のサブ画素の制御回路の直交投影内に位置させる。

【0072】

本発明のOLEDデバイスによれば、第1のサブ画素の発光ユニットは少なくとも1つの第2のサブ画素の制御回路が位置する領域に構成・設置されている。従って、各画素において発光ユニットが占有する領域の割合が増加して各画素の開口率が改善される。従って、本開示の実施例はOLEDデバイスの解像度向上に有用である。

【0073】

ここで開示した実施例は例示に過ぎず、本開示の範囲を制限するものではない。開示した実施例の技術案に対するさまざまな変形、変更又は同等物が本開示に含まれることは当

10

20

30

40

50

業者にとって明らかである。これら開示した実施例に対する変更、同等物又は改善は、本発明の趣旨と範囲を逸脱することなく、本開示の範囲内にあると意図される。

【図 1】

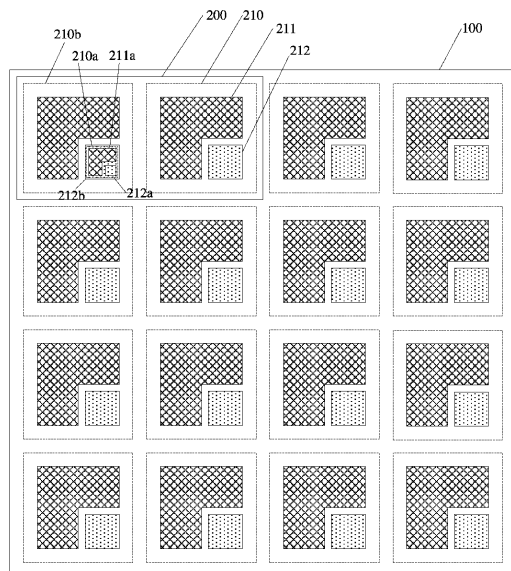


Figure 1

【図 2】

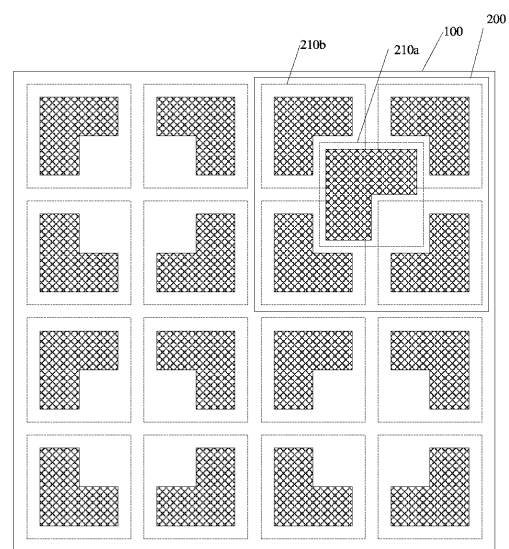


Figure 2

【図 3】

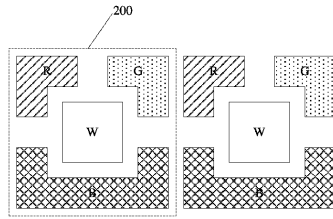


Figure 3

【図 4】

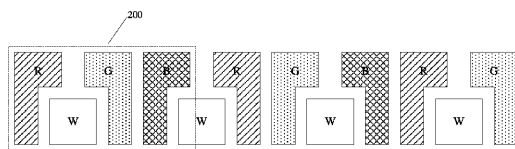


Figure 4

【図 5】

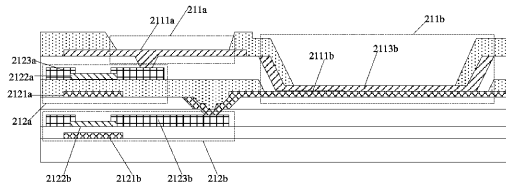


Figure 5

【図 6】

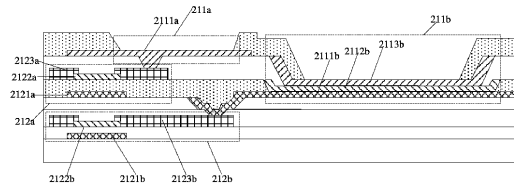


Figure 6

【図 7 a】

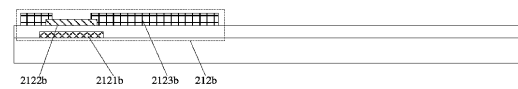


Figure 7a

【図 7 b】

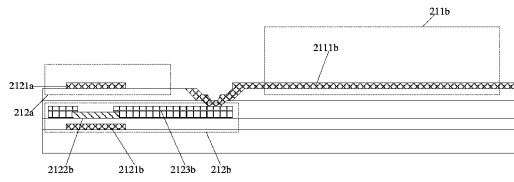


Figure 7b

【図 7 c】

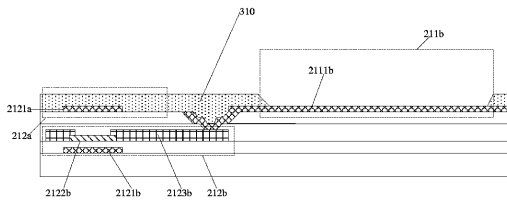


Figure 7c

【図 7 f】

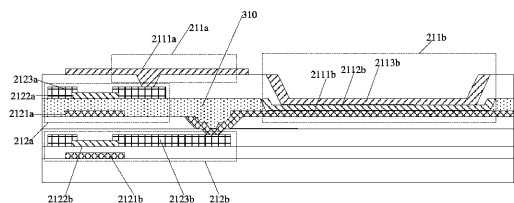


Figure 7f

【図 7 d】

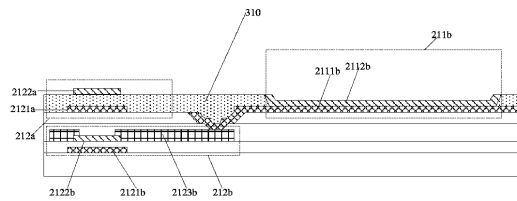


Figure 7d

【図 7 g】

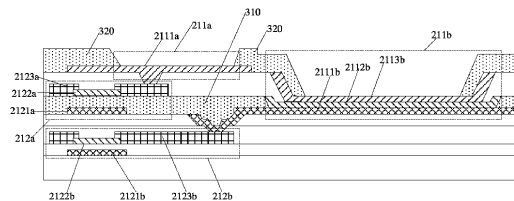


Figure 7g

【図 7 e】

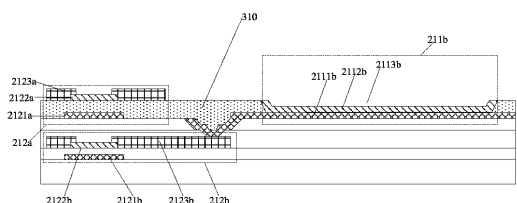


Figure 7e

【図 8】

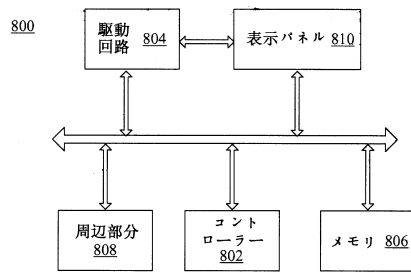


図8

フロントページの続き

(51)Int.Cl.		F I			
G 0 9 F	9/30	(2006.01)	G 0 9 F	9/30	3 3 8
G 0 9 F	9/302	(2006.01)	G 0 9 F	9/302	C
			G 0 9 F	9/30	3 6 5

(72)発明者 ルン・パオ・シン
中華人民共和国・ 베이ジン・ 1 0 0 1 7 6・ピーディーエー・ダイズ・ロード・ナンバー・ 9

(72)発明者 チャン・イエン・ウ
中華人民共和国・ 베이ジン・ 1 0 0 1 7 6・ピーディーエー・ダイズ・ロード・ナンバー・ 9

審査官 大竹 秀紀

(56)参考文献 特開 2 0 0 5 - 0 0 4 1 8 8 (J P , A)
米国特許出願公開第 2 0 1 5 / 0 0 4 8 3 3 5 (U S , A 1)
特開 2 0 0 7 - 2 5 0 9 8 4 (J P , A)
特開 2 0 1 2 - 0 7 9 6 3 1 (J P , A)
特開 2 0 1 0 - 0 5 6 0 1 7 (J P , A)
特開 2 0 1 4 - 1 5 4 4 2 6 (J P , A)
米国特許出願公開第 2 0 1 3 / 0 2 0 7 0 9 9 (U S , A 1)
中国特許出願公開第 1 0 3 6 8 1 7 7 3 (C N , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 5 B	3 3 / 1 2
H 0 1 L	5 1 / 5 0
H 0 5 B	3 3 / 1 0

专利名称(译)	有机发光二极管阵列基板，其制造方法和相关的显示装置		
公开(公告)号	JP6573635B2	公开(公告)日	2019-09-11
申请号	JP2016570103	申请日	2015-09-18
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司		
当前申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司		
[标]发明人	ルンパオシン チャンイエンウ		
发明人	ルン・パオ・シン チャン・イエン・ウ		
IPC分类号	H05B33/12 H01L27/32 H01L51/50 H05B33/24 H05B33/10 G09F9/30 G09F9/302		
FI分类号	H05B33/12.B H01L27/32 H05B33/14.A H05B33/24 H05B33/10 G09F9/30.338 G09F9/302.C G09F9/30.365		
代理人(译)	村山彦		
优先权	201510173298.0 2015-04-13 CN		
其他公开文献	JP2018516423A		
外部链接	Espacenet		

摘要(译)

本发明提供一种有机发光二极管 (OLED) 显示阵列基板，相同OLED结构的制造方法以及显示装置。 OLED阵列基板包括在基底基板上以阵列布置的多个像素。此外，每个像素包括显示不同颜色的第一子像素和第二子像素。每个子像素包括发光单元和控制电路。另外，第一子像素的发光单元在基础基板上的正交投影与第二子像素的控制电路在基础基板上的正交投影重叠。根据本公开的OLED显示结构，第二子像素的控制电路所占据的区域用于设置第一子像素的发光单元。这可以增加每个像素中的发光单元所占据的显示表面积，从而提高显示器的分辨率。

(19) 日本国特許庁 (JP)		(12) 特 許 公 報 (B2)	(11) 特許番号 特許第6573635号 (P6573635)
(45) 発行日 令和1年9月11日 (2019. 9. 11)		(24) 登録日 令和1年8月23日 (2019. 8. 23)	
(51) Int. Cl.		F I	
H05B 33/12 (2006.01)		H05B 33/12 B	
H01L 27/32 (2006.01)		H01L 27/32	
H01L 51/50 (2006.01)		H05B 33/14 A	
H05B 33/24 (2006.01)		H05B 33/24	
H05B 33/10 (2006.01)		H05B 33/10	
請求項の数 16 (全 14 頁) 最終頁に続く			
(21) 出願番号 特願2016-570103 (P2016-570103)		(73) 特許権者 510280589 京東方科技集團股▲ふん▼有限公司 BOE TECHNOLOGY GROU P CO., LTD. 中華人民共和國100015北京市朝陽區 酒仙橋路10號 No. 10 Jiuxianqiao R d., Chaoyang Distric t, Beijing 100015, CH INA	
(86) (22) 出願日 平成27年9月18日 (2015. 9. 18)		(74) 代理人 100108453 弁理士 村山 彦彦	
(65) 公表番号 特表2018-516423 (P2018-516423A)		(74) 代理人 100110364 弁理士 実広 信哉	
(43) 公表日 平成30年6月21日 (2018. 6. 21)			
(86) 国際出願番号 PCT/CN2015/089928			
(87) 国際公開番号 W02016/165278			
(87) 国際公開日 平成28年10月20日 (2016. 10. 20)			
審査請求日 平成30年6月4日 (2018. 6. 4)			
(31) 優先権主張番号 201510173298.0			
(32) 優先日 平成27年4月13日 (2015. 4. 13)			
(33) 優先権主張国・地域又は機関 中国 (CN)			
最終頁に続く			
(54) 【発明の名称】 有機発光ダイオードアレイ基板、その製造方法、及び関連表示装置			