

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5738270号
(P5738270)

(45) 発行日 平成27年6月24日 (2015. 6. 24)

(24) 登録日 平成27年5月1日 (2015. 5. 1)

(51) Int. Cl.

F I

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)
H05B 33/08 (2006.01)
H01L 51/50 (2006.01)

G09G 3/30 J
G09G 3/20 624B
G09G 3/20 622L
G09G 3/20 67OK
G09G 3/20 622D

請求項の数 4 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2012-502044 (P2012-502044)
(86) (22) 出願日 平成23年8月9日 (2011. 8. 9)
(86) 国際出願番号 PCT/JP2011/004511
(87) 国際公開番号 W02013/021417
(87) 国際公開日 平成25年2月14日 (2013. 2. 14)
審査請求日 平成26年1月24日 (2014. 1. 24)

(73) 特許権者 514188173
株式会社 J O L E D
東京都千代田区神田錦町三丁目23番地
(74) 代理人 100189430
弁理士 吉川 修一
(74) 代理人 100190805
弁理士 傍島 正朗
(72) 発明者 小野 晋也
日本国大阪府門真市大字門真1006番地
パナソニック株式会社内
(72) 発明者 戎野 浩平
日本国大阪府門真市大字門真1006番地
パナソニック株式会社内

審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1の表示部及び第2の表示部で構成される表示部と、前記第1の表示部及び前記第2の表示部を駆動する駆動部とを具備し、

前記第1の表示部及び前記第2の表示部の各々は、マトリクス状に配置された複数の発光画素と、前記発光画素の行ごとに配置された走査線及び制御線と、前記発光画素の列ごとに配置されたデータ線と、前記発光画素に電源供給を行う第1電源線及び第2電源線とを備え、

前記発光画素の各々は、

一方の電極が前記第2電源線に接続された発光素子と、

ソース電極が前記発光素子に接続され、ドレイン電極が前記第1電源線に接続された駆動トランジスタと、

一方の電極が前記駆動トランジスタのゲート電極に接続された第1のキャパシタと、

ゲート電極が前記走査線に接続され、所定の参照電位を供給する第1の参照電位線と前記駆動トランジスタのゲート電極との導通及び非導通を切り替える第1スイッチングトランジスタと、

ゲート電極が前記走査線に接続され、前記データ線と前記第1のキャパシタの他方の電極との導通及び非導通を切り替える第2スイッチングトランジスタと、

ゲート電極が前記制御線に接続され、前記第1のキャパシタの前記他方の電極と前記駆動トランジスタのソース電極との導通及び非導通を切り替える第3スイッチングトランジ

10

20

スタと、

一方の電極が前記第 1 のキャパシタの前記他方の電極に接続され、他方の電極が所定の参照電位を供給する第 2 の参照電位線に接続された第 2 のキャパシタと、を備え、

前記駆動部は、

前記走査線を介して前記第 1 の表示部及び前記第 2 の表示部の全ての発光画素における前記第 1 スイッチングトランジスタを導通させ、前記駆動トランジスタのゲート電極に前記所定の参照電位を印加することで、全ての前記発光画素が同時に消光される非表示期間を開始する制御を行い、

前記制御線を介して、前記全ての発光画素における前記第 3 スイッチングトランジスタを導通させ、前記駆動トランジスタのゲート電極及びソース電極の間に前記第 1 のキャパシタに保持された信号電圧を印加することにより、前記全ての発光画素が同時に発光される表示期間を開始する制御を行う、

表示装置。

【請求項 2】

前記非表示期間には、前記第 1 の表示部及び前記第 2 の表示部の全ての前記発光画素における前記駆動トランジスタの初期化を行うリセット期間が含まれ、

前記リセット期間は、

前記駆動部が、前記制御線を介して、前記第 1 の表示部及び前記第 2 の表示部の全ての前記発光画素における前記第 3 スイッチングトランジスタを非導通とし、かつ、前記走査線によって前記第 1 スイッチングトランジスタを導通させることで、前記第 2 電源線より前記発光素子を介して一定の電位が前記駆動トランジスタのソース電極に印加されると共に、前記駆動トランジスタのゲート電極に前記所定の参照電位を印加することによって開始し、

前記駆動部が、前記制御線を介して前記第 3 スイッチングトランジスタを導通させ、前記駆動トランジスタのゲート電極及びソース電極の間に前記第 1 のキャパシタに保持された信号電圧を印加することによって終了する、

請求項 1 に記載の表示装置。

【請求項 3】

前記非表示期間には、前記第 1 の表示部及び前記第 2 の表示部の全ての前記発光画素における前記駆動トランジスタの初期化を行うリセット期間が含まれ、

前記リセット期間は、

前記駆動部が、前記データ線にリセット電圧を供給すると共に、前記走査線を介して前記第 1 スイッチングトランジスタ及び前記第 2 スイッチングトランジスタを導通させることで、前記リセット電圧が前記駆動トランジスタのソース電極に印加されると共に、前記駆動トランジスタのゲート電極に前記所定の参照電位が印加されることによって開始し、

前記駆動部が、前記制御線を介して前記第 3 スイッチングトランジスタを導通させ、前記駆動トランジスタのゲート電極及びソース電極の間に前記第 1 のキャパシタに保持された信号電圧が印加されることによって終了する、

請求項 1 に記載の表示装置。

【請求項 4】

前記非表示期間には、

前記全ての発光画素における前記第 3 スイッチングトランジスタが非導通である状態で、前記第 1 の表示部及び前記第 2 の表示部のそれぞれにおける全ての前記発光画素の前記第 1 のキャパシタそれぞれに、信号電圧を保持させる信号電圧書込期間が含まれ、

前記信号電圧書込期間では、

前記駆動部が、前記第 1 の表示部及び前記第 2 の表示部のそれぞれにおける前記発光画素の対応する行に配置された前記走査線を介して、対応する第 1 スイッチングトランジスタ及び前記第 2 スイッチングトランジスタを導通させ、かつ、対応する前記データ線から伝達される信号電圧を、対応する前記第 1 のキャパシタに保持させることにより、前記全ての発光画素における前記第 1 のキャパシタは前記信号電圧を保持する、

請求項 1 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、特に電流駆動型の発光素子を用いた表示装置に関する。

【背景技術】

【0002】

電流駆動型の発光素子を用いた表示装置として、有機エレクトロルミネッセンス（ＥＬ）素子を用いた表示装置が知られている。この自発光する有機ＥＬ素子を用いた有機ＥＬ表示装置は、液晶表示装置に必要なバックライトが不要で装置の薄型化に最適である。また、視野角にも制限がないため、次世代の表示装置としての実用化が期待されている。また、有機ＥＬ表示装置に用いられる有機ＥＬ素子は、各発光素子の輝度がそこに流れる電流値により制御される点で、液晶セルがそこに印加される電圧により制御されるのとは異なる。

10

【0003】

有機ＥＬ表示装置では、通常、画素を構成する有機ＥＬ素子がマトリクス状に配置される。複数の行電極（走査線）と複数の列電極（データ線）との交点に有機ＥＬ素子を設け、選択した行電極と複数の列電極との間にデータ信号に相当する電圧を印加するようにして有機ＥＬ素子を駆動するものをパッシブマトリクス型の有機ＥＬディスプレイと呼ぶ。

【0004】

20

一方、複数の走査線と複数のデータ線との交点にスイッチング薄膜トランジスタ（ＴＦＴ：Thin Film Transistor）を設け、このスイッチングＴＦＴに駆動素子のゲートを接続し、選択した走査線を通じてこのスイッチングＴＦＴをオンさせて信号線からデータ信号を駆動素子に入力する。この駆動素子によって有機ＥＬ素子を駆動するものをアクティブマトリクス型の有機ＥＬ表示装置と呼ぶ。

【0005】

アクティブマトリクス型の有機ＥＬ表示装置は、各行電極（走査線）を選択している期間のみ、それに接続された有機ＥＬ素子が発光するパッシブマトリクス型の有機ＥＬ表示装置とは異なり、次の走査（選択）まで有機ＥＬ素子を発光させることが可能であるため、走査線数が増大してもディスプレイの輝度減少を招くようなことはない。従って、アクティブマトリクス型の有機ＥＬ表示装置は、低電圧で駆動でき、低消費電力化が可能となる。

30

【0006】

例えば特許文献 1 には、アクティブマトリクス型の有機ＥＬ表示装置における画素部の回路構成及びその駆動方法が開示されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】国際公開第 2010/041426 号

【発明の概要】

40

【発明が解決しようとする課題】

【0008】

しかしながら、上記特許文献 1 の画素回路を用い、表示領域を上下に分割して、駆動トランジスタの電気特性の変動による残像を解消するためのリセット期間を設けつつ線順次駆動を行なった場合、以下に説明する課題がある。

【0009】

具体的には、特許文献 1 の画素回路を用いて、大型のパネルの表示領域を上下に分割して、リセット期間を設けつつ線順次駆動を行なった場合、表示タイミングのずれにより表示領域の分割線がどうしても視認されてしまうという課題がある。例えば、図 11 に示すように、上下分割線上で途切れて見えてしまう。この分割線は、表示対象物としての白の

50

縦バーを左右方向にスクロールした場合に顕著に現れる。

【 0 0 1 0 】

そこで、上記課題に鑑み、本発明は、簡単な画素回路で、表示領域を上下に分割して駆動する際に分割線が視認されないと共に、駆動トランジスタの電気特性変動による残像を解消することができる表示装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 1 】

上記目的を達成するために、本発明の一態様に係る表示装置は、第 1 の表示部及び第 2 の表示部で構成される表示部と、前記第 1 の表示部及び前記第 2 の表示部を駆動する駆動部とを具備し、前記第 1 の表示部及び前記第 2 の表示部の各々は、マトリクス状に配置された複数の発光画素と、前記発光画素の行ごとに配置された走査線及び制御線と、前記発光画素の列ごとに配置されたデータ線と、前記発光画素に電源供給を行う第 1 電源線及び第 2 電源線とを備え、前記発光画素の各々は、一方の電極が前記第 2 電源線に接続された発光素子と、ソース電極が前記発光素子に接続され、ドレイン電極が前記第 1 電源線に接続された駆動トランジスタと、一方の電極が前記駆動トランジスタのゲート電極に接続された第 1 のキャパシタと、ゲート電極が前記走査線に接続され、所定の参照電位を供給する第 1 の参照電位線と前記駆動トランジスタのゲート電極との導通及び非導通を切り替える第 1 スwitchングトランジスタと、ゲート電極が前記走査線に接続され、前記データ線と前記第 1 のキャパシタの他方の電極との導通及び非導通を切り替える第 2 スwitchングトランジスタと、ゲート電極が前記制御線に接続され、前記第 1 のキャパシタの前記他方の電極と前記駆動トランジスタのソース電極との導通及び非導通を切り替える第 3 スwitchングトランジスタと、一方の電極が前記第 1 のキャパシタの前記他方の電極に接続され、他方の電極が所定の参照電位を供給する第 2 の参照電位線に接続された第 2 のキャパシタと、を備え、前記駆動部は、前記走査線を介して前記第 1 の表示部及び前記第 2 の表示部の全ての発光画素における前記第 1 スwitchングトランジスタを導通させ、前記駆動トランジスタのゲート電極に前記所定の参照電位を印加することで、全ての前記発光画素が同時に消光される非表示期間を開始する制御を行い、前記制御線を介して、前記全ての発光画素における前記第 3 スwitchングトランジスタを導通させ、前記駆動トランジスタのゲート電極及びソース電極の間に前記第 1 のキャパシタに保持された信号電圧を印加することにより、前記全ての発光画素が同時に発光される表示期間を開始する制御を行う。

【発明の効果】

【 0 0 1 2 】

本発明によれば、簡単な画素回路で、表示領域を上下に分割して駆動する際に分割線が視認されないと共に、駆動トランジスタの電気特性変動による残像を解消することができる表示装置を実現することができる。

【図面の簡単な説明】

【 0 0 1 3 】

【図 1】図 1 は、本発明の表示装置の電気的な構成を示すブロック図である。

【図 2】図 2 は、本発明の実施の形態に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。

【図 3 A】図 3 A は、本発明の実施の形態に係る表示装置の制御方法の動作タイミングチャートの一例である。

【図 3 B】図 3 B は、本発明の実施の形態に係る表示装置の制御方法の動作タイミングチャートの別の一例である。

【図 4】図 4 は、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートの一例である。

【図 5 A】図 5 A は、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図 5 B】図 5 B は、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｃ】図５Ｃは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｄ】図５Ｄは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｅ】図５Ｅは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｆ】図５Ｆは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｇ】図５Ｇは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

10

【図５Ｈ】図５Ｈは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｉ】図５Ｉは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｊ】図５Ｊは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｋ】図５Ｋは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｌ】図５Ｌは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

20

【図５Ｍ】図５Ｍは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図５Ｎ】図５Ｎは、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートを説明するための図である。

【図６】図６は、駆動トランジスタに蓄積された電荷により閾値電圧の変動が生じることを示す特性図である。

【図７】図７は、駆動トランジスタに蓄積された電荷を模式的に示す図である。

【図８】図８は、駆動トランジスタに蓄積された電荷を解消するリセット効果を模式的に示す図である。

【図９】図９は、本発明の表示装置の効果を示すための図である。

30

【図１０】図１０は、本発明の表示装置を内蔵した薄型フラットＴＶの外観図である。

【図１１】図１１は、本発明の課題を説明するための図である。

【発明を実施するための形態】

【００１４】

本発明の一態様に係る表示装置は、第１の表示部及び第２の表示部で構成される表示部と、前記第１の表示部及び前記第２の表示部を駆動する駆動部とを具備し、前記第１の表示部及び前記第２の表示部の各々は、マトリクス状に配置された複数の発光画素と、前記発光画素の行ごとに配置された走査線及び制御線と、前記発光画素の列ごとに配置されたデータ線と、前記発光画素に電源供給を行う第１電源線及び第２電源線とを備え、前記発光画素の各々は、一方の電極が前記第２電源線に接続された発光素子と、ソース電極が前記発光素子に接続され、ドレイン電極が前記第１電源線に接続された駆動トランジスタと、一方の電極が前記駆動トランジスタのゲート電極に接続された第１のキャパシタと、ゲート電極が前記走査線に接続され、所定の参照電位を供給する第１の参照電位線と前記駆動トランジスタのゲート電極との導通及び非導通を切り替える第１スイッチングトランジスタと、ゲート電極が前記走査線に接続され、前記データ線と前記第１のキャパシタの他方の電極との導通及び非導通を切り替える第２スイッチングトランジスタと、ゲート電極が前記制御線に接続され、前記第１のキャパシタの前記他方の電極と前記駆動トランジスタのソース電極との導通及び非導通を切り替える第３スイッチングトランジスタと、一方の電極が前記第１のキャパシタの前記他方の電極に接続され、他方の電極が所定の参照電位を供給する第２の参照電位線に接続された第２のキャパシタと、を備え、前記駆動部は

40

50

、前記走査線を介して前記第 1 の表示部及び前記第 2 の表示部の全ての発光画素における前記第 1 スイッチングトランジスタを導通させ、前記駆動トランジスタのゲート電極に前記所定の参照電位を印加することで、全ての前記発光画素が同時に消光される非表示期間を開始する制御を行い、前記制御線を介して、前記全ての発光画素における前記第 3 スイッチングトランジスタを導通させ、前記駆動トランジスタのゲート電極及びソース電極の間に前記第 1 のキャパシタに保持された信号電圧を印加することにより、前記全ての発光画素が同時に発光される表示期間を開始する制御を行う。

【 0 0 1 5 】

本態様によれば、上下分割駆動を行なう表示装置において、表示部を一括発光・一括消光することにより、順次発光を行った場合における上下分割線上で途切れて見えてしまうという問題（白の縦バーを左右方向にスクロールした場合に顕著に現れる）を解消する。また、リセット期間を十分に確保することができ、駆動トランジスタの電気特性変動による残像を解消することができる。

10

【 0 0 1 6 】

ここで、前記非表示期間には、前記第 1 の表示部及び前記第 2 の表示部の全ての前記発光画素における前記駆動トランジスタの初期化を行うリセット期間が含まれ、前記リセット期間は、前記駆動部が、前記制御線を介して、前記第 1 の表示部及び前記第 2 の表示部の全ての前記発光画素における前記第 3 スイッチングトランジスタを非導通とし、かつ、前記走査線によって前記第 1 スイッチングトランジスタを導通させることで、前記第 2 電源線より前記発光素子を介して一定の電位が前記駆動トランジスタのソース電極に印加されると共に、前記駆動トランジスタのゲート電極に前記所定の参照電位を印加することによって開始し、前記駆動部が、前記制御線を介して前記第 3 スイッチングトランジスタを導通させ、前記駆動トランジスタのゲート電極及びソース電極の間に前記第 1 のキャパシタに保持された信号電圧を印加することによって終了するとしてもよい。

20

【 0 0 1 7 】

また、前記非表示期間には、前記第 1 の表示部及び前記第 2 の表示部の全ての前記発光画素における前記駆動トランジスタの初期化を行うリセット期間が含まれ、前記リセット期間は、前記駆動部が、前記データ線にリセット電圧を供給すると共に、前記走査線を介して前記第 1 スイッチングトランジスタ及び前記第 2 スイッチングトランジスタを導通させることで、前記リセット電圧が前記駆動トランジスタのソース電極に印加されると共に、前記駆動トランジスタのゲート電極に前記所定の参照電位が印加されることによって開始し、前記駆動部が、前記制御線を介して前記第 3 スイッチングトランジスタを導通させ、前記駆動トランジスタのゲート電極及びソース電極の間に前記第 1 のキャパシタに保持された信号電圧が印加されることによって終了するとしてもよい。

30

【 0 0 1 8 】

また、前記非表示期間には、前記全ての発光画素における前記第 3 スイッチングトランジスタが非導通である状態で、前記第 1 の表示部及び前記第 2 の表示部のそれぞれにおける全ての前記発光画素の前記第 1 のキャパシタそれぞれに、信号電圧を保持させる信号電圧書込期間が含まれ、前記信号電圧書込期間では、前記駆動部が、前記第 1 の表示部及び前記第 2 の表示部のそれぞれにおける前記発光画素の対応する行に配置された前記走査線を介して、対応する第 1 スイッチングトランジスタ及び前記第 2 スイッチングトランジスタを導通させ、かつ、対応する前記データ線から伝達される信号電圧を、対応する前記第 1 のキャパシタに保持させることにより、前記全ての発光画素における前記第 1 のキャパシタは前記信号電圧を保持するとしてもよい。

40

【 0 0 1 9 】

また、前記信号電圧書込期間は、前記駆動部により、前記リセット期間の少なくとも一部と重なるように制御されるとしてもよい。

【 0 0 2 0 】

また、前記信号電圧書込期間は、前記駆動部により、前記リセット期間に含まれるように制御されるとしてもよい。

50

【 0 0 2 1 】

以下、本発明の好ましい実施の形態を図に基づき説明する。なお、以下では、全ての図を通じて同一又は相当する要素には同じ符号を付して、その重複する説明を省略する。

【 0 0 2 2 】

(実施の形態)

以下、本発明の実施の形態について、図面を参照しながら説明する。

【 0 0 2 3 】

図 1 は、本発明の表示装置の電氣的な構成を示すブロック図である。図 2 は、本発明の実施の形態に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。ここで、図 2 では、複数の発光画素 1 0 のうちの 1 つの発光画素 1 0 についての回路構成及びその周辺回路との接続を示している。

10

【 0 0 2 4 】

図 1 に示すように表示装置 1 は、制御回路 2 と、メモリ 3 と、走査線駆動回路 4 と、信号線駆動回路 5 a と、信号線駆動回路 5 b と、表示部 6 とを備える。また、表示部 6 は、上部表示部 6 a と下部表示部 6 b とで構成され、表示部 6 の上部にある信号線駆動回路 5 a と表示部 6 の下部にある信号線駆動回路 5 b により上下分割駆動される。

【 0 0 2 5 】

言い換えると、表示部 6 は、本発明の第 1 の表示部に相当する上部表示部 6 a と、本発明の第 2 の表示部に相当する下部表示部 6 b とを有する。

【 0 0 2 6 】

20

上部表示部 6 a 及び下部表示部 6 b は、複数の発光画素 1 0 を備え、外部から表示装置 1 へ入力された映像信号に基づいて画像を表示する。具体的には、上部表示部 6 a 及び下部表示部 6 b の各々は、マトリクス状に配置された複数の発光画素 1 0 と、複数の発光画素 1 0 の行ごとに配置された走査線 1 7 及び走査線 1 8 と、複数の発光画素 1 0 の列ごとに配置された信号線 1 6 と、発光画素 1 0 に電源供給を行う正電源線 2 1 及び負電源線 2 2 とを備える。

【 0 0 2 7 】

制御回路 2 は、上部表示部 6 a 及び下部表示部 6 b を駆動する。具体的には、制御回路 2 は、走査線駆動回路 4、信号線駆動回路 5 a、信号線駆動回路 5 b 及びメモリ 3 の制御を行い、上部表示部 6 a 及び下部表示部 6 b を駆動させる機能を有する。メモリ 3 には、各発光画素の補正データなどが記憶されており、制御回路 2 は、メモリ 3 に書き込まれた補正データを読み出し、外部から入力された映像信号を、その補正データに基づいて補正して、信号線駆動回路 5 へと出力する。

30

【 0 0 2 8 】

走査線駆動回路 4 は、制御回路 2 に制御される。また、走査線駆動回路 4 は、走査線 1 7 及び走査線 1 8 に接続されており、走査線 1 7 及び走査線 1 8 に走査信号を出力することにより、発光画素 1 0 の有するスイッチングトランジスタ 1 1、スイッチングトランジスタ 1 2 及びスイッチングトランジスタ 1 9 の導通・非導通を制御する機能を有する。

【 0 0 2 9 】

信号線駆動回路 5 a 及び信号線駆動回路 5 b はそれぞれ、制御回路 2 に制御され、上部表示部 6 a 及び下部表示部 6 b を駆動する。具体的には、信号線駆動回路 5 a 及び信号線駆動回路 5 b は、信号線 1 6 に接続されており、制御回路 2 に制御されて、映像信号に基づいた信号電圧を発光画素 1 0 へ出力する機能を有する駆動回路である。なお、信号線駆動回路 5 a 及び信号線駆動回路 5 b はそれぞれ機能的に独立して、上部表示部 6 a 及び下部表示部 6 b を駆動すればよく、一つの信号線駆動回路 5 で上部表示部 6 a 及び下部表示部 6 b をそれぞれ駆動するとしてもよい。

40

【 0 0 3 0 】

発光画素 1 0 は、図 2 に示すように、スイッチングトランジスタ 1 1、1 2 及び 1 9 と、静電保持容量 1 3 及び 2 3 と、駆動トランジスタ 1 4 と、有機 E L 素子 1 5 と、信号線 1 6 と、走査線 1 7 及び 1 8 と、参照電源線 2 0 及び 2 4 と、正電源線 2 1 と、負電源線

50

２２とを備える。また、周辺回路は、走査線駆動回路４と、信号線駆動回路５（信号線駆動回路５aまたは信号線駆動回路５b）とを備える。

【００３１】

スイッチングトランジスタ１１は、本発明の第２スイッチングトランジスタの一例であり、ゲートが走査線１７に接続され、信号線１６と静電保持容量１３の他方の電極１３２との導通及び非導通を切り換える。具体的には、スイッチングトランジスタ１１は、ゲートが走査線１７に接続され、ソース及びドレインの一方が信号線１６に接続され、ソース及びドレインの他方が静電保持容量１３の電極１３２に接続された第２スイッチングトランジスタである。スイッチングトランジスタ１１は、信号線１６と静電保持容量１３の電極１３２との導通及び非導通を制御することで、信号線１６の所望の電圧を静電保持容量１３に保持させる機能を有する。

10

【００３２】

スイッチングトランジスタ１２は、本発明の第１スイッチングトランジスタの一例であり、ゲートが走査線１７に接続され、所定の参照電位（VREF1）を供給する参照電源線２０と駆動トランジスタ１４のゲートとの導通及び非導通を切り換える。具体的には、スイッチングトランジスタ１２は、ゲートが走査線１７に接続され、ソース及びドレインの一方が参照電源線２０に接続され、ソース及びドレインの他方が静電保持容量１３の電極１３１に接続された第１スイッチングトランジスタである。スイッチングトランジスタ１２は、参照電源線２０の参照電圧VREF1を静電保持容量１３の電極１３１に印加するタイミングを決定する機能を有する。なお、スイッチングトランジスタ１１及び１２は、例えば、n型の薄膜トランジスタ（n型TFT）で構成されるが、p型の薄膜トランジスタ（p型TFT）であってもよい。

20

【００３３】

静電保持容量１３は、本発明の第１のキャパシタの一例であり、一方の電極１３１が駆動トランジスタのゲートに接続されている。具体的には、静電保持容量１３は、一方の電極である電極１３１が駆動トランジスタ１４のゲートに接続され、他方の電極である電極１３２がスイッチングトランジスタ１９を介して駆動トランジスタ１４のソースに接続された第１のキャパシタである。静電保持容量１３は、信号線１６から供給された信号電圧に対応した電圧を保持し、例えば、スイッチングトランジスタ１１及び１２がオフ状態（非導通状態）となり、スイッチングトランジスタ１９がオン状態（導通状態）となった後に、駆動トランジスタ１４のゲート・ソース電極間電位を安定的に保持し、駆動トランジスタ１４から有機EL素子１５へ供給する電流を安定化する機能を有する。

30

【００３４】

静電保持容量２３は、本発明の第２のキャパシタの一例であり、一方の電極２３１が静電保持容量１３の他方の電極１３２に接続され、他方の電極２３２が所定の参照電位を供給する参照電源線２４に接続されている。静電保持容量２３は、電極２３２が参照電源線２４の固定の参照電圧VREF2と接続されていることにより、スイッチングトランジスタ１１及びスイッチングトランジスタ１２がオン状態（導通状態）からオフ状態（非導通状態）に切り替わった後も、静電保持容量１３および静電保持容量２３により静電保持容量１３の第１電極１３１に保持された電位VREF1が変動するのを抑える機能を有する。つまり、静電保持容量２３は、スイッチングトランジスタ１１及びスイッチングトランジスタ１２がオフ状態（非導通状態）とされても、駆動トランジスタ１４のゲート電極に印加される電圧は安定的にVREF1となっている。

40

【００３５】

駆動トランジスタ１４は、本発明の駆動トランジスタの一例であり、ソースが有機EL素子１５に接続され、ドレインが正電源線２１に接続されている。具体的には、駆動トランジスタ１４は、ドレインが第１電源線である正電源線２１に接続され、ソースが有機EL素子１５のアノードに接続された駆動素子である。駆動トランジスタ１４は、ゲート・ソース間に印加された電圧に対応したドレイン電流に変換する、電圧-電流変換素子である。そして、このドレイン電流を信号電流として有機EL素子１５に供給する。駆動トラ

50

ンジスタ１４は、例えば、 n 型の薄膜トランジスタ（ n 型ＴＦＴ）で構成される。また、駆動トランジスタ１４は、例えば、非晶質シリコン膜または非晶質シリコン膜をレーザアニールして結晶化した結晶性シリコン層を含む半導体層を有してもよいし、 I_n または Z_n 等を含む合金の酸化物からなる半導体層を有してもよい。

【００３６】

有機ＥＬ素子１５は、本発明の発光素子の一例であり、一方の電極（カソード）が負電源線２２に接続されている。具体的には、有機ＥＬ素子１５は、カソードが第２電源線である負電源線２２に接続された発光素子である。駆動トランジスタ１４により制御された上記信号電流が有機ＥＬ素子１５へ流れることにより、有機ＥＬ素子１５は発光する。

【００３７】

スイッチングトランジスタ１９は、本発明の第３スイッチングトランジスタの一例であり、ゲートが走査線１８に接続され、静電保持容量１３記他方の電極１３２と駆動トランジスタ１４のソースとの導通及び非導通を切り換える。具体的には、スイッチングトランジスタ１９は、ゲートが走査線１８に接続され、ソース及びドレインの一方が駆動トランジスタ１４のソースに接続され、ソース及びドレインの他方が静電保持容量１３の電極１３２に接続された第３スイッチング素子である。スイッチングトランジスタ１９は、静電保持容量１３に保持された電位を駆動トランジスタ１４のゲート・ソース電極間に印加することにより、有機ＥＬ素子１５の発光開始タイミングを決定する機能を有する。スイッチングトランジスタ１９は、例えば、 n 型の薄膜トランジスタ（ n 型ＴＦＴ）で構成されるが、 p 型の薄膜トランジスタ（ p 型ＴＦＴ）であってもよい。

【００３８】

信号線１６は、本発明のデータ線の一例であり、複数の発光画素１０の列ごとに配置されている。具体的には、信号線１６は、信号線駆動回路５（信号線駆動回路５ａまたは信号線駆動回路５ｂ）に接続され、発光画素１０を含む画素列に属する各発光画素へ接続され、発光強度を決定する信号電圧を供給する機能を有する。

【００３９】

走査線１７は、本発明の走査線の一例であり、複数の発光画素１０の行ごとに配置されている。具体的には、走査線１７は、走査線駆動回路４に接続され、発光画素１０を含む画素行に属する各発光画素に接続されている。これにより、走査線１７は、発光画素１０を含む画素行に属する各発光画素へ上記信号電圧を書き込むタイミングを決定する機能、及び当該発光画素の有する駆動トランジスタ１４のゲートに参照電圧 V_{REF1} を印加し、有機ＥＬ素子１５が発光を終了するタイミングを決定する機能を有する。

【００４０】

走査線１８は、本発明の制御線の一例であり、複数の発光画素１０の行ごとに配置されている。具体的には、走査線１８は、走査線駆動回路４に接続され、静電保持容量１３の電極１３２の電位を駆動トランジスタ１４のソースに接続することにより、静電保持容量１３の電極間に保持されている輝度信号電圧を駆動トランジスタ１４のゲート・ソース電極間に印加し、有機ＥＬ素子１５が発光を開始するタイミングを決定する機能を有する。

【００４１】

このように、表示装置１は、画素行数分の走査線１７及び１８を備える。

【００４２】

参照電源線２０は、本発明の第１の参照電位線の一例であり、所定の参照電位を供給する。具体的には、参照電源線２０は、静電保持容量１３の電極１３１と接続され、静電保持容量１３の電極１３１の電圧値を規定する参照電圧 V_{REF1} を供給する。 V_{REF1} は、走査線１７によってスイッチングトランジスタ１２が導通してから、走査線１８によってスイッチングトランジスタ１９が導通するまで、駆動トランジスタ１４がオフ状態となる電圧に設定されている。

【００４３】

参照電源線２４は、本発明の第２の参照電位線の一例であり、所定の参照電位を供給する。具体的には、参照電源線２４は、静電保持容量２３の電極２３２と接続され、静電保

10

20

30

40

50

持容量 23 の電極 232 の電圧値を規定する参照電圧 V_{REF2} を供給する。なお、参照電源線 24 は、走査線 17 によりスイッチングトランジスタ 11 とスイッチングトランジスタ 12 が導通する直前の時間から、走査線 18 によりスイッチングトランジスタ 19 が導通する直前の時間まで、駆動トランジスタ 14 のゲート電極の電圧を安定的に維持させることができればよく、独立配線で給電されてもよいし、各発光画素 10 の正電源線 21 や負電源線 22 や参照電源線 20 や走査線 18 であってもよい。

【0044】

また、正電源線 21 は、本発明の第 1 電源線の一例であり、駆動トランジスタ 14 のドレインに接続され、駆動トランジスタ 14 のドレインの電位 (V_{DD}) を決定する。

【0045】

また、負電源線 22 は、本発明の第 2 電源線の一例であり、有機 EL 素子 15 のカソードに接続され、有機 EL 素子 15 のカソードの電位 (V_{EE}) を決定する。

【0046】

以上のように、表示装置 1 は構成される。

【0047】

なお、図 1、図 2 には記載されていないが、参照電源線 20 及び参照電源線 24、第 1 電源線である正電源線 21 及び第 2 電源線である負電源線 22 は、それぞれ、他の発光画素にも接続されており電圧源に接続されている。

【0048】

次に、本実施の形態に係る表示装置 1 の制御方法について説明する。

【0049】

図 3A は、本発明の実施の形態に係る表示装置の制御方法の動作タイミングチャートの一例である。図 3A において、横軸は時間を表している。また縦方向には、上から順に、上部表示部 6a 及び下部表示部 6b の全ての発光画素 10 の行の走査線 17、走査線 18、及び全ての発光画素 10 の列の信号線 16 に発生する電圧の波形図が示されている。なお、表示部 6 の発光画素 10 は、 n 行 m 列からなり、上部表示部 6a の発光画素 10 は p 行 m 列からなるとしている。そのため、図 3A では、上部表示部 6a の発光画素 10 に対応した行の走査線 17 を、走査線 17(1) ~ 走査線 17(p) と示しており、対応した行の走査線 18 を走査線 18(1 ~ p) と示しており、及び対応した列の信号線 16 を信号線 16(1 ~ m) と示している。また、下部表示部 6b についても同様に、走査線 17($p+1$) ~ 走査線 17(n)、走査線 18($p+1$ ~ n)、及び信号線 16(1 ~ m) と示している。

【0050】

ここで、図 3A において、表示装置の特徴的な制御方法は以下の通りである。

【0051】

制御回路 2 は、走査線 18(1 ~ p) 及び走査線 18($p+1$ ~ n) を介して、上部表示部 6a 及び下部表示部 6b の全ての発光画素 10 におけるスイッチングトランジスタ 19 を非導通とすると共に (図 3A で時刻 t_0)、走査線 17(1) ~ 走査線 17(n) を介して全ての発光画素 10 におけるスイッチングトランジスタ 12 を導通させ (図 3A で時刻 t_1)、駆動トランジスタ 14 のゲートに所定の参照電位を印加することで、全ての発光画素 10 (有機 EL 素子 15) が同時に消光される非表示期間 (時刻 t_1 ~) を開始する制御を行う。

【0052】

また、制御回路 2 は、走査線 18(1 ~ p) 及び走査線 18($p+1$ ~ n) を介して、全ての発光画素 10 におけるスイッチングトランジスタ 19 を導通させ (図 3A で時刻 t_6)、駆動トランジスタ 14 のゲート及びソースの間に静電保持容量 13 に保持された信号電圧 ($V_{REF1} - V_{data}$) を印加することにより、全ての発光画素 10 (有機 EL 素子 15) が同時に発光される表示期間 (時刻 t_6 ~) を開始する制御を行う。

【0053】

非表示期間には、上部表示部 6a 及び下部表示部 6b の全ての発光画素 10 における駆

10

20

30

40

50

動トランジスタ 14 の初期化を行なうリセット期間が含まれる。典型的には、非表示期間とリセット期間とは同一期間である。

【0054】

このリセット期間は、図 3 A に示した実施の形態においては、制御回路 2 が、走査線 18 (1 ~ p) 及び走査線 18 (p + 1 ~ n) を介して、上部表示部 6 a 及び下部表示部 6 b の全ての発光画素 10 におけるスイッチングトランジスタ 19 を非導通とし (図 3 A で時刻 t 0 ~)、かつ、走査線 17 (1) ~ 走査線 17 (n) によってスイッチングトランジスタ 12 を導通させることで (図 3 A で時刻 t 1 ~)、負電源線 22 より有機 EL 素子 15 を介して一定の電位を駆動トランジスタ 14 のソースに印加すると共に、駆動トランジスタ 14 のゲートに所定の参照電位を印加することによって開始する。なお、本発明においては、後述の図 3 B で説明するように、リセット期間の初期の期間において、発光画素 10 におけるスイッチングトランジスタ 19 を非導通とする必要はない。また、このリセット期間は、制御回路 2 が、走査線 18 (1 ~ p) 及び走査線 18 (p + 1 ~ n) を介してスイッチングトランジスタ 19 を導通させ、駆動トランジスタ 14 のゲート及びソースの間に静電保持容量 13 に保持された信号電圧 (VREF1 - Vdata) を印加することによって終了する。

10

【0055】

また、非表示期間には、全ての発光画素 10 におけるスイッチングトランジスタ 19 が非導通である状態で、上部表示部 6 a 及び下部表示部 6 b のそれぞれにおける全ての発光画素 10 の静電保持容量 13 それぞれに、順次、信号電圧を保持させる書込期間が含まれる。

20

【0056】

この書込期間では、制御回路 2 が、上部表示部 6 a 及び下部表示部 6 b のそれぞれにおける発光画素 10 の対応する行に配置された走査線 17 (x) を介して、順次、対応するスイッチングトランジスタ 12 及びスイッチングトランジスタ 11 を導通させ (時刻 t 3)、かつ、対応する発光画素 10 の列ごとの信号線 16 (x) から伝達される信号電圧を、対応する静電保持容量 13 に保持させることにより、上部表示部 6 a 及び下部表示部 6 b それぞれ全ての発光画素 10 における静電保持容量 13 はその信号電圧を保持する。

【0057】

ここで、書込期間は、図 3 A に示すように、制御回路 2 により、リセット期間の少なくとも一部に含まれるように制御される。なお、典型的には、書込期間はリセット期間に含まれる。

30

【0058】

なお、書込期間は、上述のように、順次走査、すなわち、スイッチングトランジスタ 12 及びスイッチングトランジスタ 11 を行ごとに順番に導通させて、順番に信号電圧を保持させる走査方法で制御される場合に限られない。例えば、信号電圧を保持させる順序を行単位で入れ替えた走査方法で制御されるとしてもよい。この場合すなわち書込期間が行ごとに信号電圧を保持させる順序を入れ替えた走査方法で制御される場合、信号線 16 から伝達される信号電圧の順序を並び替え、例えば信号線 16 に伝達するデータの順番を 3 行目、5 行目、1 行目、2 行目、4 行目・・・とすれば、それに対応させて走査線 17 をオンさせる順番を走査線 17 (3) → 走査線 17 (5) → 走査線 17 (1) → 走査線 17 (2) → 走査線 17 (4) のように設定する。さらには信号線 16 に伝達するデータの順番とそれに対応させて走査線 17 をオンさせる順番とをフレーム毎に変えてもよい。

40

【0059】

以上を、換言すると、上下分割駆動を行なう本実施の形態の表示装置は、1 フレーム中に非発光期間とは表示期間とを含むように制御される。非発光期間では、上部表示部 6 a 及び下部表示部 6 b (表示部 6) は一括消光され、表示期間では、全画素のデータ書き込みが完了した後、上部表示部 6 a 及び下部表示部 6 b (表示部 6) は一括発光される。

【0060】

例えば、制御回路 2 は、時刻 t 1 において、上部表示部 6 a 及び下部表示部 6 b (表示

50

部 6) の全発光画素 1 0 の走査線 1 7 (1) ~ 走査線 1 7 (n) の電圧レベルを LOW から HIGH に変化することで、非表示期間を開始すると共にリセット期間も開始する。ここで、リセット期間が開始されるのは、走査線 1 7 (1) ~ 走査線 1 7 (n) の電圧レベルを LOW から HIGH に変化することで、駆動トランジスタ 1 4 のゲートに所定の参照電位が印加され、駆動トランジスタ 1 4 のソース電圧は負電源線 2 2 より有機 EL 素子 1 5 の正の閾値電圧を加算した値の電圧となっているため、駆動トランジスタ 1 4 に逆バイアスの電圧が印加されて駆動トランジスタ 1 4 が初期化され始めるからである。

【 0 0 6 1 】

なお、図 3 B に示すように、リセット期間の初期の期間 (図 3 B の時刻 $t_0 \sim t_2$) において、発光画素 1 0 におけるスイッチングトランジスタ 1 9 を導通させていてもよい。この場合、時刻 $t_1 \sim t_2$ において、上部表示部 6 a 及び下部表示部 6 b (表示部 6) の全発光画素 1 0 の信号線 1 6 (1 ~ p) 及び信号線 1 6 (p + 1 ~ n) の電圧レベルを HIGH からリセット電圧 V_{data0} に変化させた状態で、走査線 1 8 (1 ~ p) および走査線 1 8 (p + 1 ~ n) の電圧レベルを HIGH とする。これにより、有機 EL 素子 1 5 のアノードに信号電圧 1 6 の V_{data0} 電圧が印加され、有機 EL 素子 1 5 はアノードよりもカソードの電圧が高くなる逆バイアス状態となり、容量として機能する。よって駆動トランジスタのソース電圧が安定的に V_{data0} に保持され、駆動トランジスタのゲート電極に V_{REF1} がおよびソース電極に V_{data0} が印加され、リセット工程が実行される。このように信号線 1 6 からリセット電圧を印加することによってより高速にリセット状態とすることができる。

【 0 0 6 2 】

以下、上部表示部 6 a または下部表示部 6 b の一つの発光画素 1 0 を例に取り、本発明の実施の形態に係る表示部 6 の有する発光画素 1 0 の制御方法について説明する。

【 0 0 6 3 】

図 4 は、本発明の実施の形態に係る表示部の有する発光画素の制御方法の動作タイミングチャートの一例である。図 4 において、横軸は時間を表している。また縦方向には、上から順に、上部表示部 6 a または下部表示部 6 b の一つの発光画素 1 0 の走査線 1 7 (x)、走査線 1 8 (x)、及び信号線 1 6 (y) に発生する電圧の波形図が示されている。

【 0 0 6 4 】

また、図 5 A ~ 図 5 N は、本発明の実施の形態に係る表示部の有する発光画素制御方法の動作タイミングチャートを説明するための図であり、画素回路の導通状態を示す図である。以下、例えば、走査線 1 7 (x) 及び走査線 1 8 (x) の電圧レベルの HIGH は共に + 2 0 V、LOW は共に - 1 0 V に設定されているとして説明するが、スイッチングトランジスタ 1 1、1 2、1 9 の電気的特性に応じて走査線 1 7 と走査線 1 8 に別の電圧レベル (HIGH、LOW) を与えてもよい。

【 0 0 6 5 】

まず、時刻 t_0 において、図 4 に示すように、走査線駆動回路 4 は、上部表示部 6 a または下部表示部 6 b における全ての発光画素 1 0 に対応する走査線 1 7 (1) ~ 走査線 1 7 (n) の電圧レベルは LOW に維持したままであるので、スイッチングトランジスタ 1 1 及び 1 2 はオフ状態のままである。一方、走査線駆動回路 4 は、上部表示部 6 a または下部表示部 6 b における全ての発光画素 1 0 に対応する走査線 1 8 (1 ~ p) 及び走査線 1 8 (p + 1 ~ n) の電圧レベルを HIGH から LOW に変化させ、スイッチングトランジスタ 1 9 をオフ状態とする。これにより、上部表示部 6 a または下部表示部 6 b における全ての発光画素 1 0 に対応する駆動トランジスタ 1 4 のソースと静電保持容量 1 3 の電極 1 3 2 とは非導通の状態となる (例えば図 5 A)。したがって、時刻 t_0 では、駆動トランジスタ 1 4 のソースと静電保持容量 1 3 の電極 1 3 2 とが非導通の状態となった直後であるので、静電保持容量 1 3 の電極 1 3 2 には、静電保持容量 2 3 により有機 EL 素子 1 5 のアノードの電圧 ($V_{EL1(ON)}$) が保持され、駆動トランジスタ 1 4 のゲート電圧も静電保持容量 1 3 によりスイッチングトランジスタ 1 9 がオン状態の際の電圧が保持されており、有機 EL 素子 1 5 の発光は継続している。

【 0 0 6 6 】

次に、時刻 t_1 において、図 3 A 及び図 4 に示すように、発光画素 1 0 の非表示期間を開始するとともに駆動トランジスタ 1 4 のリセット期間を開始する。本実施の形態では、上部表示部 6 a または下部表示部 6 b における全ての発光画素 1 0 において、非表示期間及びリセット期間が開始されるが、ここではそのうちの一つの発光画素 1 0 について説明する。

【 0 0 6 7 】

具体的には、図 4 及び図 5 B に示すように、走査線駆動回路 4 は、走査線 1 8 (x) の電圧レベルを LOW に維持し、スイッチングトランジスタ 1 9 はオフ状態（非導通の状態）のままである。また、走査線駆動回路 4 は、スイッチングトランジスタ 1 9 がオフ状態（非導通の状態）において、走査線 1 7 (x) の電圧レベルを LOW から HIGH に変化させ、スイッチングトランジスタ 1 2 及びスイッチングトランジスタ 1 1 をオン状態（導通状態）にさせる。

10

【 0 0 6 8 】

具体的には、時刻 t_1 において、駆動トランジスタ 1 4 のゲートには参照電源線 2 0 の参照電圧 (V R E F 1) が印加され、駆動トランジスタ 1 4 のソース側には、負電源線 2 2 の電圧 (V E E) と有機 E L 素子 1 5 の発光閾値電圧の絶対値以上の電圧との合計に相当する電圧が印加されている。また、静電保持容量 1 3 の電極 1 3 1 には参照電源線 2 0 の参照電圧 V R E F 1 が印加され、参照電源線 2 0 の参照電圧 (V R E F 1) が保持される。このようにして、駆動トランジスタ 1 4 がオフ状態となる。

20

【 0 0 6 9 】

換言すると、時刻 t_1 において、スイッチングトランジスタ 1 9 がオフ状態（非導通の状態）であるため、駆動トランジスタ 1 4 のソース電圧である有機 E L 素子 1 5 のアノードの電位は、次第に負電源線 2 2 の電圧 (V E E) と有機 E L 素子 1 5 の発光閾値電圧の絶対値の電圧との合計に漸近していく。これにより、前フレーム ((N - 1) フレーム) の非表示期間区間において駆動トランジスタ 1 4 および有機 E L 素子 1 5 に蓄積された不要な電荷の放電すなわち駆動トランジスタ 1 4 のリセットが開始される。

【 0 0 7 0 】

また、駆動トランジスタ 1 4 のソースには、負電源線 2 2 の電位 (V E E) に対応した固定電圧が設定されはじめている。

30

【 0 0 7 1 】

ここで、負電源線 2 2 の電位 (V E E) に対応した固定電圧とは、例えば、負電源線 2 2 の電圧 (V E E) に (有機 E L 素子 1 5 が発光開始する閾値電圧の絶対値 (V t h (E L))) を加えた値である。そのため、 $V E E = 5 V$ 、 $V R E F 1 = 5 V$ 、 $V t h (E L) = 2 V$ 、 $V t h (T F T) = 1 V$ とすれば、駆動トランジスタ 1 4 には、 $V g s - V t h (T F T) = V R E F 1 - (V E E + V t h (E L)) - V t h (T F T) = - 1 < 0$ となる逆バイアス (一定の電圧) が印加されはじめる。

【 0 0 7 2 】

したがって、このとき駆動トランジスタ 1 4 はオフ状態となり、駆動トランジスタ 1 4 のソース - ドレイン電流は流れないので、有機 E L 素子 1 5 は発光しない。つまり、時刻 t_1 において、有機 E L 素子 1 5 の発光は停止している。これにより、スイッチングトランジスタ 1 9 がオフ状態（非導通状態）において走査線 1 7 を介してスイッチングトランジスタ 1 1 及びスイッチングトランジスタ 1 2 を導通させた場合に、駆動トランジスタ 1 4 のゲート - ソース間において逆バイアス (一定の電圧) が印加されることに相当するので、有機 E L 素子 1 5 の自己放電による駆動トランジスタ 1 4 のソース電位の収束 (リセット期間) が確実に開始される。

40

【 0 0 7 3 】

次に、時刻 t_2 において、図 4 に示すように、走査線駆動回路 4 は、走査線 1 7 (x) の電圧レベルを HIGH から LOW に変化させ、スイッチングトランジスタ 1 1 及び 1 2 をオフ状態（非導通状態）とする。これにより、図 5 C に示すように、静電保持容量 1 3

50

の電極 1 3 1 と参照電源線 2 0 とはオフ状態（非導通状態）となり、かつ、静電保持容量 1 3 の電極 1 3 2 と信号線 1 6 とはオフ状態（非導通状態）となる。また、駆動トランジスタ 1 4 のソースには、負電源線 2 2 の電位（V E E）に対応した固定電圧が設定されている。

【 0 0 7 4 】

より具体的には、時刻 t_2 において、走査線駆動回路 4 は、図 4 に示すように、走査線 1 8 (x) の電圧レベルを LOW に維持しており、スイッチングトランジスタ 1 9 はオフ状態（非導通の状態）のままである。走査線駆動回路 4 は、スイッチングトランジスタ 1 9 がオフ状態（非導通の状態）において、走査線 1 7 (x) の電圧レベルを HIGH から LOW に変化させ、スイッチングトランジスタ 1 2 及びスイッチングトランジスタ 1 1 をオフ状態（非導通の状態）にさせる。なお、駆動トランジスタ 1 4 のリセットは継続されている。なぜなら、静電保持容量 2 3 は、スイッチングトランジスタ 1 1 及びスイッチングトランジスタ 1 2 がオン状態（導通の状態）からオフ状態（非導通の状態）に切り替わった後も、静電保持容量 2 3 の第 1 電極 2 3 1 すなわち静電保持容量 1 3 の第 2 電極 1 3 2 の電位が変動するのを抑え、静電保持容量 1 3 は、静電保持容量 1 3 の第 1 電極 1 3 1 の電位が変動するのを抑える機能を果たすからである。つまり、静電保持容量 1 3 及び静電保持容量 2 3 により、スイッチングトランジスタ 1 2 及びスイッチングトランジスタ 1 1 がオフ状態（非導通の状態）となる時刻 t_2 以降も、駆動トランジスタ 1 4 のゲート電位を安定的に V R E F 1 に維持でき、駆動トランジスタ 1 4 のゲート - ソース間において逆バイアス（一定の電圧）を印加し続ける。

【 0 0 7 5 】

次に、時刻 t_3 において、図 4 に示すように、静電保持容量 1 3 の電極 1 3 2 への信号電圧の設定（書込期間）を開始する。

【 0 0 7 6 】

具体的には、図 4 及び図 5 D に示すように、走査線駆動回路 4 は、走査線 1 8 (x) の電圧レベルを LOW に維持し、スイッチングトランジスタ 1 9 はオフ状態（非導通の状態）のままである。走査線駆動回路 4 は、スイッチングトランジスタ 1 9 がオフ状態（非導通の状態）において、走査線 1 7 (x) の電圧レベルを LOW から HIGH に変化させ、スイッチングトランジスタ 1 2 及びスイッチングトランジスタ 1 1 をオン状態（導通状態）にさせる。

【 0 0 7 7 】

このようにしても、駆動トランジスタ 1 4 のリセットは継続されている。なぜなら、駆動トランジスタ 1 4 のリセットは、駆動トランジスタ 1 4 のゲート - ソース間に一定の電圧（逆バイアス）が掛けられているからである。

【 0 0 7 8 】

より具体的には、時刻 t_3 において、駆動トランジスタ 1 4 のゲートには参照電源線 2 0 の参照電圧（V R E F 1）が印加され、駆動トランジスタ 1 4 のソース側には、負電源線 2 2 の電圧（V E E）と有機 E L 素子 1 5 の発光閾値電圧の絶対値以下の電圧との合計に相当する電圧が印加される。また、静電保持容量 1 3 の電極 1 3 1 には参照電源線 2 0 の参照電圧（V R E F 1）が印加されており、参照電源線 2 0 の参照電圧（V R E F 1）が保持されている。そのため、駆動トランジスタ 1 4 のリセットは継続される。

【 0 0 7 9 】

また、時刻 t_3 において、信号線駆動回路 5 は、信号線 1 6 (y) に信号電圧（V d a t a 1）を印加する。すると、静電保持容量 1 3 の電極 1 3 2（電圧 V x）には、信号線 1 6 の信号電圧（V d a t a 1）が設定される。一方、静電保持容量 1 3 の電極 1 3 1 には、参照電源線 2 0 の参照電圧（V R E F 1）が設定されている。これにより、静電保持容量 1 3 には信号電圧（V d a t a）と参照電圧（V R E F 1）との電位差に対応する電圧が保持される。

【 0 0 8 0 】

また、この参照電圧 V R E F 1 は、駆動トランジスタ 1 4 をオフ状態（非導通状態）に

するオフ電圧である。駆動トランジスタ14がオフ状態となるためには、有機EL素子15の発光閾値電圧を $V_{th}(EL)$ 、駆動トランジスタ14の閾値電圧を $V_{th}(TFT)$ として、 $V_{REF1} = V_{EE} + V_{th}(EL) + V_{th}(TFT)$ である。例えば駆動トランジスタ14の閾値電圧を1V、有機EL素子15の発光閾値電圧の絶対値を2Vとしたとき、正電源線21の電圧を25V、負電源線22の電圧を5V、参照電源線20の電圧を5Vと設定する。

【0081】

そして、時刻 t_3 ～時刻 t_4 の期間、図4に示すように、走査線17(x)の電圧レベルがHIGHであるので、発光画素10の電極132には信号線16(x)から信号電圧(V_{data1})が印加され、同様に、発光画素10を含む画素行に属する各発光画素に

10

【0082】

この期間において、参照電源線20には容量性負荷のみが接続されているので、走査線17の電圧レベルがHIGHとなっている期間において定常電流は発生せず、電圧降下は発生しない。また、スイッチングトランジスタ12のドレイン-ソース間に発生する電位差は、静電保持容量13の充電が完了した際は0Vとなる。信号線16とスイッチングトランジスタ11についても同様である。よって、静電保持容量13の電極131及び電極132には、それぞれ、信号電圧に対応した正確な参照電位(V_{REF1})及び信号電圧(V_{data})が書き込まれる。

20

【0083】

次に、時刻 t_4 において、図4に示すように、走査線駆動回路4は、走査線17(x)の電圧レベルをHIGHからLOWに変化させ、スイッチングトランジスタ11及び12をオフ状態(非導通状態)とする。これにより、図5Eに示すように、静電保持容量13の電極131と参照電源線20とはオフ状態(非導通状態)となり、かつ、静電保持容量13の電極132と信号線16とはオフ状態(非導通状態)となる。

【0084】

より具体的には、時刻 t_4 において、走査線駆動回路4は、図3Aに示すように、走査線18(x)の電圧レベルをLOWに維持しており、スイッチングトランジスタ19はオフ状態(非導通の状態)のままである。走査線駆動回路4は、スイッチングトランジスタ19がオフ状態(非導通の状態)において、走査線17(x)の電圧レベルをHIGHからLOWに変化させ、スイッチングトランジスタ12及びスイッチングトランジスタ11をオフ状態(非導通の状態)にさせる。なお、駆動トランジスタ14のリセットは継続されている。なぜなら、上述したように、静電保持容量13および静電保持容量23は、スイッチングトランジスタ11及びスイッチングトランジスタ12がオン状態(導通の状態)からオフ状態(非導通の状態)に切り替わった後も、静電保持容量13の電極131の電位が変動するのを抑える機能を果たすからである。つまり、静電保持容量13の電極131は、静電保持容量13および静電保持容量23により、スイッチングトランジスタ12及びスイッチングトランジスタ11が再度オフ状態(非導通の状態)となる時刻 t_4 以降も、保持している電位を維持できるからである。駆動トランジスタ14のリセット期間を十分確保できれば、それだけ、駆動トランジスタ14のソースの電位は、参照電圧 V_{REF1} に対応した固定電圧($V_{EE} + V_{th}(EL)$)に近づくことになり好ましく、本実施の形態では、時刻 t_6 までリセット期間が継続する。

30

40

【0085】

ただし、本実施の形態では、駆動トランジスタ14のソースの電位は、時刻 t_5 において、参照電圧(V_{REF1})に対応した固定電圧($V_{EL(off)} = V_{EE} + V_{th}(EL)$)に近づく(例えば図5F)。ここで、参照電圧(V_{REF1})に対応した固定電圧は、駆動トランジスタ14の電気特性、有機EL素子15の電気特性、及び参照電圧 V_{REF1} に基づいて決定される電位である。

【0086】

50

次に、時刻 t_6 において、図 4 に示すように、駆動トランジスタ 14 のリセット期間を終了し、表示期間を開始する。具体的には、図 4 に示すように、走査線駆動回路 4 は、走査線 17 (x) の電圧レベルを LOW に維持し、スイッチングトランジスタ 11 及びスイッチングトランジスタ 12 はオフ状態（非導通の状態）に維持したまま、走査線 18 (x) の電圧レベルを LOW から HIGH に変化させ、スイッチングトランジスタ 19 をオン状態（導通の状態）にさせる。

【0087】

すると、図 5 G に示されているように、駆動トランジスタ 14 のソースと静電保持容量 13 の電極 132 とが導通する。また、静電保持容量 13 の電極 131 は、参照電源線 20 と遮断されており、電極 132 は信号線 16 と遮断されている。

10

【0088】

これにより、時刻 t_6 において、駆動トランジスタ 14 のゲート・ソース間は静電保持容量 13 と接続され、駆動トランジスタ 14 のゲートには静電保持容量 13 の電極 131 の電位 ($V_{REF1} - V_{data} + V_{EL(off)}$) が設定され、駆動トランジスタ 14 のソースには静電保持容量 13 の電極 132 の電位 ($V_{EL2(off)}$) が設定される。換言すると、静電保持容量 13 の電極 131 と電極 132 との間の電位差 ($V_{REF1} - V_{data}$) が駆動トランジスタ 14 のゲート・ソース電極間に印加される。それにより、駆動トランジスタ 14 のゲート・ソース電極間電位差に応じて駆動トランジスタ 14 のドレイン・ソース間に電流を流されるので有機 EL 素子 15 が発光を開始する。有機 EL 素子 15 が発光し始めると駆動トランジスタ 14 のソースの電位は変化し、 $V_{EL(ON)}$ になる。そのとき、駆動トランジスタ 14 のゲートには静電保持容量 13 の電極 131 の電位 ($V_{REF1} - V_{data} + V_{EL(on)}$) が設定され、駆動トランジスタ 14 のゲート・ソース電極間には静電保持容量 13 の電極 131 と電極 132 との間の電位差 ($V_{REF1} - V_{data}$) が印加され続ける。つまり、駆動トランジスタ 14 のゲート電位はブートストラップ動作によりソース電位の変動と共に変化し、かつ、ゲート・ソース間には、静電保持容量 13 の両端電圧である ($V_{REF1} - V_{data}$) が印加されるので、この ($V_{REF1} - V_{data}$) に対応した信号電流が有機 EL 素子 15 に流れ、有機 EL 素子 15 が発光する。なお、本実施の形態において、例えば、駆動トランジスタ 14 のソース電位はスイッチングトランジスタ 19 の導通により、7V から 10V に変化する。

20

30

【0089】

時刻 t_6 ~ 時刻 t_7 の期間（すなわち表示期間）では、ゲート・ソース間には、静電保持容量 13 の両端電圧である ($V_{REF1} - V_{data}$) が印加され続け、上記信号電流が流れることにより有機 EL 素子 15 は発光を持続する。

【0090】

なお、時刻 t_0 ~ 時刻 t_7 の期間は、表示装置 1 の有する全発光画素の発光強度が更新される 1 フレーム期間に相当し、時刻 t_7 以降においても時刻 t_0 ~ 時刻 t_7 の期間の動作が繰り返される。例えば、 $N+1$ フレームにおける時刻 t_7 ~ 時刻 t_{14} は、上述した時刻 t_0 ~ 時刻 t_7 にそれぞれ相当する。なお、図 4 および図 5 H ~ 図 5 N に示す時刻 t_7 ~ 時刻 t_{14} における表示部の有する発光画素の制御方法の動作は、時刻 t_0 ~ 時刻 t_7 と同様であるため、説明は省略する。

40

【0091】

以上のように表示部 6 の有する発光画素 10 は制御され、前フレームにおける発光期間において駆動トランジスタ 14 に蓄積された電荷による閾値電圧の変動は解消される。つまり、上述したようにリセット期間を十分確保することにより駆動トランジスタ 14 の閾値電圧が安定する。換言すると、発光開始時の駆動トランジスタ 14 の電気特性は、上記のリセット期間が終了すると、前フレームの影響を受けることなく、有機 EL 素子 15 に所望の電流を供給することが可能となる。

【0092】

また、静電保持容量 13 は、信号電圧 (V_{data1} 等) と参照電圧 (V_{REF1}) と

50

の電位差に対応する電圧が保持されると共に、静電保持容量 1 3 と静電保持容量 2 3 による合成容量により駆動トランジスタ 1 4 のゲートに参照電圧 (V_{REF1}) を安定的に供給しリセットが開始される。そのため、1 つの画素の 1 つの発光動作のために、信号線 1 6 が消光データと発光データの 2 回分のデータ書き込みの時間だけ占有されることはない。その結果、1 行の各画素に対し 1 回書き込むだけで済むので、設定された 1 フレーム期間に全行の書込動作を完了させるために、2 倍の書込速度は要求されない。つまり、信号線 1 6 および走査線 1 7、1 8 の配線時定数を低減させる必要もなく、配線膜厚又は配線間用絶縁膜の膜厚を厚く形成する必要はない。したがって、その分プロセス時間を短縮し、スループットを向上させ、コストの低減を図ることができる。

【 0 0 9 3 】

なお、上記書込期間の説明では、上部表示部 6 a または下部表示部 6 b における発光画素 1 0 の 1 つを例にとって説明したが、書込期間は、上部表示部 6 a 及び下部表示部 6 b で一括に行われるものではない。この書込期間は、上述したように、上部表示部 6 a における発光画素 1 0 それぞれにおいて、実施されるものである。つまり、書込期間では、対応する発光画素 1 0 の走査線 1 7 (1) ~ 走査線 1 8 (p) それぞれに対して上記の時刻 t_3 ~ 時刻 t_4 に相当する期間となるように制御することにより、上部表示部 6 a の全ての発光画素 1 0 に所望の信号電圧の書き込みを行う。下部表示部 6 b についても同様である。なお、本実施の形態では、上部表示部 6 a 及び下部表示部 6 b のそれぞれの発光画素 1 0 に対して、所望の信号電圧の書き込みを行うが、図 3 A または図 3 B に示したように、上部表示部 6 a 及び下部表示部 6 b の対応する発光画素 1 0 において同期をとって行ってもよい。

【 0 0 9 4 】

次に、上述したように、リセット期間を十分確保することにより、前フレームの影響を受けることなく、駆動トランジスタ 1 4 の閾値電圧が安定するメカニズムについて説明する。

【 0 0 9 5 】

以下の説明では、一つの発光画素 1 0 を例に挙げて説明するが、まず、前フレームにおける発光期間において駆動トランジスタ 1 4 に蓄積された電荷による閾値電圧の変動が生じてしまうことについて説明し、その後、本実施の形態の表示装置の上述した制御によるリセット効果について説明する。

【 0 0 9 6 】

図 6 は、駆動トランジスタに蓄積された電荷により閾値電圧の変動が生じることを示す特性図である。図 7 は、駆動トランジスタに蓄積された電荷を模式的に示す図である。

【 0 0 9 7 】

図 6 において、縦軸は電流値の $\log$ 値 (I_d) を示しており、横軸はゲートに印加されるゲート電圧値を示している。

【 0 0 9 8 】

ここで、図 6 に示す線 A は、駆動トランジスタの初期特性を示している。一方、図 7 (a) には、初期特性 (線 A) を示す場合の駆動トランジスタに蓄積された電荷を模式的に示している。同様に、線 B は、ゲート・ソース間に印加された電圧ストレス (V_{gs} ストレスとも呼ぶ) が小さい場合の駆動トランジスタ 1 4 の特性を示している。図 7 (b) には、この線 B の特性を示す場合の駆動トランジスタに蓄積された電荷を模式的に示している。また、線 C は、 V_{gs} ストレスが大きい場合の駆動トランジスタの特性を示している。図 7 (c) には、この線 C の特性を示す場合の駆動トランジスタに蓄積された電荷を模式的に示している。

【 0 0 9 9 】

図 6 及び図 7 に示すように、駆動トランジスタに大きな V_{gs} ストレスがかけられるほど、電荷が蓄積されていることがわかる。そして、電荷が蓄積されるほど (大きな V_{gs} ストレスがかけられるほど)、駆動トランジスタの閾値の変化 (V_{th} シフト) が大きいことがわかる。つまり、この 1 フレーム期間での電荷の蓄積が、駆動トランジスタの電圧

- 電流特性に変動を示させる要因となっている。

【 0 1 0 0 】

また、この電荷の蓄積は、 V_{gs} ストレス下で、比較的時間をかけて行われ、電荷の蓄積の解消にも比較的時間を要することが知られている。リセット期間が十分に確保されないパネルでは、電荷の蓄積の解消が不十分であった。その結果、駆動トランジスタの特性変動による残像が発生してしまうという課題があった。

【 0 1 0 1 】

それに対して、上述した本実施の形態の表示装置及びその制御方法によれば、リセット期間を十分確保できるので、電荷の蓄積を解消し、駆動トランジスタの特性を初期特定に戻すことができる。これを図 8 に模式的に示している。ここで、図 8 は、駆動トランジスタに蓄積された電荷を解消するリセット効果を模式的に示す図である。なお、図 8 は、図 7 の構造を利用して模式的に示している。

10

【 0 1 0 2 】

図 8 (a) に示すように、初期状態の駆動トランジスタに対して、 $V_{gs} > 0$ の V_{gs} ストレスを印加する。すると、図 8 (b) に示すように、駆動トランジスタのゲート絶縁膜の局在準位に電荷がトラップされ、電荷が蓄積する。ここで、 $V_{gs} > 0$ の V_{gs} ストレスとは、例えば、ソースに 12 V、ドレインに 25 V、ゲートに 10 V を印加した状態である。

【 0 1 0 3 】

そして、上述した制御方法により、十分確保したリセット期間を経過すると、図 8 (c) に示すように、駆動トランジスタのゲート絶縁膜の局在準位にトラップされている電荷が放出され、初期状態と同等になる。ここで、駆動トランジスタは、リセット期間において、例えば、ソースに 0 V、ドレインに 5 V、ゲートに 5 V を印加し、 $V_{gs} < 0$ の V_{gs} ストレスが印加されている。それにより、駆動トランジスタのゲート絶縁膜の局在準位にトラップされている電荷が放出される。

20

【 0 1 0 4 】

なお、上記では、駆動トランジスタの構造として、チャネルエッチ構造を例にとって説明したが、それに限らない。エッチングストッパ構造でもよい。

【 0 1 0 5 】

以上のように、実施の形態に係る表示装置によれば、簡単な画素回路で、駆動トランジスタの電気特性変動による残像を解消することができるだけでなく、表示領域を上下に分割して駆動する際に分割線が視認されないようにできる。

30

【 0 1 0 6 】

具体的には、実施の形態に係る表示装置では、上述したように、表示期間において、表示部 6 の表示領域を一括発光し、かつ、非表示期間において表示部 6 の表示領域を一括消光することにより、順次発光を行った場合における上下分割線上で途切れて見えてしまうという問題（白の縦バーを左右方向にスクロールした場合に顕著に現れる）を解消する。例えば、図 9 に示すように、表示部 6 の表示領域において、上部表示部 6 a と下部表示部 6 b とを分割する上下分割線上では分割線が見えないという効果を奏する。ここで、図 9 は、本発明の表示装置の効果を示すための図である。

40

【 0 1 0 7 】

さらに、実施の形態に係る表示装置では、非表示期間はリセット期間を兼ねるので、リセット期間を十分確保することができる。それにより、電気特性変動による影響（残像）を軽減できる。

【 0 1 0 8 】

なお、上述したリセット期間は、1 フレーム期間の、20 パーセント以上の期間が好ましい。このリセット期間は、上述した制御方法を用いることにより、非発光期間と同じ期間となっている。ここで、非発光期間は、例えば時刻 t_1 ~ 時刻 t_7 の期間であり、スイッチングトランジスタ 19 が非導通の状態においてスイッチングトランジスタ 11 及びスイッチングトランジスタ 12 を導通させてから、スイッチングトランジスタ 11 及びスイ

50

スイッチングトランジスタ 12 が非導通の状態においてスイッチングトランジスタ 19 を導通させるまでの期間に相当する。また、1 フレーム期間とは、例えば時刻 t_1 ~ 時刻 t_8 の期間であり、スイッチングトランジスタ 19 が非導通の状態においてスイッチングトランジスタ 11 及びスイッチングトランジスタ 12 を導通させてから (時刻 t_1)、次にスイッチングトランジスタ 19 が非導通の状態においてスイッチングトランジスタ 11 及びスイッチングトランジスタ 12 を導通させる (時刻 t_8) までの期間に相当する。

【0109】

以上、本発明によれば、簡単な画素回路で、表示領域を上下に分割して駆動する際に分割線が視認されないと共に、駆動トランジスタの電気特性変動による残像を解消することができる表示装置を実現することができる。

10

【0110】

なお、以上述べた実施の形態では、駆動トランジスタ 14 を n 型トランジスタとして、有機 EL 素子 15 のカソードが共通電源線に接続されたものとし記述しているが、駆動トランジスタ 14 を p 型トランジスタで形成し、有機 EL 素子 15 のアノードが共通電源線に接続された表示装置でも、上述した各実施の形態と同様の効果を奏する。

【0111】

また、例えば、本発明に係る表示装置は、図 10 に記載されたような薄型フラット TV に内蔵される。本発明に係る表示装置が内蔵されることにより、映像信号を反映した高精度な画像表示が可能な薄型フラット TV が実現される。

【産業上の利用可能性】

20

【0112】

本発明は、特に、画素信号電流により画素の発光強度を制御することで輝度を変動させるアクティブ型の有機 EL フラットパネルディスプレイに有用である。

【符号の説明】

【0113】

- 1 表示装置
- 2 制御回路
- 3 メモリ
- 4 走査線駆動回路
- 5、5a、5b 信号線駆動回路
- 6 表示部
- 10 発光画素
- 11、12、19 スwitchングトランジスタ
- 13、23 静電保持容量
- 14 駆動トランジスタ
- 15、505 有機 EL 素子
- 16 信号線
- 17、18 走査線
- 20、24 参照電源線
- 21 正電源線
- 22 負電源線
- 131、132、231、232 電極
- 500 画素部
- 501 第 1 スwitchング素子
- 502 第 2 スwitchング素子
- 503 容量素子
- 504 n 型薄膜トランジスタ (n 型 TFT)
- 506 データ線
- 507 第 1 走査線
- 508 第 2 走査線

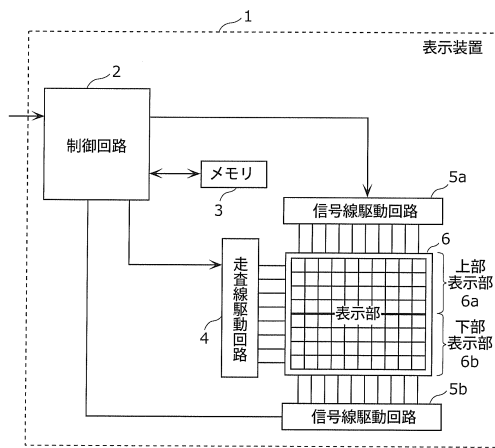
30

40

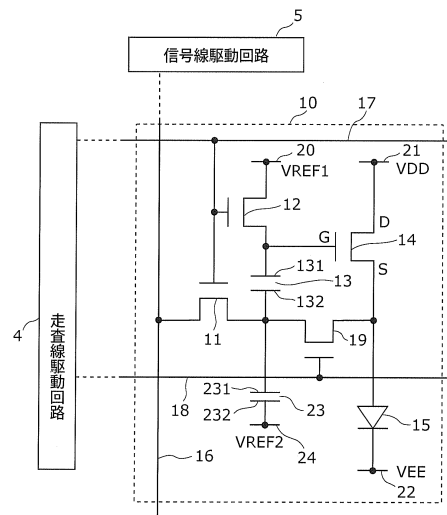
50

5 0 9 第 3 スイッチング素子

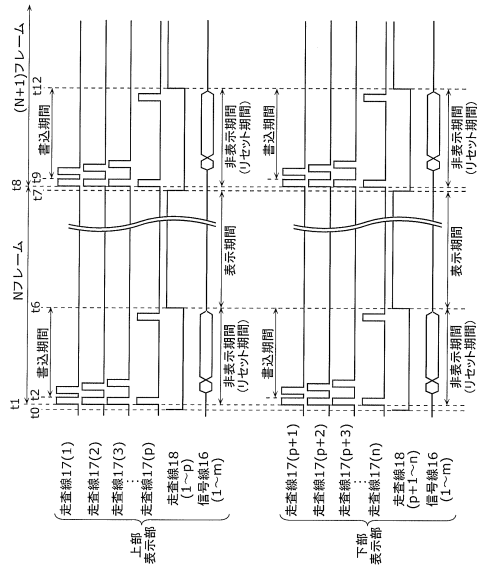
【 図 1 】



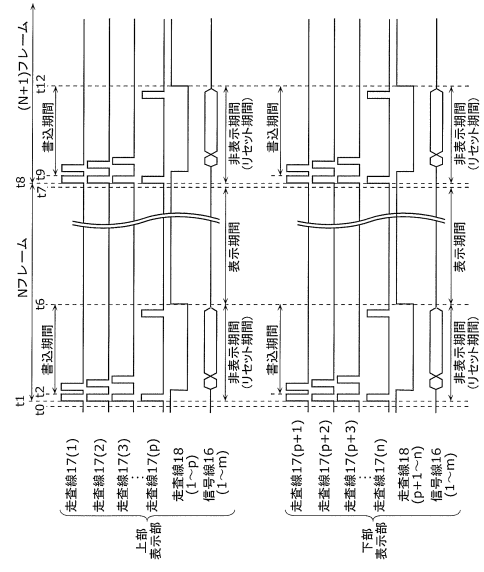
【 図 2 】



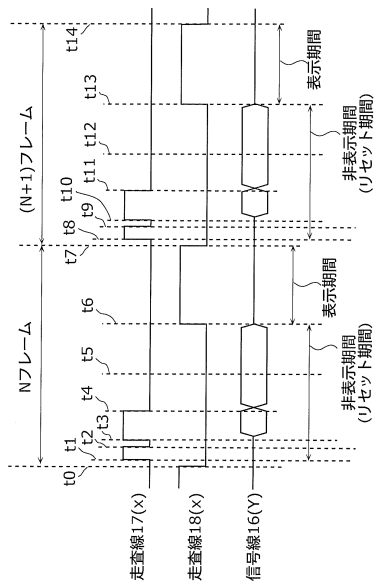
【図 3 A】



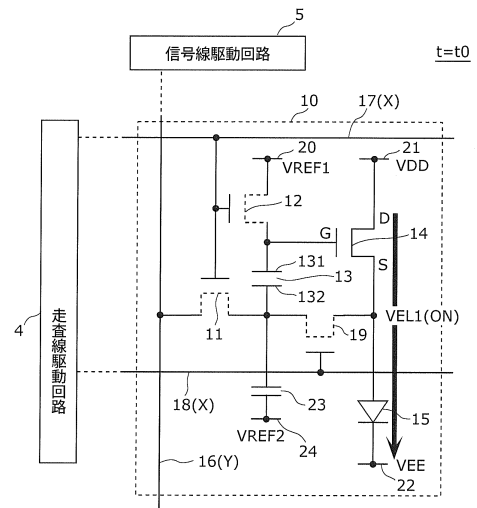
【図 3 B】



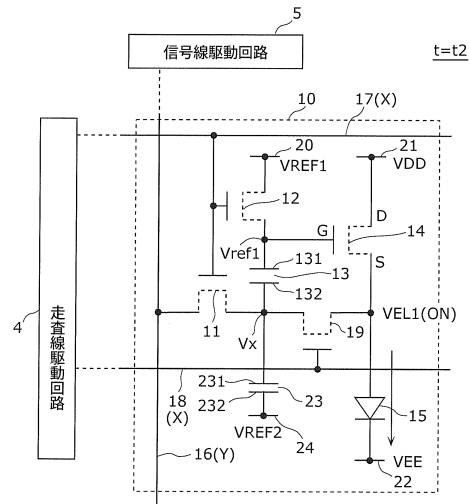
【図 4】



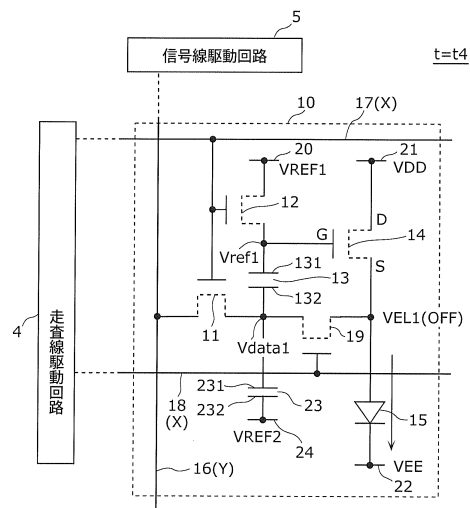
【図 5 A】



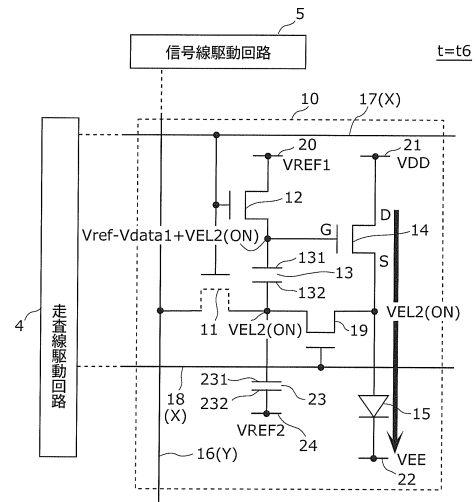
【 図 5 C 】



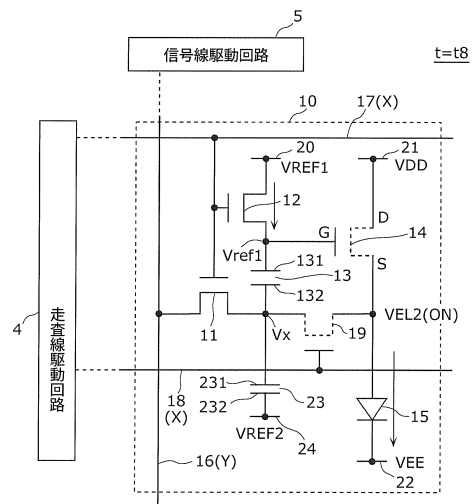
【 図 5 E 】



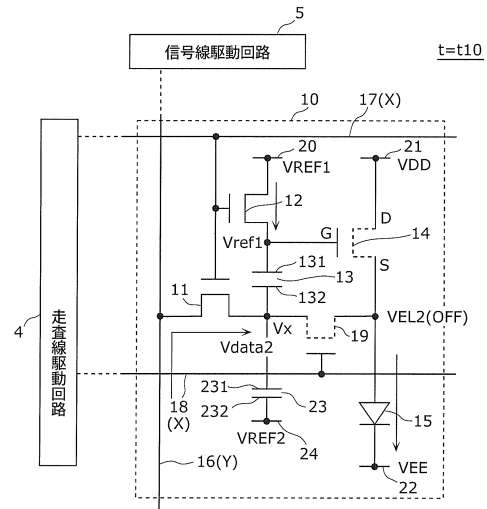
【 図 5 G 】



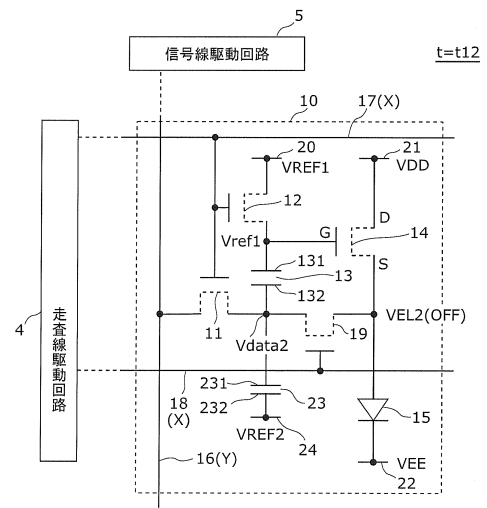
【 図 5 I 】



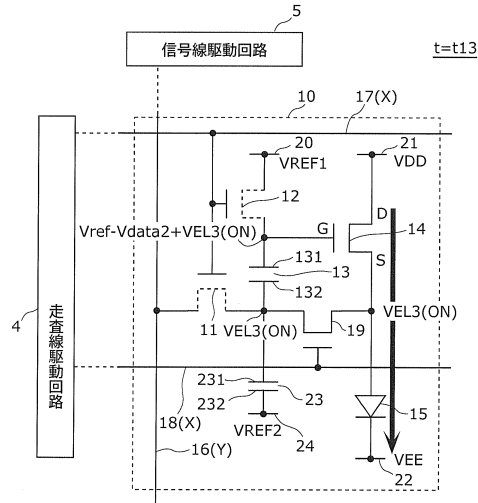
【 図 5 K 】



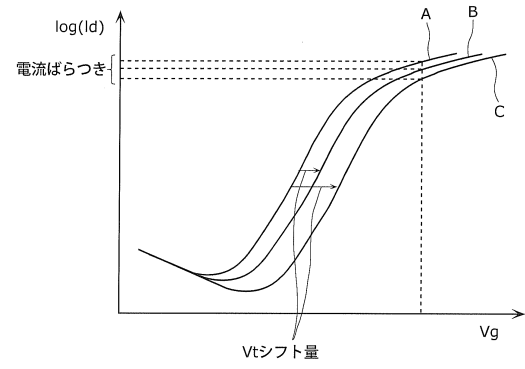
【 図 5 M 】



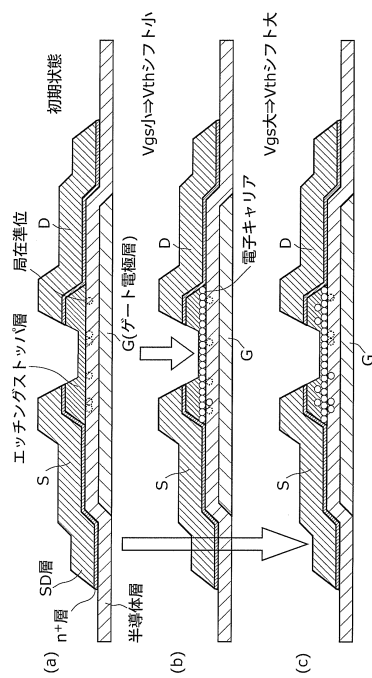
【図 5 N】



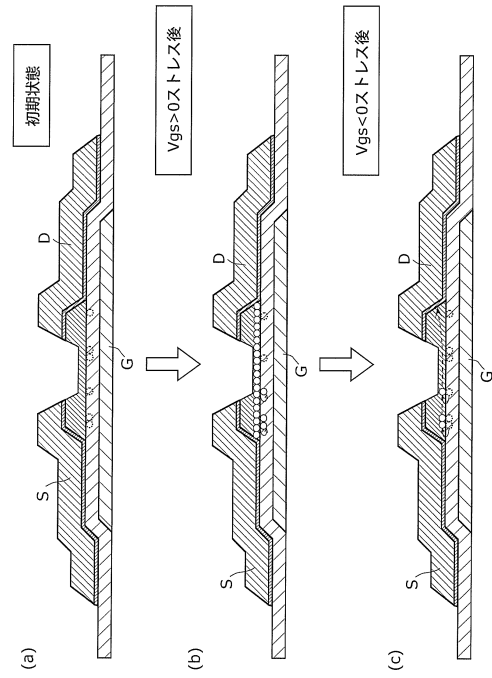
【図 6】



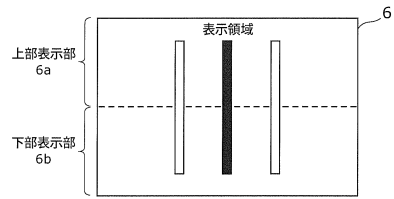
【図 7】



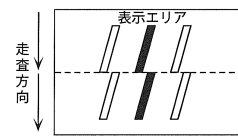
【図 8】



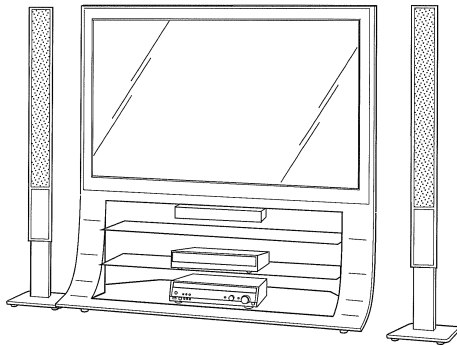
【図 9】



【図 11】



【図 10】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 D
H 0 5 B 33/08
H 0 5 B 33/14 A

(56)参考文献 特開平 1 0 - 3 1 2 1 7 3 (J P , A)
特開 2 0 0 4 - 1 1 7 7 5 8 (J P , A)
特開 2 0 0 2 - 0 6 2 5 1 8 (J P , A)
特許第 4 7 1 9 8 2 1 (J P , B 2)
国際公開第 0 2 / 0 3 9 4 2 0 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0
H 0 1 L 5 1 / 5 0
H 0 5 B 3 3 / 0 8

专利名称(译)	表示装置		
公开(公告)号	JP5738270B2	公开(公告)日	2015-06-24
申请号	JP2012502044	申请日	2011-08-09
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
当前申请(专利权)人(译)	株式会社JOLED		
[标]发明人	小野晋也 戎野浩平		
发明人	小野 晋也 戎野 浩平		
IPC分类号	G09G3/30 G09G3/20 H05B33/08 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2310/0221 G09G2310/0245 G09G2310/0262 G09G2320/045 G06F3/038		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.622.L G09G3/20.670.K G09G3/20.622.D G09G3/20.623.D H05B33/08 H05B33/14.A		
代理人(译)	吉川修 Sobashima正雄		
审查员(译)	Naoaki桥本		
其他公开文献	JPWO2013021417A1		
外部链接	Espacenet		

摘要(译)

一个简单的像素电路，可以消除在驱动晶体管的电特性由变化的残留图像，本发明的显示装置，其划分线由上下分割显示区域驾驶时是不可见的，有机EL元件（15），一种驱动晶体管（14），其栅极连接到静电保持电容（13）的电极（131），其源极连接到有机EL元件（15）的阳极；电极连接到静电保持电容13的电极132的静电保持电容23，用于确定有机EL元件15的阴极电位的负电源线22，以及用于控制晶体管（12），开关晶体管（11）和开关晶体管（19）的扫描线驱动电路（4）。然后，在显示期间中，显示区域同时发光显示单元（6），在非显示期间，用于重置驱动晶体管（14），而同时淬火显示单元的显示区域（6）。

2】

