

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5334387号
(P5334387)

(45) 発行日 平成25年11月6日(2013.11.6)

(24) 登録日 平成25年8月9日(2013.8.9)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)

G09F 9/30 (2006.01)

H01L 27/32 (2006.01)

G09G 3/20 (2006.01)

H01L 51/50 (2006.01)

G09G 3/30 J

G09F 9/30 365Z

G09F 9/30 338

G09G 3/20 642A

G09G 3/20 624B

請求項の数 4 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2007-197770 (P2007-197770)
 (22) 出願日 平成19年7月30日(2007.7.30)
 (65) 公開番号 特開2009-31668 (P2009-31668A)
 (43) 公開日 平成21年2月12日(2009.2.12)
 審査請求日 平成22年5月17日(2010.5.17)

(73) 特許権者 511254491
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 140-716, ソウル, ヨン
 サング, 3ガ, ハンガングロ, 65-22
 8, エルジー ユープラス ビルディング
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100096943
 弁理士 臼井 伸一
 (74) 代理人 100101498
 弁理士 越智 隆夫

最終頁に続く

(54) 【発明の名称】 画像表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数の画素回路と、前記各画素回路に対して電源電圧を共通に供給する電源線と、を有する画像表示装置において、

前記各画素回路は、

第1端子、前記電源線と接続された第2端子、及び前記第1端子と第2端子との間の導通状態を制御する制御信号が供給される制御端子を有する駆動素子と、

一端が前記第1端子に接続され、他端が接地されるとともに前記駆動素子により発光が制御される発光素子と、

一端が前記駆動素子の前記制御端子に接続され、他端が画像データ電位を供給するための画像信号線に接続され、前記発光素子の発光輝度に応じた画像データを一時的に保持する第1容量素子と、

一端が前記駆動素子の第1端子に接続され、他端が前記電源線に接続される第2容量素子と、

前記駆動素子における閾値電圧の検出を制御するために前記制御端子と前記第1端子の間に接続される閾値電圧検出素子と、

を備え、

前記電源線が共通に接続される前記複数の画素回路の第1容量素子に前記画像信号線から所定の前記画像データ電位が印加された場合、前記電源線に生じる電圧降下量が大い前記画素回路ほど、前記第1容量素子への書き込み電位が増加するように、前記第2容量

10

20

素子の容量値を大きくすることを特徴とする画像表示装置。

【請求項 2】

前記第 2 容量素子の容量値が、前記各画素回路間で略線形に変化していることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 3】

前記第 2 容量素子の他端は、前記第 1 容量素子が前記画像データを保持している期間中に、略一定の電位を維持している電位線に接続されていることを特徴とする請求項 1 ~ 2 のいずれか一つに記載の画像表示装置。

【請求項 4】

前記電位線は、前記閾値電圧検出素子の導通 / 非導通を制御する制御線であることを特徴とする請求項 3 に記載の画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機 EL ディスプレイ装置等の画像表示装置に関するものである。

【背景技術】

【0002】

従来から、発光層に注入された正孔と電子とが再結合することによって光を生じる機能を有する有機 EL (Electroluminescence) 素子を用いた画像表示装置が提案されている。

【0003】

この種の画像表示装置では、例えばアモルファスシリコンや多結晶シリコン等で形成された薄膜トランジスタ (Thin Film Transistor: 以下「TFT」という) や有機 EL 素子の一つである有機発光ダイオード (Organic Light Emitting Diode: 以下「OLED」という) などが各画素を構成しており、各画素がマトリックス状に配置されている。そして、各画素に適切な電流値が設定されることにより、各画素の輝度が制御され、所望の画像が表示される。

【0004】

【非特許文献 1】S. Ono, et al. (2003). Pixel Circuit for a-Si AM-OLED. Proceedings of IDW '03, pp. 255 - 258.

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、このような画像表示装置においては、各画素に電源電圧を供給する給電線は、複数の画素に対して共通に接続されている。かかる給電線内においては電圧降下が生ずるため、各画素への印加電位が前記電圧降下に応じて各画素ごとに変動することとなり、表示画像に輝度ムラが生ずることがある。例えば、マトリックス状に配列された各画素に下方向から所定の電圧を給電するような給電方式の場合には、下方に位置する画素よりも上方に位置する画素における有機 EL 素子への印加電圧が低下することになり、下方から上方に向かって輝度が低下するような輝度むらが視認される可能性があった。

【0006】

このような輝度むらを改善するために、例えば各画素までの給電線の長さを揃えたり、給電線の抵抗値を揃えたりするといった手法を採ることが考えられる。しかしながら、給電線の長さや抵抗値を調整する手法では、例えば発光輝度が低階調側の輝度むらを補償するように調整した場合には、高階調側の輝度むらを補償することができず、逆に、発光輝度が高階調側の輝度むらを補償するように調整した場合には、低階調側の輝度むらを補償することができないという問題点があった。つまり、この種の手法では、輝度むらの影響を抑制するための輝度補償を高階調側および低階調側の双方において、両立させて行うことができないという問題点があった。

10

20

30

40

50

【 0 0 0 7 】

本発明は、上記に鑑みてなされたものであって、給電線の電圧降下および発光輝度の階調に依存して発生する輝度むらの影響を抑制した輝度補償を行うことが可能な画像表示装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 8 】

上述した課題を解決し、目的を達成するため、本発明にかかる画像表示装置は、複数の画素回路と、前記各画素回路に対して電源電圧を共通に供給する電源線と、を有する画像表示装置において、前記各画素回路は、第1端子、第2端子、及び前記第1端子と第2端子との間の導通状態を制御する制御信号が供給される制御端子を有する駆動素子と、前記第1端子に接続されるとともに前記駆動素子により発光が制御される発光素子と、一端が前記駆動素子の制御端子に接続され、前記発光素子の発光輝度に応じた画像データを一時的に保持する第1容量素子と、一端が前記駆動素子の第1端子に接続される第2容量素子と、を備え、前記電源線に生じる電圧降下の大きさに応じて前記第2容量素子の容量値を前記画素回路ごとに異ならせることを特徴とする。

10

【 0 0 0 9 】

また、つぎの発明にかかる画像表示装置は、上記の発明において、前記電源線による電圧降下量が大きい前記画素回路ほど、前記第2容量素子の容量値が大きいことを特徴とする。

【 0 0 1 0 】

20

また、つぎの発明にかかる画像表示装置は、上記の発明において、前記第2容量素子の容量値が、前記各画素回路間で略線形に変化していることを特徴とする。

【 0 0 1 1 】

また、つぎの発明にかかる画像表示装置は、上記の発明において、前記第2容量素子の他端は、前記電源線に接続されていることを特徴とする。

【 0 0 1 2 】

また、つぎの発明にかかる画像表示装置は、上記の発明において、前記第2容量素子の他端は、前記第1容量素子が前記画像データ電位を保持している期間中に、略一定の電位を維持している電位線に接続されていることを特徴とする。

【 0 0 1 3 】

30

また、つぎの発明にかかる画像表示装置は、上記の発明において、前記電位線は、前記閾値電圧検出素子の導通／非導通を制御する制御線であることを特徴とする。

【 0 0 1 4 】

また、つぎの発明にかかる画像表示装置は、上記の発明において、前記各画素回路は、前記駆動素子における閾値電圧の検出を制御する閾値電圧検出素子を更に有することを特徴とする。

【発明の効果】

【 0 0 1 5 】

本発明にかかる画像表示装置によれば、電源線に生じる電圧降下の大きさに応じて付加容量の容量値を同一の電源線に接続される画素回路ごとに異ならせるようにしているので、電源線の電圧降下および発光輝度の階調に依存して発生する輝度むらの影響を抑制した輝度補償を行うことができるという効果を奏する。

40

【発明を実施するための最良の形態】

【 0 0 1 6 】

以下、本発明の好適な実施の形態にかかる画像表示装置を図面に基づいて詳細に説明する。なお、以下の実施の形態によって本発明が限定されるものではない。

【 0 0 1 7 】

< 画像表示装置の概略構成 >

図1は、本発明にかかる実施の形態の説明に好適な画像表示装置の概略構成を示す図である。図1において、画像表示装置の表示パネル5には、電源線10、T t h制御線11

50

、マージ線 1 2 および走査線 1 3 からなる各制御線および画像信号線 1 4 が配設されている。これらの各制御線は、表示パネル 5 に設けられたラインドライバ 2 0 に接続されている。一方、画像信号線 1 4 は、制御線と異なる方向に沿って配設されるとともに、表示パネル 5 に設けられたデータドライバ 2 2 に接続されている。なお、図 1 では図示を省略しているが、表示パネル 5 は、有機 E L 素子を具備し、マトリックス状に配列される複数の画素回路を有しており、これらの画素回路には各制御線および画像信号線 1 4 が接続されている。

【 0 0 1 8 】

ラインドライバ 2 0 は、例えばスイッチング素子などを内部に含む駆動用 I C などを用いて構成することができ、各制御線への印加電圧の大きさや印加するタイミングを制御する。また、データドライバ 2 2 は、演算回路などを内部に含む駆動用 I C などを用いて構成することができ、画像データに対応する電位（以下「画像データ電位」という）を生成するとともに、生成した画像データ電位を画像信号線 1 4 に供給するタイミングを制御する。なお、各制御線、画像信号線 1 4、ラインドライバ 2 0 およびデータドライバ 2 2 に関する図 1 のレイアウトは、その一例を示すものであり、これらのレイアウトに限られるものではない。

【 0 0 1 9 】

< 画素回路の構成 >

図 2 は、本発明の好適な実施の形態にかかる画像表示装置の 1 画素を構成する画素回路の構成例を示す図である。なお、図 1 と同一の構成部には同一の符号を付して示している。

【 0 0 2 0 】

図 2 に示すように、この画素回路は、有機発光素子 O L E D、駆動トランジスタ T d、閾値電圧検出用トランジスタ T t h、保持容量 C s、付加容量 C a d d、保持容量 C s と画像信号線 1 4 との電氣的接続を制御するスイッチングトランジスタ T s、および、電源線 1 0 と保持容量 C s との電氣的接続を制御するスイッチングトランジスタ T m を備えている。

【 0 0 2 1 】

図 2 において、駆動トランジスタ T d は、ゲート電極・ソース電極間に与えられる電位差に応じて有機発光素子 O L E D に流れる電流量を制御するための素子である。閾値電圧検出用トランジスタ T t h は、オン状態となったときに、駆動トランジスタ T d のゲート電極とドレイン電極とを電氣的に接続する。その結果、駆動トランジスタ T d のゲート電極・ソース電極間の電位差が駆動トランジスタ T d の閾値電圧 V t h となるまで駆動トランジスタ T d のゲート電極からドレイン電極に向かって電流が流れ、駆動トランジスタ T d のゲート電極・ソース電極間の電位差が閾値電圧 V t h に近づくこととなる。

【 0 0 2 2 】

有機発光素子 O L E D は、アノード層と、カソード層と、アノード層およびカソード層の間に介在され、有機材料からなる発光層とを少なくとも備えた構造を有している。アノード層およびカソード層の材料としては、A l または A l と N d との合金、その他の A l 合金、C u、I T O (I n d i u m T i n O x i d e)、M g, C a, A l, I Z O 等の金属材料が用いられ、例えば、アノード層として A l が、カソード層として M g および C a の積層体が用いられる。また、発光層の材料としては、フタルシアニン、トリスアルミニウム錯体、ベンゾキノリノラト、ベリリウム錯体等の有機材料が用いられる。このような有機発光素子 O L E D は、発光層に注入された正孔と電子とが再結合することによって光を生じる機能を有する。

【 0 0 2 3 】

駆動トランジスタ T d、閾値電圧検出用トランジスタ T t h、スイッチングトランジスタ T s およびスイッチングトランジスタ T m は、例えば、薄膜トランジスタ (T F T) により構成される。なお、各薄膜トランジスタのチャネル (N 型または P 型) については、N 型、P 型のいずれのタイプを用いてもよいが、本実施形態では N 型を用いる場合を一例

10

20

30

40

50

として示している。

【 0 0 2 4 】

また、電源線 1 0 は、駆動トランジスタ T_d およびスイッチングトランジスタ T_m に所定電圧を供給する。 T_{th} 制御線 1 1 は、閾値電圧検出用トランジスタ T_{th} を制御するための制御信号を供給する。マージ線 1 2 は、スイッチングトランジスタ T_m を制御するための制御信号を供給する。走査線 1 3 は、スイッチングトランジスタ T_s を制御するための制御信号を供給する。画像信号線 1 4 は、有機発光素子 $OLED$ の発光輝度に対応する画像信号を供給する。

【 0 0 2 5 】

保持容量 C_s は、画像信号線 1 4 から供給された画像データ電位を保持する容量素子であり、例えば、保持容量 C_s の一端はスイッチングトランジスタ T_s のドレイン電極（スイッチングトランジスタ T_m のドレイン電極でもある）に接続され、他端は駆動トランジスタ T_d のゲート電極（閾値電圧検出用トランジスタ T_{th} のソース電極でもある）に接続されている。また、付加容量 C_{add} は、前述した輝度むらの補償を行うための容量素子であり、例えば、付加容量 C_{add} の一端は有機発光素子 $OLED$ のカソード電極（駆動トランジスタ T_d のドレイン電極、閾値電圧検出用トランジスタ T_{th} のソース電極でもある）に接続され、他端は電源線 1 0（駆動トランジスタ T_d のソース電極でもある）に接続されている。

【 0 0 2 6 】

なお、図 2 では、有機発光素子 $OLED$ のアノード電極側をグラウンド線に、カソード電極側を電源線 1 0 にそれぞれ接続するようにしているが、有機発光素子 $OLED$ のアノード電極側を電源線 1 0 に、カソード電極側をグラウンド線にそれぞれ接続してもよいし、あるいは、有機発光素子 $OLED$ の両側に電源線を接続し、両電源線の電位を変動させてもよい。

【 0 0 2 7 】

< 画素回路群の構成 >

図 3 は、図 2 における画像表示装置において、複数の画素回路で構成される画素回路群を示す図である。なお、図 3 においては、閾値電圧検出用トランジスタ T_{th} 、スイッチングトランジスタ T_s 、有機発光素子 $OLED$ 自体が有する素子容量 C_{oled} 、および電源線 1 0 およびマージ線 1 2 を除く他の制御線などの回路要素の図示を省略している。

【 0 0 2 8 】

図 3 において、電源線 1 0 やマージ線 1 2 等の制御線は画素回路群に共通に接続されており、それぞれの各一端側がラインドライバ 2 0 に接続されている。そして、ラインドライバ 2 0 によって電源線 1 0 やマージ線 1 2 等の制御線に印加される電位が制御される。

【 0 0 2 9 】

なお、図 3 に示すように、各画素回路に配列される付加容量 C_{add} の容量値を、第 n 行では、 C_{add11} 、 $\dots$ 、 C_{add12} 、 $\dots$ 、 C_{add13} で表し、第 $(n+1)$ 行では、 C_{add21} 、 $\dots$ 、 C_{add22} 、 $\dots$ 、 C_{add23} で表すとする、これらの容量値間には、以下の関係がある。

【 0 0 3 0 】

$$\begin{aligned} C_{add11} &> C_{add12} > C_{add13} && \dots (1-1) \\ C_{add21} &> C_{add22} > C_{add23} && \dots (1-2) \end{aligned}$$

【 0 0 3 1 】

なお、各画素回路に配列される付加容量 C_{add} の各容量値を、共通の電源線 1 0 に接続される画素回路群ごとに上記 (1-1)、(1-2) 式のような関係を持たせて配列とすることの技術的意義については、後述する。

【 0 0 3 2 】

< 画素回路の動作 >

つぎに、図 2 に示す画素回路の動作について説明する。発光素子を有する画素回路にあつては、一般的に、準備期間、閾値電圧検出期間（以下「 V_{th} 検出期間」という）、書

10

20

30

40

50

き込み期間および発光期間という４つの期間を経て動作する。

【００３３】

まず、準備期間では、有機発光素子ＯＬＥＤ（より詳細には有機発光素子ＯＬＥＤ自身が有する素子容量Ｃoled）に所定の電荷が蓄積される。なお、この準備期間に有機発光素子ＯＬＥＤに電荷を蓄積する理由は、駆動トランジスタＴdのＶth検出時に、駆動トランジスタＴdのドレイン－ソース間の電流が零となるまで電流を供給するためである。

【００３４】

つぎに、Ｖth検出期間では、電源線１０の電位が略零電位に設定され、このときに生ずる駆動トランジスタＴdのゲート－ソース間電圧であるＶth（閾値電圧）が検出され、保持容量Ｃsに記憶／保持される。なお、保持容量ＣsにＶthを記憶／保持する動作は、準備期間に有機発光素子ＯＬＥＤに蓄積した電荷を利用して行われる。

【００３５】

さらに、書き込み期間では、Ｖth検出期間において検出されたＶthに画像データ電位に基づく画像信号電圧が重畳された所定電圧が保持容量Ｃsに記憶／保持される。

【００３６】

最後に、発光期間では、書き込み期間において、保持容量Ｃsに記憶／保持された所定電圧が駆動トランジスタＴdのゲート－ソース間に印加され、有機発光素子ＯＬＥＤが発光制御される。

【００３７】

<本発明にかかる課題解決手法>

つぎに、上述した本発明にかかる課題、すなわち「給電線の電圧降下および発光輝度の階調に依存して発生する輝度むらの補償を高階調側および低階調側の双方において両立させて行う」という本願課題の解決手法について説明する。

【００３８】

まず、有機発光素子ＯＬＥＤの発光時に、画素回路の駆動トランジスタＴdのゲート－ソース間に印加される電位差（以下「ゲート－ソース間電圧」という）は、次式のように表すことができる。

【００３９】

$$V_{gs} = \alpha \times V_{data} + \beta \times V_{th} + \gamma \quad \dots (2)$$

【００４０】

上記（２）式において、Ｖdataは画像データ電位であり、Ｖthは駆動トランジスタＴdの閾値電圧である。また、 α 、 β 、 γ は画素回路に固有の値であり、回路素子の容量値などによって決定される。特に、 α は、「書き込み効率」とも呼ばれている指標であり、例えば発光輝度が最高レベルのときと最低レベルのときの駆動トランジスタＴdに印加されるＶgsの電位差である「Ｖgs振り幅」（＝ ΔV_{gs} ）と、発光輝度が最高レベルのときと最低レベルのときとの画素信号線に供給される電位の差である「画素信号線振り幅」と、の比（＝ $\Delta V_{gs} / \Delta V_{data}$ ）で表すことができる。

【００４１】

上述したように、本実施の形態にかかる画素回路では、駆動トランジスタＴdに並列に接続される付加容量Ｃaddは、上記（１－１）式および（１－２）式を満たす関係を有している。その結果、同一の電源線に接続される画素回路に所定の画像データ電位が印加された場合、ラインドライバ２０を具備する側（以下「給電側」という）にある画素回路（例えば付加容量Ｃadd₁₃が接続される画素回路、以下単に「給電側の画素回路」という）の保持容量Ｃsへの書き込み電位（より正確な表現では、駆動トランジスタＴdのゲートに接続される全容量値に対する書き込み電位となる。以下単に「画素回路への書き込み電位」という）よりも、ラインドライバ２０を具備する側の反対側（以下「終端側」という）にある画素回路（例えば付加容量Ｃadd₁₁が接続される画素回路、以下単に「終端側の画素回路」という）への書き込み電位の方が大きくなる。このことは、給電側の画素回路における書き込み効率よりも、終端側の画素回路における書き込み効率の方が大き

10

20

30

40

50

いからである。

【 0 0 4 2 】

いま、高階調表示における画像データ電位を V_{data1} とし、終端側の画素回路における書き込み効率を α 、給電側の画素回路における書き込み効率を α' とする。このとき、終端側および給電側の各画素回路における駆動トランジスタ T_d のゲート - ソース間電圧 V_{gs} は、電源線 10 における電圧降下を考慮しない場合には、上記 (2) 式に基づいて、それぞれ次式で表すことができる。

【 0 0 4 3 】

$$V_{gs} = \alpha \times V_{data1} + \beta \times V_{th} + \gamma \quad \dots (3-1)$$

$$V_{gs}' = \alpha' \times V_{data1} + \beta \times V_{th} + \gamma \quad \dots (3-2)$$

10

【 0 0 4 4 】

つぎに、同一の電源線 10 に接続される各画素回路を同一の輝度で発光させることを考える。ここで、有機発光素子 $OLED$ の発光時において、給電側の画素回路に印加される V_{gs} を V_{gs_olb} 、終端側の画素回路に印加される V_{gs} を V_{gs_edge} 、各画素回路が所定の輝度で発光するために必要な電位を V_{gs_emit} で表すとすると、給電側および終端側の各画素回路では、次式を満足する必要がある。

【 0 0 4 5 】

$$V_{gs_olb} = V_{gs_edge} = V_{gs_emit} \quad \dots (4)$$

【 0 0 4 6 】

一方、上記 (4) 式の関係は、上記 (3 - 1) 式および (3 - 2) 式を用いると、次式のように表すことができる。

20

【 0 0 4 7 】

$$V_{gs_olb} = \alpha' \times V_{data1} + \beta \times V_{th} + \gamma \quad \dots (5-1)$$

$$V_{gs_emit} = \alpha \times V_{data1} + \beta \times V_{th} + \gamma - \Delta V_drop \quad \dots (5-2)$$

【 0 0 4 8 】

なお、上記 (5 - 2) 式における ΔV_drop は、給電側の画素回路と終端側の画素回路との間の電源線 10 に生ずる電圧降下の大きさを表している。また、上記 (5 - 1) 式および (5 - 2) 式において、 $V_{gs_olb} = V_{gs_emit}$ が成立するためには、次式の関係を満足する必要がある。

【 0 0 4 9 】

$$\Delta V_drop = \alpha \times V_{data1} - \alpha' \times V_{data1} \quad \dots (6)$$

30

【 0 0 5 0 】

上記 (6) 式における右辺は、終端側の画素回路への書き込み電位と、給電側の画素回路への書き込み電位との差であり、この電位差が給電線である電源線 10 における当該画素回路間の電圧降下量 ΔV_drop と一致する場合には、同一の電源線 10 に接続される各画素回路が同一の輝度で発光することになる。

【 0 0 5 1 】

上記の輝度補償の概念を示した図が、図 4 - 1 である。同図の左方側では、積層グラフの上部側から「 $\alpha \times V_{data1}$ 」、「 $\beta \times V_{th}$ 」、「 γ 」が表されている。すなわち、縦棒の長さは、電源線 10 における電圧降下を考慮しない場合の終端側の V_{gs} を表している。一方、同図の右方側では、積層グラフの上部側から「 $\alpha' \times V_{data1}$ 」、「 $\beta \times V_{th}$ 」、「 γ 」が表されている。すなわち、縦棒の長さは、電源線 10 における電圧降下をゼロとした場合の給電側の V_{gs} を表している。

40

【 0 0 5 2 】

また、同図の左方側において、積層グラフの上部にある「 $\alpha \times V_{data1}$ 」の一部をハッチングで示しているが、この部分は、上述した電源線 10 における電圧降下量「 ΔV_drop 」を表しており、上記 (6) 式の関係が成立している。また、上記 (6) 式の関係が成立することにより、上記 (4) 式の関係も成立している。

【 0 0 5 3 】

図 4 - 2 は、低階調表示の場合の輝度補償を説明する図である。低階調表示の場合には

50

、高階調表示における画像データ電位 V_{data1} よりも小さな画像データ電位 V_{data2} が書き込まれる。したがって、上記(6)式の右辺に相当する書き込み電位の差である、「 $\alpha \times V_{data2} - \alpha' \times V_{data2}$ 」(同図のハッチングの部分)は、高階調表示の場合よりも小さくなる。一方、低階調表示の場合には、電源線10に流れる電流も小さくなるので、当該画素回路間の電圧降下量「 $\Delta V_drop'$ 」も、高階調表示のときと比べて小さくなる。

【0054】

上記「 $\alpha \times V_{data2} - \alpha' \times V_{data2}$ 」および「 $\Delta V_drop'$ 」の双方とも、画像データ電位に比例するという特性を有している。したがって、低階調表示の場合においても、次式の関係が成立することになる。

【0055】

$$\Delta V_drop' = \alpha \times V_{data2} - \alpha' \times V_{data2} \quad \dots (7)$$

【0056】

このように、本実施の形態の画素回路では、電源線の電圧降下および発光輝度の階調に依存して発生する輝度むらの影響を抑制した輝度補償を行うことが可能となる。

【0057】

一方、図5-1および図5-2は、比較例として示す本実施の形態とは異なる手法を用いた輝度補償の概念を説明するための図であり、図5-1は高階調表示の場合、図5-2は低階調表示の場合を示している。

【0058】

図5-1および図5-2に示す手法(以下「比較例による手法」という)では、上記(2)式におけるオフセット項である y の値を可変するようにしている。なお、この y の値を可変するには、例えばスイッチングトランジスタ T_s の寄生容量を画素回路ごとに異なる値に設定するような手法が考えられる。

【0059】

上記(2)式におけるオフセット項を可変する場合、同一の電源線に接続される各画素回路を同一の輝度で発光させるためには、上記(4)式を満足させる必要がある。この場合、図5-1からも明らかなように、次式の関係を満足する。

【0060】

$$\Delta V_drop = \Delta V_offset \quad \dots (8)$$

【0061】

一方、低階調表示の場合には、低階調表示における画像データ電位 V_{data2} が書き込まれるが、画像データ電位の書き込み効率は、高階調表示の場合と低階調表示の場合とで同一であるため、書き込み電位の差は生じない。一方、低階調表示の場合には、電源線10に流れる電流が小さくなるため、当該画素回路間の電圧降下量「 $\Delta V_drop'$ 」は、高階調表示のときと比べて小さくなる。

【0062】

その結果、終端側の画素回路に印加される V_{gs_edge} および給電側の画素回路に印加される V_{gs_olb} は、次式で表される。

【0063】

$$V_{gs_edge} = \alpha \times V_{data2} + \beta \times V_{th} + y + \Delta V_offset - \Delta V_drop' \quad \dots (9-1)$$

【0064】

$$V_{gs_olb} = \alpha \times V_{data2} + \beta \times V_{th} + y \quad \dots (9-2)$$

【0065】

上記(8)式と、上記(9-1)式および(9-2)式とから、次式の関係が導かれる。

【0066】

$$V_{gs_edge} - V_{gs_olb} = \Delta V_offset - \Delta V_drop'$$

10

20

30

40

50

$$= \Delta V_{\text{drop}} - \Delta V_{\text{drop}}'$$

$$= \Delta V_{\text{dif}} \quad \dots (10)$$

【0067】

$$V_{gs_edge} > V_{gs_olb} \quad \dots (11)$$

【0068】

すなわち、比較例による手法を用いた場合、高階調表示の状態では輝度むらが生じないように調整すると、低階調表示のときに終端側で明るく、給電側で暗いという状態の輝度むらが生ずることになる。逆に、低階調表示の状態では輝度むらが生じないように調整すると、高階調表示のときに終端側で暗く、給電側で明るいという状態の輝度むらが生ずることになる。

10

【0069】

つぎに、本願手法と比較例による手法との原理的な差異点について説明する。まず、図2の画素回路を用いた場合、上記(2)式に相当する具体的な式は、次式のように表される。

【0070】

$$V_{gs} = (C_s + C_{gsT_{thon}}) \cdot V_{th} \\ + C_s \cdot (C_{oled} + C_{add}) / (C_{oled} + C_{add} + C_s + C_{gsT_{thon}}) \cdot V_{data} \\ + (-C_{gsT_{thon}} \cdot V_{gH} + C_{gsT_{thoff}} \cdot V_{gL} - C_s \cdot V_{dd}) / (C_s + C_{gsT_{thoff}}) \quad \dots (12)$$

【0071】

ここで、上記(12)式における各記号の意味は、次のとおりである。

20

C_{oled} : 有機発光素子OLEDの素子容量の容量値

C_{add} : 付加容量の容量値

C_s : 保持容量の容量値

$C_{gsT_{thon}}$: 閾値電圧検出用トランジスタ T_{th} オン時のゲート - ソース間の寄生容量値

$C_{gsT_{thoff}}$: 閾値電圧検出用トランジスタ T_{th} オフ時のゲート - ソース間の寄生容量値

V_{gH} : 閾値電圧検出用トランジスタ T_{th} オン時のゲート印加電位

V_{gL} : 閾値電圧検出用トランジスタ T_{th} オフ時のゲート印加電位

$-V_{dd}$: 有機発光素子OLED発光時における電源線10の印加電位

30

なお、閾値電圧検出用トランジスタ T_{th} のゲート - ドレイン間の寄生容量値ならびにスイッチングトランジスタ T_s 、 T_m および駆動トランジスタ T_d の各寄生容量値については、その影響も小さいため、上式での表記は省略している。

【0072】

ここで、上記(2)式と、上記(12)式とを比較することにより、(2)式に対応する α 、 β 、 γ を導出することができ、次式のように表すことができる。

【0073】

$$\alpha = C_s \cdot (C_{oled} + C_{add}) / \{(C_{oled} + C_{add} + C_s + C_{gsT_{thon}}) \cdot (C_s + C_{gsT_{thoff}})\} \quad \dots (13)$$

$$\beta = (C_s + C_{gsT_{thon}}) / (C_s + C_{gsT_{thoff}}) \quad \dots (14)$$

$$\gamma = (-C_{gsT_{thon}} \cdot V_{gH} + C_{gsT_{thoff}} \cdot V_{gL} - C_s \cdot V_{dd}) / (C_s + C_{gsT_{thoff}}) \quad \dots (15)$$

40

【0074】

ここで、付加容量 C_{add} に着目すると、この C_{add} は、(13)式にしか含まれていないことが分かる。つまり、付加容量 C_{add} は、(2)式における α のみを変更することができるパラメータであることが分かる。本願手法が、付加容量 C_{add} を可変した画素回路を用いているのも、付加容量 C_{add} が、 α のみに依存し、他の β および γ には影響されないという性質を利用しているからである。

【0075】

つぎに、閾値電圧検出用トランジスタ T_{th} の寄生容量値 $C_{gsT_{thon}}$ または $C_{gsT_{thoff}}$ (以下両者を総称する場合には「 $C_{gsT_{th}}$ 」という)に着目すると、この $C_{gsT_{th}}$ は、(13)～(15)式の全てに含まれていることが分かる。つまり、

50

寄生容量 C_{gsTth} は、(2) 式における α のみを変更することができるパラメータではないため、画像表示装置に生ずる輝度むらの補償を高階調表示および低階調表示の双方において同時に補償することができない。

【0076】

また、上記 2 つのパラメータの他にも、例えば保持容量 C_s が考えられる。保持容量 C_s に着目すると、この C_s も、(13) ~ (15) 式の全てに含まれていることが分かる。つまり、保持容量 C_s についても、寄生容量 C_{gsTth} と同様に、(2) 式における α のみを変更することができるパラメータではない。このため、画像表示装置に生ずる輝度むらの補償を高階調表示および低階調表示の双方において同時に補償することができない。

10

【0077】

< 他の画素回路の例 (回路例 1) >

図 6 は、図 2 とは異なる画素回路の構成例を示す図である。図 6 に示す画素回路は、図 2 に示す画素回路とは異なり、駆動トランジスタ T_d を含めた 2 個のトランジスタを用いて構成するとともに、画像信号線 14 をスイッチングトランジスタ T_s を介さずに保持容量 C_s と直接接続させ、また第 1 電源線 35 および第 2 電源線 36 の 2 つの電源線を用いて、有機発光素子 $OLED$ および駆動トランジスタ T_d を制御している。

【0078】

図 6 の画素回路を用いた場合の上記 (2) 式に相当する具体的な式は、次式のように表される。

20

【0079】

$$V_{gs} = \{ (C_s + C_{gsTson}) / (C_s + C_{gsTsoff}) \} \cdot V_{th} \\ + \{ C_s \cdot (C_{oled} + C_{add}) \} / \{ (C_{oled} + C_{add} + C_s + C_{gsTson}) \cdot (C_s + C_{gsTsoff}) \} \cdot V_{data} \\ + (-C_{gsTson} \cdot V_{gH} + C_{gsTsoff} \cdot V_{gL}) / (C_s + C_{gsTsoff}) \quad \dots (16)$$

【0080】

ここで、上記 (16) 式における各記号の意味は、次のとおりである。

C_{oled} : 有機発光素子 $OLED$ の素子容量の容量値

C_{add} : 付加容量の容量値

C_s : 保持容量の容量値

C_{gsTson} : 閾値電圧検出用トランジスタ T_{th} オン時のゲート - ソース間の寄生容量値

30

$C_{gsTsoff}$: 閾値電圧検出用トランジスタ T_{th} オフ時のゲート - ソース間の寄生容量値

V_{gH} : 閾値電圧検出用トランジスタ T_{th} オン時のゲート印加電位

V_{gL} : 閾値電圧検出用トランジスタ T_{th} オフ時のゲート印加電位

なお、閾値電圧検出用トランジスタ T_s のゲート - ドレイン間の寄生容量値および駆動トランジスタ T_d の寄生容量値については、その影響も小さいため、上式での表記は省略している。

【0081】

図 2 の画素回路のときと同様に、上記 (2) 式と、上記 (16) 式とを比較することにより、(2) 式に対応する α 、 β 、 γ を算出すると、次式のように表すことができる。

40

【0082】

$$\alpha = C_s \cdot (C_{oled} + C_{add}) / \{ (C_{oled} + C_{add} + C_s + C_{gsTson}) \cdot (C_s + C_{gsTsoff}) \} \quad \dots (17)$$

$$\beta = (C_s + C_{gsTson}) / (C_s + C_{gsTsoff}) \quad \dots (18)$$

$$\gamma = (-C_{gsTson} \cdot V_{gH} + C_{gsTsoff} \cdot V_{gL}) / (C_s + C_{gsTsoff}) \quad \dots (19)$$

【0083】

ここで、(17) ~ (19) 式から明らかなように、付加容量 C_{add} は、(17) 式にのみ含まれており、(2) 式における α のみを変更することができる。したがって、上述した本願手法を、図 6 に示す画素回路に対しても適用することができる。

【0084】

50

一方、閾値電圧検出用トランジスタ T_{th} の寄生容量値 $C_{gsT_{son}}$ および $C_{gsT_{soff}}$ は、(17)～(19)式の全てに含まれている。このため、閾値電圧検出用トランジスタ T_s の寄生容量値では、画像表示装置に生ずる輝度むらの補償を高階調表示および低階調表示の双方において同時に補償することができない。

【0085】

また、保持容量 C_s も、(17)～(19)式の全てに含まれている。このため、保持容量 C_s でも、画像表示装置に生ずる輝度むらの補償を高階調表示および低階調表示の双方において同時に補償することができない。

【0086】

<他の画素回路の例(回路例2)>

10

図7は、図2および図6とは異なる画素回路の構成例を示す図である。図7に示す画素回路は、図2に示す画素回路と同様に、駆動トランジスタ T_d を含めた4個のトランジスタを用いて構成しているが、駆動トランジスタ T_d のソース側に有機発光素子OLEDのアノードを接続する構成が採用されている。

【0087】

図7の回路についても、図6の画素回路のときと同様に、上記(2)式に相当する具体的な式を示すとすると、次式のように表される。

【0088】

$$\begin{aligned} V_{gs} = & C_s / (C_s + C_{gsT_{roff}}) \cdot V_{th} \\ & + C_s \cdot (C_{oled} + C_{add}) / (C_{oled} + C_{add} + C_s) \cdot (C_s + C_{gsT_{roff}}) \cdot V_{data} \\ & + C_s \cdot (-V_{dd} + V_{oled}) / (C_s + C_{gsT_{roff}}) \end{aligned} \quad \dots (20)$$

20

【0089】

ここで、上記(20)式における各記号の意味は、次のとおりである。

C_{oled} : 有機発光素子OLEDの素子容量の容量値

C_{add} : 付加容量の容量値

C_s : 保持容量の容量値

$C_{gsT_{ron}}$: 閾値電圧検出用トランジスタ T_r オン時のゲート - ソース間の寄生容量値

$C_{gsT_{roff}}$: 閾値電圧検出用トランジスタ T_r オフ時のゲート - ソース間の寄生容量値

30

V_{gH} : 閾値電圧検出用トランジスタ T_r オン時のゲート印加電位

V_{gL} : 閾値電圧検出用トランジスタ T_r オフ時のゲート印加電位

なお、閾値電圧検出用トランジスタ T_r のゲート - ドレイン間の寄生容量値ならびにスイッチングトランジスタ T_s 、 T_m および駆動トランジスタ T_d の各寄生容量値については、その影響も小さいため、上式での表記は省略している。

【0090】

図2、図6の画素回路のときと同様に、上記(2)式と、上記(20)式とを比較することにより、(2)式に対応する α 、 β 、 γ を算出すると、次式のように表すことができる。

【0091】

$$\begin{aligned} \alpha = & C_s \cdot (C_{oled} + C_{add}) / \{ (C_{oled} + C_{add} + C_s) \cdot (C_s + C_{gsT_{roff}}) \} \quad \dots (21) \\ \beta = & C_s / (C_s + C_{gsT_{roff}}) \quad \dots (22) \\ \gamma = & C_s \cdot (-V_{dd} + V_{oled}) / (C_s + C_{gsT_{roff}}) \quad \dots (23) \end{aligned}$$

40

【0092】

ここで、(21)～(23)式から明らかなように、付加容量 C_{add} は、(21)式にのみ含まれており、(2)式における α のみを変更することができる。したがって、上述した本願手法を、図7に示す画素回路に対しても適用することができる。

【0093】

一方、閾値電圧検出用トランジスタ T_r の寄生容量値 $C_{gsT_{ron}}$ および $C_{gsT_{roff}}$ は、(21)～(23)式の全てに含まれている。このため、閾値電圧検出用トラ

50

ンジスタ T_r の寄生容量値では、画像表示装置に生ずる輝度むらの補償を高階調表示および低階調表示の双方において同時に補償することができない。

【 0 0 9 4 】

また、保持容量 C_s も、(2 1) ~ (2 3) 式の全てに含まれている。このため、保持容量 C_s でも、画像表示装置に生ずる輝度むらの補償を高階調表示および低階調表示の双方において同時に補償することができない。

【 0 0 9 5 】

< 付加容量 C_{add} の実装手法 >

つぎに、上述した画像表示装置の各画素回路群における付加容量 C_{add} の実装手法について説明する。

【 0 0 9 6 】

(1) まず、シミュレーション若しくは計算により、表示パネル 5 内での電圧降下量 ΔV_{ss} を求める (ステップ 1) 。

なお、ここでは、便宜上、電圧降下量 ΔV_{ss} を “ 1 V ” と仮定する。

(2) つぎに、付加容量 C_{add} が最小になる給電側の画素回路 (ラインドライバ 2 0 に最も近い画素回路) の書き込み効率 η_{olb} を計算する (ステップ 2) 。

なお、ここでは、書き込み効率 η_{olb} を “ 0 . 6 ” に設定する。

(3) つぎに、付加容量 C_{add} が最大になる終端側の画素回路 (ラインドライバ 2 0 に最も遠い画素回路) の書き込み効率 η_{edg} を計算する (ステップ 3) 。

例えば、画素信号線振り幅 (ΔV_{data}) を “ 1 0 V ” とする。一方、電圧降下量 $\Delta V_{ss} = 1 V$ に設定されているので、書き込み効率によって補うべきゲート電位も “ 1 V ” である。したがって、終端側の画素回路における書き込み効率 η_{edg} は、

$$\begin{aligned}\eta_{edg} &= \eta_{olb} + (\Delta V_{ss} / \Delta V_{data}) \\ &= 0 . 6 + (1 / 1 0) \\ &= 0 . 7\end{aligned}$$

となる。

ステップ 2 およびステップ 3 により、給電側の書き込み効率 η_{olb} と終端側の書き込み効率 η_{edg} とが設定された。

(4) つぎに、給電側および終端側の画素回路における各付加容量を決定する (ステップ 4) 。

具体的には、上記 (1 3) 式で示される α を用いて成立する次式に基づいて、付加容量 C_{add} を決定すればよい。

$$\begin{aligned}\eta_{olb} &= C_s \cdot (C_{oled} + C_{add}) / \{ (C_{oled} + C_{add} + C_s + C_{gsTthn}) \cdot (C_s + C_{gsTthoff}) \} = 0.6 \\ \eta_{edg} &= C_s \cdot (C_{oled} + C_{add}) / \{ (C_{oled} + C_{add} + C_s + C_{gsTthn}) \cdot (C_s + C_{gsTthoff}) \} = 0.7\end{aligned}$$

なお、電圧降下の影響は、基本的に $\Delta V = I \times R_d \times L / W$ (ただし、 R_d : 配線のシート抵抗、 L : 配線長、 W : 配線の太さ) の式で表されるため、 R_d 、 W は各画素回路群において一定であると仮定すれば、付加容量 C_{add} の面積を調整することにより付加容量 C_{add} の容量値を決定することができる。

(5) 最後に、給電側の画素回路から終端側の画素回路の間の付加容量 C_{add} の容量値を決定する (ステップ 5) 。

上述のように、電圧降下量 ΔV は、ラインドライバ 2 0 からの距離 L の増加に伴って線段階的に増加するので、容量値の決定に際しては、給電側の画素回路から終端側の画素回路までの書き込み効率が $\eta_{olb} \sim \eta_{edg}$ まで、線形若しくは略線形に変化するように付加容量 C_{add} の面積を変化させればよい。

例えば、1 ラインごとに増やすべき付加容量 C_{add} の容量値を ΔC_{add} とし、表示パネルのライン数を “ 3 2 0 ライン ($QVGA$) ” と仮定すれば、

$\Delta C_{add} = (C_{add_edg} - C_{add_olb}) / \text{表示パネルのライン数}$ で求めることができる。

【 0 0 9 7 】

以上説明したように、本実施の形態にかかる画像表示装置によれば、電源線に生じる電

10

20

30

40

50

圧降下の大きさに応じて付加容量の容量値を同一の電源線に接続される画素回路ごとに異ならせるようにしているので、電源線の電圧降下および発光輝度の階調に依存して発生する輝度むらの影響を抑制した輝度補償を行うことが可能となる。

【0098】

なお、本実施の形態では、上述した種々の画素回路を含め、付加容量 C_{add} を駆動トランジスタ T_d の両端に接続する接続形態、すなわち、付加容量 C_{add} の一端を有機発光素子 $OLED$ と駆動トランジスタ T_d との接続端に接続するとともに、その他端を駆動トランジスタ T_d を駆動する電源線（図6の形態では第2電源線）に接続するようにしているが、この接続形態に限定されるものではない。

【0099】

例えば、図2に示す画素回路において、 T_{th} 制御線11は、電源線10と同様に、 V_{th} 検出期間および書き込み期間を通じて電位変動のない制御線である。したがって、付加容量 C_{add} の他端を、電源線10に代えて T_{th} 制御線11に接続することも可能である。

【0100】

また、例えば、図6に示す画素回路では、付加容量 C_{add} の他端を、 V_{th} 検出期間および書き込み期間を通じて電位変動のない第1電源線35に接続することも可能である。また、図7に示す画素回路では、付加容量 C_{add} の他端を、 V_{th} 検出期間および書き込み期間を通じて電位変動のないリセット線45に接続することも可能である。すなわち、付加容量 C_{add} の他端は、保持容量 C_s が画像データの電位を保持している期間中に、一定の電位を維持している各種の電位線に接続されていればよい。

【0101】

また、本実施の形態では、図2、図6および図7に示したように、駆動トランジスタの閾値電圧を検出する閾値電圧検出用トランジスタを有する画素回路についての説明を行ってきたが、本実施の形態の手法は、閾値電圧検出用トランジスタ T_{th} を有さない画素回路への適用も可能である。

【産業上の利用可能性】

【0102】

以上のように、本発明にかかる画像表示装置は、給電線の電圧降下および発光輝度の階調に依存して発生する輝度むらの影響を抑制した輝度補償を行うことができる発明として有用である。

【図面の簡単な説明】

【0103】

【図1】本発明にかかる実施の形態の説明に好適な画像表示装置の概略構成を示す図である。

【図2】本発明の好適な実施の形態にかかる画像表示装置の1画素を構成する画素回路の構成例を示す図である。

【図3】図2における画像表示装置において、複数の画素回路で構成される画素回路群を示す図である。

【図4-1】本実施の形態にかかる輝度補償の概念（高階調表示の場合）を説明するための図である。

【図4-2】本実施の形態にかかる輝度補償の概念（低階調表示の場合）を説明するための図である。

【図5-1】比較例として示す本実施の形態とは異なる手法を用いた輝度補償の概念（高階調表示の場合）を説明するための図である。

【図5-2】図5-1に示す手法を用いた輝度補償の概念（低階調表示の場合）を説明するための図である。

【図6】図2とは異なる画素回路の構成例を示す図である。

【図7】図2および図6とは異なる画素回路の構成例を示す図である。

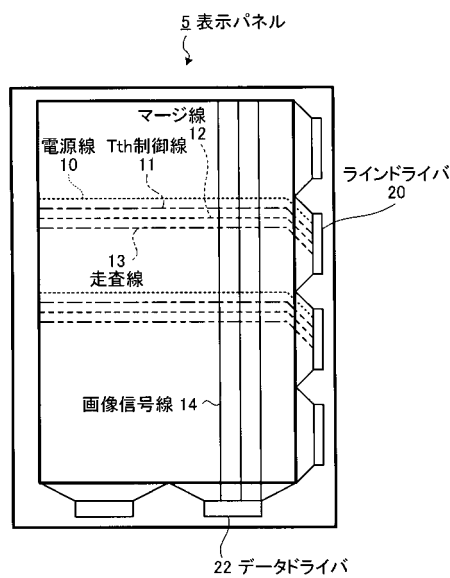
【符号の説明】

【 0 1 0 4 】

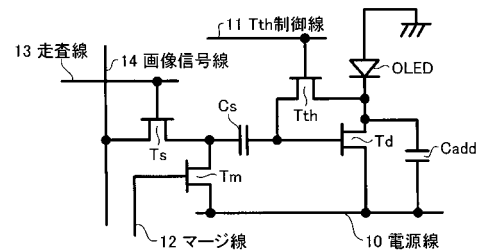
5 表示パネル
 10 電源線
 11 T t h 制御線
 12 マージ線
 13 走査線
 14 画像信号線
 20 ラインドライバ
 22 データドライバ
 35 第1電源線
 36 第2電源線
 45 リセット線
 C a d d 付加容量
 C o l e d 素子容量
 C s 保持容量
 O L E D 有機発光素子
 T d 駆動トランジスタ
 T m , T s スイッチングトランジスタ
 T r , T t h 閾値電圧検出用トランジスタ

10

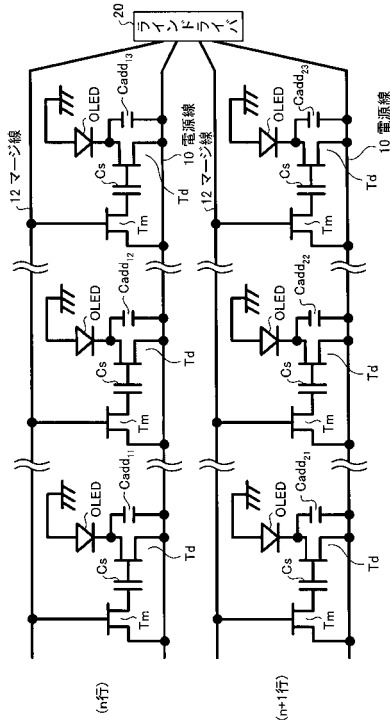
【 図 1 】



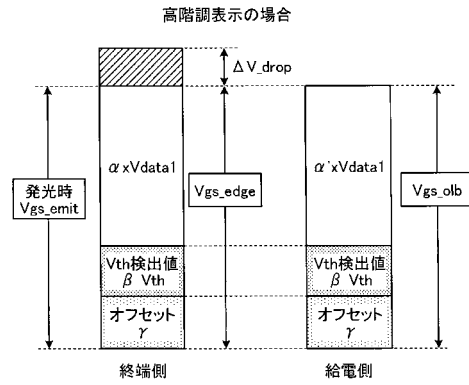
【 図 2 】



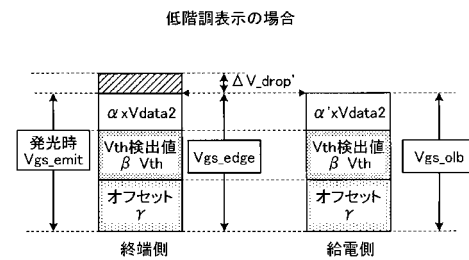
【図 3】



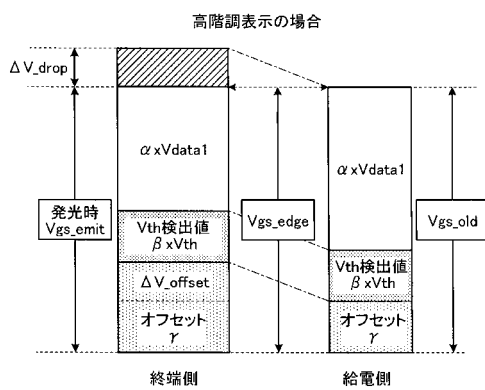
【図 4 - 1】



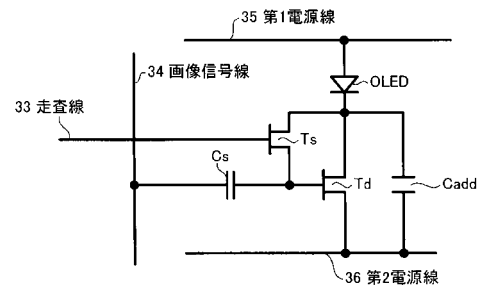
【図 4 - 2】



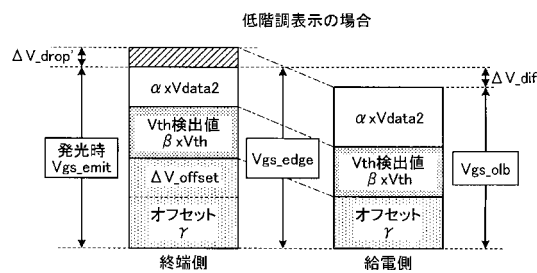
【図 5 - 1】



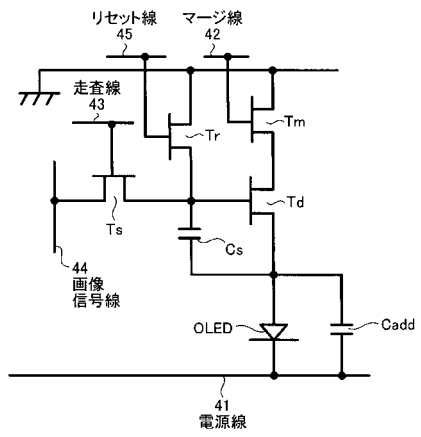
【図 6】



【図 5 - 2】



【図 7】



 フロントページの続き

(51)Int.Cl. F I
 G 0 9 G 3/20 6 1 1 H
 H 0 5 B 33/14 A

(74)代理人 100106183
 弁理士 吉澤 弘司

(74)代理人 100160967
 弁理士 ▲濱▼口 岳久

(72)発明者 戎野 浩平
 神奈川県大和市下鶴間 1 6 2 3 - 1 4 株式会社京セラディスプレイ研究所内

(72)発明者 高杉 親知
 神奈川県大和市下鶴間 1 6 2 3 - 1 4 株式会社京セラディスプレイ研究所内

審査官 山崎 仁之

(56)参考文献 特開 2 0 0 6 - 3 0 1 1 5 9 (J P , A)
 特開 2 0 0 4 - 3 4 1 2 6 7 (J P , A)
 特開 2 0 0 9 - 0 0 8 8 7 3 (J P , A)
 国際公開第 2 0 0 7 / 0 6 3 6 6 2 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)
 G 0 9 G 3 / 3 0
 G 0 9 F 9 / 3 0
 G 0 9 G 3 / 2 0
 H 0 1 L 2 7 / 3 2
 H 0 1 L 5 1 / 5 0

专利名称(译)	画像表示装置		
公开(公告)号	JP5334387B2	公开(公告)日	2013-11-06
申请号	JP2007197770	申请日	2007-07-30
[标]申请(专利权)人(译)	京瓷株式会社		
申请(专利权)人(译)	京瓷株式会社		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	戎野浩平 高杉親知		
发明人	戎野 浩平 高杉 親知		
IPC分类号	G09G3/30 G09F9/30 H01L27/32 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09F9/30.365.Z G09F9/30.338 G09G3/20.642.A G09G3/20.624.B G09G3/20.611.H H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C094/AA03 5C094/AA04 5C094/AA21 5C094/AA53 5C094/BA03 5C094/BA27 5C094/DB04 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB23 5C380/BA19 5C380/BB05 5C380/CA12 5C380/CB01 5C380/CC02 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC35 5C380/CC37 5C380/CC39 5C380/CC41 5C380/CC62 5C380/CC64 5C380/CD022 5C380/CD024 5C380/DA02 5C380/DA06 5C380/DA47 5C380/HA03 5C380/HA08		
代理人(译)	臼井伸一 吉澤博 ▲濱▼口 岳久		
其他公开文献	JP2009031668A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在图像显示装置中进行亮度补偿，其中抑制了由于电源线的电压降和发光亮度的等级而产生的不规则亮度的影响。

ΣSOLUTION：多个像素电路包括：有机发光元件OLED，其被激励以发光；驱动晶体管Td，具有漏电极，源电极和栅电极，用于控制漏电极和源电极之间的激励状态的控制信号被提供给驱动晶体管Td，并且控制由连接的有机发光元件OLED的发光基于控制信号到漏电极；保持电容器Cs被配置为使得其一端连接到驱动晶体管Td的栅极，并且根据有机发光元件OLED的发光亮度暂时保持图像数据电位；另外，电容器Cadd的一端与驱动晶体管Td的漏极连接。根据电源线中引起的电压降的电平，使每个像素电路的附加电容器Cadd的电容值不同。 ǃ

図 1 ǃ

