

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4700914号
(P4700914)

(45) 発行日 平成23年6月15日(2011.6.15)

(24) 登録日 平成23年3月11日(2011.3.11)

(51) Int.Cl.

F I

H05B 33/22 (2006.01)

H05B 33/22 Z

G09F 9/30 (2006.01)

G09F 9/30 338

H01L 27/32 (2006.01)

G09F 9/30 365Z

H01L 29/786 (2006.01)

H01L 29/78 612C

H01L 23/52 (2006.01)

H01L 21/88 Z

請求項の数 15 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2003-577336 (P2003-577336)
 (86) (22) 出願日 平成15年2月21日(2003.2.21)
 (65) 公表番号 特表2005-521204 (P2005-521204A)
 (43) 公表日 平成17年7月14日(2005.7.14)
 (86) 国際出願番号 PCT/IB2003/000670
 (87) 国際公開番号 W02003/079440
 (87) 国際公開日 平成15年9月25日(2003.9.25)
 審査請求日 平成18年2月17日(2006.2.17)
 (31) 優先権主張番号 0206551.4
 (32) 優先日 平成14年3月20日(2002.3.20)
 (33) 優先権主張国 英国 (GB)
 (31) 優先権主張番号 0209559.4
 (32) 優先日 平成14年4月26日(2002.4.26)
 (33) 優先権主張国 英国 (GB)

(73) 特許権者 590000248
 コーニンクレッカ フィリップス エレク
 トロニクス エヌ ヴィ
 オランダ国 5621 ベーアー アイン
 ドーフェン フルーネヴァウツウェッハ
 1
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (72) 発明者 フィッシュ、デイヴィッド エイ
 オランダ国、5656 アーアー アイン
 ドーフェン、プロフ・ホルストラーン 6
 最終頁に続く

(54) 【発明の名称】 アクティブマトリクスエレクトロルミネッセンス表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

画素のアレイが該アレイの少なくとも1つの方向において複数の隣接画素の少なくとも一部の間で物理的障壁を伴って存在する、回路基板を有する、アクティブマトリクスエレクトロルミネッセンス表示装置であって：

各々の画素はエレクトロルミネッセンス素子を有し；

前記回路基板は、横アドレスライン及び信号ラインを介してアドレッシングする画素を備えているマトリクスアドレス回路を有し；

前記物理的障壁は、前記回路基板に比べて高い高さで前記信号ラインの少なくとも一部を備え、前記回路基板上の中間絶縁層におけるコンタクト窓を介して前記回路基板の前記マトリクスアドレス回路と接続されている導電性材料を有し；

前記導電性障壁材料は、前記エレクトロルミネッセンス素子に隣接する前記物理的障壁の少なくとも側部において絶縁され；

前記回路基板における導体層は、前記信号ラインと前記回路基板の前記マトリクスアドレス回路との間の容量間ガードラインとして前記信号ラインの前記導電性障壁材料の下方に延びている；

___アクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 2】

請求項 1 に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記導電性障壁材料は、前記信号ラインに沿っての各々の画素の個々のコンタクト窓を介

して前記回路基板の前記マトリクスアドレス回路に接続されている、アクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 3】

請求項 1 に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、電圧バッファは前記信号ラインと前記ガードラインとの間で接続されている、アクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記物理的障壁は、前記信号ラインの前記導電性障壁材料を備え且つ前記基板におけるそれぞれの回路素子を介して前記画素に接続されている金属コーティングを有する、アクティブマトリクスエレクトロルミネッセンス表示装置。

10

【請求項 5】

請求項 4 に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記物理的障壁は、前記中間絶縁層の前記コンタクト窓において前記マトリクスアドレス回路についての電極接続との接続のためにビアが貫通して延びている絶縁性材料を主体とし、前記金属コーティングは前記物理的障壁を貫く前記ビア内に及び前記物理的障壁の上部に広がっている、アクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 6】

請求項 4 に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記エレクトロルミネッセンス素子に隣接する絶縁体として前記金属コーティングの少なくとも側部において絶縁性コーティングを有する、アクティブマトリクスエレクトロルミネッセンス表示装置。

20

【請求項 7】

請求項 1 乃至 3 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記物理的障壁は前記信号ラインの前記導電性障壁材料を備える金属コアを有し、該金属コアは、前記基板におけるそれぞれの回路素子を介して前記画素に接続され、少なくとも前記基板の側部に絶縁性コーティングを有する、アクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 8】

請求項 7 に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、金属コーティングが前記金属コアの側部及び上部における前記絶縁性コーティング上にある、アクティブマトリクスエレクトロルミネッセンス表示装置。

30

【請求項 9】

請求項 1 乃至 8 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、追加障壁は、前記横アドレスラインに対して平行に延び、前記信号ラインの前記導電性障壁材料により絶縁されている追加導電性障壁材料を有し、前記追加導電性障壁材料は、前記横アドレスラインに沿った電圧降下を低減するように前記基板における前記横アドレスラインの一部にコンタクト窓を介して接続される、アクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 10】

40

請求項 1 乃至 9 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記エレクトロルミネッセンス素子は有機半導体材料の発光ダイオードである、アクティブマトリクスエレクトロルミネッセンス表示装置。

【請求項 11】

請求項 1 乃至 10 のいずれか一項に記載のアクティブマトリクスエレクトロルミネッセンス表示装置の製造方法であって：

(a) 前記回路基板における前記マトリクスアドレス回路についての電極接続を露出するように前記回路基板において前記中間絶縁性層にコンタクト窓を開ける段階；

(b) 画素領域に隣接する前記物理的障壁の少なくとも側部において絶縁体を有する前記回路基板上に前記物理的障壁を形成する段階；及び

50

(c) 前記物理的障壁間の前記画素領域において前記エレクトロルミネッセンス素子を備える段階；

を有するアクティブマトリクスエレクトロルミネッセンス表示装置の製造方法であり、前記回路基板より高い高さで前記信号ラインの少なくとも一部を備えるように前記物理的障壁の一部として導電性材料が堆積され、該導電性材料は、前記中間絶縁層の前記コンタクト窓を介して前記マトリクスアドレス回路についての前記電極接続と接続されている；

__アクティブマトリクスエレクトロルミネッセンス表示装置の製造方法。

【請求項 1 2】

請求項 1 1 に記載のアクティブマトリクスエレクトロルミネッセンス表示装置の製造方法であって、前記段階 (b) は、前記導電性材料を主体とする前記物理的障壁を形成する手順を有し、この導電性障壁材料の少なくとも側部において絶縁性コーティングが堆積される、__アクティブマトリクスエレクトロルミネッセンス表示装置の製造方法。

10

【請求項 1 3】

請求項 1 2 に記載のアクティブマトリクスエレクトロルミネッセンス表示装置の製造方法であって、前記導電性障壁材料の少なくともバルクはメッキ法により堆積される、__アクティブマトリクスエレクトロルミネッセンス表示装置の製造方法。

【請求項 1 4】

請求項 1 2 に記載のアクティブマトリクスエレクトロルミネッセンス表示装置の製造方法であって、前記導電性障壁材料はアルミニウムを有し、前記絶縁性コーティングは陽酸化法により前記アルミニウムの障壁材料の少なくとも側部において形成される、__アクティブマトリクスエレクトロルミネッセンス表示装置の製造方法。

20

【請求項 1 5】

請求項 1 1 に記載のアクティブマトリクスエレクトロルミネッセンス表示装置の製造方法であって、前記段階 (b) は、前記中間絶縁層のコンタクト窓において前記マトリクスアドレス回路のための前記電極接続との接続のためにビアが貫通して延びている絶縁性材料を主体とする前記物理的障壁を形成する手順を有し、前記信号ラインの前記電氣的導電性材料は、前記物理的障壁を貫通するビアに及び前記物理的障壁の上部における導電性コーティングとして堆積される、__アクティブマトリクスエレクトロルミネッセンス表示装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、エレクトロルミネッセンス表示装置に関し、特に、半導体性共役系高分子又は他の有機半導体材料の発光ダイオードを用いることに限らないエレクトロルミネッセンス表示装置に関する。本発明は又、そのような装置の製造方法に関する。

【背景技術】

【0002】

そのようなアクティブマトリクスエレクトロルミネッセンス表示装置は既知であり、その表示装置は、回路基板において存在する画素アレイを有し、各々の画素はエレクトロルミネッセンス素子であって、代表的には、有機半導体材料を有する。エレクトロルミネッセンス素子は、基板における回路構成であって、例えば、アドレス (行) ラインと信号 (列) ラインとを有するマトリクスアドレス回路構成及び供給ラインを有する駆動回路構成に接続される。これらのラインは、一般に、基板内の薄膜導体層により構成される。回路基板は又、各々の画素のためのアドレス素子及び駆動素子 (代表的には、薄膜トランジスタであって、以下、“TFT”と表す) を有する。

40

【0003】

多くのそのようなアレイにおいては、絶縁材料の物理的障壁がアレイの少なくとも 1 つの方向における隣接画素間に存在する。そのような障壁の例は、英国特許出願公開大 2 3 4 7 0 1 7 号明細書、国際公開第 1 - 9 9 / 4 3 0 3 1 号パンフレット、欧州特許出願公

50

開第 0 8 9 5 2 1 9 号明細書、欧州特許出願公開第 1 0 9 6 5 6 8 号明細書及び欧州特許出願公開第 1 1 0 2 3 1 7 号明細書において提供されており、ここでは、それらの内容全てをもって参照文献として援用する。

【 0 0 0 4 】

そのような障壁は、一部では、例えば、“壁”、“仕切り”、“バンク”、“リブ”、“分離帯”又は“ダム”の用語が用いられている。引用文献から理解されるように、幾つかの役割を果たしている。それらは、エレクトロルミネッセンス層並びに／若しくは個々の画素及び／又は画素の列の電極層を規定するために、製造において用いられることが可能である。このようにして、例えば、障壁は、単色表示のためにスピンコートされるか又はカラー表示の赤色、緑色及び青色画素のためにインクジェットプリントを施されることが可能である共役系高分子材料の画素オーバーフローを回避する。製造される装置における障壁は、画素の明確化された光学的分離を提供することができる。障壁は又、エレクトロルミネッセンス素子の共通の上部電極の電気抵抗を減少（それ故、電圧降下）させるための補助配線としての導電材料（エレクトロルミネッセンス素子の上部電極材料等）を支持又はその材料から成ることが可能である。

10

【 0 0 0 5 】

切り換え型カレントミラー画素回路を有するアクティブマトリクスエレクトロルミネッセンス表示装置は、非常に良好な画像品質を達成することが可能である。そのような表示装置は、米国特許出願公開第 2 0 0 1 / 0 0 5 2 6 0 6 号明細書において開示されており、その文献の内容を援用することにより発明の説明の一部代替する。これは、表示のライ

20

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

本発明の目的は、信号ライン（列導体）に関連するそのような問題点を低減するために、基本装置構造、そのレイアウト及びエレクトロニクスと適合する方式で、アクティブマトリクスエレクトロルミネッセンス表示装置の特定の特徴を利用し、進展、適応及び／又は伸長させることである。

30

【課題を解決するための手段】

【 0 0 0 7 】

本発明の特徴に従って、画素間の物理的障壁は電気導電性材料（代表的には、金属）を用いて形成され、即ち、回路基板より高いレベルにおいて信号ライン（列導体）の少なくとも一部を備えるために用いられる。このように、列容量の問題は、回路基板（それら問題点が回路構成のレイアウトにより厳密に制限される）の範囲内から、基板における画素障壁のかなり自由な環境に移行される。この移行は、列容量と、それ故、正しい電流レベルに画素をアドレスするための時定数の減少を容易に可能にする。導電性障壁材料は回路基板内のマトリクスアドレス回路構成と接続される一方、又、エレクトロルミネッセンス

40

【 0 0 0 8 】

本発明に従って、かなりの汎用性が可能となる。種々の構造的特徴を画素障壁に対して採用することができる。それ故、画素障壁は、導電性材料又は絶縁性材料を主体とすることが可能であり、絶縁性コーティング及び／又は導電性コーティングを有することが可能である。好適には、容量間ガードラインが、少なくとも、障壁の信号ラインと回路基板の回路構成との間に設けられる。電圧バッファは、信号ラインとガードラインとの間において、それらの間の電圧を略 0 に保つために、接続されることが可能である。

【 0 0 0 9 】

又、本発明の他の特徴に従って、アクティブマトリクスエレクトロルミネッセンス表示

50

装置等を製造する優位性のある方法を提供する。

【0010】

本発明に従った種々の優位性のある特徴及びそれらの特徴の組み合わせについては、同時提出の請求項に記載している。以上の及び他の特徴は、添付図面を参照して、例示として以下に説明する本発明の実施形態において明らかにする。

【発明を実施するための最良の形態】

【0011】

全ての図は模式図であることに留意する必要がある。それらの図の構成部分の関連する寸法及び比率は、描く際の都合と明確化のために、サイズを拡大又は縮小することにより示している。一般に、変形された実施形態及び異なる実施形態における対応する特徴又は類似する特徴を表すために同じ参照符号を用いている。

10

【0012】

図1乃至3の実施形態

図1乃至3の実施形態のアクティブマトリクスエレクトロルミネッセンス表示装置は、マトリクスアドレス回路構成を有する回路基板100上の画素200のアレイを有する。物理的障壁210は、そのアレイの少なくとも1つの方向において少なくとも幾つかの隣接画素間にある。これらの障壁210の少なくとも幾つかは、本発明に従った少なくとも一部の信号ライン（列導体）として用いられる導電性障壁材料240を用いて構成される。本発明に従った障壁210の使用及びこの特別な構成を除いて、表示装置は、上記の背景参照文献におけるように、既知の装置技術と回路技術を用いて構成されることが可能である。

20

【0013】

マトリクスアドレス回路構成は、図1に示すように、アドレス（行）ライン150及び信号（列）ライン160の横断的集合それぞれを有する。アドレス素子T2（代表的には、薄膜トランジスタ、以下、“TF T”と表す）は、これらのアドレス（行）ライン150及び信号（列）ライン160の各々の交差部分において、組み込まれる。図1は、例として、1つの特定の画素回路構成を示していることが理解される必要がある。他の画素回路構成が、アクティブマトリクスエレクトロルミネッセンス表示装置に対して知られている。装置の特定の画素回路構成に拘らず、そのような装置の画素障壁に本発明を適用することが可能であることは、容易に理解される必要がある。

30

【0014】

図1に示すように、各々の画素200は、電流駆動型エレクトロルミネッセンス素子25（21、22、23）であって、代表的には、有機半導体材料の発光ダイオード（LED）を有する。LED25は、アレイの2つの電圧供給ライン140と230との間の駆動素子T1（代表的には、TF T）と直列の状態に接続される。これらの2つの供給ラインは、代表的には、電力供給ライン140（電圧Vddを有する）及びグラウンドライン230（また、“リターンライン”という）である。LED25からの発光は、各々の駆動TF T T1により変えられるように、LED25を通る電流により制御される。

【0015】

画素の各々の行は、関連する行導体150（それ故、行の画素のアドレスTF T T2のゲート）に印加される選択信号により、フレーム期間において順にアドレスされる。この信号はアドレスTF T T2をオンにし、それ故、列導体160からのそれぞれのデータ信号を有する行の画素をロードする。これらのデータ信号は、それぞれの画素の個々の駆動TF T T1のゲートに印加される。その駆動TF T T1の結果として得られた導通状態を保持するために、このデータ信号は、このゲート5と駆動ライン140、240との間に結合される保持キャパシタChによりゲート5において維持される。このように、各々の画素200のLED25を流れる駆動電流は、前アドレス期間の間に印加され、関連するキャパシタChにおいて電圧として蓄積された駆動信号に基づいて、TF T T1により制御される。具体例の図1においては、T1はPチャネルTF Tとして示され、T2はNチャネルTF Tとして示されている。

40

50

【 0 0 1 6 】

この回路構成は、既知の薄膜技術を用いて構成されることができる。基板 1 0 0 は、例えば、シリコン酸化物の絶縁性表面バッファ層 1 1 が析出された絶縁性ガラス基材 1 0 を有することが可能である。薄膜回路構成は、既知の方法で絶縁性表面バッファ層 1 1 上に形成される。

【 0 0 1 7 】

図 3 は、T F T T 2 についての具体的な例であって、活性半導体層 1 (代表的には、ポリシリコン)、ゲート誘電体層 2 (代表的には、シリコン酸化物)、ゲート電極 5 (代表的には、アルミニウム又はポリシリコン)、及び重ね合わされた絶縁層 2 及び 8 における窓部 (ピア) を通って半導体層 1 のドーピングソース及びドレイン領域に接している金属電極 3 及び 4 (代表的には、アルミニウム) をそれぞれ有する、T F T T 2 についての具体的な例を示している。

10

【 0 0 1 8 】

具体的な T F T (例えば、回路基板の T 1、T 2 又は他の T F T) 及びその回路機能に依存して、電極 3、4 及び 5 の延長は、例えば、電極 T 1、T 2、C h 及び L E D 2 5 並びに / 若しくは導電ライン 1 4 0、1 5 0 及び 1 6 0 の間の相互接続を構成する。図 3 は、信号ライン 1 6 0 に対する接続として T 2 の電極 4 の小さい領域の部分的延長 1 6 0 a を示している。T 2 のゲート電極 5 のライン延長はアドレス (行) ライン 1 5 0 を構成する。T 1 (図 3 には図示せず) の電極 4 のライン延長は電力供給ライン 1 4 0 を構成することが可能である。

20

【 0 0 1 9 】

維持キャパシタ C h は、回路基板 1 0 0 内部の薄膜構造として、既知の方法で、形成されることが可能である。

【 0 0 2 0 】

L E D 2 5 は、代表的には、下部電極 2 1 と上部電極 2 3 との間の発光有機半導体材料 2 2 から構成される。好適な具体的な実施形態においては、半導体性共役系高分子は、エレクトロルミネッセンス材料 2 2 に対して用いられることが可能である。基板を透過して光 2 5 0 を発光する L E D に対して、下部電極 2 1 は I T O (I n d i u m T i n O x i d e) より成る陽極であることが可能であり、上部電極 2 3 は、例えば、カルシウム及びアルミニウムから構成される陰極であることが可能である。図 3 は、下部電極が回路基板 1 0 0 における薄膜として形成される L E D を示している。次のドーピング有機半導体材料 2 2 は、基板 1 0 0 の薄膜構造に亘って延長されたプレーナ絶縁層 1 2 (例えば、シリコン窒化物) における窓部 1 2 a の薄膜電極層 2 1 に接している。

30

【 0 0 2 1 】

既知の装置におけるように、本発明に従った図 1 乃至 4 の装置は、アレイの少なくとも 1 つの方向における少なくとも幾つかの隣接画素間において、物理的障壁 2 1 0 を有する。これらの障壁 2 1 0 には又、例えば、“壁”、“仕切り”、“バンク”、“リブ”、“分離帯”又は“ダム”の用語が用いられる。具体的な装置の実施形態及びその製造方法に依存して、それらは既知の方式で用いられる。例えば、

- 半導体性高分子層 2 2 を調整する間に、個々の画素 2 0 0 のそれぞれの領域及び / 又は画素 2 0 0 の列との間の高分子溶液のオーバーフローを回避して、分離する。
- 個々の画素 2 0 0 及び / 又は画素の列のための他のエレクトロルミネッセンス層 2 2 または半導体性高分子 (或いは、画素のための個々の電極であって、例えば、上部電極 2 3 の個々の下層の自己分離でさえ) の範囲限定において基板表面にセルフパターニング能力を提供する。
- 少なくとも有機半導体材料 2 2 及び / 又は電極材料の析出の間に基板表面に亘るマスクのためのスペーサとして機能する。
- 光 2 5 0 が上部を透過して発光されるとき、アレイにおける画素 2 0 0 の明確に限定された光学的分離のための不透明障壁 2 1 0 を (底部基板 1 0 0 の代わり又はそれと併せて) 構成する。

40

50

【 0 0 2 2 】

これらの既知の方式における具体的な使用がどのようなものであると、本発明の実施形態における物理的障壁 2 1 0 の少なくとも一部の絶縁部分は、特定の方式で用いられ、構成される。それ故、図 3 の画素障壁 2 1 0 は、回路基板 1 0 0 より高いレベルにおける信号ライン（列導体）の少なくとも一部を提供し、それ故、列容量を減少させる、金属 2 4 0（又は、他の電気導電性材料 2 4 0）を有する。

【 0 0 2 3 】

この導電性障壁材料 2 4 0 は、L E D 2 5 に隣接するその側部において絶縁され、その延長部 1 6 0 a においてアドレス T F T の主電極 4 に接続されている。図 3 に示すように、T F T T 2 への導電性障壁材料 2 4 0 のこの接続は、列に沿った各々の画素における中間絶縁性層 1 2 における個々の接続窓 1 2 b においてなされている。このように、導電性障壁材料 2 4 0 は、画素に隣接するそれらの距離の殆どに亘って、信号ライン 1 6 0 を供給することができる。

【 0 0 2 4 】

本発明に従った信号ライン 1 6 0 のための障壁 2 1 0 のこの具体的な構成及び使用により、図 2 に示す、先行技術の列容量の減少が可能となる。このように、図 2 は、代表的な先行技術の配列における各々の個々の画素における信号（列）ラインにより理解される容量を示している。このような既知の配列においては、信号（列）ライン 1 6 0 X は、例えば、T F T の電極 4 のライン延長部 1 6 0 X は、回路基板 1 0 0 の全体において形成される。障壁 2 1 0 X は、単純に、絶縁性材料（例えば、絶縁性高分子）から成る。薄膜列ライン 1 6 0 X と L E D の上部電極 2 3（代表的には、高分子 L E D 2 5 における陰極）との間には、誘電体 1 2 及び 2 1 0 X を横断して、寄生容量（ C_D 及び C_{S_N} ）が存在する。薄膜列ライン 1 6 0 X、電力供給ライン 1 4 0 及びアドレス（行）ライン 1 5 0 それぞれの間には、誘電体 8（代表的には、シリコン窒化物）を横断して、大きい寄生容量 C_P 及び C_A が生じる。大きい列容量の結果として、正しい電流レベルにこの装置の配列における個々の画素をアドレスするための時定数は、大きい表示装置に対しては許容できない程大きくなる。

【 0 0 2 5 】

本発明は、信号ライン（列導体）1 6 0 として、即ち、回路基板 1 0 0 より高いレベルにおいて、画素領域における金属 2 4 0（又は、他の電気導電性材料 2 4 0）を伴う画素障壁 2 1 0 を用いて構成することにより、この問題点を回避する。それ故、図 3 から理解できるように、回路基板 1 0 0 の上部平坦化絶縁性層 1 2 は、ここで、障壁が形成された信号ライン 1 6 0 と薄膜ライン 1 5 0 及び回路基板 1 0 0 の 5、1 5 0 との間の付加誘電体として挿入される。それ故、大きい寄生容量 C_P 及び C_A は著しく減少される。

【 0 0 2 6 】

図 3 は、画素障壁 2 1 0 が、電気導電性材料 2 4 0、2 4 0 x であって、好適には、非常に小さい抵抗の金属（例えば、アルミニウム、銅、ニッケル又は銀）を主体とする、具体的な一実施形態を示している。このように、図 3 のこれらの障壁 2 1 0 は、障壁の上部及び側部において絶縁性コーティング 4 0（例えば、シリコン酸化物又はシリコン窒化物）を有する導電性材料のバルク（b u l k）又はコア（c o r e）を有する。図 3 は、例示として、この絶縁性コーティング 4 0 に隣接する画素 L E D 2 5 の上部電極 2 3 を示している。このように、電極 2 3 は、画素アレイを横断するレイアウトにおいてストライプ状の幾何学的構成を有することが可能である。又、絶縁性コーティング 4 0 に対して十分厚い絶縁体が用いられる場合、画素アレイは、画素障壁 2 1 0 において、又、延びる共通電極 2 3 を有することが可能である。

【 0 0 2 7 】

図 4 及び 5 の選択的列ライン障壁の実施形態

図 4 は、障壁 2 1 0 が絶縁性材料 2 4 4 を主体とする改善された実施形態を示している。この場合、ビア 2 4 4 b はエッチングされ、回路基板 1 0 0 における回路素子 4、5 の方に絶縁性材料 2 4 4 を貫いて成形される。金属コーティング 2 4 0 は、絶縁性障壁 2 1

0 の上部及びビア 2 4 4 b において延びる導電性障壁材料を提供する。

【 0 0 2 8 】

障壁 2 1 0 の金属コーティング 2 4 0 は、セルフアライメント方式で、L E D 2 5 の上部電極 2 3 の主要部分 2 3 a と共に、同時に形成されることが可能である。それ故、図 4 に示すように、障壁 2 1 0 の側部における突出形状のシャドーマスクの効果により分離される電極 2 3 と金属コーティング 2 4 0 とのために、金属層が同時に接出されることが可能である。これは、本発明に従った、列ライン障壁 2 1 0、2 4 0 のための 1 つの有効なプロセスの実施形態である。図 1 1 乃至 1 3 は、金属を主体とする列ライン障壁 2 1 0、2 4 0 のための他のプロセスの実施形態を示している。

【 0 0 2 9 】

図 4 及び 5 は、本発明の実施形態において又、有利に含まれることができる、ガードラインの特徴を共に示している。この実施形態においては、薄膜導体層 9 (T F T の電極領域 3、4 及び 1 6 0 a 同時に形成することができる) は、信号ライン 1 6 0 の導電性障壁材料 2 4 0 の下方の容量間ガードラインとして延びている。それ故、このガードライン 9 は、基板 1 0 0 の回路構成とその距離の殆どに亘る列ライン 1 6 0 との間のシールドとして存在している。図 6 は、各々の個々の画素に亘る列ライン 1 6 0 により、ここで理解される容量を示している。特に、図 7 において示されるような有利なバッファ回路の特徴と共に図 6 の配列が用いられるとき、非常に小さい列容量を達成することができる。

【 0 0 3 0 】

図 6 及び 7 の具体的なガードラインの実施形態

図 6 の実施形態においては、電力ライン 1 4 0 及び行ライン 1 5 0 の各々の容量 C_P 及び C_A は、ガードライン 9 (先行技術の図 2 におけるような列ライン 1 6 0 ではなく) と共に (誘電体 8 を横断して) 形成されている。更に、誘電体 1 2 及び 2 4 4 のそれぞれの容量 C_{SN} 及び C_D は、図 4 の実施形態におけるガードライン 9 及び列ライン 1 6 0 との間に形成されている。

【 0 0 3 1 】

ここで、図 7 のバッファ回路構成を用いて、非常に小さい列容量を達成することができる。この場合、電圧バッファ 6 0 0 は、列ライン 1 6 0 とガードライン 9 との間において接続される。図 7 の基本回路は、バッファ 6 0 0、ガードライン 9 及び列ライン 1 6 0 の障壁構成を含むことを除いて、既知のタイプから成るものである。それ故、符号 6 2 0 は、例えば、米国特許出願公開第 2 0 0 1 / 0 0 5 2 6 0 6 号明細書において開示されたような、カレントミラー画素回路の既知のタイプを表すことが可能である。信号は、例えば、既知の電流シンクのタイプの列ドライバ 6 1 0 により列ライン 1 6 0 に供給される。列駆動器 6 1 0 及び電圧バッファ 6 0 0 は、回路基板 1 0 0 に接続された I C (集積回路) において外部で実施されることが可能である。又、それらは、ポリシリコン T F T 技術を用いて、回路基板 1 0 0 に内蔵して集積されることが可能である。

【 0 0 3 2 】

電圧バッファ 6 0 0 は、列ドライバ 6 1 0 の出力における信号電圧を入力としてとり、ガードライン 9 にそれをバッファリングする。結果として、列ライン 1 6 0 とガードライン 9 との間の電圧は 0 又は略 0 となり、それ故、この列 - ガード容量 C_D 、 C_{SN} に電荷は蓄積されず、全ての電流は画素回路 6 2 0 から引き出される。このことは、速い動作を可能にする。電圧バッファは、ガードライン 9、それぞれの電力ライン 1 4 0 及びアドレスライン 1 5 0 の間の容量 C_P 及び C_A を変化させることが必要であるが、バッファ 6 0 0 の小さい出力インピーダンスはこの変化が速く達成されることを可能にする。

【 0 0 3 3 】

図 8 及び 9 の多導体障壁の実施形態

図 8 の実施形態は、障壁 2 1 0 が絶縁性コーティング 4 0 a を有する金属コア 2 4 0 x を有する点で、図 3 の実施形態に類似している。しかしながら、図 8 の実施形態は、コア 2 4 0 x の側部及び上部に亘って、絶縁性コーティング 4 0 a 上に存在する金属コーティング 2 4 0 y を更に有する。

10

20

30

40

50

【 0 0 3 4 】

この図 8 の構造は、図 3 の構造に比べて、汎用性が広い。そのことは、金属コア 2 4 0 x 及び金属コーティング 2 4 0 y が異なる目的のために用いられることを可能にする。それ故、例えば、金属コア 2 4 0 x は、図 3 におけるような列（信号）ライン 1 6 0 を提供し、それ故、T F T T 2 の電極 4 と接続されることが可能である。金属コーティング 2 4 0 y は、コアライン 2 4 0 x における信号のための同軸シールドとして機能することが可能である。金属コーティング 2 4 0 y は、基板 1 0 0 におけるガードライン 9 b の一部に及び/又は、例えば、他の T F T の他の回路素子に接続されることが可能である。又、金属コーティング 2 4 0 y は列（信号）ライン 1 6 0 に提供されることが可能であり、金属コア 2 4 0 x はガードライン 9 a の一部を構成することが可能である。

10

【 0 0 3 5 】

列（信号）ライン 1 6 0 をシールドすることに代えて、障壁 2 1 0 のこの多導体構造 2 4 0 x、2 4 0 y は、例えば、1 4 0 及び 1 5 0 のような 2 つのラインを重ね合わせる又は付加構成要素を構成する異なる目的のために、装置におけるどこかで用いることが可能である。金属コーティング 2 4 0 y は、例えば、個々の画素又は副画素等の、特定の接続又は構成要素が必要とされる障壁 2 1 0 に沿った特定の位置に局在化されることが可能である。

【 0 0 3 6 】

図 8 の多導体構造 2 4 0 x、2 4 0 y がキャパシタ誘電体 4 0 a を有するキャパシタを構成するように設計された実施形態は特に重要である。それ故、金属コア 2 4 0 x、絶縁性コーティング 4 0 a 及び金属コーティング 2 4 0 y の分離距離部及び/又は絶縁性距離部は、基板回路素子 4、5 等の間に接続されたキャパシタを共に構成することが可能である。そのようなキャパシタは、例えば、供給ライン 1 4 0（T F T T 1 の主電極ライン 4）と T F T T 2 のゲートライン 5（及び、T F T T 1 の主電極ライン 3）との間に接続される各々のそれぞれの画素 2 0 0 のための個々の維持キャパシタ C h であることが可能である。

20

【 0 0 3 7 】

図 9 は、各々の画素領域 2 0 0 に対する維持キャパシタ C h として、多導体障壁構成 2 4 0 x、2 4 0 y 等を集積するための適切な画素レイアウトを示している。この場合、多導体障壁構成 2 4 0 x、2 4 0 y は、列を構成する障壁 2 1 0（2 4 0、1 6 0）に横断して延びる絶縁性障壁距離を有する。

30

【 0 0 3 8 】

又、図 9 の横障壁のレイアウトは、図 3 又は図 4 におけるように、単一の金属導体 2 4 0（金属コーティング 2 4 0 y を伴わない）を有する各々の障壁 2 1 0 及び 2 1 0 c を用いて、適合されることが可能である。この場合、横障壁 2 1 0 c の導電性障壁材料 2 4 0 は、アドレス（行）ライン 1 5 0 の距離をバックアップするため及び/又はそれを置き合えるために、T F T T 2 のゲートライン 5、1 5 0 に接続されることが可能である。行ラインのライン抵抗は、回路基板 1 0 0 における T F T のゲートライン 5（1 5 0）と代表的に提供する導体層の領域より少なくとも 2 倍（恐らく、一桁の大きささえ）大きい断面領域を有する導電性障壁材料 2 4 0 のために、この方法において、著しく減少されることができ。更に、ゲートライン 5（1 5 0）は、代表的には、ドーピングされたポリシリコンであり、導電性障壁材料 2 4 0 は、代表的には、かなり大きい導電性を有する金属である。

40

【 0 0 3 9 】

図 1 0 乃至 1 2 のプロセスの実施形態

信号ライン 1 6 0 のための相互接続材料 2 4 0 と共に障壁 2 1 0 を用いて構成すること以外に、本発明に従ったアクティブマトリクススエレクトロルミネッセンス表示装置は、例えば、上記の背景としての参照文献におけるように、既知の装置技術及び回路技術を用いて、構成されることが可能である。

【 0 0 4 0 】

50

図 1 1 乃至 1 2 は、具体的な製造の実施形態における新規なプロセス段階を示している。上部プレーナ絶縁性層 1 2（例えば、シリコン窒化物）を伴う薄膜回路基板 1 0 0 は、既知の方法で製造される。接続窓（例えば、ビア 1 2 a、1 2 b、1 2 x 等）は、例えば、フォトリソグラフィのマスキング及びエッチングにより、既知の様式で、上部プレーナ絶縁性層 1 2 に開けられる。しかしながら、本発明に従って装置を製造するために、これらのビアのパターンは、導電性障壁材料 2 4 0、2 4 0 x、2 4 0 y 等との底部接続のために、金属電極 4、ゲート電極 5、アドレスライン 1 5 0 等を延長するビア 1 2 b、1 2 x を有する。結果的に得られた構造を図 1 0 に示している。この段階は、障壁 2 1 0 が、図 3 および 8 におけるように金属コアを有するものであるか又は図 4 におけるように絶縁性材料を主体とするものであるかに拘らず、共通である。

10

【0041】

絶縁性材料を主体とする障壁 2 1 0 の形成については、図 4 を参照して、上で説明した。金属コアを有する障壁のための適切なプロセスの段階については、図 1 1 及び 1 2 を参照して、以下、説明する。

【0042】

この場合、障壁 2 1 0 のための電気導電性材料は、少なくともビア 1 2 a、1 2 b、1 2 x 等における絶縁性層 1 2 上に析出される。障壁 2 1 0 に対する好ましい距離及びレイアウトパターンは、既知のマスキング技術を用いることにより、得られる。図 1 1 は、少なくとも導電性障壁材料（例えば、銅、ニッケル又は銀）のバルクがメッキ法により析出される実施形態を示している。この場合、先ず、例えば、銅、ニッケル又は銀から成る薄い種の層 2 4 0 a が絶縁性層 1 2 とビア 1 2 a、1 2 b、1 2 x 等を覆って析出され、障壁のレイアウトパターンがフォトリソグラフィのマスクを用いて限定され、次いで、導電性障壁材料のバルク 2 4 0 が好ましい膜厚にメッキ法により形成される。結果的に得られる構造については、図 1 1 に示している。

20

【0043】

次いで、CVD (Chemical Vapour Deposition: 化学的気相成長法) を用いて、絶縁性材料（例えば、シリコン酸化物又はシリコン窒化物）が絶縁性コーティング 4 0 のために析出される。この析出された材料は、図 1 2 に示すように、既知のフォトリソグラフィのマスキング及びエッチング技術を用いて、パターニングすることにより、導電性障壁材料の側部及び上部表面に残される。

30

【0044】

この後、LED 2 5 を形成するために、既知の方法において製造が継続される。このように、例えば、共役系高分子材料 2 2 は、画素 2 0 0 のために、インクジェットを用いて印刷されるか又はスピンコートされることが可能である。絶縁コーティング 4 0 を伴う障壁 2 4 0、4 0 は、物理的障壁 2 4 0、4 0 の間における画素領域からの高分子のオーバーフローを防止するために、既知の方法において用いられることができる。上部電極材料 2 3 は、次いで、析出される。

【0045】

図 1 3 の向上したプロセスの実施形態

この実施形態は、画素領域に隣接する障壁 2 1 0 の少なくとも側部に絶縁性コーティングを与えるために、陽極酸化処理法（析出の代わりに）を用いる。代表的には、導電性障壁材料 2 4 0 はアルミニウムを有することが可能である。既知のフォトリソグラフィのマスキング及びエッチング技術を用いて、析出されるアルミニウムの好ましい距離とレイアウトパターンとを規定することができる。図 1 7 は、アルミニウムの障壁パターン 2 4 0 の上部に保持されたフォトリソグラフィにより限定されるエッチャントマスクを示している。

40

【0046】

次いで、アルミニウム酸化物から成る陽極酸化による絶縁性コーティングは、既知の陽極酸化技術を用いて、アルミニウムの障壁材料 2 4 0 の少なくとも側部において形成される。それ故、このコーティング 4 0 に対して、レイアウトを規定するために、付加マスク

50

は必要とされない。

【0047】

図17に示すように、マスク44は、非絶縁性の上部接続領域240tを形成する及び保護することを所望される領域において、この陽極酸化の間に保持されることができる。この場合、陽極酸化によるコーティングは、アルミニウム障壁パターン240の側部のみにおいて形成される。マスク44は、陽極酸化によるコーティングがアルミニウムの障壁パターン240の上部及び側部の両方において必要とされる領域から、この陽極酸化の前に除去されることが可能である。又、絶縁性高分子、又は、例えば、シリコン酸化物又はシリコン窒化物から成るマスク44は、被製造装置における障壁210(240、40)の上部において絶縁性が所望されるこの領域において保持されることが可能である。

10

【0048】

上記の実施形態においては、導電性障壁材料240は、厚い不透明な金属、例えば、アルミニウム、銅、ニッケル又は銀である。しかしながら、他の導電性材料240、例えば、絶縁性コーティング40を形成するために表面酸化されることが可能である、金属シリサイド又は(有利ではないが)縮退ドーピング(degenerately-doped)ポリシリコンを用いることが可能である。透明な障壁210が必要とされる場合、ITOが導電性障壁材料240のために用いられることが可能である。

【0049】

本発明の開示内容を読むことにより、他の種々の改善が可能であることが、当業者に理解されるであろう。そのような種々の改善は、当該技術分野において既に周知であり、以上で述べた特徴に付加して又はそれらの特徴の代わりとして用いられることが可能である、同等の他の特徴を有することが可能である。

20

【0050】

請求項は、具体的な特徴の組み合わせへの本発明の適用において策定されたが、本発明がいずれの請求において以前に請求された発明と同じ発明に関係するか否かに拘らず、そして、本発明が改善するのと同様な技術的問題点の全て又はいずれかを改善するか否かに拘らず、本発明の開示範囲は又、いずれの新規な特徴、明瞭に又は暗示的に以上で開示された特徴のいずれの新規な組み合わせ、又は特徴のいずれの一般化を有することが理解される必要がある。

【0051】

本出願人は、それ故、本発明の出願又は本発明から誘導されるいずれの更なる出願の手續の間に、いずれのそのような特徴及び/又はそのような特徴の組み合わせに対して新たな請求項が策定され得ることを知らせておくこととする。

30

【図面の簡単な説明】

【0052】

【図1】本発明に従った信号ラインのための導電性障壁材料を備えることができるアクティブマトリクスエレクトロルミネッセンス表示装置の4つの画素領域についての回路図である。

【図2】先行技術のタイプの表示装置の画素領域における寄生容量を示す模式的断面図である。

40

【図3】本発明に従った信号ラインのための導電性障壁構成の一例を示す、アクティブマトリクスエレクトロルミネッセンス表示装置一実施形態の回路基板と画素アレイの一部の断面図である。

【図4】本発明に従った信号ラインのために金属コーティングを用いる導電性障壁構成の他の例を有する装置の一部の断面図である。

【図5】本発明に従った装置の具体的な実施形態におけるガードラインを有する、図4の装置の回路基板の導電性層のパターンのレイアウトの平面図である。

【図6】本発明に従った図4及び5の表示装置の画素領域における寄生容量を示す、図2の断面図に類似する断面図である。

【図7】図4乃至6の実施形態のような装置の実施形態におけるガードラインのための電

50

圧バッファ構成の回路図である。

【図 8】本発明に従った改善された実施形態のための金属コーティングにおけるガードラインを有する、図 3 の導電性障壁構成に類似する導電性障壁構成の断面図である。

【図 9】横導電性障壁を有する、本発明に従った装置の具体的な実施形態に対するレイアウトの特徴の例を示す平面図である。

【図 10】本発明に従った具体的な一実施形態を用いた製造の段階における、図 3 のような装置の一部の断面図である。

【図 11】本発明に従った具体的な一実施形態を用いた製造の段階における、図 3 のような装置の一部の断面図である。

【図 12】本発明に従った具体的な一実施形態を用いた製造の段階における、図 3 のような装置の一部の断面図である。

【図 13】本発明に従い、導電性障壁材料の絶縁体における改善を示す、図 12 の段階における装置の一部の断面図である。

10

【図 1】

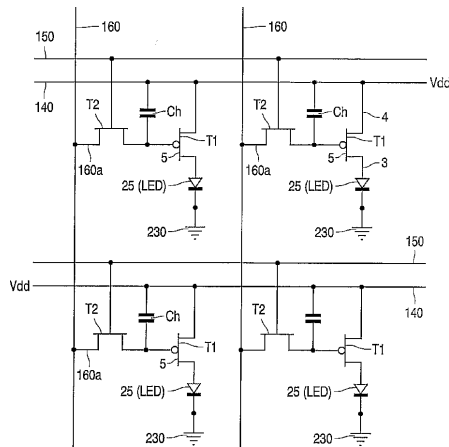


FIG. 1

【図 2】

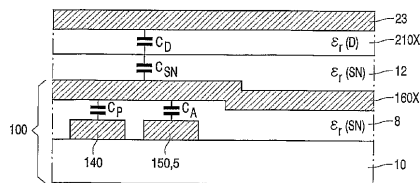


FIG. 2

【図 3】

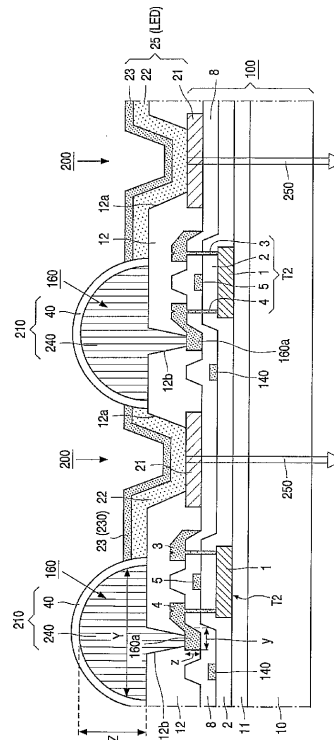


FIG. 3

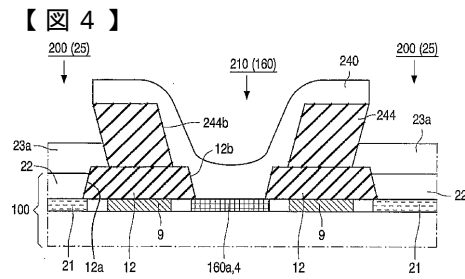


FIG. 4

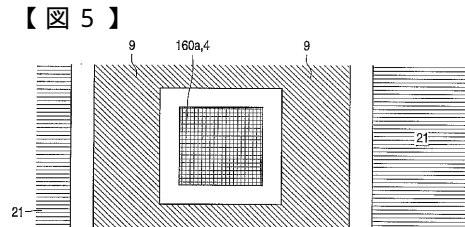


FIG. 5

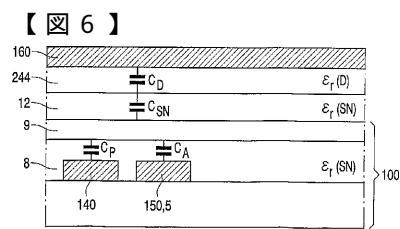


FIG. 6

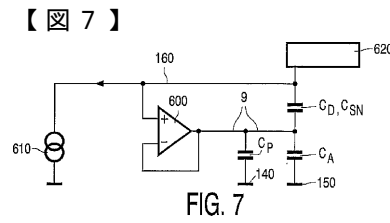


FIG. 7

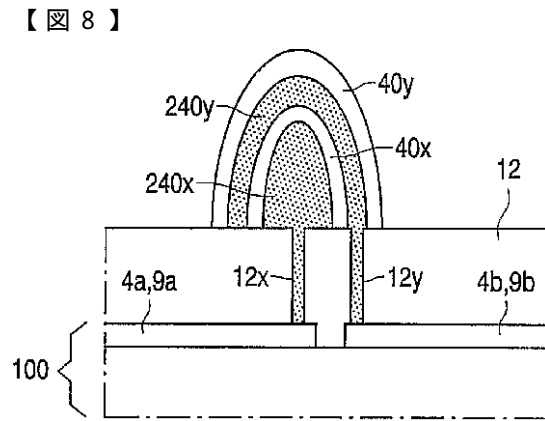


FIG. 8

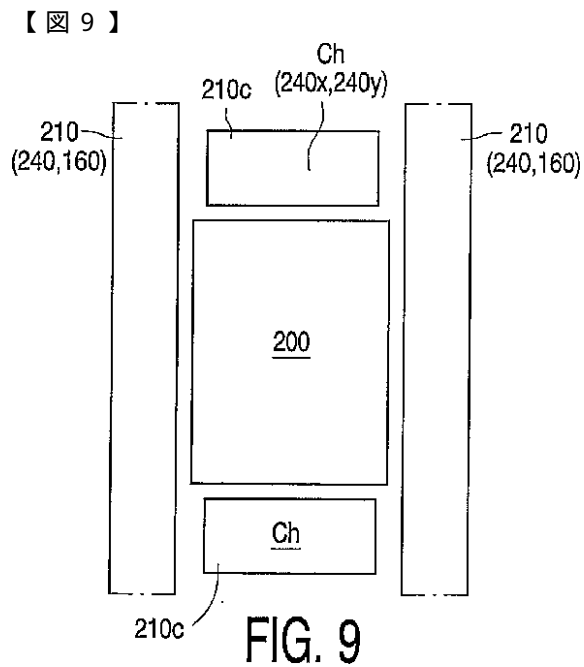


FIG. 9

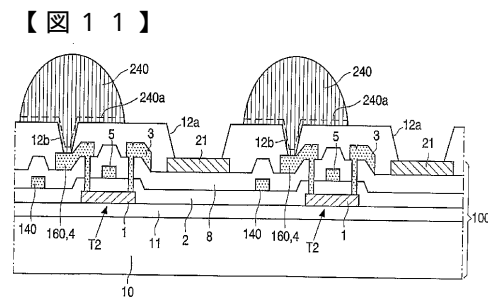


FIG. 11

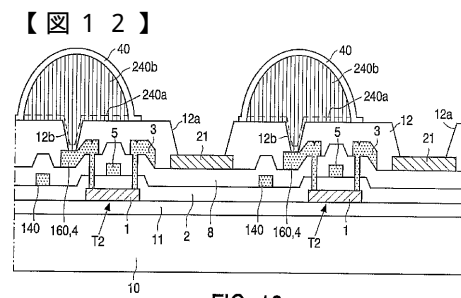


FIG. 12

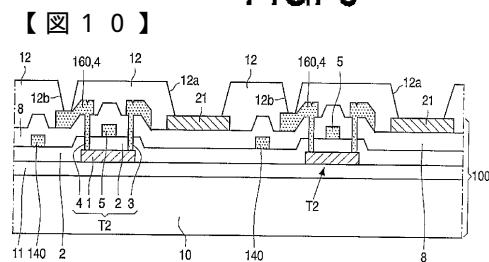


FIG. 10

【図 13】

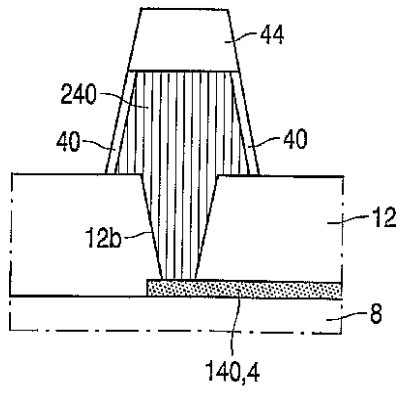


FIG. 13

 フロントページの続き

(51) Int.Cl.		F I	
<i>H 0 1 L 21/3205 (2006.01)</i>		H 0 5 B 33/10	
<i>H 0 5 B 33/10 (2006.01)</i>		H 0 5 B 33/12	B
<i>H 0 5 B 33/12 (2006.01)</i>		H 0 5 B 33/14	A
<i>H 0 1 L 51/50 (2006.01)</i>			

(31)優先権主張番号 0216058.8

(32)優先日 平成14年7月11日(2002.7.11)

(33)優先権主張国 英国(GB)

(72)発明者 チャイルズ, マーク ジェイ
 オランダ国, 5 6 5 6 アーアー アインドーフエン, プロフ・ホルストラーン 6

(72)発明者 ヘクター, ジェイソン アール
 オランダ国, 5 6 5 6 アーアー アインドーフエン, プロフ・ホルストラーン 6

(72)発明者 ヤング, ナイジェル ディー
 オランダ国, 5 6 5 6 アーアー アインドーフエン, プロフ・ホルストラーン 6

審査官 小西 隆

(56)参考文献 国際公開第1 9 9 8 / 0 1 2 6 8 9 (WO, A 1)

(58)調査した分野(Int.Cl., D B 名)

H01L 51/50 - 51/56

H01L 27/32

H05B 33/00 - 33/28

专利名称(译)	有源矩阵电致发光显示装置及其制造方法		
公开(公告)号	JP4700914B2	公开(公告)日	2011-06-15
申请号	JP2003577336	申请日	2003-02-21
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
当前申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	フィッシュデイヴィッドエイ チャイルズマークジェイ ヘクタージェイソンアール ヤングナイジェルディー		
发明人	フィッシュ,デイヴィッド エイ チャイルズ,マーク ジェイ ヘクター,ジェイソン アール ヤング,ナイジェル デー		
IPC分类号	H05B33/22 G09F9/30 H01L27/32 H01L29/786 H01L23/52 H01L21/3205 H05B33/10 H05B33/12 H01L51/50 G09G3/30 H01L27/00 H05B33/14		
FI分类号	H05B33/22.Z G09F9/30.338 G09F9/30.365.Z H01L29/78.612.C H01L21/88.Z H05B33/10 H05B33/12.B H05B33/14.A		
代理人(译)	伊藤忠彦		
审查员(译)	小西孝		
优先权	2002006551 2002-03-20 GB 2002009559 2002-04-26 GB 2002016058 2002-07-11 GB		
其他公开文献	JP2005521204A		
外部链接	Espacenet		

摘要(译)

物理屏障 (210) 位于有源矩阵电致发光显示装置的电路板 (100) 中的相邻像素 (200) 之间,特别是具有有机半导体材料的LED (25)。为了降低电路板的寄生电容,本发明可应用于具有提供信号线 (160) 的至少一部分的金属或其他导电材料的电路板 (100) 由此形成屏障 (210)。导电阻挡材料 (240) 连接到基板 (100) 中的矩阵电路,但至少在与LED (25) 相邻的一侧绝缘。优选地,电容器间保护线 (9) 包括在信号线 (160) 和基板 (100) 的电路配置之间的电路板 (100) 中。

【 图 3 】

