

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4635542号
(P4635542)

(45) 発行日 平成23年2月23日(2011.2.23)

(24) 登録日 平成22年12月3日(2010.12.3)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

H01L 51/50 (2006.01)

G09G 3/30 J

G09G 3/20 624B

G09G 3/20 641D

G09G 3/20 642E

G09G 3/20 670E

請求項の数 3 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2004-280993 (P2004-280993)
 (22) 出願日 平成16年9月28日(2004.9.28)
 (65) 公開番号 特開2006-98438 (P2006-98438A)
 (43) 公開日 平成18年4月13日(2006.4.13)
 審査請求日 平成19年8月13日(2007.8.13)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100082131
 弁理士 稲本 義雄
 (72) 発明者 山下 淳一
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 内野 勝秀
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 山本 哲郎
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】 画素回路及び表示装置

(57) 【特許請求の範囲】

【請求項1】

選択パルスを供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと、保持容量と、結合容量と、ドライ
ブトランジスタと、発光素子と、第1乃至第4のトランジスタとを含み、

前記サンプリングトランジスタは、前記走査線から供給される前記選択パルスに応じ導
通して前記信号線から供給された前記映像信号をサンプリングして、一端に前記第1のト
ランジスタが接続されている前記保持容量の他端に前記結合容量を介して供給し、

前記保持容量は、一端と他端がそれぞれ前記ドライブトランジスタの一方の信号電極と
制御電極とに接続され、

前記ドライブトランジスタは、前記第4のトランジスタを介して他方の信号電極から電
源電位の供給を受け、一方の信号電極から、前記保持容量に保持された入力電位に応じて
所定の発光期間に出力電流を出力し、

アノード及びカソードを有する二端子型の前記発光素子は、前記カソードが所定のカソ
ード電位に固定され、前記アノードが前記ドライブトランジスタから前記出力電流の供給
を受け、前記映像信号に応じた輝度で発光し、

前記第1のトランジスタは、一方の信号電極が、前記ドライブトランジスタの一方の信
号電極と前記保持容量の一端との接続点に接続され、他方の信号電極が、所定の電位に固
定され、

前記第2のトランジスタは、一方の信号電極が、前記サンプリングトランジスタの一方

10

20

の信号電極と前記結合容量との接続点に接続され、他方の信号電極が、所定のオフセット電位に固定され、

前記第3のトランジスタは、一方の信号電極が、前記ドライブトランジスタの他方の信号電極に接続され、他方の信号電極が、前記ドライブトランジスタの制御電極に接続される画素回路において、

前記第4のトランジスタが導通状態になって、前記電源電位が前記ドライブトランジスタに供給され、前記発光素子が発光している状態において、所定のタイミングで、前記第2のトランジスタおよび前記第3のトランジスタを非導通状態から導通状態に切り替えると同時に、前記第1のトランジスタを非導通状態から導通状態に切り替えることによって、前記ドライブトランジスタから前記発光素子に流れ込む貫通電流の少なくとも一部を、前記第1のトランジスタの他方の信号電極の前記所定の電位に流して前記発光素子の異常発光を抑制し、さらに前記第1のトランジスタ、前記第2のトランジスタ、および前記第3のトランジスタが導通状態に切り替えられてから所定の時間が経過した時、前記第4のトランジスタを非導通状態にして前記電源電位の供給を停止することによって、前記ドライブトランジスタの閾電圧を前記保持容量に保持させることを特徴とする画素回路。

【請求項2】

前記第1のトランジスタが導通した時、前記アノード電位が前記発光素子のカットオフ電圧より下まわる様に、前記第1のトランジスタの他方の信号電極の前記所定の電位のレベルを設定することを特徴とする請求項1記載の画素回路。

【請求項3】

選択パルスを提供する行状の走査線と、映像信号を提供する列状の信号線と、両者が交差する部分に配された行列状の画素とを備え、

前記画素は、少なくともサンプリングトランジスタと、保持容量と、結合容量と、ドライブトランジスタと、発光素子と、第1乃至第4のトランジスタとを含み、

前記サンプリングトランジスタは、前記走査線から供給される前記選択パルスに応じ導通して前記信号線から供給された前記映像信号をサンプリングして、一端に前記第1のトランジスタが接続されている前記保持容量の他端に前記結合容量を介して供給し、

前記保持容量は、一端と他端がそれぞれ前記ドライブトランジスタの一方の信号電極と制御電極とに接続され、

前記ドライブトランジスタは、前記第4のトランジスタを介して他方の信号電極から電源電位の供給を受け、一方の信号電極から、前記保持容量に保持された入力電位に応じて所定の発光期間に出力電流を出力し、

アノード及びカソードを有する二端子型の前記発光素子は、前記カソードが所定のカソード電位に固定され、前記アノードが前記ドライブトランジスタから前記出力電流の供給を受け、前記映像信号に応じた輝度で発光し、

前記第1のトランジスタは、一方の信号電極が、前記ドライブトランジスタの一方の信号電極と前記保持容量の一端との接続点に接続され、他方の信号電極が、所定の電位に固定され、

前記第2のトランジスタは、一方の信号電極が、前記サンプリングトランジスタの一方の信号電極と前記結合容量との接続点に接続され、他方の信号電極が、所定のオフセット電位に固定され、

前記第3のトランジスタは、一方の信号電極が、前記ドライブトランジスタの他方の信号電極に接続され、他方の信号電極が、前記ドライブトランジスタの制御電極に接続される表示装置において、

前記第4のトランジスタが導通状態になって、前記電源電位が前記ドライブトランジスタに供給され、前記発光素子が発光している状態において、所定のタイミングで、前記第2のトランジスタおよび前記第3のトランジスタを非導通状態から導通状態に切り替えると同時に、前記第1のトランジスタを非導通状態から導通状態に切り替えることによって、前記ドライブトランジスタから前記発光素子に流れ込む貫通電流の少なくとも一部を、前記第1のトランジスタの他方の信号電極の前記所定の電位に流して前記発光素子の異常

10

20

30

40

50

発光を抑制し、さらに前記第 1 のトランジスタ、前記第 2 のトランジスタ、および前記第 3 のトランジスタが導通状態に切り替えられてから所定の時間が経過した時、前記第 4 のトランジスタを非導通状態にして前記電源電位の供給を停止することによって、前記ドライフトランジスタの閾電圧を前記保持容量に保持させることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素ごとに配した発光素子を電流駆動する画素回路に関する。またこの画素回路がマトリクス状に配列された表示装置であって、特に各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって、有機 EL 素子などによって代表される発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置に関する。

10

【背景技術】

【0002】

従来の液晶ディスプレイに代わるアクティブマトリクス型の表示装置として、各画素に発光素子として例えば有機 EL 素子を組み込んだ有機 EL 表示装置が注目を集めている。液晶画素と異なり有機 EL 素子は自発光素子である。そのため、有機 EL ディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。また、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御が可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

20

【0003】

液晶ディスプレイと同様に、有機 EL ディスプレイもその駆動方式として単純マトリクス方式とアクティブマトリクス方式がある。前者は構造が単純ではあるが大型且つ高精細のディスプレイの実現が難しい。現在はアクティブマトリクス方式の開発が盛んに行われている。この方式は、各画素回路内部の発光素子に供給する電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、TFT）によって制御するものであり、以下の特許文献に記載がある。

【特許文献 1】特開 2003 - 255856

【特許文献 2】特開 2003 - 271095

【特許文献 3】特開 2004 - 133240

30

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の画素回路は、選択パルスを供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配されている。画素回路は少なくともサンプリングトランジスタと保持容量とドライフトランジスタと発光素子とを含む。サンプリングトランジスタは、走査線から供給される選択パルスに応じ導通して信号線から供給される映像信号をサンプリングする。保持容量は、サンプリングされた映像信号に応じた入力電位を保持する。ドライフトランジスタは保持容量に保持された入力電位に応じて所定の発光期間に出力電流を供給する。発光素子は、ドライフトランジスタから供給された出力電流により映像信号に応じた輝度で発光する。これらの基本的な構成要素に加え、画素回路はいくつかの補正機能を備えている。例えば、ドライフトランジスタの閾電圧の変動をキャンセルする為の閾電圧補正機能や、発光素子の電流 / 電圧特性の変動を補正するブートストラップ機能が上げられる。

40

【0005】

これらの機能を実装するため、画素回路には追加のトランジスタが集積形成されている。これらのトランジスタが動作中、ドライフトランジスタに極短時間であるが貫通電流が流れる場合がある。この貫通電流により、発光期間以外でも発光素子が瞬時的ではあるが異常発光する。

【0006】

50

前述したように、発光素子は、発光期間中映像信号に応じた輝度で発光する。映像信号は黒レベルから白レベルまで階調的に変化している。映像信号が白レベルの場合には、発光期間中発光素子は高輝度で発光するので、発光期間以外の期間に生じる極短時間の異常発光はほとんど画質に影響を及ぼさない。これに対し、映像信号が黒レベルの場合、発光期間中発光素子は発光せず、画面は黒表示となる。しかしながら、発光期間以外の期間に貫通電流により異常発光する。発光素子の輝度は1フィールド内の発光量の平均値によって決まる。このため、異常発光の分だけ黒表示が少し明るくなってしまう。この現象を本明細書では「黒浮き」と呼ぶ。黒浮きはコントラストなど画質を損なうので解決すべき課題となっている。

【課題を解決するための手段】

【0007】

上述した従来の技術の課題に鑑み、本発明は画素回路に生じる貫通電流に起因する異常発光を遮断して、黒浮きを抑制し以って表示装置の画質を改善することを目的とする。かかる目的を達成するため以下の手段を講じた。即ち、選択パルスを供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと、保持容量と、結合容量と、ドライブトランジスタと、発光素子と、第1乃至第4のトランジスタとを含み、前記サンプリングトランジスタは、前記走査線から供給される前記選択パルスに応じ導通して前記信号線から供給された前記映像信号をサンプリングして、一端に前記第1のトランジスタが接続されている前記保持容量の他端に前記結合容量を介して供給し、前記保持容量は、一端と他端がそれぞれ前記ドライブトランジスタの一方の信号電極と制御電極とに接続され、前記ドライブトランジスタは、前記第4のトランジスタを介して他方の信号電極から電源電位の供給を受け、一方の信号電極から、前記保持容量に保持された入力電位に応じて所定の発光期間に出力電流を出力し、アノード及びカソードを有する二端子型の前記発光素子は、前記カソードが所定のカソード電位に固定され、前記アノードが前記ドライブトランジスタから前記出力電流の供給を受け、前記映像信号に応じた輝度で発光し、前記第1のトランジスタは、一方の信号電極が、前記ドライブトランジスタの一方の信号電極と前記保持容量の一端との接続点に接続され、他方の信号電極が、所定の電位に固定され、前記第2のトランジスタは、一方の信号電極が、前記サンプリングトランジスタの一方の信号電極と前記結合容量との接続点に接続され、他方の信号電極が、所定のオフセット電位に固定され、前記第3のトランジスタは、一方の信号電極が、前記ドライブトランジスタの他方の信号電極に接続され、他方の信号電極が、前記ドライブトランジスタの制御電極に接続される画素回路において、前記第4のトランジスタが導通状態になって、前記電源電位が前記ドライブトランジスタに供給され、前記発光素子が発光している状態において、所定のタイミングで、前記第2のトランジスタおよび前記第3のトランジスタを非導通状態から導通状態に切り替えると同時に、前記第1のトランジスタを非導通状態から導通状態に切り替えることによって、前記ドライブトランジスタから前記発光素子に流れ込む貫通電流の少なくとも一部を、前記第1のトランジスタの他方の信号電極の前記所定の電位に流して前記発光素子の異常発光を抑制し、さらに前記第1のトランジスタ、前記第2のトランジスタ、および前記第3のトランジスタが導通状態に切り替えられてから所定の時間が経過した時、前記第4のトランジスタを非導通状態にして前記電源電位の供給を停止することによって、前記ドライブトランジスタの閾電圧を前記保持容量に保持させることを特徴とする。

【0008】

具体的には、前記第1のスイッチングトランジスタが導通した時、前記アノード電位が前記発光素子のカットオフ電圧より下まわる様に、前記第1のスイッチングトランジスタの他方の信号電極の前記所定の電位のレベルを設定する。

【0009】

又本発明は、選択パルスを供給する行状の走査線と、映像信号を供給する列状の信号線と、両者が交差する部分に配された行列状の画素とを備え、前記画素は、少なくともサンプリングトランジスタと、保持容量と、結合容量と、ドライブトランジスタと、発光素子

と、第1乃至第4のトランジスタとを含み、前記サンプリングトランジスタは、前記走査線から供給される前記選択パルスに応じ導通して前記信号線から供給された前記映像信号をサンプリングして、一端に前記第1のトランジスタが接続されている前記保持容量の他端に前記結合容量を介して供給し、前記保持容量は、一端と他端がそれぞれ前記ドライブトランジスタの一方の信号電極と制御電極とに接続され、前記ドライブトランジスタは、前記第4のトランジスタを介して他方の信号電極から電源電位の供給を受け、一方の信号電極から、前記保持容量に保持された入力電位に応じて所定の発光期間に出力電流を出力し、アノード及びカソードを有する二端子型の前記発光素子は、前記カソードが所定のカソード電位に固定され、前記アノードが前記ドライブトランジスタから前記出力電流の供給を受け、前記映像信号に応じた輝度で発光し、前記第1のトランジスタは、一方の信号電極が、前記ドライブトランジスタの一方の信号電極と前記保持容量の一端との接続点に接続され、他方の信号電極が、所定の電位に固定され、前記第2のトランジスタは、一方の信号電極が、前記サンプリングトランジスタの一方の信号電極と前記結合容量との接続点に接続され、他方の信号電極が、所定のオフセット電位に固定され、前記第3のトランジスタは、一方の信号電極が、前記ドライブトランジスタの他方の信号電極に接続され、他方の信号電極が、前記ドライブトランジスタの制御電極に接続される表示装置において、前記第4のトランジスタが導通状態になって、前記電源電位が前記ドライブトランジスタに供給され、前記発光素子が発光している状態において、所定のタイミングで、前記第2のトランジスタおよび前記第3のトランジスタを非導通状態から導通状態に切り替えると同時に、前記第1のトランジスタを非導通状態から導通状態に切り替えることによって、前記ドライブトランジスタから前記発光素子に流れ込む貫通電流の少なくとも一部を、前記第1のトランジスタの他方の信号電極の前記所定の電位に流して前記発光素子の異常発光を抑制し、さらに前記第1のトランジスタ、前記第2のトランジスタ、および前記第3のトランジスタが導通状態に切り替えられてから所定の時間が経過した時、前記第4のトランジスタを非導通状態にして前記電源電位の供給を停止することによって、前記ドライブトランジスタの閾電圧を前記保持容量に保持させることを特徴とする。

【発明の効果】

【0010】

本発明によれば、ドライブトランジスタ及び発光素子に接続するスイッチングトランジスタからなる貫通電流遮断手段を設けている。これにより、発光期間以外の期間にドライブトランジスタに流れる貫通電流を発光素子から遮断し、異常発光を防いでいる。異常発光を抑制することで黒表示のときの黒浮きを抑制することができる。これにより、白表示の輝度を保ったまま、黒表示の輝度を下げることができるので、高コントラストの有機ELディスプレイを得ることができる。

【発明を実施するための最良の形態】

【0011】

以下図面を参照して本発明の実施の形態を詳細に説明する。まず最初に本発明の背景を明らかにするため、図1を参照して本発明の元になったアクティブマトリクス表示装置の構成を参考例として説明する。図示するように、アクティブマトリクス型の表示装置は、主要部となる画素アレイ1と周辺の回路群とで構成されている。画素アレイ1は画素回路2を含んでいる。周辺の回路群は水平セレクト3、ライトスキャナ4、第一ドライブスキャナ5、第二ドライブスキャナ6、補正用スキャナ7などを含んでいる。

【0012】

画素アレイ1は行状の走査線WSと列状の信号線SLと両者の交差する部分にマトリクス状に配列した画素回路2とで構成されている。本例の場合、カラー表示を行うため、画素回路2はRGB三原色に分かれて設けてある。信号線SLは水平セレクト3によって駆動される。走査線WSはライトスキャナ4によって走査される。なお、走査線WSと平行に別の走査線DS1、DS2、AZも配線されている。走査線DS1は第一ドライブスキャナ5によって走査される。走査線DS2は第二ドライブスキャナ6によって走査される。なお、走査線DS2はRGBに分かれて3本配されている。これに対し走査線DS1は

R G B 共通で 1 本配されている。残りの走査線 A Z は補正用スキャナ 7 によって走査される。

【 0 0 1 3 】

図 2 は、図 1 に示した画素回路 2 の基本的な構成を示す参考図である。本画素回路 2 は、サンプリングトランジスタ T r 1、ドライプトランジスタ T r 2、スイッチングトランジスタ T r 3、スイッチングトランジスタ T r 4、検出トランジスタ T r 5、スイッチングトランジスタ T r 6、一対の容量素子 C s 1、C s 2 及び発光素子 E L とで構成されている。本参考例では各トランジスタ T r 1 ないし T r 6 は全て N チャネル型のアモルファスシリコン薄膜トランジスタ (T F T) で構成されている。また発光素子 E L は、例えば有機 E L 素子を用いることができる。

10

【 0 0 1 4 】

引き続き図 2 を参照して、画素回路 2 の構成を具体的に説明する。ドライプトランジスタ T r 2 は入力ノードとなるゲート G、出力ノードとなるソース S 及び電源ノードとなるドレイン D とを備えている。出力ノード (S) には発光素子 E L のアノードが接続している。発光素子 E L のカソードは接地 (G N D) されている。本例では、発光素子 E L はアノード及びカソードを備えた二端子形である。ドライプトランジスタ T r 2 の電源側ノード (D) は、スイッチングトランジスタ T r 4 を介して電源 V c c に接続されている。このスイッチングトランジスタ T r 4 のゲートは、走査線 D S 2 に接続されている。

【 0 0 1 5 】

ドライプトランジスタ T r 2 の入力ノード (G) には保持容量 C s 2 の一端が接続されている。この保持容量 C s 2 の他端は出力ノード (S) に接続するとともに、スイッチングトランジスタ T r 3 を介して接地されている。スイッチングトランジスタ T r 3 のゲートは走査線 D S 1 に接続されている。さらに入力ノード (G) には結合容量 C s 1 を介してサンプリングトランジスタ T r 1 が接続している。サンプリングトランジスタ T r 1 のゲートは走査線 W S に接続している。またサンプリングトランジスタ T r 1 のソースは信号線 S L に接続している。加えて結合容量 C s 1 とサンプリングトランジスタ T r 1 の接続ノードは、スイッチングトランジスタ T r 6 を介して接地されている。スイッチングトランジスタ T r 6 のゲートは走査線 A Z に接続している。最後に、ドライプトランジスタ T r 2 のゲート G とドレイン D との間に検出トランジスタ T r 5 が接続されている。検出トランジスタ T r 5 のゲートは走査線 A Z に接続している。

20

30

【 0 0 1 6 】

図 3 のタイミングチャートを参照して、図 2 に示した参考例にかかる画素回路の動作を詳細に説明する。図示のタイミングチャートは、タイミング T 1 で 1 フィールド (1 f) がスタートし、タイミング T 8 で 1 フィールドが終わるように表してある。時間軸に沿って各走査線 W S、A Z、D S 1、D S 2 に印加される制御パルス w s、a z、d s 1、d s 2 の波形を表してある。また同じ時間軸に沿って、ドライプトランジスタ T r 2 のゲート G 及びソース S の電位変化を表してある。なおソース S はドライプトランジスタ T r 2 の出力ノードであり、発光素子 E L のアノードにもなっている。したがって、タイミングチャートに示したソース電位の変化は同時に発光素子 E L のアノード電位の変化も表している。

40

【 0 0 1 7 】

当該フィールドに入る前のタイミング T 0 で、走査線 W S、A Z 及び D S 1 はローレベルにある一方、走査線 D S 2 はハイレベルにある。したがってスイッチングトランジスタ T r 4 のみがオン状態にあり、残りのサンプリングトランジスタ T r 1、スイッチングトランジスタ T r 3、検出トランジスタ T r 5 及びスイッチングトランジスタ T r 6 はオフ状態である。このとき、ドライプトランジスタ T r 2 のゲート G とソース S との間には所定のゲート電圧 V g s が印加され、ドレイン電流 I d が発光素子 E L に供給されている。この結果、発光素子 E L は映像信号に応じた輝度で発光している。図 3 のタイミングチャートは、特に白レベルの映像信号が入力された場合を表してある。

【 0 0 1 8 】

50

タイミングT1で当該フィールドがスタートすると制御パルスa zが立ち上がり、始めにV t h補正期間に入る。この補正期間はタイミングT3で制御パルスa zが立ち下がるまで続く。タイミングT1とT3の間のT2で制御パルスd s 2が立ち下がる。タイミングT1とT2の間は制御パルスa zとd s 2がともにハイレベルでオーバーラップしている。本明細書ではこのタイミングT1～T2までの期間をオーバーラップ期間と称している。

【0019】

オーバーラップ期間では走査線A Zがハイレベルであり、検出トランジスタT r 5及びスイッチングトランジスタT r 6がオンする。このとき制御線D S 2もまたハイレベルであるので、スイッチングトランジスタT r 4もオン状態である。スイッチングトランジスタT r 6が導通することで、結合容量C s 1の一端が接地電位G N Dに固定され、V t h補正の準備状態に入る。また検出トランジスタT r 5がオンすることでドライブトランジスタT r 2のドレインDとゲートGが直結する。このときスイッチングトランジスタT r 4がオンしているのでドレイン電位は急激に電源電位V c cまで上昇する。これにより、ゲートGとドレインDが直結した状態でドライブトランジスタT r 2に貫通電流が流れる。タイミングチャートから明らかなようにオーバーラップ期間ではゲート電位とソース電位の差で表されるゲート電圧V g sがV t hより大きくなり、瞬間的に相当量の貫通電流がドライブトランジスタT r 2中を流れる。このときドライブトランジスタT r 2のソース電位と一致する発光素子E Lのアノード電位が上昇し、発光素子E Lがオンする動作点に到達するので発光素子E Lが異常発光してしまう。このオーバーラップ期間は例えば数百μ s e cであり、60 H zのフィールド期間16.7 m sに比べれば微少な発光である。そのため、白表示ではこの異常発光は問題にならない。しかしながら黒表示時においてはこのオーバーラップ期間に生じる異常発光が黒浮きの原因となってしまう。

【0020】

タイミングT2になると制御パルスd s 2が立ち下がる一方制御パルスd s 1が立ち上がる。これにより、スイッチングトランジスタT r 3がオンするので、ドライブトランジスタT r 2のソースSは接地電位G N Dに落ちる。一方スイッチングトランジスタT r 4がオフするので、非発光期間に入りドライブトランジスタT r 2のドレインDは電源電位V c cから切り離される。電源ラインからの電源供給が断たれるので、貫通電流は急激に減少していく。丁度接地電位G N Dにあるソース電位との差がV t hになるまでゲート電位が低下した時点で、電流は流れなくなる。このときドライブトランジスタT r 2のゲートGとソースSの間に現れた電位差V t hが保持容量C s 2に保持される。この様にしてドライブトランジスタT r 2のV t hの検出及び保持が完了した時点のタイミングT3で、制御パルスa zは立ち下がる。これにより検出トランジスタT r 5及びスイッチングトランジスタT r 6がオフし、V t h補正期間が終了する。

【0021】

続いてタイミングT4～T5までの間選択パルスw sが供給され、書き込み期間となる。この書き込み期間は1水平期間(1 H)に相当する。書き込み期間T4～T5ではサンプリングトランジスタT r 1がオンし、信号線S Lから映像信号がサンプリングされ、結合容量C s 1を介して保持容量C s 2に書き込まれる。タイミングチャートでは保持容量C s 2に書き込まれた映像信号に相当する信号電位をV i nで表してある。前述したように保持容量C s 2には先のV t h補正期間でV t hが保持されている。この信号電位V i nはV t hに足し込まれるかたちで保持容量C s 2に保持される。この結果、ドライブトランジスタT r 2のゲートGに印加される入力電位はV i n + V t hとなる。なお、図3のタイミングチャートは白表示の場合であり、V i nのレベルは最大となっている。

【0022】

続いてタイミングT6に至ると制御パルスd s 1が立ち下がりスイッチングトランジスタT r 3がオフする。この結果ドライブトランジスタT r 2のソースS及び保持容量C s 2の一端が接地電位G N Dから切り離され、発光動作の準備状態になる。

【0023】

10

20

30

40

50

タイミングT7になると制御パルス $d s 2$ が再び立ち上がりスイッチングトランジスタ $T r 4$ がオンする。ドライブトランジスタ $T r 2$ のドレインDが電源電位 $V c c$ に接続されるので、非発光期間から発光期間に移行する。この発光期間の先頭で、入力電位 $V i n + V t h$ に応じた出力電流 $I d$ がドライブトランジスタ $T r 2$ から発光素子 $E L$ に供給され、信号電位 $V i n$ に応じた輝度で発光する。入力電位は $V i n$ に $V t h$ を加えたものなので、ドライブトランジスタ $T r 2$ の閾電圧 $V t h$ の影響は常にキャンセルされ、正味の信号電位 $V i n$ に応じたドレイン電流 $I d$ が流れる。

【0024】

発光素子 $E L$ に出力電流 $I d$ が流れ込むと電圧降下が生じ、その分ソース電位(S)が上昇する。このときブートストラップ動作によりソース電位(S)に連動してゲート電位(G)も上昇するため、 $V g s$ は常に一定に保たれる。ドライブトランジスタ $T r 2$ は $V i n$ によって制御される定電源として機能するので、発光素子 $E L$ に対し常に一定のドレイン電流 $I d$ を供給する事が可能となり、電圧降下の幅が変動しても一定の輝度を維持する事ができる。

【0025】

この後タイミングT8になると当該フィールドが終了し、次の新しいフィールドに入る。また $V t h$ 補正期間、書き込み期間及び発光期間がこの順で繰り返される事になる。

【0026】

図4は、図2に示した画素回路の黒表示時におけるタイミングチャートである。理解を容易にするため、図3に示した白表示時のタイミングチャートと同じ表記を用いている。図示するように、当該フィールドで $V t h$ 補正期間 $T 1 \sim T 3$ に入ると、最初のオーバーラップ期間 $T 1 \sim T 2$ で貫通電流が流れ、発光素子 $E L$ が異常発光する。この現象は、白表示と黒表示の違いに変わりなく、常に観察される。この後書き込み期間 $T 4 \sim T 5$ で映像信号がサンプリングされ、保持容量に保持された閾電圧 $V t h$ に足し込まれる。黒表示の場合映像信号は $0 V$ なので、信号電位は実質的に足し込まれず、保持容量 $C s 2$ が保持する入力電位は $V t h$ のみである。図4のタイミングチャートに示すように、ドライブトランジスタ $T r 2$ のゲート電位とソース電位との間の差は $V t h$ に保たれている。

【0027】

この後タイミングT7で制御パルス $d s 2$ が立ち上がり、スイッチングトランジスタ $T r 4$ がオンして発光期間に入る。しかしドライブトランジスタ $T r 4$ のゲート電圧 $V g s$ は $V t h$ に維持されているのでドレイン電流 $I d$ は流れず、ブートストラップ動作も行われない。このためドライブトランジスタ $T r 2$ のソース電位も接地電位 $G N D$ に保たれ、発光期間に発光素子 $E L$ は発光しない。すなわち黒レベルの表示となる。しかしながら、実際にはオーバーラップ期間 $T 1 \sim T 2$ で貫通電流が流れるため、発光素子 $E L$ は異常発光してしまう。発光素子 $E L$ の輝度は1フィールド内の発光量の平均値によって決まる。このためオーバーラップ期間の異常発光によって黒であるべき輝度が若干上がってしまい、黒浮きとなってしまう。

【0028】

図5は、本発明にかかる画素回路及び表示装置を表す回路図である。理解を容易にするため、図2に示した参考例の画素回路及び表示装置と対応する部分には対応する参照番号を付してある。異なる点は、スイッチングトランジスタ $T r 3$ を貫通電流遮断手段として機能させたことである。

【0029】

図示するように、画素回路2は、走査線 $W S$ と信号線 $S L$ とが交差する部分に配されている。走査線 $W S$ はライトスキャナ4に接続されており選択パルスを提供する。信号線 $S L$ は水平セレクト3に接続されており、映像信号を提供する。なお、走査線 $W S$ と平行に別の走査線 $D S 1$ 、 $D S 2$ 、 $A Z$ が配線されている。走査線 $D S 1$ には第一ドライブスキャナ5が接続しており所定の位相で制御パルスを提供する。同様に走査線 $D S 2$ は第二ドライブスキャナ6に接続されており、所定の位相で制御パルスを提供する。同じく走査線 $A Z$ も補正用スキャナ7に接続されており、所定の位相で制御パルスを提供する。

10

20

30

40

50

【0030】

画素回路2は基本的な構成要素として、サンプリングトランジスタ T_{r1} と保持容量 C_{s2} とドライブトランジスタ T_{r2} と発光素子 E_L とを含んでいる。サンプリングトランジスタ T_{r1} は、走査線 W_S から供給される選択パルス w_s に応じ導通して、信号線 S_L から供給された映像信号をサンプリングする。保持容量 C_{s2} は、サンプリングされた映像信号に応じた入力電位を保持する。ドライブトランジスタ T_{r2} は、保持容量 C_{s2} に保持された入力電位に応じて所定の発光期間に出力電流 I_d を供給する。なお所定の発光期間はドライブトランジスタ T_{r2} のドレイン D と電源電位 V_{cc} との間に挿入されたスイッチングトランジスタ T_{r4} によって規定される。発光素子 E_L は、ドライブトランジスタ T_{r2} から供給された出力電流 I_d により映像信号に応じた輝度で発光する。

10

【0031】

本発明の特徴事項として、画素回路2は閾電圧補正手段と貫通電流補正手段とを備えている。閾電圧補正手段は、検出トランジスタ T_{r5} とスイッチングトランジスタ T_{r6} とで構成されている。検出トランジスタ T_{r5} はドライブトランジスタ T_{r2} 及び保持容量 C_{s2} に接続しており、発光期間に先立って動作しドライブトランジスタ T_{r2} の閾電圧 V_{th} を検出してこれを補正量としてあらかじめ保持容量 C_{s2} に保持する。なお、閾電圧補正手段を構成する検出トランジスタ T_{r5} の動作中に、ドライブトランジスタ T_{r2} に貫通電流が流れる。この点は、参考例の画素回路を参照して説明したとおりである。なお、スイッチングトランジスタ T_{r6} の一端は所定のオフセット電位 V_{oft} に固定されている。

20

【0032】

貫通電流遮断手段として機能するスイッチングトランジスタ T_{r3} は、ドライブトランジスタ T_{r2} と発光素子 E_L に接続し、ドライブトランジスタ T_{r2} から発光素子 E_L に流れ込む貫通電流の少なくとも一部を遮断して、発光期間以外の期間における発光素子 E_L の異常発光を抑制する。

【0033】

前述したように、発光素子 E_L はアノード及びカソードを有する二端子型の発光素子からなる。アノードはドライブトランジスタ T_{r2} に接続する一方カソードは所定のカソード電位 $V_{cathode}$ に固定されている。貫通電流遮断手段を構成するスイッチングトランジスタ T_{r3} は、そのゲートが走査線 DS_1 に接続している。そのドレインが発光素子 E_L のアノードに接続し、ソースがカソード電位 $V_{cathode}$ よりも低い所定の接地電位 V_{ss} に固定されている。本発明では所定の電位 $V_{cathode}$ 、 V_{ss} 、 V_{oft} が最適なレベルに固定されているのに対し、図2に示した参考例では全て GND に統一されている。スイッチングトランジスタ T_{r3} は、走査線 DS_1 に供給される制御パルス ds_1 に応じて導通し、貫通電流を接地電位 V_{ss} 側に流す。より具体的には、スイッチングトランジスタ T_{r3} が導通したとき、アノード電位が発光素子 E_L のカットオフ電圧より下回るように、接地電位 V_{ss} のレベルを設定する。これにより、発光素子 E_L を貫通電流から完全に遮断することができる。

30

【0034】

なお、図5に示した実施形態は、全てのトランジスタ T_{r1} ないし T_{r6} が、Nチャネル型のアモルファスシリコン薄膜トランジスタで構成されている。しかしながら本発明はこれに限られるものではなく、ポリシリコン薄膜トランジスタなどを採用して、Nチャネル型に加えPチャネル型のTFTを混在させてもよい。

40

【0035】

図6は、図5に示した本発明にかかる画素回路の動作説明に供するタイミングチャートである。黒表示の場合を表しており、先に示した参考例にかかる図4のタイミングチャートと対応させて共通の表記を用いている。なお両者の比較を容易にするため、図4のタイミングチャートに示したゲート電位及びソース電位の変化を点線で表してある。これに対し、図5に示した本発明にかかる画素回路のドライブトランジスタのゲート電位及びソース電位の変化は実線で表してある。図示するように、当該フィールドが始まって最初の期

50

間 $T_1 \sim T_2$ で、制御パルス a_z がオンになる一方、制御パルス d_s2 も引き続きオン状態を保っている。したがって検出トランジスタ Tr_5 及びスイッチングトランジスタ Tr_4 の両者が同時にオンしている。したがって先の参考例と同じく、このオーバーラップ期間 $T_1 \sim T_2$ で貫通電流が流れ、ドライブトランジスタ Tr_2 のゲート電位 (G) 及びソース電位 (S) は急激に上昇する。

【0036】

しかしながら先の参考例と異なり、オーバーラップ期間 $T_1 \sim T_2$ で、制御パルス d_s1 もハイレベルに立ち上がっており、スイッチングトランジスタ Tr_3 が導通する。これにより、ドライブトランジスタ Tr_2 を流れた貫通電流の少なくとも一部は発光素子 EL を流れずスイッチングトランジスタ Tr_3 を流れていく。これにより異常発光を抑制することができる。

10

【0037】

ここで再び図5の画素回路を参照すると、貫通電流のパスとしては電源電位 V_{cc} からトランジスタ Tr_4 , Tr_2 , Tr_3 を通って接地電位 V_{ss} に流れる $V_{cc} - V_{ss}$ 経路と、同じく電源電位 V_{cc} からトランジスタ Tr_4 , Tr_2 , 発光素子 EL を通ってカソード電位 $V_{cathode}$ に流れる $V_{cc} - V_{cathode}$ 経路の二通りが考えられる。本発明では特に貫通電流が流れるとき発光素子 EL がカットオフする動作点となるように、 V_{ss} の電圧値を $V_{cathode}$ に対して低い値に設定しておく。これにより、オーバーラップ期間 $T_1 \sim T_2$ においても、発光素子 EL のアノード電位はカットオフ点になり、貫通電流は $V_{cc} - V_{ss}$ 経路にしか流れなくなり、発光素子 EL の異常発光は完全になくなる。これにより、黒表示時の黒浮きを完全に防止することができる。

20

【図面の簡単な説明】

【0038】

【図1】参考例にかかる表示装置を示すブロック図である。

【図2】図1に示した表示装置に含まれる画素回路の一例を示す回路図である。

【図3】図2に示した画素回路の動作説明に供するタイミングチャートである。

【図4】同じく図2に示した画素回路の動作説明に供するタイミングチャートである。

【図5】本発明にかかる画素回路及び表示装置を示す回路図である。

【図6】図5に示した画素回路の動作説明に供するタイミングチャートである。

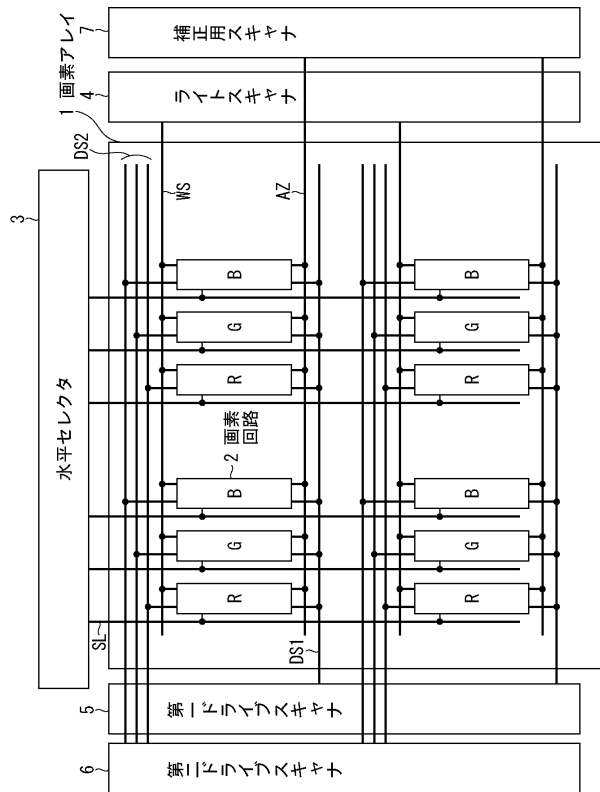
【符号の説明】

30

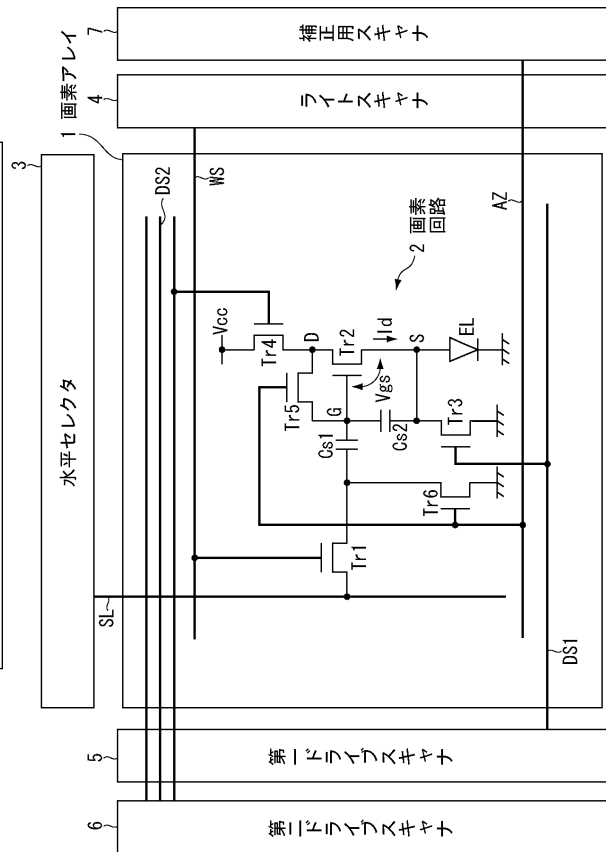
【0039】

1・・・画素アレイ、2・・・画素回路、3・・・水平セレクタ、4・・・ライトスキャナ、5・・・第一ドライブスキャナ、6・・・第二ドライブスキャナ、7・・・補正用スキャナ、 Tr_1 ・・・サンプリングトランジスタ、 Tr_2 ・・・ドライブトランジスタ、 Tr_3 ・・・スイッチングトランジスタ(貫通電流遮断手段)、 Tr_4 ・・・スイッチングトランジスタ、 Tr_5 ・・・検出トランジスタ(閾電圧補正手段)、 EL ・・・発光素子

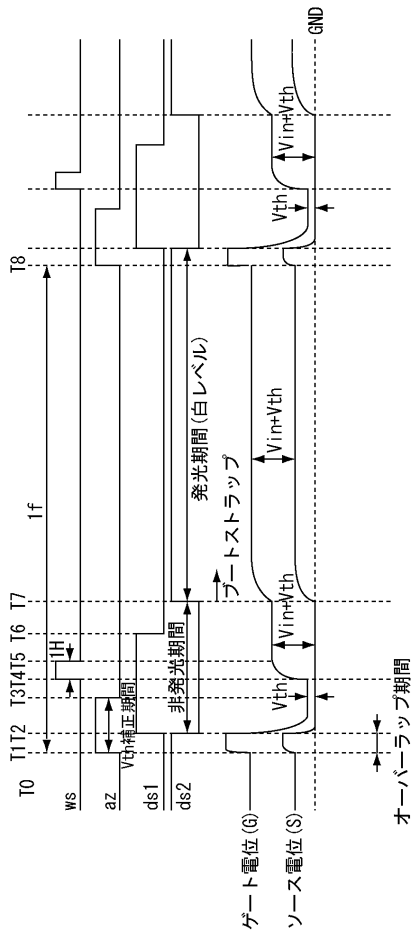
【図 1】



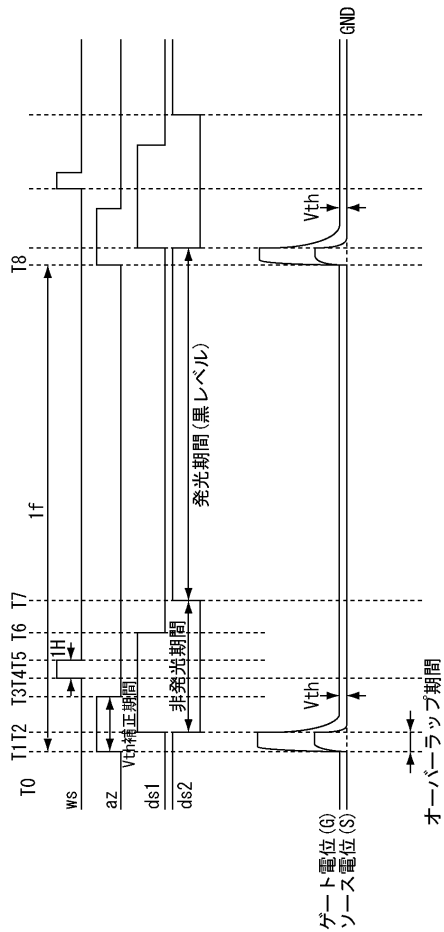
【図 2】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 7 0 J
G 0 9 G 3/20 6 7 0 M
H 0 5 B 33/14 A

審査官 西島 篤宏

(56)参考文献 特開 2 0 0 2 - 3 5 1 4 0 1 (J P , A)
特開 2 0 0 4 - 1 3 3 2 4 0 (J P , A)
特開 2 0 0 4 - 3 6 1 6 4 0 (J P , A)
特開 2 0 0 5 - 2 0 2 2 5 5 (J P , A)
特開 2 0 0 6 - 0 7 8 9 2 1 (J P , A)
特開 2 0 0 5 - 1 8 9 3 8 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8

专利名称(译)	像素电路和显示设备		
公开(公告)号	JP4635542B2	公开(公告)日	2011-02-23
申请号	JP2004280993	申请日	2004-09-28
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 内野勝秀 山本哲郎		
发明人	山下 淳一 内野 勝秀 山本 哲郎		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.D G09G3/20.642.E G09G3/20.670.E G09G3/20.670.J G09G3/20.670.M H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH02 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD09 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AB34 5C380/BA10 5C380/BA38 5C380/BA39 5C380/BB08 5C380/BB23 5C380/CA12 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CB31 5C380/CC04 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC61 5C380/CC65 5C380/CD026 5C380/DA02 5C380/DA06 5C380/DA20		
其他公开文献	JP2006098438A		
外部链接	Espacenet		

摘要(译)

提供一种能够防止由于直通电流引起的异常发光的像素电路。像素电路包括阈值电压校正单元和直通电流中断单元。阈值电压校正装置连接到驱动晶体管Tr 2和保持电容器Cs 2，并且在发光时段之前操作以检测驱动晶体管Tr 2的阈值电压并且将其预先保持在保持电容器C 2中作为校正量。在阈值电压校正装置的操作期间，直通电流流过驱动晶体管Tr 2。通过电流中断装置连接到驱动晶体管Tr 2和发光元件EL，以中断从驱动晶体管Tr 2流到发光元件EL的至少一部分通过电流，以在发光周期以外的时段中抑制发光元件EL的异常发光。到。点域5

