

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4620140号
(P4620140)

(45) 発行日 平成23年1月26日(2011.1.26)

(24) 登録日 平成22年11月5日(2010.11.5)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
 G09G 3/20 (2006.01)
 H01L 51/50 (2006.01)
 H05B 33/08 (2006.01)

G09G 3/30 K
 G09G 3/20 642C
 G09G 3/20 642L
 G09G 3/20 670J
 G09G 3/20 621M

請求項の数 11 (全 50 頁) 最終頁に続く

(21) 出願番号 特願2008-87107(P2008-87107)
 (22) 出願日 平成20年3月28日(2008.3.28)
 (62) 分割の表示 特願2001-883(P2001-883)の分割
 原出願日 平成13年1月9日(2001.1.9)
 (65) 公開番号 特開2008-209939(P2008-209939A)
 (43) 公開日 平成20年9月11日(2008.9.11)
 審査請求日 平成20年4月1日(2008.4.1)
 (31) 優先権主張番号 特願2000-2042(P2000-2042)
 (32) 優先日 平成12年1月11日(2000.1.11)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (74) 代理人 100103159
 弁理士 加茂 裕邦
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 奈良田 新一

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

表示部と、センサ部とを有する表示装置であって、
 前記表示部は複数の表示用画素を有しており、
 前記センサ部は一つ又は複数のセンサ用画素を有しており、
 前記複数の表示用画素および一つ又は複数のセンサ用画素は、スイッチング用TFT、
 電流制御用TFT、及び発光素子をそれぞれ有しており、
 前記一つ又は複数のセンサ用画素は、第1のTFT、第2のTFT、及び受光ダイオード
 をそれぞれ有しており、
 前記スイッチング用TFTは前記電流制御用TFTの駆動を制御し、
 前記電流制御用TFTは前記発光素子の発光を制御し、
 前記第2のTFTは、ゲートと、定電流源に電氣的に接続されたソースと、一定の電位
 に保たれているドレインとを有しており、
 前記第1のTFTのソースまたはドレインのいずれか一方は前記第2のTFTのドレイ
 ンと電氣的に接続しており、
 前記第1のTFTのソースまたはドレインのいずれか他方は前記第2のTFTのゲート
 と電氣的に接続しており、
 前記第1のTFTのソースまたはドレインのいずれか他方は前記受光ダイオードと電氣
 的に接続しており、
 前記第1のTFTがオンの時、前記第2のTFTのゲートと前記第2のTFTのドレイ

10

20

ンの電位は等しくなり、

前記第 1 の T F T がオフの時、前記受光ダイオードを流れる電流に応じて前記第 2 の T F T のゲートの電位が変化することによって、前記複数の表示用画素がそれぞれ有する発光素子の輝度が制御され、

前記受光ダイオードの半導体膜は前記第 1 の T F T の半導体膜および前記第 2 の T F T の半導体膜と同じ工程で作製され、前記受光ダイオードは、活性層中にアノード、カソード、チャンネル形成領域及びバッファ領域を有することを特徴とする表示装置。

【請求項 2】

表示部と、センサ部とを有する表示装置であって、

前記表示部は複数の表示用画素を有しており、

前記センサ部は一つ又は複数のセンサ用画素を有しており、

前記複数の表示用画素および一つ又は複数のセンサ用画素は、スイッチング用 T F T 、電流制御用 T F T 、及び発光素子をそれぞれ有しており、

前記一つ又は複数のセンサ用画素は、第 1 の T F T 、第 2 の T F T 、及び受光ダイオードをそれぞれ有しており、

前記スイッチング用 T F T は前記電流制御用 T F T の駆動を制御し、

前記電流制御用 T F T は前記発光素子の発光を制御し、

前記第 2 の T F T は、ゲートと、定電流源に電氣的に接続されたソースと、一定の電位に保たれているドレインとを有しており、

前記第 1 の T F T のソースまたはドレインのいずれか一方は前記第 2 の T F T のドレインと電氣的に接続しており、

前記第 1 の T F T のソースまたはドレインのいずれか他方は前記第 2 の T F T のゲートと電氣的に接続しており、

前記第 1 の T F T のソースまたはドレインのいずれか他方は前記受光ダイオードと電氣的に接続しており、

前記第 1 の T F T がオンの時、前記第 2 の T F T のゲートと前記第 2 の T F T のドレインの電位は等しくなり、

前記第 1 の T F T がオフの時、前記受光ダイオードを流れる電流に応じて前記第 2 の T F T のゲートの電位が変化することによって、前記複数の表示用画素がそれぞれ有する発光素子の輝度が制御され、

前記第 2 の T F T のソースは、補正回路と接続され、

前記補正回路は、A / D 変換回路と、演算回路と、補正メモリと、前記演算回路により補正されたデジタルの補正信号がアナログに変換される D / A 変換回路とを有し、

前記 A / D 変換回路は前記第 2 の T F T から出力されたセンサ出力信号をデジタルのセンサ出力信号に変換し、

前記演算回路に前記デジタルのセンサ出力信号が入力され、

前記補正メモリに記憶されている補正基準データと前記デジタルのセンサ出力信号が前記演算回路で比較され、デジタルの補正信号が生成され、

前記デジタルの補正信号が前記 D / A 変換回路に入力され、アナログに変換され、発光素子用電源に入力され、

前記受光ダイオードの半導体膜は前記第 1 の T F T の半導体膜および前記第 2 の T F T の半導体膜と同じ工程で作製され、前記受光ダイオードは、活性層中にアノード、カソード、チャンネル形成領域及びバッファ領域を有することを特徴とする表示装置。

【請求項 3】

表示部と、センサ部と、ソース信号線駆動回路と、ゲート信号線駆動回路とを有する表示装置であって、

前記表示部は複数の表示用画素を有しており、

前記センサ部は一つ又は複数のセンサ用画素を有しており、

前記複数の表示用画素および一つ又は複数のセンサ用画素は、スイッチング用 T F T 、電流制御用 T F T 、及び発光素子をそれぞれ有しており、

前記一つ又は複数のセンサ用画素は、第1のTFT、第2のTFT、及び受光ダイオードをそれぞれ有しており、

前記ゲート信号線駆動回路から前記スイッチング用TFTが有するゲート電極に入力される信号によって、前記スイッチング用TFTの駆動が制御され、

前記ソース信号線駆動回路から前記スイッチング用TFTを介して前記電流制御用TFTが有するゲート電極に入力される信号によって、前記電流制御用TFTの駆動が制御され、

前記電流制御用TFTは前記発光素子の発光を制御し、

前記第2のTFTは、ゲートと、定電流源に電氣的に接続されたソースと、一定の電位に保たれているドレインとを有しており、

10

前記第1のTFTのソースまたはドレインのいずれか一方は前記第2のTFTのドレインと電氣的に接続しており、

前記第1のTFTのソースまたはドレインのいずれか他方は前記第2のTFTのゲートと電氣的に接続しており、

前記第1のTFTのソースまたはドレインのいずれか他方は前記受光ダイオードと電氣的に接続しており、

前記第1のTFTがオンの時、前記第2のTFTのゲートと前記第2のTFTのドレインの電位は等しくなり、

前記第1のTFTがオフの時、前記受光ダイオードを流れる電流に応じて前記第2のTFTのゲートの電位が変化することによって、前記複数の表示用画素がそれぞれ有する発光素子の輝度が制御され、

20

前記受光ダイオードの半導体膜は前記第1のTFTの半導体膜および前記第2のTFTの半導体膜と同じ工程で作製され、前記受光ダイオードは、活性層中にアノード、カソード、チャンネル形成領域及びバッファ領域を有することを特徴とする表示装置。

【請求項4】

請求項1乃至請求項3のいずれか1項において、

前記発光素子は、赤色、青色又は緑色に発光することを特徴とする表示装置。

【請求項5】

請求項1乃至請求項4のいずれか1項において、

前記第1のTFTはnチャネル型TFTであり、前記第2のTFTはpチャネル型TFTであることを特徴とする表示装置。

30

【請求項6】

請求項1乃至請求項4のいずれか1項において、

前記第1のTFTはpチャネル型TFTであり、前記第2のTFTはnチャネル型TFTであることを特徴とする表示装置。

【請求項7】

請求項1乃至請求項6のいずれか1項において、

前記発光素子は、陽極と陰極との間に有機化合物層を有しており、前記有機化合物層は低分子系有機物質またはポリマー系有機物質を有することを特徴とする表示装置。

【請求項8】

40

請求項7において、

前記低分子系有機物質は、Alq₃(トリス-8-キノリライト-アルミニウム)またはTPD(トリフェニルアミン誘導体)からなることを特徴とする表示装置。

【請求項9】

請求項7において、

前記ポリマー系有機物質は、PPV(ポリフェニレンビニレン)、PVK(ポリビニルカルバゾール)またはポリカーボネートからなることを特徴とする表示装置。

【請求項10】

請求項7において、

前記陽極は、酸化インジウムと酸化スズとの化合物、または酸化インジウムと酸化亜鉛

50

との化合物でなる透明導電膜であることを特徴とする表示装置。

【請求項 11】

請求項 1 乃至請求項 10 のいずれか 1 項に記載の前記表示装置とキーボード又は操作スイッチを用いることを特徴とするコンピュータ、ビデオカメラ、デジタルカメラ、ナビゲーションシステム、音響再生装置、ゲーム機器、携帯情報端末、または画像再生装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板上に形成された発光素子を、該基板とカバー材の間に封入した表示用パネルに関する。また、該表示用パネルに IC を実装した表示用モジュールに関する。なお本明細書において、表示用パネル及び表示用モジュールを発光装置（半導体表示装置）と総称する。本発明はさらに、該発光装置を用いた電子機器に関する。

10

【背景技術】

【0002】

近年、基板上に TFT を形成する技術が大幅に進歩し、アクティブマトリクス型の半導体表示装置（アクティブマトリクス型半導体表示装置）への応用開発が進められている。特に、ポリシリコン膜を用いた TFT は、従来のアモルファスシリコン膜を用いた TFT よりも電界効果移動度（モビリティともいう）が高いため、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

20

【0003】

このようなアクティブマトリクス型半導体表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、半導体表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られる。

【0004】

そしてさらに、自発光型素子として発光素子を有したアクティブマトリクス型の発光装置（アクティブマトリクス型発光装置）の研究が活発化している。発光装置は有機 EL 装置（OLED: Organic EL Display）又は有機ライトエミッシングダイオード（OLED: Organic Light Emitting Diode）とも呼ばれている。

30

【0005】

発光装置は、液晶表示装置と異なり自発光型である。発光素子（EL 素子）は一对の電極（陽極と陰極）の間に有機化合物を含む層（以下、有機化合物層または EL 層と記す）が挟まれた構造となっているが、有機化合物層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーの Tang らが提案した「正孔輸送層 / 発光層 / 電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められている発光装置は殆どこの構造を採用している。

【0006】

発光素子は、電場を加えることで発生するルミネッセンス（Electro Luminescence）が得られると、陽極層と、有機化合物層と、陰極層とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明の発光装置は、どちらの発光を用いていても良い。

40

【0007】

また他にも、電極上に正孔注入層 / 正孔輸送層 / 発光層 / 電子輸送層、または正孔注入層 / 正孔輸送層 / 発光層 / 電子輸送層 / 電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0008】

本明細書において一对の電極間に設けられる全ての層を総称して有機化合物層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全て有

50

機化合物層に含まれる。

【 0 0 0 9 】

本明細書中では、陽極、有機化合物層及び陰極で形成される発光素子を発光素子と呼ぶ。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

発光装置を実用化する上で問題となっているのが、有機化合物層が有する有機材料の劣化による、発光素子の輝度の低下であった。

【 0 0 1 1 】

10

有機化合物層が有する有機材料は、水分、酸素、光、熱に弱く、これらのものによって有機化合物層の劣化が促進される。具体的には、発光装置を駆動するデバイスの構造、有機化合物層を構成する有機材料の特性、電極の材料、作成工程における条件、発光装置の駆動方法等により、有機化合物層の劣化の速度が左右される。

【 0 0 1 2 】

有機化合物層に一对の電極から一定の電圧をかけていても、有機化合物層が劣化することで、発光素子の輝度が低下する。そして発光素子の輝度が低下することによって、発光装置に表示される画像が不鮮明になる。

【 0 0 1 3 】

また、発光装置には大きく分けて四つのカラー化表示方式があり、R（赤）G（緑）B（青）に対応した三種類の発光素子を形成する方式、白色発光の発光素子とカラーフィルタを組み合わせた方式、青色又は青緑発光の発光素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を使用してRGBに対応した発光素子を重ねる方式（RGBスタッキング法）がある。

20

【 0 0 1 4 】

有機化合物層を構成する有機材料は、有機化合物層の発光する色によって異なる。そのため、R（赤）G（緑）B（青）に対応した三種類の発光素子を用いたカラー化表示方式において、RGBに対応した三種類の発光素子が有する有機化合物層は、それぞれ異なる速度で劣化することがある。この場合、時間が経つにつれRGBに対応した発光素子の輝度がそれぞれ異なってしまう、発光装置に所望の色を有する画像を表示することができなくなる。

30

【 0 0 1 5 】

本発明は上述したことに鑑み、有機化合物層が劣化しても、発光素子の輝度の低下を抑え、鮮明で所望のカラー表示を行うことが可能な発光装置を提供することを課題とする。

【 課題を解決するための手段 】

【 0 0 1 6 】

本発明の発光装置は、発光装置の画像を表示する部分（表示部）の輝度を検知して、該輝度を所望の値に補正するためのセンサ部を有する。センサ部は1つ又は複数の画素を有している。なお以下、本明細書において、センサ部が有する画素をセンサ用画素と呼ぶ。

【 0 0 1 7 】

40

センサ用画素は、発光素子と、該発光素子の輝度の変化量を検知する受光ダイオードとを有する。なお以下、本明細書において、センサ用画素が有する発光素子をセンサ用発光素子と呼ぶ。

【 0 0 1 8 】

センサ用発光素子は、表示部の画素（以下、表示用画素）が有する発光素子（以下、表示用発光素子）と同じ構成を有しており、少なくとも、一对の電極を構成している材料、有機化合物層の積層構造及び該有機化合物層を構成している材料がそれぞれ同じである。

【 0 0 1 9 】

そして任意に選ばれた表示用発光素子に入力される信号と同じ信号が、センサ用発光素子に入力される。なお本明細書において発光素子（表示用発光素子及びセンサ用発光素子

50

）に信号が入力されるというのは、発光素子の有する電極の一つに該信号の電位が与えられ、発光素子の有する電極の一つに与えられた該信号の電位ともう一つの電極に与えられている一定の電位との電位差である発光素子駆動電圧が、有機化合物層に加えられることを意味する。

【 0 0 2 0 】

よってセンサ用発光素子と、任意に選ばれた表示用発光素子とでは、有機化合物層に加えられている電圧が同じであり、そのため有機化合物層の劣化する速度がほぼ等しい。よってセンサ用発光素子の輝度と表示用発光素子の輝度とは、時間を経てもほぼ等しい状態を保つ。

【 0 0 2 1 】

10

一方センサ用発光素子が発する光は、センサ用画素が有する受光ダイオードに照射される。そして該受光ダイオードはセンサ用発光素子の輝度を検知する。その検知されたセンサ用発光素子の輝度の情報をもとに、表示用発光素子の輝度が補正され、また同時にセンサ用発光素子の輝度も補正される。

【 0 0 2 2 】

本発明は上記構成によって、発光装置において有機化合物層が劣化しても、発光素子の輝度の低下を抑え、鮮明で所望のカラー表示を行うことが可能になる。

【 0 0 2 3 】

本発明の発光装置は、白色発光の表示用発光素子を用いたカラー表示方式であっても良いし、RGBのそれぞれの色に対応する表示用発光素子を用いたカラー表示方式であっても良い。RGBのそれぞれの色に対応する表示用発光素子を用いたカラー表示方式の場合、RGBのそれぞれの色に対応するセンサ用画素をセンサ部に設けることが好ましい。しかし本発明はこの構成に限定されず、RGBのうちの1つ又は2つの色に対応するセンサ用画素をセンサ部に設けても良い。

20

特に有機化合物層の劣化が著しい色に対応するセンサ用画素をセンサ部に設けることは、所望の色を有する画像を表示するのに有効である。

【 0 0 2 4 】

また、表示用発光素子とセンサ用発光素子とは、同じ条件で、同時に形成することが好ましい。上記構成によって、表示用発光素子とセンサ用発光素子とが有する有機化合物層の劣化する速度をより同じくすることができ、センサ用発光素子の輝度を表示用発光素子とより同じにすることができる。したがって、受光ダイオードが検知するセンサ用発光素子の輝度が、表示用発光素子の輝度により等しくなり、表示用発光素子の輝度の変化をより正確に検知し、表示用発光素子の輝度を所望の値に補正することが可能になる。

30

【 0 0 2 5 】

またセンサ部を表示部と同時に基板上に形成した場合、発光装置の作製工程は、センサ部を設けない場合の作製工程に受光ダイオードを形成する工程のみを追加するだけで良い。よって作製工程数を著しく増やす必要はなく、作製工程数を抑えることが可能である。

【 0 0 2 6 】

なお、表示部の一部をセンサ部として用いることも可能である。つまり、表示部が有する画素のうち、任意に選択された1つ又は複数の画素をセンサ用画素とし、他の画素を表示用画素とすることも可能である。この場合、センサ部が表示部に含まれない場合に比べて、センサ部を設けるスペースを省くことができるので、発光装置の大きさを抑えることができる。

40

【発明の効果】

【 0 0 2 7 】

本発明によって、発光装置を駆動するデバイスの構造、有機化合物層を構成する有機材料の特性、電極の材料、作成工程における条件、発光装置の駆動方法等により、有機化合物層の劣化する速度が左右されても、鮮明でなおかつ所望の色を有する画像を表示することが可能な発光装置を提供することができる。

【 0 0 2 8 】

50

また、表示用発光素子とセンサ用発光素子とは、同じ条件で、同時に形成することで、表示用発光素子とセンサ用発光素子とが有する有機化合物層の劣化する速度をより同じくすることができ、センサ用発光素子の輝度を表示用発光素子とより同じにすることができる。したがって、受光ダイオードが検知するセンサ用発光素子の輝度が、表示用発光素子の輝度により等しくなり、表示用発光素子の輝度の変化をより正確に検知し、所望の輝度に補正することが可能になる。

【 0 0 2 9 】

またセンサ部を表示部と同時に基板上に形成した場合、発光装置の作製工程は、センサ部を設けない場合の作製工程に受光ダイオードを形成する工程のみを追加するだけで良い。よって作製工程数を著しく増やす必要はなく、作製工程数を抑えることが可能である。

10

【 0 0 3 0 】

なお、表示部の一部をセンサ部として用いることで、センサ部が表示部に含まれない場合に比べて、センサ部を設けるスペースを省くことができるので、発光装置の大きさを抑えることができる。

【発明を実施するための最良の形態】

【 0 0 3 1 】

本発明の実施の形態について、図 1 ～ 図 6 を用いて説明する。

【 0 0 3 2 】

図 1 に、本発明の半導体表示装置に含まれる発光装置の上面図を示す。なお本実施の形態では、デジタル方式で駆動するカラー表示用の発光装置について説明する。しかし、本発明の発光装置の駆動方法はデジタル方式に限定されることはなく、アナログ方式で駆動することも可能である。また本実施の形態では、カラー表示の発光装置について説明するが、本発明の発光装置はカラー表示だけではなく、モノクロ表示を行うことも可能である。

20

【 0 0 3 3 】

表示部 1 0 1、ソース信号線駆動回路 1 0 2、ゲート信号線駆動回路 1 0 3、センサ部 1 0 6 が図 1 に示すように設けられている。ソース信号線駆動回路 1 0 2 はシフトレジスタ 1 0 2 a、ラッチ (A) 1 0 2 b、ラッチ (B) 1 0 2 c を有している。

【 0 0 3 4 】

センサ部 1 0 6 は、R G B にそれぞれ対応したセンサ用画素 1 0 4 (R センサ用画素 1 0 4 a、G センサ用画素 1 0 4 b、B センサ用画素 1 0 4 c) を有している。なお本実施の形態では、R G B に対応した三種類の発光素子を用いたカラー化表示方式の発光装置について示しているが、本発明はこれに限定されない。

30

白色発光の発光素子を用いたカラー化表示方式を用いることも可能である。また本実施の形態では、センサ部 1 0 6 が R G B にそれぞれ対応した 3 つのセンサ用画素を有しているが、本発明はこれに限定されない。R G B のうち、1 つ又は 2 つの色に対応するセンサ用画素のみを設けるようにしても良い。

【 0 0 3 5 】

表示部 1 0 1 及びセンサ部 1 0 6 の詳しい回路図を図 2 に示す。表示部 1 0 1 はソース信号線 (S 1 ～ S x)、電源供給線 (V 1 ～ V x)、ゲート信号線 (G 1 ～ G y) が設けられている。なお本実施の形態では、センサ部 1 0 6 と表示部 1 0 1 とを同じ基板上に設けているが、本発明はこれに限定されない。センサ部と表示部を異なる基板上に設け、F P C 等で接続する構成にしても良い。

40

【 0 0 3 6 】

表示部 1 0 1 は複数の表示用画素 1 0 5 を有している。表示用画素 1 0 5 は、ソース信号線 (S 1 ～ S x) のいずれか 1 つと、電源供給線 (V 1 ～ V x) のいずれか 1 つと、ゲート信号線 (G 1 ～ G y) のいずれか 1 つとを有している。そして表示用画素 1 0 5 は、R の表示を行う表示用画素と、G の表示を行う表示用画素と、B の表示を行う表示用画素とがある。

【 0 0 3 7 】

50

Rの表示を行う表示用画素のうち、任意に選ばれた表示用画素(p、q)はソース信号線 S_p (pは1~xの任意の数)、電源供給線 V_p 、ゲート信号線 G_q (qは1~yの任意の数)を含んでいる。そしてRセンサ用画素104aは、Rの表示を行う表示用画素(p、q)と同じく、ソース信号線 S_p 、電源供給線 V_p 、ゲート信号線 G_q を含んでいる。

【0038】

また図示しないが、Gセンサ用画素104bも同様に、任意に選ばれたGの表示を行う表示用画素が含んでいるのと同じソース信号線、電源供給線、ゲート信号線を含んでいる。そして同じく図示しないが、Bセンサ用画素104cも同様に、任意に選ばれたBの表示を行う表示用画素が含んでいるのと同じソース信号線、電源供給線、ゲート信号線を含んでいる。

10

【0039】

図3にセンサ用画素104a~104cの詳しい構成を示す。点線で囲まれた領域がセンサ用画素104である。センサ用画素104はソース信号線 S ($S_1 \sim S_x$ のいずれか1つ)、電源供給線 V ($V_1 \sim V_x$ のいずれか1つ)、ゲート信号線 G ($G_1 \sim G_y$ のいずれか1つ)を含んでいる。

【0040】

またセンサ用画素104(104a~c)はスイッチング用TF T130、電流制御用TF T131、センサ用発光素子132を有している。また図3ではコンデンサ133を有しているが、コンデンサ133を設けない構成にしても良い。

20

【0041】

センサ用発光素子132は陽極と陰極と、陽極と陰極との間に設けられた有機化合物層とからなる。陽極が電流制御用TF T131のドレイン領域と接続している場合、言い換えると陽極が画素電極の場合、対向電極である陰極は所定の電位(対向電位)に保たれる。逆に陰極が電流制御用TF T131のドレイン領域と接続している場合、言い換えると陰極が画素電極の場合、対向電極である陽極は所定の電位(対向電位)に保たれる。

【0042】

スイッチング用TF T130のゲート電極はゲート信号線 G に接続されている。そしてスイッチング用TF T130のソース領域とドレイン領域は、一方がソース信号線 S に、もう一方が電流制御用TF T131のゲート電極に接続されている。

30

【0043】

電流制御用TF T131のソース領域とドレイン領域は、一方が電源供給線 V に、もう一方がセンサ用発光素子132に接続されている。コンデンサ133は電流制御用TF T131のゲート電極と電源供給線 V とに接続して設けられている。

【0044】

さらにセンサ用画素104は、リセット用TF T134、バッファ用TF T135、受光ダイオード136を有している。

【0045】

リセット用TF T134のゲート電極はリセット信号線 R_L に接続されている。リセット用TF T134のソース領域はセンサ用電源線 V_B 及びバッファ用TF T135のドレイン領域に接続されている。センサ用電源線 V_B は常に一定の電位(基準電位)に保たれている。またリセット用TF T134のドレイン領域は受光ダイオード136及びバッファ用TF T135のゲート電極に接続されている。

40

【0046】

バッファ用TF T135のソース領域はセンサ出力配線 F_L に接続されている。またセンサ出力配線 F_L は定電流電源137に接続されており、常に一定の電流が流れている。そしてバッファ用TF T135のドレイン領域は常に一定の基準電位に保たれているセンサ用電源線 V_B に接続されており、バッファ用TF T135はソースフォロワ(source follower)として機能する。

【0047】

50

図示しないが、受光ダイオード１３６はカソードと、アノードと、カソードとアノードの間に設けられた光電変換層とを有している。

【００４８】

図４に表示用画素１０５の詳しい構成を示す。点線で囲まれた領域が表示用画素１０５である。表示用画素１０５はソース信号線Ｓ（Ｓ１～Ｓ_xのいずれか１つ）、電源供給線Ｖ（Ｖ１～Ｖ_xのいずれか１つ）、ゲート信号線Ｇ（Ｇ１～Ｇ_yのいずれか１つ）を含んでいる。

【００４９】

また表示用画素１０５はセンサ用画素１０４と同様に、スイッチング用ＴＦＴ１４０、電流制御用ＴＦＴ１４１、表示用発光素子１４２を有している。表示用発光素子１４２は図３で示したセンサ用発光素子１３２と同じ構成を有している。具体的には、表示用発光素子１４２とセンサ用発光素子１３２とは、一对の電極間に有機化合物層をそれぞれ有しており、一对の電極を構成している材料、有機化合物層の積層構造が、少なくともそれぞれ同じである。特にセンサ用発光素子１３２と表示用発光素子１４２の発する光の色が同じ場合、該有機化合物層を構成している材料（有機材料）も同じである。

10

【００５０】

表示用発光素子１４２は陽極と陰極と、陽極と陰極の間に設けられた有機化合物層とからなる。陽極が電流制御用ＴＦＴ１４１のドレイン領域と接続している場合、言い換えると陽極が画素電極の場合、対向電極である陰極は所定の電位（対向電位）に保たれる。逆に陰極が電流制御用ＴＦＴ１４１のドレイン領域と接続している場合、言い換えると陰極が画素電極の場合、対向電極である陽極は所定の電位（対向電位）に保たれる。

20

【００５１】

また図４ではコンデンサ１４３を有しているが、コンデンサ１４３を設けない構成にしても良い。

【００５２】

スイッチング用ＴＦＴ１４０のゲート電極はゲート信号線Ｇに接続されている。そしてスイッチング用ＴＦＴ１４０のソース領域とドレイン領域は、一方がソース信号線Ｓに、もう一方が電流制御用ＴＦＴ１４１のゲート電極に接続されている。

【００５３】

電流制御用ＴＦＴ１４１のソース領域とドレイン領域は、一方が電源供給線Ｖに、もう一方が表示用発光素子１４２に接続されている。コンデンサ１４３は電流制御用ＴＦＴ１４１のゲート電極と電源供給線Ｖとに接続して設けられている。

30

【００５４】

次に本実施の形態の発光装置の駆動方法について説明する。

【００５５】

図１を参照する。ソース信号線駆動回路１０２において、シフトレジスタ１０２ａにクロック信号（ＣＬＫ）およびスタートパルス（ＳＰ）が入力される。シフトレジスタ１０２ａは、これらのクロック信号（ＣＬＫ）およびスタートパルス（ＳＰ）に基づきタイミング信号を順に発生させ、後段の回路へタイミング信号を順次供給する。

【００５６】

なおシフトレジスタ１０２ａからのタイミング信号を、バッファ等（図示せず）によって緩衝増幅し、後段の回路へ緩衝増幅したタイミング信号を順次供給しても良い。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量（寄生容量）が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下がりの“鈍り”を防ぐために、このバッファが設けられる。

40

【００５７】

シフトレジスタ１０２ａからのタイミング信号は、ラッチ（Ａ）１０２ｂに供給される。ラッチ（Ａ）１０２ｂは、*n*ビットデジタルビデオ信号（*n* bit digital video signals）を処理する複数のステージのラッチを有している。ラッチ（Ａ）１０２ｂは、前記タイミング信号が入力されると同時に、画像情報を有する*n*ビットのデジタルのビデオ信号

50

(デジタルビデオ信号)を順次書き込み、保持する。

【0058】

なお、ラッチ(A)102bにデジタルビデオ信号を取り込む際に、ラッチ(A)102bが有する複数のステージのラッチに、順にデジタルビデオ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ(A)102bが有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動すると言う。

【0059】

10

ラッチ(A)102bの全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。すなわち、ラッチ(A)102b中で一番左側のステージのラッチにデジタルビデオ信号の書き込みが開始される時点から、一番右側のステージのラッチにデジタルビデオ信号の書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0060】

1ライン期間が終了すると、ラッチ(B)102cにラッチシグナル(Latch Signal)が供給される。この瞬間、ラッチ(A)102bに書き込まれ保持されているデジタルビデオ信号は、ラッチ(B)102cに一斉に送出され、ラッチ(B)102cの全ステージのラッチに書き込まれ、保持される。

20

【0061】

デジタルビデオ信号をラッチ(B)102cに送出し終えたラッチ(A)102bは、シフトレジスタ102aからのタイミング信号に基づき、再びデジタルビデオ信号の書き込みを順次行う。

【0062】

この2順目の1ライン期間中には、ラッチ(B)102bに書き込まれ、保持されているデジタルビデオ信号がソース信号線に入力される。

【0063】

一方、ゲート信号線駆動回路103は、それぞれシフトレジスタ、バッファ(いずれも図示せず)を有している。また場合によっては、ゲート信号線駆動回路103が、シフトレジスタ、バッファの他にレベルシフトを有していても良い。

30

【0064】

ゲート信号線駆動回路103において、シフトレジスタ(図示せず)からのタイミング信号がバッファ(図示せず)に供給され、対応するゲート信号線(走査線とも呼ぶ)に供給される。ゲート信号線には、1ライン分のスイッチング用TFTのゲート電極が接続されており、1ライン分全てのスイッチング用TFTを同時にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0065】

なおソース信号線駆動回路102とゲート信号線駆動回路103の数、構成及びその駆動方法は、本実施の形態で示した構成に限定されない。

40

【0066】

図5に、本発明の発光装置を、デジタル方式で駆動させて表示を行った場合のタイミングチャートを示す。

【0067】

まず、1フレーム期間(F)をn個のサブフレーム期間(SF1~SFn)に分割する。なお、画素部の全ての画素が1つの画像を表示する期間を1フレーム期間(F)と呼ぶ。

【0068】

発光装置は1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示さ

50

れる画像の数を60以上にすることで、視覚的にフリッカ等の画像のちらつきを抑えることが可能になる。

【0069】

なお、1フレーム期間をさらに複数に分割した期間をサブフレーム期間(SF)と呼ぶ。階調数が多くなるにつれて1フレーム期間におけるサブフレーム期間の数も増える。

【0070】

サブフレーム期間はアドレス期間(Ta)とサステイン期間(Ts)とに分けられる。アドレス期間とは、1サブフレーム期間中、全ての画素にデジタルビデオ信号を入力する期間である。サステイン期間(点灯期間とも呼ぶ)とは、アドレス期間において画素に入力されたデジタルビデオ信号によって、発光素子を発光又は非発光の状態にし、表示を行10う期間を示している。

【0071】

SF1~SFnが有するアドレス期間(Ta)をそれぞれTa1~Tanとする。SF1~SFnが有するサステイン期間(Ts)をそれぞれTs1~Tsnとする。

【0072】

電源供給線(V1~Vx)の電位は所定の電位(電源電位)に保たれている。

【0073】

まずアドレス期間Taにおいて、表示用発光素子142及びセンサ用発光素子132の対向電極の電位は、電源電位と同じ高さに保たれている。

【0074】

そしてゲート信号線G1にゲート信号が入力され、表示用画素105が有するスイッチング用TF T140及びセンサ用画素104が有するスイッチング用TF T130のうち、ゲート信号線G1に接続されている全てのスイッチング用TF TがON(オン)の状態になる。なお本明細書において、TF Tがオンの状態になることを、TF Tが駆動すると呼ぶ。

【0075】

そしてゲート信号線G1に接続されている全てのスイッチング用TF TがONになった状態で、ソース信号線駆動回路102からソース信号線(S1~Sx)にデジタルビデオ信号が入力される。デジタルビデオ信号は「0」または「1」の情報を有しており、「0」と「1」のデジタルビデオ信号は、一方がHi(High)、一方がLo(Low)の電圧を有する信号である。

【0076】

そしてソース信号線(S1~Sx)に入力されたデジタルビデオ信号は、ONの状態のスイッチング用TF Tを介して、該スイッチング用TF Tのソース領域又はドレイン領域に接続された電流制御用TF Tのゲート電極に入力される。

【0077】

次にゲート信号線G2にゲート信号が入力される。ゲート信号線G2に接続されているスイッチング用TF T1501全てがONの状態になる。そして表示用画素105が有するスイッチング用TF T140及びセンサ用画素104が有するスイッチング用TF T130のうち、ゲート信号線G2に接続されている全てのスイッチング用TF TをONの状態にする。

【0078】

そしてゲート信号線G2に接続されている全てのスイッチング用TF TがONにされた状態で、ソース信号線駆動回路102からソース信号線(S1~Sx)にデジタルビデオ信号が入力される。ソース信号線(S1~Sx)に入力されたデジタルビデオ信号は、ONの状態のスイッチング用TF Tを介して、該スイッチング用TF Tのソース領域又はドレイン領域に接続された電流制御用TF Tのゲート電極に入力される。

【0079】

上述した動作をゲート信号線Gyまで繰り返し、全ての表示用画素105及びセンサ用画素104にデジタルビデオ信号が入力される。全ての表示用画素105及びセンサ用画

素 104 にデジタルビデオ信号が入力されるまでの期間がアドレス期間である。なお n 個のサブフレーム期間がそれぞれ有するアドレス期間 ($T_{a1} \sim T_{an}$) の長さは全て同じである。

【0080】

アドレス期間 T_a が終了すると同時にサステイン期間となる。サステイン期間において、全ての発光素子の対向電極の電位は、電源電位が画素電極に与えられたときに発光素子が発光する程度に、電源電位との間に電位差を有する高さになる。

【0081】

そしてサステイン期間において、表示用画素 105 及びセンサ用画素 104 が有する全てのスイッチング用 TFT は、オフの状態となる。そして表示用画素 105 及びセンサ用画素 104 に入力されたデジタルビデオ信号が、各画素が有する電流制御用 TFT のゲート電極に入力される。

10

【0082】

本実施の形態では、デジタルビデオ信号が「0」の情報を有していた場合、電流制御用 TFT はオフの状態になる。よって発光素子の画素電極は対向電極の電位に保たれたままである。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素において、発光素子は発光しない。

【0083】

逆に本実施の形態では、「1」の情報を有していた場合、電流制御用 TFT はオンの状態になる。よって電源電位が発光素子の画素電極に与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有する発光素子は発光する。

20

【0084】

このように、画素に入力されるデジタルビデオ信号の有する情報によって、発光素子が発光または非発光の状態になり、画素は表示を行う。

【0085】

サステイン期間が終了すると同時に、1つのサブフレーム期間が終了する。そして次のサブフレーム期間が出現し、再びアドレス期間に入り、全画素にデジタルビデオ信号を入力したら、再びサステイン期間に入る。なお、サブフレーム期間の出現する順序は任意である。

【0086】

30

以下、残りのサブフレーム期間においても同様の動作を繰り返し、表示を行う。 n 個のサブフレーム期間が終了したら、1フレーム期間が終了する。

【0087】

また本発明において、 n 個のサステイン期間 T_{s1} 、...、 T_{sn} の長さの比は、 $T_{s1} : T_{s2} : T_{s3} : \dots : T_{s(n-1)} : T_{sn} = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ で表される。

【0088】

各画素の階調は、1フレーム期間においてどのサブフレーム期間を選択して発光させるかによって決まる。例えば、 $n = 8$ のとき、全部のサステイン期間で発光した場合の画素の輝度を 100% とすると、 T_{s1} と T_{s2} において画素が発光した場合には 75% の輝度が表現でき、 T_{s3} と T_{s5} と T_{s8} を選択した場合には 16% の輝度が表現できる。

40

【0089】

なお本実施の形態では、アドレス期間において対向電極の電位を電源電位と同じ電位に保っていたため、発光素子は発光しなかった。しかし本発明はこの構成に限定されない。画素電極に電源電位が与えられたときに発光素子が発光する程度の電位差を、対向電位と電源電位との間に常に設け、アドレス期間においても表示期間と同様に表示を行うようにしても良い。ただしこの場合、サブフレーム期間全体が実際に表示を行う期間となるので、サブフレーム期間の長さを、 $SF1 : SF2 : SF3 : \dots : SF(n-1) : SFn = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する。上記構成により、アドレス期間を発光させない駆動方法に比べて、高い輝度の画像が得られる。

50

【 0 0 9 0 】

上述したように、表示用発光素子が発光又は非発光状態になることで画像が表示部に表示されると同時に、センサ用発光素子も表示用発光素子と同じく発光又は非発光状態になる。

【 0 0 9 1 】

次にセンサ部 1 0 6 において、受光ダイオード 1 3 6 がセンサ用発光素子 1 3 2 の輝度を検知する仕組みについて説明する。

【 0 0 9 2 】

センサ用画素 1 0 4 が有するリセット用 T F T 1 3 4 とバッファ用 T F T 1 3 5 は、どちらか一方が n チャネル型 T F T で、残りの一方が p チャネル型 T F T であることが望ましい。

10

【 0 0 9 3 】

まずリセット信号線 R L に入力されたリセット信号によって、リセット用 T F T 1 3 4 がオンの状態になる。よってセンサ用電源線 V B の基準電位がバッファ用 T F T 1 3 5 のゲート電極に与えられる。そしてバッファ用 T F T 1 3 5 のソース領域はセンサ出力配線 F L を介して定電流電源に接続されており、バッファ用 T F T 1 3 5 のソース領域とゲート電極の電位差 V_{GS} は常に一定である。よってバッファ用 T F T 1 3 5 のソース領域は、基準電位から V_{GS} を差し引いた電位に保たれる。なお本明細書では、リセット用 T F T 1 3 4 がオンの状態である期間をリセット期間と呼ぶ。

20

【 0 0 9 4 】

次にリセット信号線 R L に入力されたリセット信号の電位が変化して、リセット用 T F T 1 3 4 がオフの状態になる。よってセンサ用電源線 V B の基準電位は、バッファ用 T F T 1 3 5 のゲート電極に与えられない。なお、リセット用 T F T 1 3 4 がオフの状態にある期間を、本明細書ではサンプル期間と呼ぶ。

【 0 0 9 5 】

デジタル方式で駆動する発光装置の場合、サンプル期間はアドレス期間 T a よりも長く、なおかつ発光素子 1 3 2 が発光しているサステイン期間 T s と重なっている。

【 0 0 9 6 】

受光ダイオード 1 3 6 にセンサ用発光素子 1 3 2 の光が照射されることで、受光ダイオード 1 3 6 に電流が流れる。そのため、リセット期間において一定だったバッファ用 T F T 1 3 5 のゲート電極の電位は、サンプル期間において変化し、その電位の変化の大きさは受光ダイオード 1 3 6 に流れる電流の大きさによって変わる。

30

【 0 0 9 7 】

受光ダイオード 1 3 6 に流れる電流は、受光ダイオード 1 3 6 に照射される光の強さに比例する。つまりセンサ用発光素子 1 3 2 の輝度が高いときと低いときとは、輝度の高いときの方が、受光ダイオード 1 3 6 により大きな電流が流れることになる。よって、センサ用発光素子 1 3 2 の輝度が高いときの方が、輝度の低いときに比べて、バッファ用 T F T 1 3 5 のゲート電極の電位は大きく変化する。

【 0 0 9 8 】

バッファ用 T F T 1 3 5 のソース領域とゲート電極の電位差 V_{GS} は常に一定であるので、バッファ用 T F T 1 3 5 のソース領域は、バッファ用 T F T 1 3 5 のゲート電極の電位から V_{GS} を差し引いた電位に保たれる。そのためバッファ用 T F T 1 3 5 のゲート電極の電位が変化すると、それに伴ってバッファ用 T F T 1 3 5 のソース領域の電位も変化する。

40

【 0 0 9 9 】

バッファ用 T F T 1 3 5 のソース領域の電位はセンサ出力配線 F L に与えられ、センサ出力信号として補正回路に入力される。

【 0 1 0 0 】

図 6 に補正回路 2 0 1 のブロック図を示す。補正回路 2 0 1 は表示部 1 0 1 又はセンサ部 1 0 6 と同じ基板上に設けられていても良く、また I C チップ上に設けて F P C 等によ

50

りセンサ部 106 と接続しても良い。

【0101】

補正回路 201 は A / D 変換回路 202、演算回路 203、補正メモリ 204、D / A 変換回路 205 を有している。なお、図 6 には補正メモリ 204 が演算回路 203 の一部である場合の構成を示したが、補正メモリ 204 が演算回路 203 と別個に設けられていても良い。

【0102】

センサ出力配線 FL からセンサ出力信号が A / D 変換回路 202 に入力され、デジタルのセンサ出力信号に変換されて出力される。A / D 変換回路 202 から出力されたデジタルのセンサ出力信号は、演算回路 203 に入力される。

10

【0103】

補正メモリ 204 には、センサ用発光素子 132 が理想の輝度を有しているときに、演算回路 203 に入力されるデジタルのセンサ出力信号のデータ（補正基準データ）が記憶されている。

【0104】

演算回路 203 は、実際に演算回路 203 に入力されたデジタルのセンサ出力信号と、補正メモリ 204 に記憶されている補正基準データとを比較する。そして比較した実際のセンサ出力信号と補正基準データとの差から、表示用発光素子 142 及びセンサ用発光素子 132 が理想の輝度を得るために必要な電源供給線 V の電位（電源電位）の高さを算出する。そして、演算回路 203 は、その電源電位の高さの情報を有するデジタルの補正信号を D / A 変換回路 205 に入力する。

20

【0105】

D / A 変換回路 205 に入力されたデジタルの補正信号は、アナログに変換され、発光素子用電源 206 に入力される。発光素子用電源 206 は、入力されたアナログの補正信号によって定められた高さの電源電位を、電源供給線（V1 ~ Vx）に与える。発光素子の輝度が低下した場合には、それを補うように電源供給線の電源電位を調整し、輝度を向上させるように補正が働く。

【0106】

なお RGB に対応する 3 種類の発光素子を用いた発光装置の場合、補正回路 201 及び発光素子用電源 206 は補正したい色ごとに設ける必要がある。つまり RGB それぞれの色について補正を行う場合、補正回路 201 及び発光素子用電源 206 はそれぞれ 3 つ必要となる。

30

【0107】

また、発光の色が白色、青色、青緑色等の単色である発光素子を用いた発光装置の場合、補正回路 201 及び発光素子用電源 206 は 1 つずつ設けても良いし、補正したい色ごとに設けても良い。有機化合物層は、有機化合物層に照射する光の波長によっても劣化の速度が異なる。そのため、白色発光の発光素子とカラーフィルタとを用いた発光装置の場合、補正したい色ごとに補正回路 201 及び発光素子用電源 206 を設けることで、より正確に各色に対応する発光素子の輝度を補正することができ、より鮮明で、なおかつ所望の色の画像を表示することができる。

40

【0108】

本発明は上記構成によって、発光装置において有機化合物層が劣化しても、表示用発光素子 142 及びセンサ用発光素子 132 が理想の輝度を有することができ、鮮明でなおかつ所望のカラー表示を行うことが可能になる。

【0109】

なお本実施の形態では、センサ部は RGB それぞれの色に対応したセンサ用画素を 1 つずつ有していたが、本発明はこれに限定されない。各色に対応したセンサ用画素は複数存在していても良い。

【0110】

以下に、本発明の実施例について説明する。

50

【実施例１】

【０１１１】

本実施例では、アナログ方式で駆動する本発明の発光装置について、図７～図９を用いて説明する。

【０１１２】

図７に、本発明の半導体表示装置の一部である発光装置の上面図を示す。本実施例では、カラー表示の発光装置について説明するが、本発明の発光装置はカラー表示だけでなく、モノクロ表示を行うことも可能である。

【０１１３】

表示部３０１、ソース信号線駆動回路３０２、ゲート信号線駆動回路３０３、センサ部３０６が図７に示すように設けられている。ソース信号線駆動回路３０２はシフトレジスタ３０２ａ、レベルシフト３０２ｂ、サンプリング回路３０２ｃを有している。

【０１１４】

センサ部３０６は、ＲＧＢにそれぞれ対応したセンサ用画素３０４（Ｒセンサ用画素３０４ａ、Ｇセンサ用画素３０４ｂ、Ｂセンサ用画素３０４ｃ）を有している。なお本実施例では、ＲＧＢに対応した三種類の発光素子を用いたカラー化表示方式の発光装置について示しているが、本実施例はこれに限定されない。白色発光の発光素子を用いたカラー化表示方式を用いることも可能である。また本実施例では、センサ部３０６がＲＧＢにそれぞれ対応した３つのセンサ用画素を有しているが、本発明はこれに限定されない。ＲＧＢのうち、１つ又は２つの色に対応するセンサ用画素のみを設けるようにしても良い。

【０１１５】

表示部３０１及びセンサ部３０６の詳しい構成は、デジタル方式で駆動する場合と同じなので図２を参照する。なお、図７の表示部３０１、センサ部３０６、Ｒセンサ用画素３０４ａ、Ｇセンサ用画素３０４ｂ、Ｂセンサ用画素３０４ｃは、それぞれ図２の表示部１０１、センサ部１０６、Ｒセンサ用画素１０４ａ、Ｇセンサ用画素１０４ｂ、Ｂセンサ用画素１０４ｃに相当する。

【０１１６】

なお本実施例では、センサ部と表示部とを同じ基板上に設けているが、本発明はこれに限定されない。センサ部と表示部を異なる基板上に設け、ＦＰＣ等で接続する構成にしても良い。

【０１１７】

表示部３０１は複数の表示用画素を有している。なお本実施例の表示用画素は、図２で示すところの表示用画素１０５に相当する。表示用画素は、ソース信号線（Ｓ１～Ｓ_x）のいずれか１つと、電源供給線（Ｖ１～Ｖ_x）のいずれか１つと、ゲート信号線（Ｇ１～Ｇ_y）のいずれか１つとを有している。そして表示用画素は、Ｒの表示を行う表示用画素と、Ｇの表示を行う表示用画素と、Ｂの表示を行う表示用画素とがある。

【０１１８】

Ｒの表示を行う任意に選ばれた表示用画素（ｐ、ｑ）は、ソース信号線Ｓ_p（ｐは１～_xの任意の数）、電源供給線Ｖ_p、ゲート信号線Ｇ_q（ｑは１～_yの任意の数）を含んでいる。そしてＲセンサ用画素３０４ａは、表示用画素（ｐ、ｑ）と同じく、ソース信号線

【０１１９】

また、Ｇセンサ用画素３０４ｂも同様に、任意に選ばれたＧの表示を行う表示用画素が含んでいるのと同じソース信号線、電源供給線、ゲート信号線を含んでいる。また、Ｂセンサ用画素３０４ｃも同様に、任意に選ばれたＢの表示を行う表示用画素が含んでいるのと同じソース信号線、電源供給線、ゲート信号線を含んでいる。

【０１２０】

表示用画素とセンサ用画素３０４の構成は、デジタル方式で駆動する場合の図３及び図４と同じであるので、説明は実施の形態を参照する。

【０１２１】

次に本実施例の発光装置の駆動方法について説明する。

【 0 1 2 2 】

図7を参照する。ソース信号線駆動回路302において、シフトレジスタ302aにクロック信号(CLK)およびスタートパルス(SP)が入力される。シフトレジスタ302aは、これらのクロック信号(CLK)およびスタートパルス(SP)に基づきタイミング信号を順に発生させ、後段の回路へタイミング信号を順次供給する。

【 0 1 2 3 】

シフトレジスタ302aからのタイミング信号は、レベルシフト302bにおいて電圧の振幅を大きくされ、サンプリング回路302cに入力される。そしてタイミング信号に同期して、サンプリング回路302cが有するアナログスイッチによってアナログの画像情報を有する信号(アナログビデオ信号)がサンプリングされ、対応するソース信号線に入力される。

10

【 0 1 2 4 】

なおソース信号線駆動回路302は、バッファを有していても良い。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量(寄生容量)が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下がり"鈍り"を防ぐためには、バッファが有効である。

【 0 1 2 5 】

一方、ゲート信号線駆動回路303は、それぞれシフトレジスタ、バッファ(いずれも図示せず)を有している。また場合によっては、ゲート信号線駆動回路303が、シフトレジスタ、バッファの他にレベルシフトを有していても良い。

20

【 0 1 2 6 】

ゲート信号線駆動回路303において、シフトレジスタ(図示せず)からのタイミング信号がバッファ(図示せず)に供給され、対応するゲート信号線(走査線とも呼ぶ)に供給される。ゲート信号線には、1ライン分のスイッチング用TFTのゲート電極が接続されており、1ライン分全てのスイッチング用TFTを同時にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【 0 1 2 7 】

なおソース信号線駆動回路302とゲート信号線駆動回路303の数、構成及びその駆動方法は、本実施例で示した構成に限定されない。

30

【 0 1 2 8 】

次に本発明の発光装置をアナログ方式で駆動させた場合のタイミングチャートを図8に示す。1つのゲート信号線がゲート信号によって選択されてから、その次に別のゲート信号線が選択されるまでの期間を1ライン期間(L)と呼ぶ。また1つの画像が表示されてから次の画像が表示されるまでの期間が1フレーム期間(F)に相当する。ゲート信号線がy本ある場合、1フレーム期間中にy個のライン期間(L1~Ly)が設けられる。

【 0 1 2 9 】

まず電源供給線(V1~Vx)は所定の電源電位に保たれている。そして対向電極の電位も所定の電位に保たれている。対向電極の電位は、電源電位が画素電極に与えられたとき発光素子が発光する程度に、電源電位との間に電位差を有している。

40

【 0 1 3 0 】

第1のライン期間(L1)においてゲート信号線G1にはゲート信号線駆動回路303から選択信号が入力される。そして、ソース信号線(S1~Sx)に順にサンプリングされたアナログビデオ信号が入力される。ゲート信号線G1に接続された全てのスイッチング用TFTは選択信号によってオンの状態になるので、ソース信号線に入力されたアナログビデオ信号は、スイッチング用TFTを介して電流制御用TFTのゲート電極に入力される。

【 0 1 3 1 】

電流制御用TFTのチャンネル形成領域を流れる電流の量は、そのゲート電極に入力される信号の電位の高さ(電圧)によって制御される。よって、発光素子の画素電極の電位の

50

高さは、電流制御用 T F T のゲート電極に入力されたアナログビデオ信号の電位の高さによって決まる。そして発光素子はアナログビデオ信号の電位に制御されて発光する。

【 0 1 3 2 】

上述した動作を繰り返し、にソース信号線 (S 1 ~ S x) へのアナログビデオ信号の入力が終了すると、第 1 のライン期間 (L 1) が終了する。なお、ソース信号線 (S 1 ~ S x) へのアナログビデオ信号の入力が終了するまでの期間と水平帰線期間とを合わせて 1 つのライン期間としても良い。そして次に第 2 のライン期間 (L 2) となりゲート信号線 G 2 に選択信号が入力される。そして第 1 のライン期間 (L 1) と同様にソース信号線 (S 1 ~ S x) に順にアナログビデオ信号が入力される。

【 0 1 3 3 】

10

そして全てのゲート信号線 (G 1 ~ G y) に選択信号が入力されると、全てのライン期間 (L 1 ~ L y) が終了する。全てのライン期間 (L 1 ~ L y) が終了すると、1 フレーム期間が終了する。1 フレーム期間中において全ての画素が表示を行い、1 つの画像が形成される。なお全てのライン期間 (L 1 ~ L y) と垂直帰線期間とを合わせて 1 フレーム期間としても良い。

【 0 1 3 4 】

以上のように、ソース信号線に入力されるアナログビデオ信号の電位によって発光素子の輝度が制御され、その輝度の制御によって階調表示がなされる。

【 0 1 3 5 】

次に、センサ部 3 0 6 から出力されるセンサ出力信号によって、表示用発光素子及びセンサ用発光素子の輝度がどのように補正されるかについて、図 9 を用いて説明する。なお、図 7 に示したセンサ用画素において、受光ダイオードがセンサ用発光素子の輝度を検知し、センサ出力信号がセンサ出力配線に入力されるまでの過程は、実施の形態で示したデジタル駆動の発光装置の場合と同じなので、説明は省略する。

20

【 0 1 3 6 】

サンプル期間において、受光ダイオードで検知されたセンサ用発光素子の輝度の情報を有するセンサ出力信号は、センサ出力配線 F L を介してビデオ信号補正回路に入力される。

【 0 1 3 7 】

図 9 にビデオ信号補正回路 4 0 1 のブロック図を示す。ビデオ信号補正回路 4 0 1 は表示部 3 0 1 又はセンサ部 3 0 6 と同じ基板上に設けても良く、また I C チップ上に設けて F P C 等によりセンサ部 3 0 6 と接続していても良い。

30

【 0 1 3 8 】

ビデオ信号補正回路 4 0 1 は A / D 変換回路 4 0 2 、演算回路 4 0 3 、補正メモリ 4 0 4 、D / A 変換回路 4 0 5 を有している。なお、図 9 には補正メモリ 4 0 4 が演算回路 4 0 3 の一部である場合の構成を示したが、補正メモリ 4 0 4 が演算回路 4 0 3 と別個に設けられていても良い。

【 0 1 3 9 】

シグナルジェネレータ 4 0 6 はデジタルの画像情報を有する信号 (デジタルビデオ信号) を生成し、演算回路 4 0 3 に入力している。なお、シグナルジェネレータ 4 0 6 から出力される画像情報を有する信号 (ビデオ信号) がアナログだった場合、A / D 変換回路によってデジタルのビデオ信号に変換してから、演算回路 4 0 3 に入力するようにする。

40

【 0 1 4 0 】

センサ出力配線 F L からセンサ出力信号が A / D 変換回路 4 0 2 に入力され、デジタルのセンサ出力信号に変換されて出力される。A / D 変換回路 4 0 2 から出力されたデジタルのセンサ出力信号は、演算回路 4 0 3 に入力される。

【 0 1 4 1 】

補正メモリ 4 0 4 には、表示用発光素子及びセンサ用発光素子が理想の輝度を有しているときに、演算回路 4 0 3 に入力されるデジタルのセンサ出力信号のデータ (補正基準データ) が記憶されている。

50

【 0 1 4 2 】

演算回路 4 0 3 は、実際に演算回路 4 0 3 に入力されたデジタルのセンサ出力信号と、補正メモリ 4 0 4 に記憶されている補正基準データとを比較する。そして比較した実際のセンサ出力信号と補正基準データとの差をもとに、シグナルジェネレータ 4 0 6 から演算回路 4 0 3 に入力されたデジタルビデオ信号を補正する。なおこの時、補正後のデジタルビデオ信号は、アナログに変換された際に表示用発光素子及びセンサ用発光素子が理想の輝度を得るために必要な電位を有していることが重要である。

【 0 1 4 3 】

なお演算回路 4 0 3 には、各色に対応したセンサ出力信号が入力されている。例えば本実施例の場合、R センサ用画素 3 0 4 a と、G センサ用画素 3 0 4 b と、B センサ用画素 3 0 4 c とからそれぞれ出力されている 3 つのセンサ出力信号が、演算回路 4 0 3 に入力されている。演算回路 4 0 3 では、各色に対応する画素（表示用画素及びセンサ用画素）に所望の高さの電位を有するアナログビデオ信号がサンプリングされて入力されるように、デジタルビデオ信号を補正する。

【 0 1 4 4 】

次に演算回路 4 0 3 から、補正後のデジタルビデオ信号が D / A 変換回路 4 0 5 に入力する。D / A 変換回路 4 0 5 に入力された補正後のデジタルビデオ信号は、アナログに変換され、アナログビデオ信号としてソース信号線駆動回路 3 0 2 のサンプリング回路 3 0 2 c に入力される。アナログビデオ信号は、表示用発光素子及びセンサ用発光素子が理想の輝度を得るために必要な電位を有している。

【 0 1 4 5 】

本発明は上記構成によって、発光装置において有機化合物層が劣化しても、表示用発光素子及びセンサ用発光素子が理想の輝度を有することができ、鮮明で所望のカラー表示を行うことが可能になる。

【 0 1 4 6 】

なお本実施の形態では、センサ部は R G B それぞれの色に対応したセンサ用画素を 1 つずつ有していたが、本発明はこれに限定されない。各色に対応したセンサ用画素は複数存在していても良い。

【 0 1 4 7 】

また本実施例のアナログ駆動の発光装置では、表示部に入力されるアナログビデオ信号の電位をビデオ信号補正回路において補正することで、発光素子の輝度を補正している。しかし本発明はこれに限定されない。ビデオ信号補正回路においてアナログビデオ信号の電位を補正するのに加えて、デジタル駆動の発光装置と同様に、電源電位を補正する補正回路を設けても良い。

【実施例 2】

【 0 1 4 8 】

本発明を用いた発光装置の作製方法について、図 1 0 ~ 図 1 3 を用いて説明する。ここでは、センサ部が有する T F T を作製する方法について説明するが、表示部が有する T F T についても同様に作製することが可能である。

【 0 1 4 9 】

まず、図 1 0 (A) に示すように、ガラス基板 5 0 0 上に下地膜 5 0 1 を 3 0 0 n m の厚さに形成する。本実施例では下地膜 5 0 1 として窒化酸化珪素膜を積層して用いる。この時、ガラス基板 5 0 0 に接する方の窒素濃度を 1 0 ~ 2 5 w t % としておくが良い。また、下地膜 5 0 1 に放熱効果を持たせることは有効であり、D L C (ダイヤモンドライクカーボン) 膜を設けても良い。

【 0 1 5 0 】

次に下地膜 5 0 1 の上に 5 0 n m の厚さの非晶質珪素膜 (図示せず) を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜 (微結晶半導体膜を含む) であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は 2 0 ~ 1 0 0 n m の厚さであれば良い

10

20

30

40

50

。

【0151】

そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜（多結晶シリコン膜若しくはポリシリコン膜ともいう）502を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。本実施例では、XeClガスを用いたエキシマレーザー光を用いて結晶化する。

【0152】

なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。

10

【0153】

また、本実施例では結晶質珪素膜をTFTの活性層として用いるが、非晶質珪素膜を活性層として用いることも可能である。

【0154】

なお、オフ電流を低減する必要があるスイッチング用TFTの活性層を非晶質珪素膜で形成し、電流制御用TFTの活性層を結晶質珪素膜で形成することは有効である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことができる。

20

【0155】

次に、図10(B)に示すように、結晶質珪素膜502上に酸化珪素膜でなる保護膜503を130nmの厚さに形成する。この厚さは100~200nm（好ましくは130~170nm）の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜503は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

【0156】

そして、その上にレジストマスク504a、504bを形成し、保護膜503を介してn型を付与する不純物元素（以下、n型不純物元素という）を添加する。

なお、n型不純物元素としては、代表的には周期表の15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン（ PH_3 ）を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを $1 \times 10^{18} \text{atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

30

【0157】

この工程により形成されるn型不純物領域(b)505には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ （代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ ）の濃度で含まれるようにドーズ量を調節する。

【0158】

次に、図10(C)に示すように、保護膜503、レジストマスク504a、504bを除去し、添加したn型不純物元素の活性化を行う。活性化手段は公知の技術を用いれば良いが、本実施例ではエキシマレーザー光の照射（レーザーアニール）により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エキシマレーザー光に限定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質珪素膜が溶融しない程度のエネルギーで照射することが好ましい。なお、保護膜503をつけたままレーザー光を照射しても良い。

40

【0159】

なお、このレーザー光による不純物元素の活性化に際して、熱処理（ファーンズアニール）による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して450~550程度の熱処理を行えば良い。

50

【0160】

この工程によりn型不純物領域(b)505の端部、即ち、n型不純物領域(b)505の周囲に存在するn型不純物元素を添加していない領域との境界部(接合部)が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0161】

次に、図10(D)に示すように、結晶質珪素膜の不要な部分を除去して、島状の半導体膜(以下、活性層という)506~509を形成する。

【0162】

次に、図10(E)に示すように、活性層506~509を覆ってゲート絶縁膜510を形成する。ゲート絶縁膜510としては、10~200nm、好ましくは50~150nmの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では110nm厚の窒化酸化珪素膜を用いる。

10

【0163】

次に、200~400nm厚の導電膜を形成し、パターニングしてゲート電極511~515を形成する。なお、本実施例ではゲート電極と、ゲート電極に電氣的に接続された引き回しのための配線(以下、ゲート配線という)とを別の材料で形成する。具体的にはゲート電極よりも低抵抗な材料をゲート配線として用いる。これは、ゲート電極としては微細加工が可能な材料を用い、ゲート配線には微細加工はできなくとも配線抵抗が小さい材料を用いるためである。勿論、ゲート電極とゲート配線とを同一材料で形成してしまっ

20

【0164】

また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知のあらゆる導電膜を用いることができる。ただし、上述のように微細加工が可能、具体的には2μm以下の線幅にパターニング可能な材料が好ましい。

【0165】

代表的には、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素でなる膜、または前記元素の窒化物膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、または前記元素のシリサイド膜(代表的にはタングステンシリサイド膜、チタンシリサイド膜)を用いることができる。勿論、単層で用いても積層して用いても良い。

30

【0166】

本実施例では、30nm厚の窒化タングステン(WN)膜と、370nm厚のタングステン(W)膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0167】

またこの時、ゲート電極511はn型不純物領域(b)505の一部とゲート絶縁膜510を介して重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。(図10(E))

40

【0168】

次に、図11(A)に示すように、ゲート電極511~515をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成されるn型不純物領域(c)516~523にはn型不純物領域(b)505の1/2~1/10(代表的には1/3~1/4)の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ (典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$)の濃度が好ましい。

【0169】

50

次に、図 1 1 (B) に示すように、ゲート電極 5 1 2 ~ 5 1 5 等を覆う形でレジストマスク 5 2 4 a ~ 5 2 4 d を形成し、n 型不純物元素 (本実施例ではリン) を添加して高濃度にリンを含む n 型不純物領域 (a) 5 2 5 ~ 5 2 9 を形成する。ここでもフォスフィン (PH_3) を用いたイオンドープ法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{atoms/cm}^3$) となるように調節する。

【 0 1 7 0 】

この工程によって n チャネル型 T F T のソース領域若しくはドレイン領域が形成されるが、スイッチング用 T F T では、図 1 1 (A) の工程で形成した n 型不純物領域 (c) 5 1 9 ~ 5 2 1 の一部を残す。この残された領域が、スイッチング用 T F T の L D D 領域となる。

10

【 0 1 7 1 】

次に、図 1 1 (C) に示すように、レジストマスク 5 2 4 a ~ 5 2 4 d を除去し、新たにレジストマスク 5 3 0 a、5 3 0 b を形成する。そして、p 型不純物元素 (本実施例ではボロン) を添加し、高濃度にボロンを含む p 型不純物領域 5 3 1 ~ 5 3 4 を形成する。ここではジボラン (B_2H_6) を用いたイオンドープ法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$) の濃度となるようにボロンを添加する。

【 0 1 7 2 】

なお、p 型不純物領域 5 3 1 ~ 5 3 4 には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも 3 倍以上の濃度で添加される。そのため、予め形成されていた n 型の不純物領域は完全に p 型に反転し、p 型の不純物領域として機能する。

20

【 0 1 7 3 】

次に、レジストマスク 5 3 0 a、5 3 0 b を除去した後、それぞれの濃度で添加された n 型または p 型不純物元素を活性化する。活性化手段としては、ファーネスアニール法、レーザーアニール法、またはランプアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、5 5 0 、4 時間の熱処理を行う。

【 0 1 7 4 】

このとき雰囲気中の酸素を極力排除することが重要である。なぜならば酸素が少しでも存在していると露呈したゲート電極の表面が酸化され、抵抗の増加を招くと共に後にオーミックコンタクトを取りにくくなるからである。従って、上記活性化工程における処理雰囲気中の酸素濃度は 1 p p m 以下、好ましくは 0 . 1 p p m 以下とすることが望ましい。

30

【 0 1 7 5 】

次に、活性化工程が終了したら 3 0 0 n m 厚のゲート配線 (ゲート信号線) 5 3 5 を形成する。ゲート配線 5 3 5 の材料としては、アルミニウム (A l) 又は銅 (C u) を主成分 (組成として 5 0 ~ 1 0 0 % を占める。) とする金属膜を用いれば良い。ゲート配線 5 3 5 は、スイッチング用 T F T のゲート電極 5 1 3、5 1 4 を電氣的に接続するように形成する。 (図 1 1 (D))

【 0 1 7 6 】

40

このような構造とすることでゲート配線の配線抵抗を非常に小さくすることができるため、面積の大きい画像表示領域 (表示部) を形成することができる。即ち、画面の大きさが対角 1 0 インチ以上 (さらに 3 0 インチ以上) の発光装置を実現する上で、本実施例の画素構造は極めて有効である。

【 0 1 7 7 】

次に、図 1 2 (A) に示すように、第 1 層間絶縁膜 5 3 7 を形成する。第 1 層間絶縁膜 5 3 7 としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は 4 0 0 n m ~ 1 . 5 μm とすれば良い。本実施例では、2 0 0 n m 厚の窒化酸化珪素膜の上に 8 0 0 n m 厚の酸化珪素膜を積層した構造とする。

【 0 1 7 8 】

50

さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不対結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0179】

なお、水素化処理は第1層間絶縁膜537を形成する間に入れても良い。即ち、200nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化珪素膜を形成しても構わない。

【0180】

次に、第1層間絶縁膜537に対してコンタクトホールを形成し、ソース配線538～541と、ドレイン配線542～545を形成する。なお、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

10

【0181】

次に、図12(B)に示すように50～500nm（代表的には200～300nm）の厚さで第1パッシベーション膜547を形成する。本実施例では第1パッシベーション膜547として300nm厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。なお、窒化酸化珪素膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜537に供給され、熱処理を行うことで、第1パッシベーション膜547の膜質が改善される。それと同時に、第1層間絶縁膜537に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

20

【0182】

次に、有機樹脂からなる第2層間絶縁膜548を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第2層間絶縁膜548は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5μm（さらに好ましくは2～4μm）とすれば良い。（図12(B)）

【0183】

次に、第2層間絶縁膜548及び第1パッシベーション膜547にドレイン配線543に達するコンタクトホールを形成し、ドレイン配線543に接するように受光ダイオード（光電変換素子）のカソード電極549を形成する。本実施例では、この金属膜にスパッタ法によるアルミニウムを用いたが、その他の金属、例えばチタン、タンタル、タングステン、銅を用いることができる。また、チタン、アルミニウム、チタンでなる積層膜を用いてもよい。

30

【0184】

次に、水素を含有する非晶質珪素膜を基板全面に成膜した後にパターニングし、光電変換層550を形成する。次に、基板全面に透明導電膜を形成する。本実施例では透明導電膜として厚さ200nmのITOをスパッタ法で成膜する。透明導電膜をパターニングし、アノード電極551を形成する。（図12(C)）

40

【0185】

次に、図13(A)に示すように第3層間絶縁膜553を形成する。第3層間絶縁膜553として、ポリイミド、ポリアミド、ポリイミドアミド、アクリル等の樹脂を用いることで、平坦な表面を得ることができる。本実施例では、第3層間絶縁膜553として厚さ0.7μmのポリイミド膜を基板全面に形成した。

【0186】

次に、第3層間絶縁膜553、第2層間絶縁膜548及び第1パッシベーション膜547に、ドレイン配線545に達するコンタクトホールを形成し、画素電極555を形成する。また第3層間絶縁膜553に、アノード電極551に達するコンタクトホールを形成

50

し、センサ用配線 554 を形成する。本実施例では酸化インジウム・スズ (ITO) 膜を 110 nm の厚さに形成し、パターニングを行ってセンサ用配線 554 及び画素電極 555 を同時に形成する。また、酸化インジウムに 2 ~ 20 % の酸化亜鉛 (ZnO) を混合した透明導電膜を用いても良い。この画素電極 555 が発光素子の陽極となる。

【0187】

次に、樹脂材料でなるバンク 556 を形成する。バンク 556 は 1 ~ 2 μm 厚のアクリル膜またはポリイミド膜をパターニングして形成すれば良い。このバンク 556 は画素と画素との間にストライプ状に形成される。バンク 556 はソース配線 540 上に沿って形成しても良いし、ゲート配線 535 上に沿って形成しても良い。なおバンク 556 を形成している樹脂材料に顔料等を混ぜ、バンク 556 を遮蔽膜として用いても良い。

10

【0188】

次に、有機化合物層 557 及び陰極 (MgAg 電極) 558 を、真空蒸着法を用いて大気解放しないで連続形成する。なお、有機化合物層 557 の膜厚は 800 ~ 200 nm (典型的には 100 ~ 120 nm)、陰極 558 の厚さは 180 ~ 300 nm (典型的には 200 ~ 250 nm) とすれば良い。なお、本実施例では一画素しか図示されていないが、このとき同時に赤色に発光する有機化合物層、緑色に発光する有機化合物層及び青色に発光する有機化合物層が形成される。

【0189】

この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次有機化合物層 557 を形成する。但し、有機化合物層 557 は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に有機化合物層 557 を形成するのが好ましい。

20

【0190】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の有機化合物層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の有機化合物層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の有機化合物層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素に有機化合物層を形成するまで真空を破らずに処理することが好ましい。

30

【0191】

なお、本実施例では有機化合物層 557 を発光層のみからなる単層構造とするが、有機化合物層は発光層の他に正孔輸送層、正孔注入層、電子輸送層、電子注入層等を有していても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。有機化合物層 557 としては公知の材料を用いることができる。公知の材料としては、発光素子駆動電圧を考慮すると有機材料を用いるのが好ましい。

【0192】

次に陰極 558 を形成する。本実施例では発光素子の陰極として MgAg 電極を用いた例を示すが、公知の他の材料を用いることが可能である。

40

【0193】

こうして図 13 (B) に示すような構造のアクティブマトリクス基板が完成する。なお、バンク 556 を形成した後、陰極 558 を形成するまでの工程をマルチチャンバー方式 (またはインライン方式) の薄膜形成装置を用いて、大気解放せずに連続的に処理しても良い。

【0194】

なお本実施例ではセンサ部が有する TFT の作製工程について説明したが、表示部が有する TFT 及び駆動回路の TFT も同時に基板上に形成しても良い。

【0195】

本実施例の場合、図 13 (B) に示すように、nチャネル型 TFT であるバッファ用 T

50

F T 5 7 0 は極力動作速度を落とさないようにホットキャリア注入を低減させる構造になっている。バッファ用 T F T 5 7 0 の活性層は、ソース領域 5 8 0、ドレイン領域 5 8 1、L D D 領域 5 8 2 及びチャネル形成領域 5 8 3 を含み、L D D 領域 5 8 2 はゲート絶縁膜 5 1 0 を介してゲート電極 5 1 1 と重なっている。

【 0 1 9 6 】

ドレイン領域側のみに L D D 領域を形成しているのは、動作速度を落とさないための配慮である。また、このバッファ用 T F T 5 7 0 はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、L D D 領域 5 8 2 は完全にゲート電極 5 1 1 に重なってしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

10

【 0 1 9 7 】

また、pチャネル型 T F T であるリセット用 T F T 5 7 1 及び電流制御用 T F T 5 7 3 は、ホットキャリア注入による劣化が殆ど気にならないので、特に L D D 領域を設けなくても良い。勿論、nチャネル型 T F T と同様に L D D 領域を設け、ホットキャリア対策を講じることも可能である。

【 0 1 9 8 】

また本実施例において、スイッチング用 T F T 5 7 2 の活性層は、ソース領域 5 9 0、ドレイン領域 5 9 1、L D D 領域 5 9 2 ~ 5 9 5、チャネル形成領域 5 9 6、5 9 7 及び分離領域 5 9 8 を含んでいる。L D D 領域 5 9 2 ~ 5 9 5 はゲート絶縁膜 5 1 0 を介してゲート電極 5 1 3、5 1 4 と重ならないように設ける。このような構造はオフ電流を低減

20

【 0 1 9 9 】

また、スイッチング用 T F T 5 7 2 はダブルゲート構造としており、ダブルゲート構造とすることで実質的に二つの T F T が直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。

【 0 2 0 0 】

なお、実際には図 1 3 (B) まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりすると発光素子の信頼性が向上する。

30

【 0 2 0 1 】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:F P C)を取り付けて製品として完成する。このような出荷できるまでした状態を本明細書中では発光装置(表示用モジュール)という。

【 0 2 0 2 】

なお本実施例は実施例 1 と組み合わせて実施することが可能である。

40

【 実施例 3 】

【 0 2 0 3 】

実施例 2 では、発光素子から発する光が、T F T が設けられている基板側に照射している例について説明した。本実施例では発光素子から発する光が、T F T が設けられている基板側とは反対側に照射している例について、図 1 4 を用いて説明する。

【 0 2 0 4 】

第 3 層間絶縁膜を形成する工程までは、実施例 2 の場合と同様である。ただし実施例 2 では電流制御用 T F T として p チャネル型 T F T を用いたが、本実施例では電流制御用 T F T として n チャネル型 T F T を用いている。よって、n 型不純物の添加工程において電流制御用 T F T が有する活性層をマスクで覆い、p 型不純物の添加工程において電流制御

50

用 T F T が有する活性層をマスクで覆わない。

【 0 2 0 5 】

第 3 層間絶縁膜 6 5 3 を形成した後、第 3 層間絶縁膜 6 5 3、第 2 層間絶縁膜 6 4 8 及び第 1 パッシベーション膜 6 4 7 に、ドレイン配線 6 4 5 に達するコンタクトホールを形成し、画素電極 6 5 5 を形成する。また第 3 層間絶縁膜 6 5 3 に、アノード電極 6 5 1 に達するコンタクトホールを形成し、センサ用配線 6 5 4 を形成する。本実施例ではアルミニウム合金膜（1 wt% のチタンを含有したアルミニウム膜）を 3 0 0 n m の厚さに形成し、パターニングを行ってセンサ用配線 6 5 4 及び画素電極 6 5 5 を同時に形成する。なお本実施例において画素電極とセンサ用配線はアルミニウム合金膜を用いて形成したが、本発明はこれに限定されず、M g A g を用いても良い。また発光素子の陰極として用いられる公知の材料なら、いずれも用いることが可能である。

10

【 0 2 0 6 】

次に、図 1 4 に示すように、樹脂材料でなるバンク 6 6 1 を形成する。バンク 6 6 1 は 1 ~ 2 μ m 厚のアクリル膜またはポリイミド膜をパターニングして形成すれば良い。このバンク 6 6 1 は画素と画素との間にストライプ状に形成される。バンク 6 6 1 はソース配線 6 4 0（ソース信号線）上に沿って形成しても良いし、ゲート配線（ゲート信号線）6 3 5 上に沿って形成しても良い。なおバンク 6 6 1 を形成している樹脂材料に顔料等を混ぜ、バンク 6 6 1 を遮蔽膜として用いても良い。

【 0 2 0 7 】

次に、発光層 6 5 6 を形成する。具体的には、発光層 6 5 6 となる有機材料をクロロフォルム、ジクロロメタン、キシレン、トルエン、テトラヒドロフラン等の溶媒に溶かして塗布し、その後、熱処理を行うことにより溶媒を揮発させる。こうして有機材料でなる被膜（発光層）が形成される。

20

【 0 2 0 8 】

なお、本実施例では一画素しか図示されていないが、このとき同時に赤色に発光する発光層、緑色に発光する発光層及び青色に発光する発光層が形成される。本実施例では、赤色に発光する発光層としてシアノポリフェニレンビニレン、緑色に発光する発光層としてポリフェニレンビニレン、青色に発光する発光層としてポリアルキルフェニレンを各々 5 0 n m の厚さに形成する。また、溶媒としては 1, 2 - ジクロロメタンを用い、8 0 ~ 1 5 0 のホットプレートで 1 ~ 5 分の熱処理を行って揮発させる。

30

【 0 2 0 9 】

次に、正孔注入層 6 5 7 を 2 0 n m の厚さに形成する。正孔注入層 6 5 7 は全ての画素に共通で設ければ良いので、スピンコート法または印刷法を用いて形成すれば良い。本実施例ではポリチオフェン（P E D O T）を水溶液として塗布し、1 0 0 ~ 1 5 0 のホットプレートで 1 ~ 5 分の熱処理を行って水分を揮発させる。この場合、ポリフェニレンビニレンやポリアルキルフェニレンが水に溶けないため、発光層 6 5 6 を溶解させることなく正孔注入層 6 5 7 を形成することが可能である。

【 0 2 1 0 】

なお、正孔注入層 6 5 7 として低分子系有機材料を用いることも可能である。その場合は、蒸着法を用いて形成すれば良い。

40

【 0 2 1 1 】

本実施例では有機化合物層を発光層及び正孔注入層でなる 2 層構造とするが、その他に正孔輸送層、電子注入層、電子輸送層等を設けても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【 0 2 1 2 】

発光層 6 5 6 及び正孔注入層 6 5 7 を形成したら、対向電極として、透明導電膜からなる陽極 6 5 8 を 1 2 0 n m の厚さに形成する。本実施例では、酸化インジウムに 1 0 ~ 2 0 w t % の酸化亜鉛を添加した透明導電膜を用いる。成膜方法は、発光層 6 5 6 や正孔注入層 6 5 7 を劣化させないように室温で蒸着法により形成することが好ましい。

【 0 2 1 3 】

50

陽極 6 5 8 を形成したら、第 4 層間絶縁膜 6 5 9 を形成する。第 4 層間絶縁膜 6 5 9 として、ポリイミド、ポリアミド、ポリイミドアミド、アクリル等の樹脂を用いることで、平坦な表面を得ることができる。本実施例では、第 4 層間絶縁膜 6 5 9 として厚さ 0 . 7 μm のポリイミド膜を基板全面に形成した。

【 0 2 1 4 】

次に第 4 層間絶縁膜 6 5 9 上にアルミニウム合金膜 (1 wt% のチタンを含有したアルミニウム膜) を 3 0 0 nm の厚さに形成し、パターニングを行って反射板 6 6 0 を形成する。発光素子で発光した光が反射板 6 6 0 において反射して、受光ダイオードの光電変換層 6 5 0 に入射するような位置に、反射板 6 6 0 を設けることが重要である。

【 0 2 1 5 】

なお本実施例において反射板 6 6 0 はアルミニウム合金膜を用いて形成したが、本発明はこれに限定されず、不透明な金属であれば、公知の材料を用いることが可能である。例えば、銅 (Cu)、銀 (Ag)、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、クロム (Cr)、シリコン (Si) から選ばれた元素でなる膜、または前記元素の窒化物膜 (代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜 (代表的には Mo - W 合金、Mo - Ta 合金)、または前記元素のシリサイド膜 (代表的にはタングステンシリサイド膜、チタンシリサイド膜) を用いることができる。勿論、単層で用いても積層して用いても良い。

【 0 2 1 6 】

こうして図 1 4 に示すような構造のアクティブマトリクス基板が完成する。なお 6 7 0 はパッファ用 T F T、6 7 1 はリセット用 T F T、6 7 2 はスイッチング用 T F T、6 7 3 は電流制御用 T F T である。

【 0 2 1 7 】

なお本実施例ではセンサ部が有する T F T の作製工程について説明したが、表示部が有する T F T 及び駆動回路の T F T も同時に基板上に形成しても良い。

【 0 2 1 8 】

また実際には図 1 4 まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム (ラミネートフィルム、紫外線硬化樹脂フィルム等) や透光性のシーリング材でパッケージング (封入) することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料 (例えば酸化バリウム) を配置したりすると発光素子の信頼性が向上する。

【 0 2 1 9 】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ (フレキシブルプリントサーキット : F P C) を取り付けて製品として完成する。このような出荷できるまでした状態を本明細書中では発光装置 (表示用モジュール) という。

【 0 2 2 0 】

なお本実施例は実施例 1 と組み合わせることで実施することが可能である。

【 実施例 4 】

【 0 2 2 1 】

本実施例では、センサ用画素の構造が実施の形態、実施例 1 ~ 実施例 3 で示したものと異なっている、本発明の発光装置について説明する。

【 0 2 2 2 】

図 1 5 に本実施例の発光装置における、センサ用画素の回路図を示す。点線で囲まれた領域がセンサ用画素 7 0 4 である。センサ用画素 7 0 4 はソース信号線 S (S 1 ~ S x のいずれか 1 つ)、電源供給線 V (V 1 ~ V x のいずれか 1 つ)、ゲート信号線 G (G 1 ~ G y のいずれか 1 つ) を含んでいる。

【 0 2 2 3 】

またセンサ用画素 7 0 4 はスイッチング用 T F T 7 3 0、電流制御用 T F T 7 3 1、センサ用発光素子 7 3 2 を有している。また図 1 5 ではコンデンサ 7 3 3 を有しているが、

10

20

30

40

50

コンデンサ 733 を設けない構成にしても良い。

【0224】

センサ用発光素子 732 は陽極と陰極と、陽極と陰極との間に設けられた有機化合物層とからなる。陽極が電流制御用 TFT 731 のドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が電流制御用 TFT 731 のドレイン領域と接続している場合、陽極対向電極、陰極が画素電極となる。

【0225】

スイッチング用 TFT 730 のゲート電極はゲート信号線 G に接続されている。そしてスイッチング用 TFT 730 のソース領域とドレイン領域は、一方がソース信号線 S に、もう一方が電流制御用 TFT 731 のゲート電極に接続されている。

10

【0226】

電流制御用 TFT 731 のソース領域とドレイン領域は、一方が電源供給線 V に、もう一方がセンサ用発光素子 732 に接続されている。コンデンサ 733 は電流制御用 TFT 731 のゲート電極と電源供給線 V とに接続して設けられている。

【0227】

さらにセンサ用画素 704 は、リセット用 TFT 734、バッファ用 TFT 735、センサ TFT 736 を有している。

【0228】

センサ用画素 704 が有するリセット用 TFT 734 とバッファ用 TFT 735 は、どちらか一方が n チャネル型 TFT で、残りの一方が p チャネル型 TFT であることが望ましい。またバッファ用 TFT 735 とセンサ TFT 736 の極性は同じであることが望ましい。

20

【0229】

リセット用 TFT 734 のゲート電極はリセット信号線 RL に接続されている。リセット用 TFT 734 のソース領域はセンサ用電源線 VB 及びバッファ用 TFT 735 のドレイン領域に接続されている。センサ用電源線は常に一定の電位（基準電位）に保たれている。またリセット用 TFT 734 のドレイン領域は、センサ TFT 736 のドレイン領域及びバッファ用 TFT 735 のゲート電極に接続されている。

【0230】

バッファ用 TFT 735 のソース領域はセンサ出力配線 FL に接続されている。またセンサ出力配線 FL は定電流電源 737 に接続されており、常に一定の電流が流れている。そしてバッファ用 TFT 735 のドレイン領域は常に一定の基準電位に保たれているセンサ用電源線 VB に接続されており、バッファ用 TFT 735 はソースフォロワ (source follower) として機能する。

30

【0231】

センサ TFT 736 のソース領域は所定の電位に保たれている。そしてセンサ TFT 736 のゲート電極はセンサ TFT 用電源線 SVB に接続されており、常に一定の電位に保たれている。センサ TFT のゲート電極とソース領域の電位差 V_{GS} は、常にセンサ TFT がオフの状態になるように保たれている。なお、センサ TFT 736 のソース領域とゲート電極とを電氣的に接続する構成であっても良い。この場合、センサ TFT のゲート電極とソース領域の電位差 V_{GS} は 0 V であるため、常にセンサ TFT はオフの状態にある。

40

【0232】

次にセンサ用画素 704 の駆動について説明する。

【0233】

まずリセット信号線 RL に入力されたリセット信号によって、リセット用 TFT 734 がオンの状態になる。よってセンサ用電源線 VB の基準電位はバッファ用 TFT 735 のゲート電極に与えられる。そしてバッファ用 TFT 735 のソース領域はセンサ出力配線 FL を介して定電流電源に接続されており、バッファ用 TFT 735 のソース領域とゲート電極の電位差 V_{GS} は常に一定である。よってバッファ用 TFT 735 のソース領域は、基準電位から V_{GS} を差し引いた電位に保たれる。なお本明細書では、リセット用 TFT 7

50

3 4 がオンの状態である期間をリセット期間と呼ぶ。

【 0 2 3 4 】

次にリセット信号線 R L に入力されたリセット信号の電位が変化して、リセット用 T F T 7 3 4 がオフの状態になる。よってセンサ用電源線 V B の基準電位は、バッファ用 T F T 7 3 5 のゲート電極に与えられない。なお、リセット用 T F T 7 3 4 がオフの状態にある期間を、本明細書ではサンプル期間と呼ぶ。

【 0 2 3 5 】

なお本実施例で示したセンサ用画素を有する発光装置は、デジタル方式でもアナログ方式でも駆動させることが可能である。デジタル方式で駆動させる場合、サンプル期間はアドレス期間 T a よりも長いことが好ましい。

10

【 0 2 3 6 】

センサ T F T 7 3 6 にセンサ用発光素子 7 3 2 の光が照射されると、センサ T F T 7 3 6 のチャネル形成領域にオフ電流が流れる。センサ T F T 7 3 6 はボトムゲート型の T F T であることが重要である。よってサンプル期間において、バッファ用 T F T 7 3 5 のゲート電極の電位は変化し、その電位の変化の大きさはセンサ T F T 7 3 6 のチャネル形成領域において流れるオフ電流の大きさによって変わる。

【 0 2 3 7 】

センサ T F T 7 3 6 のチャネル形成領域に流れるオフ電流は、センサ T F T 7 3 6 のゲート電極とソース領域の電位差 V_{GS} が一定であるため、センサ T F T 7 3 6 に照射される光の強さに比例する。つまりセンサ用発光素子 7 3 2 の輝度が高いときと低いときとは、輝度の高いときの方が、センサ T F T 7 3 6 のチャネル形成領域により大きなオフ電流が流れることになる。よって、センサ用発光素子 7 3 2 の輝度が高いときの方が、輝度の低いときに比べて、バッファ用 T F T 7 3 5 のゲート電極の電位の変化は大きくなる。

20

【 0 2 3 8 】

バッファ用 T F T 7 3 5 のソース領域とゲート電極の電位差 V_{GS} は常に一定であるので、バッファ用 T F T 7 3 5 のゲート電極の電位が変化すると、それに伴ってバッファ用 T F T 7 3 5 のソース領域の電位も変化する。バッファ用 T F T 7 3 5 のソース領域は、バッファ用 T F T 7 3 5 のゲート電極の電位から V_{GS} を差し引いた電位に保たれる。

【 0 2 3 9 】

バッファ用 T F T 7 3 5 のソース領域の電位はセンサ出力配線 F L に与えられ、センサ出力信号として補正回路またはビデオ信号補正回路に入力される。

30

【 0 2 4 0 】

図 1 6 に本実施例の発光装置が有するセンサ用画素 7 0 4 の断面図を示す。図 1 6 において、8 1 1 は基板、8 1 2 は下地となる絶縁膜（以下、下地膜という）である。基板 8 1 1 としては透光性基板、代表的にはガラス基板、石英基板、ガラスセラミックス基板、又は結晶化ガラス基板を用いることができる。但し、作製プロセス中の最高処理温度に耐えるものでなくてはならない。

【 0 2 4 1 】

また、下地膜 8 1 2 は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜 8 1 2 としては、珪素（シリコン）を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（ SiO_xN_y ：x、y は任意の整数、で示される）など珪素に対して酸素若しくは窒素を所定の割合で含ませた絶縁膜を指す。

40

【 0 2 4 2 】

7 3 5 はバッファ用 T F T、7 3 4 はリセット用 T F T、7 3 6 はセンサ T F T、7 3 0 はスイッチング用 T F T、7 3 1 は電流制御用 T F T である。バッファ用 T F T 7 3 5、スイッチング用 T F T 7 3 0 及びセンサ T F T 7 3 6 はそれぞれ n チャネル型 T F T で形成されている。また、リセット用 T F T 7 3 4 及び電流制御用 T F T 7 3 1 はそれぞれ p チャネル型 T F T で形成されている。

50

【 0 2 4 3 】

発光素子の発光方向が基板側の場合、スイッチング用 T F T と電流制御用 T F T は上記構成であることが好ましい。しかし本発明はこの構成に限定されない。

スイッチング用 T F T と電流制御用 T F T は、n チャネル型 T F T でも p チャネル型 T F T でも、どちらでも構わない。またリセット用 T F T 7 3 4 とバッファ用 T F T 7 3 5 は、互いに極性が異なっていれば、n チャネル型 T F T でも p チャネル型 T F T でも良い。またセンサ T F T 7 3 6 はバッファ用 T F T 7 3 5 と極性が同じであれば、n チャネル型 T F T でも p チャネル型 T F T でも良い。

【 0 2 4 4 】

スイッチング用 T F T 7 3 0 は、ソース領域 8 1 3、ドレイン領域 8 1 4、L D D 領域 8 1 5 a ~ 8 1 5 d、分離領域 8 1 6 及びチャネル形成領域 8 1 7 a、8 1 7 b を含む活性層と、ゲート絶縁膜 8 1 8 と、ゲート電極 8 1 9 a、8 1 9 b と、第 1 層間絶縁膜 8 2 0 と、ソース配線（ソース信号線）8 2 1 と、ドレイン配線 8 2 2 と、チャネル形成領域保護膜 8 6 3、8 6 4 とを有している。なお、ゲート絶縁膜 8 1 8 又は第 1 層間絶縁膜 8 2 0 は基板上の全 T F T に共通であっても良いし、回路又は素子に応じて異ならせても良い。

【 0 2 4 5 】

また、図 1 6 に示すスイッチング用 T F T 7 3 0 はゲート電極 8 1 7 a、8 1 7 b が電氣的に接続されており、いわゆるダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。

【 0 2 4 6 】

マルチゲート構造はオフ電流を低減する上で極めて有効であり、スイッチング用 T F T のオフ電流を十分に低くすれば、それだけ電流制御用 T F T 7 3 1 のゲート電極に接続されたコンデンサが必要とする最低限の容量を抑えることができる。即ち、コンデンサの面積を小さくすることができるので、マルチゲート構造とすることは発光素子の有効発光面積を広げる上でも有効である。

【 0 2 4 7 】

さらに、スイッチング用 T F T 7 3 0 においては、L D D 領域 8 1 5 a ~ 8 1 5 d は、ゲート絶縁膜 8 1 8 を介してゲート電極 8 1 9 a、8 1 9 b と重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。

また、L D D 領域 8 1 5 a ~ 8 1 5 d の長さ（幅）は 0 . 5 ~ 3 . 5 μ m、代表的には 2 . 0 ~ 2 . 5 μ m とすれば良い。

【 0 2 4 8 】

なお、チャネル形成領域と L D D 領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層であり、ゲート電圧が加えられない領域）を設けることはオフ電流を下げるという点ではさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた分離領域 8 1 6（ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域）がオフ電流の低減に効果的である。

【 0 2 4 9 】

次に、電流制御用 T F T 7 3 1 は、ソース領域 8 2 6、ドレイン領域 8 2 7 及びチャネル形成領域 8 2 9 を含む活性層と、ゲート絶縁膜 8 1 8 と、ゲート電極 8 3 0 と、第 1 層間絶縁膜 8 2 0 と、チャネル形成領域保護膜 8 6 5 と、ソース配線 8 3 1 並びにドレイン配線 8 3 2 を有して形成される。

【 0 2 5 0 】

また、スイッチング用 T F T 7 3 0 のドレイン領域 8 1 4 は電流制御用 T F T 7 3 1 のゲート 8 3 0 に接続されている。図示してはいないが、具体的には電流制御用 T F T 7 3 1 のゲート電極 8 3 0 はスイッチング用 T F T 7 3 0 のドレイン領域 8 1 4 とドレイン配線（接続配線とも言える）8 2 2 を介して電氣的に接続されている。なお、ゲート電極 8 3 0 はシングルゲート構造となっているが、マルチゲート構造であっても良い。また、電

流制御用 T F T 7 3 1 のソース配線 8 3 1 は電源供給線（図示せず）に接続される。

【 0 2 5 1 】

電流制御用 T F T 7 3 1 は発光素子に注入される電流量を制御するための素子であり、比較的多くの電流が流れる。そのため、チャンネル幅（W）はスイッチング用 T F T 7 3 0 のチャンネル幅よりも大きく設計することが好ましい。また、電流制御用 T F T 7 3 1 に過剰な電流が流れないように、チャンネル長（L）は長めに設計することが好ましい。望ましくは一画素あたり $0.5 \sim 2 \mu A$ （好ましくは $1 \sim 1.5 \mu A$ ）となるようにする。

【 0 2 5 2 】

またさらに、電流制御用 T F T 7 3 1 の活性層（特にチャンネル形成領域）の膜厚を厚くする（好ましくは $50 \sim 100 \text{ nm}$ 、さらに好ましくは $60 \sim 80 \text{ nm}$ ）ことによって、T F T の劣化を抑えてもよい。逆に、スイッチング用 T F T 7 3 0 の場合はオフ電流を小さくするという観点から見れば、活性層（特にチャンネル形成領域）の膜厚を薄くする（好ましくは $20 \sim 50 \text{ nm}$ 、さらに好ましくは $25 \sim 40 \text{ nm}$ ）ことも有効である。

【 0 2 5 3 】

またバッファ用 T F T 7 3 5、リセット用 T F T 7 3 4、センサ T F T 7 3 6 は、それぞれソース配線 8 4 5、8 4 6、8 8 5 を有している。また同様に、ドレイン配線 8 4 7、8 4 8、8 8 7、ゲート電極 8 4 3、8 3 9、8 8 3、ソース領域 8 4 0、8 3 5、8 8 0、チャンネル形成領域 8 4 2、8 3 8、8 8 2、ドレイン領域 8 4 1、8 3 6、8 8 1、ゲート絶縁膜 8 1 8、第 1 層間絶縁膜 8 2 0、チャンネル形成領域保護膜 8 6 1、8 6 2、8 6 7、L D D 領域 8 4 4 a、8 4 4 b、8 8 4 a、8 8 4 b をそれぞれ有している。

【 0 2 5 4 】

なお本実施例ではバッファ用 T F T 7 3 5 及びセンサ T F T 7 3 6 に L D D 領域 8 4 4 a、8 4 4 b、8 8 4 a、8 8 4 b を設けたが、L D D 領域を有さない構成であっても良い。またソース領域側、又はドレイン領域側にそれぞれ 1 つだけ L D D 領域を有する構成であっても良い。

【 0 2 5 5 】

また、p チャンネル型 T F T であるリセット用 T F T 7 3 4 は、ホットキャリア注入による劣化が殆ど気にならないので、特に L D D 領域を設けなくても良い。勿論、n チャンネル型 T F T であるバッファ用 T F T 7 3 5、センサ用 T F T 7 3 6 と同様に L D D 領域を設け、ホットキャリア対策を講じることが可能である。

【 0 2 5 6 】

なおチャンネル形成領域保護膜 8 6 1 ~ 8 6 5 はチャンネル形成領域 8 4 2、8 3 8、8 1 7 a、8 1 7 b、8 2 9、8 8 2 を形成するためのマスクである。チャンネル形成領域保護膜 8 6 1 ~ 8 6 5 は光を透過する必要がある。

【 0 2 5 7 】

8 4 9 は第 1 パッシベーション膜であり、膜厚は $10 \text{ nm} \sim 1 \mu m$ （好ましくは $200 \sim 500 \text{ nm}$ ）とすれば良い。材料としては、珪素を含む絶縁膜（特に窒化酸化珪素膜又は窒化珪素膜が好ましい）を用いることができる。このパッシベーション膜 8 4 7 は形成された T F T をアルカリ金属や水分から保護する役割金属を有する。最終的に T F T（特に電流制御用 T F T）の上方に設けられる有機化合物層 8 5 4 にはナトリウム等のアルカリ金属が含まれている。即ち、第 1 パッシベーション膜 8 4 9 はこれらのアルカリ金属（可動イオン）を T F T 側に侵入させない保護層としても働く。

【 0 2 5 8 】

また、8 5 1 は第 2 層間絶縁膜であり、T F T によってできる段差の平坦化を行う平坦化膜としての機能を有する。第 2 層間絶縁膜 8 5 1 としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、B C B（ベンゾシクロブテン）等を用いると良い。これらの有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。有機化合物層は凹凸に非常に敏感であるため、T F T による段差は第 2 層間絶縁膜 8 5 1 で殆ど吸収してしまうことが望ましい。また、ゲート信号線やデータ信号線と発光素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておく

ことが望ましい。

従って、膜厚は $0.5 \sim 5 \mu\text{m}$ （好ましくは $1.5 \sim 2.5 \mu\text{m}$ ）が好ましい。

【0259】

また、852は透明導電膜でなる画素電極（発光素子の陽極）であり、第2層間絶縁膜851及び第1パッシベーション膜849にコンタクトホール（開孔）を開けた後、形成された開孔部において電流制御用TFT731のドレイン配線832に接続されるように形成される。また、860は透明導電膜でなるセンサ用配線であり、第2層間絶縁膜851及び第1パッシベーション膜849にコンタクトホール（開孔）を開けた後、形成された開孔部においてセンサTFT736のソース配線885に接続されるように、画素電極852と同時に形成される。なお、図16のように画素電極852とドレイン領域827とが直接接続されないようにしておくこと、有機化合物層のアルカリ金属が画素電極を経由して活性層へ侵入することを防ぐことができる。

10

【0260】

画素電極852及びセンサ用配線860の上には酸化珪素膜、窒化酸化珪素膜または有機樹脂膜でなる第3層間絶縁膜853が $0.3 \sim 1 \mu\text{m}$ の厚さに設けられる。この第3層間絶縁膜853は画素電極852の上にエッチングにより開口部が設けられ、その開口部の縁はテーパ形状となるようにエッチングする。テーパの角度は $10 \sim 60^\circ$ （好ましくは $30 \sim 50^\circ$ ）とすると良い。

【0261】

第3層間絶縁膜853の上には有機化合物層854が設けられる。有機化合物層854は単層又は積層構造で用いられるが、積層構造で用いた方が発光効率は良い。一般的には電極上に正孔注入層／正孔輸送層／発光層／電子輸送層の順に形成されるが、正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層のような構造でも良い。本発明では公知のいずれの構造を用いても良いし、有機化合物層に対して蛍光性色素等をドーピングしても良い。

20

【0262】

図16の構造はRGBに対応した三種類の発光素子を形成する方式を用いた場合の例である。なお、図16には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。本発明はカラー表示方式に関わらず実施することが可能である。

30

【0263】

有機化合物層854の上には対向電極としての発光素子の陰極855が設けられる。陰極855としては、仕事関数の小さいマグネシウム（Mg）、リチウム（Li）若しくはカルシウム（Ca）を含む材料を用いる。好ましくはMgAg（MgとAgをMg：Ag＝10：1で混合した材料）でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFAl電極が挙げられる。

【0264】

陰極855は有機化合物層854を形成した後、大気解放しないで連続的に形成することが望ましい。陰極855と有機化合物層854との界面状態は発光素子の発光効率に大きく影響するからである。なお、本明細書中では、画素電極（陽極）、有機化合物層及び陰極で形成される発光素子を発光素子と呼ぶ。なお図16はセンサ用画素の断面図を示しているので、画素電極852、有機化合物層854、対向電極855からなる点線で囲まれた箇所は、センサ用発光素子732である。

40

【0265】

有機化合物層854と陰極855とでなる積層体は、各画素で個別に形成する必要があるが、有機化合物層854は水分に極めて弱いため、通常のフォトリソグラフィ技術を用いることができない。従って、メタルマスク等の物理的なマスク材を用い、真空蒸着法、スパッタ法、プラズマCVD法等の気相法で選択的に形成することが好ましい。

【0266】

なお、有機化合物層854を選択的に形成する方法として、インクジェット法、スクリ

50

ーン印刷法又はスピンコート法等を用いることも可能であるが、これらは現状では陰極の連続形成ができないので、上述の方法の方が好ましいと言える。

【0267】

また、対向電極855上に保護電極を設けても良い。保護電極は、陰極855を外部の水分等から保護すると同時に、各画素の陰極855を接続するための電極である。保護電極としては、アルミニウム(Al)、銅(Cu)若しくは銀(Ag)を含む低抵抗な材料を用いることが好ましい。この保護電極には有機化合物層の発熱を緩和する放熱効果も期待できる。また、上記有機化合物層854、陰極855を形成した後、大気解放しないで連続的に保護電極まで形成することも有効である。

【0268】

なお、図16に図示されたTF Tは全て、ポリシリコン膜を活性層として有していても良いことは言うまでもない。

【0269】

本発明は、図16の発光装置の構造に限定されるものではなく、図16の構造は本発明を実施する上での好ましい形態の一つに過ぎない。

【実施例5】

【0270】

本実施例では、本発明の発光装置の外観図の一例について説明する。

【0271】

図17(A)は本発明の発光装置の上面図である。図17(A)において、4010は基板、4011は表示部、4012はソース信号線駆動回路、4013はゲート信号線駆動回路であり、それぞれの駆動回路は配線4014~4016を経てFPC4017に至り、外部機器へと接続される。

【0272】

またセンサ部4019は、配線4020によって表示部4011と接続されており、配線4018によってFPC4017に至り、基板の外部に設けられている補正回路又はビデオ信号補正回路に接続される。なお本実施例では補正回路又はビデオ信号補正回路を基板の外部に設けているが、本発明はこれに限定されず、補正回路又はビデオ信号補正回路を基板上に設けても良い。

【0273】

このとき、少なくとも表示部4011及びセンサ部4019、好ましくは駆動回路4012、4013、センサ部4019及び表示部4011を囲むようにして、カバー材6000、シーリング材(ハウジング材ともいう)7000、密封材(第2のシーリング材)7001が設けられている。

【0274】

また、図17(B)は本実施例の発光装置の断面構造であり、基板4010、下地膜4021の上に駆動回路用TF T(但し、ここではnチャネル型TF Tとpチャネル型TF Tを組み合わせたCMOS回路を図示している。)4022及び表示用画素が有するTF T4023(但し、ここでは発光素子への電流を制御する電流制御用TF Tだけ図示している。)が形成されている。なお、ここではセンサ用画素が有するTF Tは図示していない。これらのTF Tは公知の構造(トップゲート構造またはボトムゲート構造)を有していれば良い。

【0275】

公知の作製方法を用いて駆動回路用TF T4022、電流制御用TF T4023が完成したら、樹脂材料でなる層間絶縁膜(平坦化膜)4026の上に電流制御用TF T4023のドレインと電氣的に接続する透明導電膜でなる画素電極4027を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0276】

10

20

30

40

50

次に、有機化合物層 4029 を形成する。有機化合物層 4029 は公知の有機材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、有機化合物層を構成する有機材料には低分子系材料と高分子系（ポリマー系）材料とがある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0277】

本実施例では、シャドーマスクを用いて蒸着法により有機化合物層を形成する。シャドーマスクを用いて画素ごとに波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光の発光装置とすることもできる。

【0278】

有機化合物層 4029 を形成したら、その上に陰極 4030 を形成する。陰極 4030 と有機化合物層 4029 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で有機化合物層 4029 と陰極 4030 を連続成膜するか、有機化合物層 4029 を不活性雰囲気中で形成し、大気解放しないで陰極 4030 を形成するといった工夫が必要である。マルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を行うこともできる。

【0279】

なお、本実施例では陰極 4030 として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的には有機化合物層 4029 上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極 4030 は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0280】

4031に示された領域において陰極4030と配線4016とを電氣的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4028のエッチング時（有機化合物層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0281】

このようにして形成された発光素子の表面を覆って、パッシベーション膜6003、充填材6004、カバー材6000が形成される。

【0282】

さらに、画素電極4027と有機化合物層4029と陰極4030とを含む発光素子を囲むようにして、カバー材6000と基板4010の内側にシーリング材7000が設けられ、さらにシーリング材7000の外側には密封材（第2のシーリング材）7001が形成される。

【0283】

このとき、この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材6004の内部に乾燥剤を設け

10

20

30

40

50

ておくと、吸湿効果を保持できるので好ましい。

【0284】

また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0285】

スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0286】

また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 μm のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0287】

但し、発光素子からの発光方向(光の放射方向)によっては、カバー材6000が透光性を有する必要がある。

【0288】

また、配線4016はシーリング材7000および密封材7001と基板4010との隙間を通してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015、4018も同様にしてシーリング材7000および密封材7001の下を通してFPC4017に電氣的に接続される。

【0289】

なお本実施例では、充填材6004を設けてからカバー材6000を接着し、充填材6004の側面(露呈面)を覆うようにシーリング材7000を取り付けているが、カバー材6000及びシーリング材7000を取り付けてから、充填材6004を設けても良い。この場合、基板4010、カバー材6000及びシーリング材7000で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態(10^{-2}Torr 以下)にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【実施例6】

【0290】

本実施例では、本実施例では、本発明の発光装置の外観図について、実施例5とは異なる例について、図18(A)、(B)を用いて説明する。図17(A)、(B)と同じ番号のものは同じ部分を指しているので説明は省略する。

【0291】

図18(A)は本実施例の発光装置の上面図であり、図18(A)をA-A'で切断した断面図を図18(B)に示す。

【0292】

実施例5に従って、発光素子の表面を覆ってパッシベーション膜6003までを形成する。

【0293】

さらに、発光素子を覆うようにして充填材6004を設ける。この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0294】

また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーを

10

20

30

40

50

BaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0295】

スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0296】

また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 μ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

10

【0297】

但し、発光素子からの発光方向(光の放射方向)によっては、カバー材6000が透光性を有する必要がある。

【0298】

次に、充填材6004を用いてカバー材6000を接着した後、充填材6004の側面(露呈面)を覆うようにフレーム材6001を取り付ける。フレーム材6001はシーリング材(接着剤として機能する)6002によって接着される。このとき、シーリング材6002としては、光硬化性樹脂を用いるのが好ましいが、有機化合物層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材6002はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材6002の内部に乾燥剤を添加してあっても良い。

20

【0299】

また、配線4016はシーリング材6002と基板4010との隙間を通してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015、4018も同様にしてシーリング材6002の下を通してFPC4017に電氣的に接続される。

【0300】

なお本実施例では、充填材6004を設けてからカバー材6000を接着し、充填材6004の側面(露呈面)を覆うようにフレーム材6001を取り付けているが、カバー材6000、シーリング材6002及びフレーム材6001を取り付けてから、充填材6004を設けても良い。この場合、基板4010、カバー材6000、シーリング材6002及びフレーム材6001で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態(10^{-2} Torr以下)にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

30

【実施例7】

【0301】

ここで発光装置における表示部のさらに詳細な断面構造を図19に、上面構造を図20(A)に、回路図を図20(B)に示す。図19、図20(A)及び図20(B)では共通の符号を用いるので互いに参照すれば良い。

40

【0302】

図19において、基板3501上に設けられたスイッチング用TFT3502は公知の方法で形成されたnチャネル型TFTを用いる。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つのTFTが直列に接続した構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、公知の方法で形成されたpチャネル型TFT

50

を用いて形成しても構わない。

【0303】

また、電流制御用TFT3503は公知の方法で形成されたnチャネル型TFTを用いる。スイッチング用TFT3502のドレイン配線35は配線36によって電流制御用TFT3503のゲート電極37に電氣的に接続されている。また、38で示される配線は、スイッチング用TFT3502のゲート電極39a、39bを電氣的に接続するゲート配線である。

【0304】

電流制御用TFT3503は表示用発光素子を通る電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFT3503のドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにLDD領域を設け、熱による劣化やホットキャリアによる劣化を防ぐ構造にしても良い。

【0305】

また、本実施例では電流制御用TFT3503をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0306】

また、図20(A)に示すように、電流制御用TFT3503のゲート電極37を含む配線36は3504で示される領域で、電流制御用TFT3503のドレイン配線40と絶縁膜を介して重なる。このとき、3504で示される領域では保持容量(コンデンサ)が形成される。保持容量3504は、電源供給線3506と電氣的に接続された半導体膜3520、ゲート絶縁膜と同一層の絶縁膜(図示せず)及び配線36との間で形成される。また、配線36、第1層間絶縁膜と同一の層(図示せず)及び電源供給線3506で形成される容量も保持容量として用いることが可能である。この保持容量3504は電流制御用TFT3503のゲート電極37にかかる電圧を保持するためのコンデンサとして機能する。

なお、電流制御用TFT3503のドレインは電源供給線(電源線)3506に接続され、常に一定の電圧が加えられている。

【0307】

スイッチング用TFT3502及び電流制御用TFT3503の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTFTによる段差を平坦化することは非常に重要である。後に形成される有機化合物層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、有機化合物層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0308】

また、43は反射性の高い導電膜でなる画素電極(表示用発光素子の陰極)であり、電流制御用TFT3503のドレイン領域に電氣的に接続される。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0309】

また、絶縁膜(好ましくは樹脂)で形成されたバンク44a、44bにより形成された溝(画素に相当する)の中に発光層45が形成される。なお図20(A)では、保持容量3504の位置を明確にするために一部バンクを省略しており、バンク44a、44bしか図示していないが、電源供給線3506とソース配線34を一部覆うように、画素間に設けられている。また、ここでは二画素しか図示していないが、R(赤)、G(緑)、B(青)の各色に対応した発光層を作り分けても良い。発光層とする有機材料としてはπ共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフ

10

20

30

40

50

エニレンビニレン (P P V) 系、ポリビニルカルバゾール (P V K) 系、ポリフルオレン系などが挙げられる。

【 0 3 1 0 】

なお、 P P V 系有機材料としては様々な型のものであるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, " Polymers for Light Emitting Diodes ", Euro Display, Proceedings, 1999, p. 33-37」や特開平 1 0 - 9 2 5 7 6 号公報に記載されたような材料を用いれば良い。

【 0 3 1 1 】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は 3 0 ~ 1 5 0 n m (好ましくは 4 0 ~ 1 0 0 n m) とすれば良い。

10

【 0 3 1 2 】

但し、以上の例は発光層として用いることのできる有機材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて有機化合物層 (発光及びそのためのキャリアの移動を行わせるための層) を形成すれば良い。

【 0 3 1 3 】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機材料や無機材料は公知の材料を用いることができる。

20

【 0 3 1 4 】

本実施例では発光層 4 5 の上に P E D O T (ポリチオフェン) または P A n i (ポリアニリン) でなる正孔注入層 4 6 を設けた積層構造の有機化合物層としている。そして、正孔注入層 4 6 の上には透明導電膜でなる陽極 4 7 が設けられる。本実施例の場合、発光層 4 5 で生成された光は上面側に向かって (T F T の上方に向かって) 放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

30

【 0 3 1 5 】

陽極 4 7 まで形成された時点で表示用発光素子 3 5 0 5 が完成する。なお、ここでいう表示用発光素子 3 5 0 5 は、画素電極 (陰極) 4 3、発光層 4 5、正孔注入層 4 6 及び陽極 4 7 で形成されたコンデンサを指す。図 2 0 (A) に示すように画素電極 4 3 は画素の面積にほぼ一致するため、画素全体が発光素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【 0 3 1 6 】

ところで、本実施例では、陽極 4 7 の上にさらに第 2 パッシベーション膜 4 8 を設けている。第 2 パッシベーション膜 4 8 としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部と表示用発光素子とを遮断することであり、有機材料の酸化による劣化を防ぐ意味と、有機材料からの脱ガスを抑える意味との両方を併せ持つ。これにより発光装置の信頼性が高められる。

40

【 0 3 1 7 】

以上のように本発明の発光装置は図 1 9 のような構造の画素からなる表示部を有し、オフ電流値の十分に低いスイッチング用 T F T と、ホットキャリア注入に強い電流制御用 T F T とを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な発光装置が得られる。

【 0 3 1 8 】

なお、本実施例の構成は、実施の形態、実施例 1 と自由に組み合わせて実施することが

50

可能である。また、実施例 11 の電子機器の表示装置として本実施例の発光装置を用いることは有効である。

【実施例 8】

【0319】

本実施例では、実施例 7 に示した表示部において、表示用発光素子 3505 の構造を反転させた構造について説明する。説明には図 21 を用いる。なお、図 19 の構造と異なる点は表示用発光素子 3505 の部分と電流制御用 TFT 3503 だけであるので、その他の説明は省略することとする。

【0320】

図 21 において、電流制御用 TFT 3503 は公知の方法で形成された p チャネル型 TFT を用いる。作製プロセスは実施例 2 を参照すれば良い。

【0321】

本実施例では、画素電極（陽極）50 として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0322】

そして、絶縁膜でなるバンク 51a、51b が形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層 52 が形成される。その上にはカリウムアセチルアセトネート（acacK と表記される）でなる電子注入層 53、アルミニウム合金でなる陰極 54 が形成される。この場合、陰極 54 がパッシベーション膜としても機能する。こうして表示用発光素子 3701 が形成される。

【0323】

本実施例の場合、発光層 52 で発生した光は、矢印で示されるように TFT が形成された基板の方に向かって放射される。

【0324】

なお、本実施例の構成は、実施の形態、実施例 1 の構成と自由に組み合わせて実施することが可能である。また、実施例 11 の電子機器の表示装置として本実施例の発光装置を用いることは有効である。

【実施例 9】

【0325】

本実施例では、図 20 (B) に示した回路図とは異なる構造の画素とした場合の例について図 22 (A) ~ (C) に示す。なお、本実施例において、3801 はスイッチング用 TFT 3802 のソース配線の一部であるソース信号線、3803 はスイッチング用 TFT 3802 のゲート配線の一部であるゲート信号線、3804 は電流制御用 TFT、3805 はコンデンサ、3806、3808 は電源供給線、3807 は表示用発光素子とする。

【0326】

図 22 (A) は、二つの画素間で電源供給線 3806 を共通とした場合の例である。即ち、二つの画素が電源供給線 3806 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、表示部をさらに高精細化することができる。

【0327】

また、図 22 (B) は、電源供給線 3808 をゲート信号線 3803 と平行に設けた場合の例である。なお、図 22 (B) では電源供給線 3808 とゲート信号線 3803 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。

この場合、電源供給線 3808 とゲート信号線 3803 とで専有面積を共有させることができるため、表示部をさらに高精細化することができる。

【0328】

また、図 22 (C) は、図 22 (B) の構造と同様に電源供給線 3808 をゲート信号

10

20

30

40

50

線 3 8 0 3 と平行に設け、さらに、二つの画素を電源供給線 3 8 0 8 を中心に線対称となるように形成する点に特徴がある。また、電源供給線 3 8 0 8 をゲート信号線 3 8 0 3 のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、表示部をさらに高精細化することができる。

【 0 3 2 9 】

なお、本実施例の構成は、実施の形態、実施例 1 ~ 6、実施例 8 の構成と自由に組み合わせて実施することが可能である。また、実施例 1 1 の電子機器の表示装置として本実施例の画素構造を有する発光装置を用いることは有効である。

【実施例 1 0 】

【 0 3 3 0 】

10

本実施例では、電流制御用 T F T のゲート電極にかかる電圧を保持するための保持容量を省略する構成について説明する。電流制御用 T F T が n チャネル型 T F T であって、ゲート絶縁膜を介してゲート電極に重なるように設けられた L D D 領域を有している場合、この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成される。本実施例ではこの寄生容量を保持容量の代わりとして積極的に用いる点に特徴がある。

【 0 3 3 1 】

この寄生容量のキャパシタンスは、上記ゲート電極と L D D 領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれる L D D 領域の長さによって決まる。

【 0 3 3 2 】

20

また、実施例 9 に示した図 2 2 (A) , (B) , (C) の構造においても同様に、保持容量を省略することは可能である。

【 0 3 3 3 】

なお、本実施例の構成は、実施例実施例 1 ~ 9 の構成と自由に組み合わせて実施することが可能である。また、実施例 1 1 の電子機器の表示装置として本実施例の画素構造を有する発光装置を用いることは有効である。

【実施例 1 1 】

【 0 3 3 4 】

本発明は、センサ用画素において受光ダイオードがセンサ用発光素子の発する光の輝度だけを検知するという構成に限定されない。センサ用画素が有する受光ダイオードはセンサ用発光素子の輝度の他に、発光装置の外部からの光 (外光) の輝度を検知し、その外光の輝度に合わせて、発光素子の輝度の補正を行っても良い。例えば外光の輝度が高い場合発光素子の輝度を低くするように補正し、逆に外光の輝度が低い場合発光素子の輝度を高くするように補正する。

30

【 0 3 3 5 】

上記構成によって、周囲の明るさに関わらず、発光装置に鮮明な画像を表示することができる。

【実施例 1 2 】

【 0 3 3 6 】

本実施例では、センサ用画素の構造が実施の形態、実施例 1 ~ 実施例 4 で示したものと異なっている、本発明の発光装置について説明する。

40

【 0 3 3 7 】

本実施例のセンサ用画素の回路図は、実施の形態で示した発光装置と同じであるので、図 3 を参照する。本実施例は、受光ダイオードの構成が実施の形態とは異なっている。本実施例の受光ダイオードの構成を説明するために、図 2 5 に本実施例のセンサ用画素の断面図を示す。

【 0 3 3 8 】

9 3 5 はバッファ用 T F T、9 3 4 はリセット用 T F T、9 3 6 が受光ダイオード、9 3 0 がスイッチング用 T F T、9 3 1 が電流制御用 T F T、9 3 2 がセンサ用発光素子である。

50

【0339】

受光ダイオード936は活性層中にアノード980、カソード981、チャネル形成領域983、バッファ領域984、アノード配線985、カソード配線986を有している。

【0340】

本実施例のアノード980及びカソード981は、実質的に真性の半導体にp型若しくはn型の不純物が添加されて形成されている。なおアノード980及びカソード981に添加されている不純物の極性は同じである。またバッファ領域984には、アノード980及びカソード981に添加されている不純物が、アノード980及びカソード981よりも低濃度で添加されている。

10

【0341】

バッファ用TFT935のソース領域及びドレイン領域と、受光ダイオード936のアノード980及びカソード981に添加されている不純物の極性は同じであることが望ましい。受光ダイオード936のカソード981は、リセット用TFT934のドレイン領域及びバッファ用TFT935のゲート電極に接続されている。受光ダイオード936のアノード980は一定の電位に保たれている。

【0342】

受光ダイオード936にセンサ用発光素子932の光が照射されることで、受光ダイオード936に電流が流れる。そのため、リセット期間において一定だったバッファ用TFT935のゲート電極の電位は、サンプル期間において変化し、その電位の変化の大きさは受光ダイオード936に流れる電流の大きさによって変わる。

20

【0343】

受光ダイオード936に流れる電流は、受光ダイオード936に照射される光の強さに比例する。つまりセンサ用発光素子932の輝度が高いときと低いときとでは、輝度の高いときの方が、受光ダイオード936により大きな電流が流れることになる。よって、センサ用発光素子932の輝度が高いときの方が、輝度の低いときに比べて、バッファ用TFT935のゲート電極の電位は大きく変化する。

【0344】

バッファ用TFT935のソース領域とゲート電極の電位差 V_{GS} は常に一定であるので、バッファ用TFT935のソース領域は、バッファ用TFT935のゲート電極の電位から V_{GS} を差し引いた電位に保たれる。そのためバッファ用TFT935のゲート電極の電位が変化すると、それに伴ってバッファ用TFT935のソース領域の電位も変化する。

30

【0345】

バッファ用TFT935のソース領域の電位はセンサ出力配線FLに与えられ、センサ出力信号として補正回路又はビデオ信号補正回路に入力される。

【0346】

本実施例では、受光ダイオードの作製工程を新たに設けなくとも、他のTFTと同時に形成することができ、発光装置の作製工程を減らすことができる。

【実施例13】

40

【0347】

本発明を実施して形成された発光装置は、自発光型であるため液晶ディスプレイに比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器に用いることができる。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上（典型的には40インチ以上）のエレクトロルミネッセンス表示装置（表示装置を筐体に組み込んだディスプレイ）に本発明の発光装置を用いるとよい。

【0348】

なお、エレクトロルミネッセンス表示装置には、パソコン用ディスプレイ、TV放送受信ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。また、その他にも様々な電子機器に本発明の発光装置を用いることができる。

50

【 0 3 4 9 】

その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図23、図24に示す。

【 0 3 5 0 】

10

図23（A）はエレクトロルミネッセンス表示装置であり、筐体2001、支持台2002、表示装置2003、センサ部2004等を含む。本発明は表示装置2003及びセンサ部2003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示装置とすることができる。

【 0 3 5 1 】

図23（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106、センサ部2107等を含む。本発明は表示装置2102及びセンサ部2107に用いることができる。

【 0 3 5 2 】

図23（C）は頭部取り付け型の発光装置の一部（右片側）であり、本体2201、信号ケーブル2202、頭部固定バンド2203、スクリーン部2204、光学系2205、表示装置2206、センサ部2207等を含む。本発明は表示装置2206及びセンサ部2207に用いることができる。

20

【 0 3 5 3 】

図23（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2301、記録媒体（DVD等）2302、操作スイッチ2303、表示装置（a）2304、表示装置（b）2305、センサ部2306等を含む。表示装置（a）2304は主として画像情報を表示し、表示装置（b）2305は主として文字情報を表示するが、本発明はこれら表示装置（a）、（b）

2304、2305及びセンサ部2306に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

30

【 0 3 5 4 】

図23（E）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2401、表示装置2402、アーム部2403、センサ部2404を含む。本発明は表示装置2402及びセンサ部2404に用いることができる。

なお図23（E）では、センサ部2404をアーム部2403に設けたが、本発明はこれに限定されなく、表示装置2402と並べて設けても良い。

【 0 3 5 5 】

図23（F）はパーソナルコンピュータであり、本体2501、筐体2502、表示装置2503、キーボード2504、センサ部2505等を含む。本発明は表示装置2503及びセンサ部2505に用いることができる。

40

【 0 3 5 6 】

なお、将来的に有機材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【 0 3 5 7 】

また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【 0 3 5 8 】

50

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする電子機器に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0359】

ここで図24(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示装置2604、操作スイッチ2605、アンテナ2606、センサ部2607を含む。本発明は表示装置2604及びセンサ部2607に用いることができる。なお、表示装置2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

10

【0360】

また、図24(B)は音響再生装置、具体的にはカーオーディオであり、本体2701、表示装置2702、操作スイッチ2703、2704、センサ部2705を含む。本発明は表示装置2702及びセンサ部2705に用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示装置2704は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0361】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施の形態、実施例1～実施例12に示したい

20

【図面の簡単な説明】

【0362】

【図1】本発明の発光装置の上面概略図。

【図2】本発明の発光装置の回路図。

【図3】本発明の発光装置のセンサ用画素の回路図。

【図4】本発明の発光装置の表示用画素の回路図。

【図5】本発明の発光装置をデジタル方式で駆動させたときのタイミングチャート図。

【図6】本発明の発光装置の補正回路のブロック図。

【図7】本発明の発光装置の上面概略図。

30

【図8】本発明の発光装置をアナログ方式で駆動させたときのタイミングチャート図。

【図9】本発明の発光装置のビデオ信号補正回路のブロック図。

【図10】本発明の発光装置の作製工程を示す図。

【図11】本発明の発光装置の作製工程を示す図。

【図12】本発明の発光装置の作製工程を示す図。

【図13】本発明の発光装置の作製工程を示す図。

【図14】本発明の発光装置の断面図。

【図15】本発明の発光装置のセンサ用画素の回路図。

【図16】本発明の発光装置の断面図。

【図17】本発明の発光装置の外観図。

40

【図18】本発明の発光装置の外観図。

【図19】本発明の発光装置の表示用画素の断面図。

【図20】本発明の発光装置の表示用画素の上面図及び回路図。

【図21】本発明の発光装置の表示用画素の断面図。

【図22】本発明の発光装置の表示用画素の回路図。

【図23】本発明の発光装置を用いた電子機器の図。

【図24】本発明の発光装置を用いた電子機器の図。

【図25】本発明の発光装置の断面図。

【符号の説明】

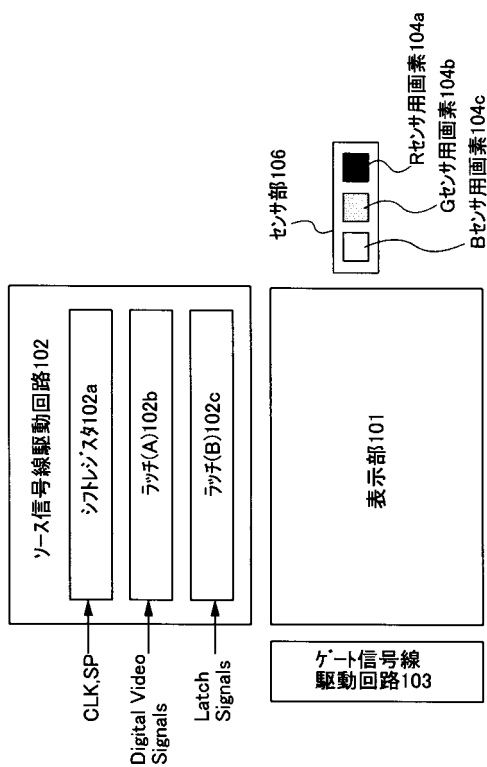
【0363】

50

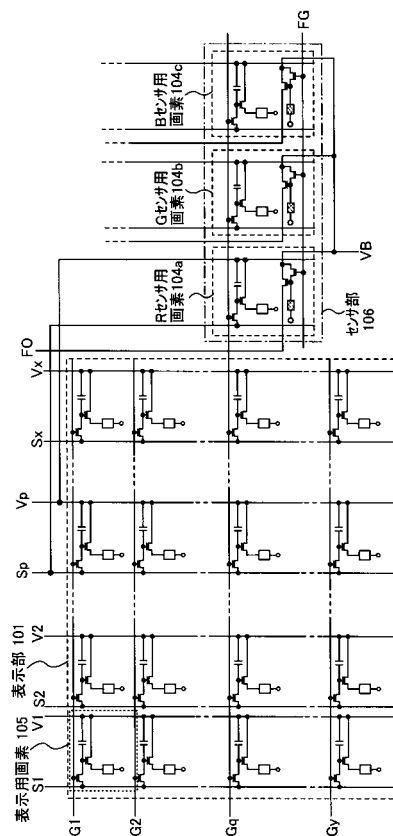
- 1 0 1 表示部
- 1 0 2 ソース信号線駆動回路
- 1 0 2 a シフトレジスタ
- 1 0 2 b ラッチ (A)
- 1 0 2 c ラッチ (B)
- 1 0 3 ゲート信号線駆動回路
- 1 0 4 センサ部
- 1 0 4 a R センサ用画素
- 1 0 4 b G センサ用画素
- 1 0 4 c B センサ用画素
- 1 0 5 表示用画素

10

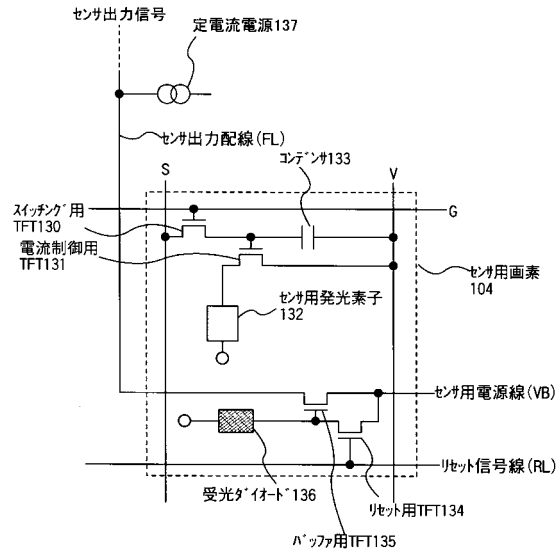
【 図 1 】



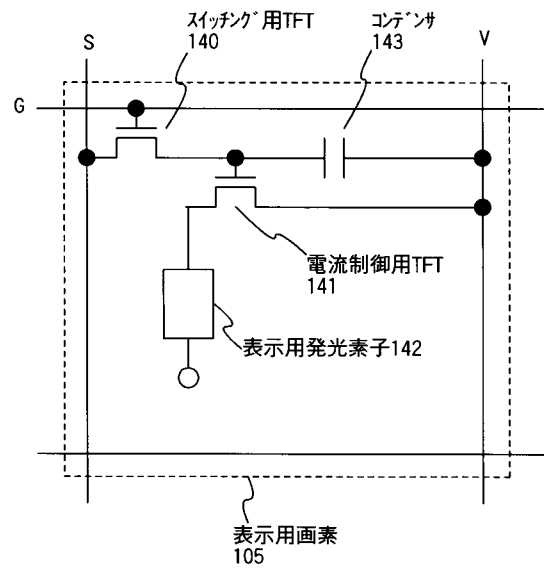
【 図 2 】



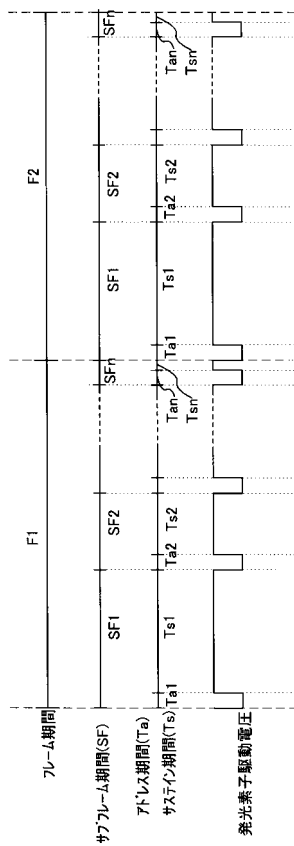
【図 3】



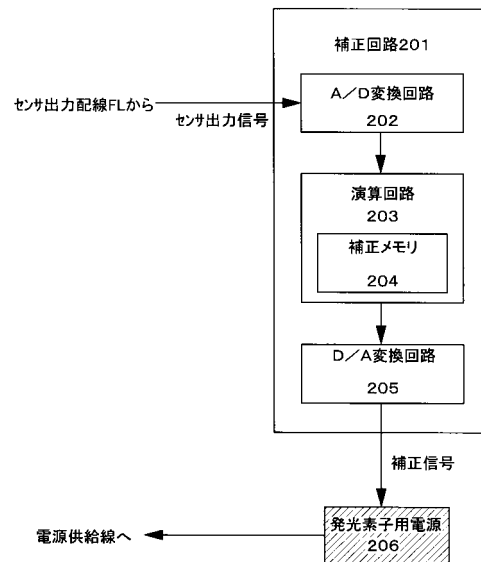
【図 4】



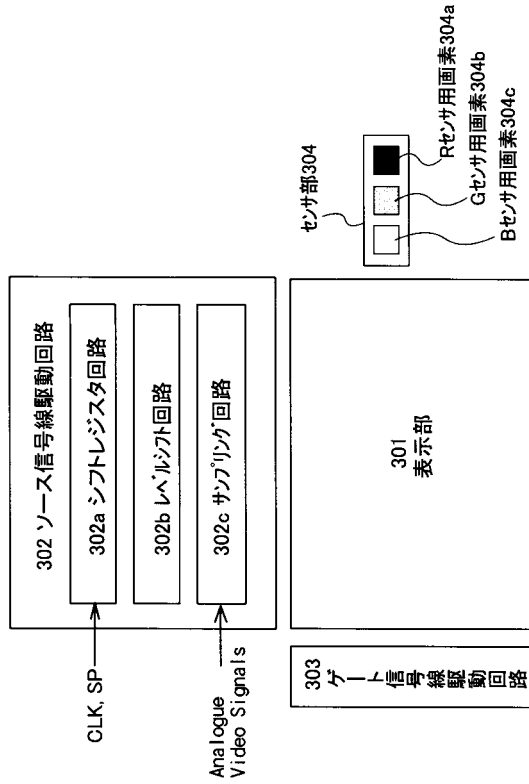
【図 5】



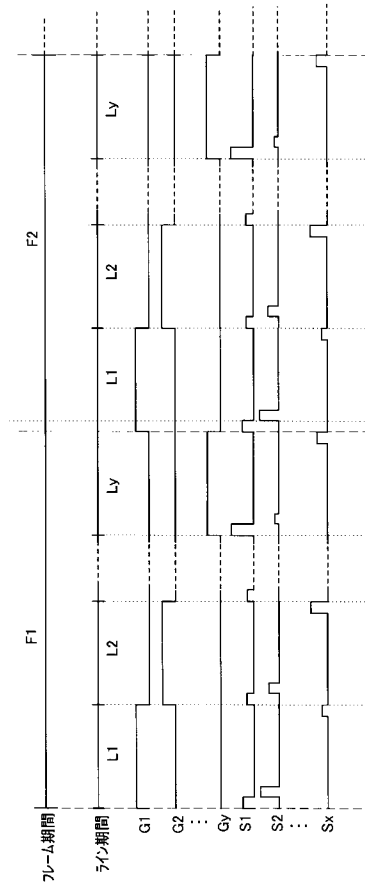
【図 6】



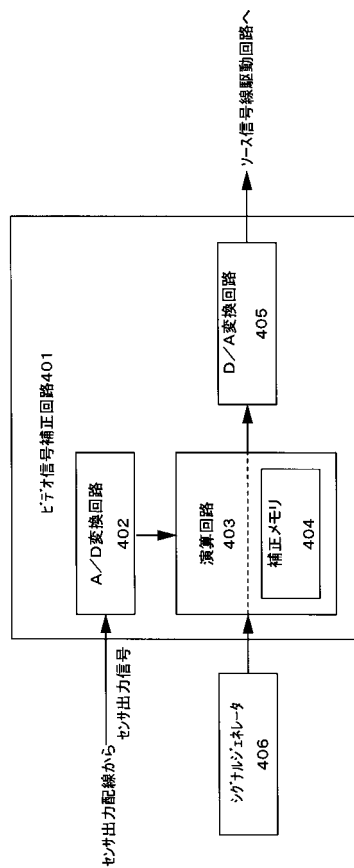
【 図 7 】



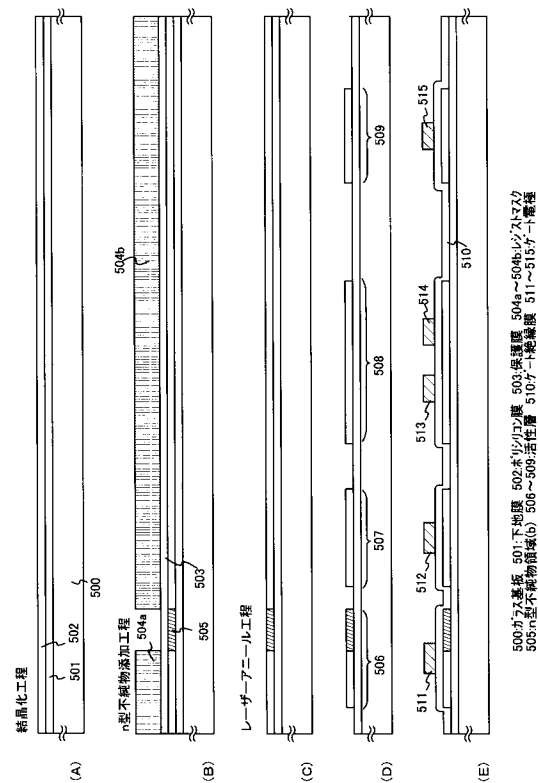
【 図 8 】



【图 9】

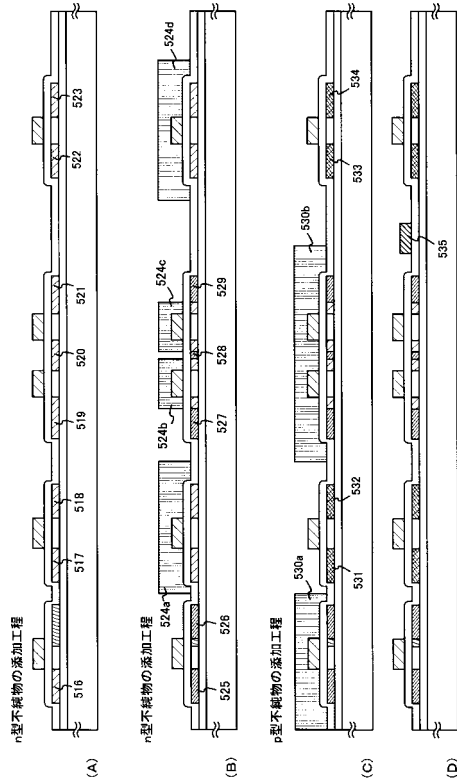


【 図 1 0 】



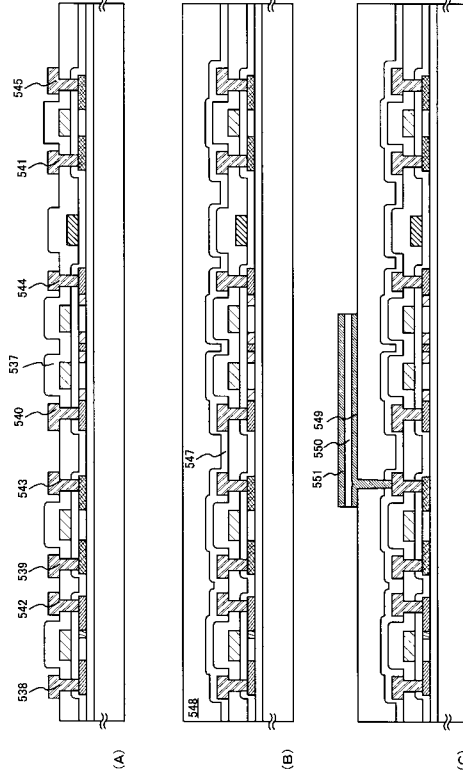
500.ガラス基板 501.下地膜 502.ホリシリン膜 503.保護膜 504a~504b.レジストマスク
505.n型不純物領域(b) 506~509.活性層 510.ゲート絶縁膜 511~515.ゲート電極

【図 1 1】



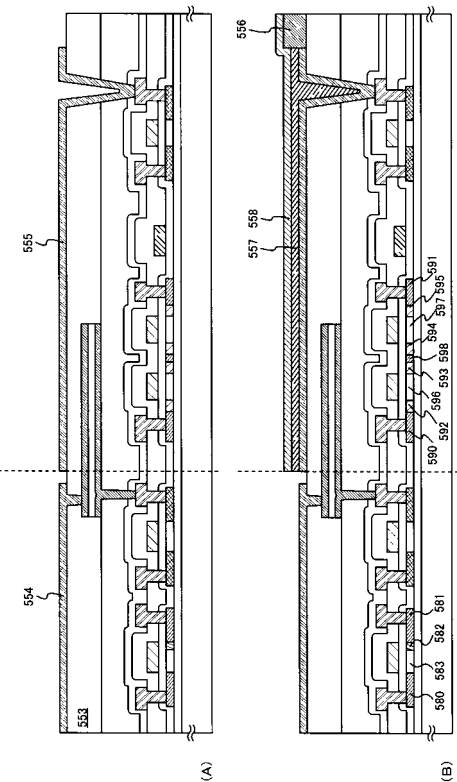
516~523:n型不導物領域(c) 524a~524d,530a,530b,レジスタ720 525~529:n型不導物領域(a) 531~534:p型不導物領域(a)
535:ゲート配線

【図 1 2】



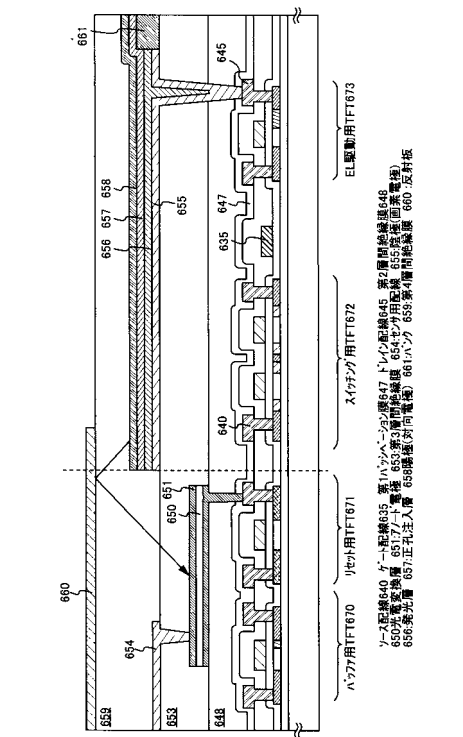
538~541:n型不導物領域 542~545:p型不導物領域 546:第2層間絶縁膜 547:第1層間絶縁膜 548:第1層間絶縁膜 549:ゲート配線 550:光電変換層 551:ゲート電極

【図 1 3】



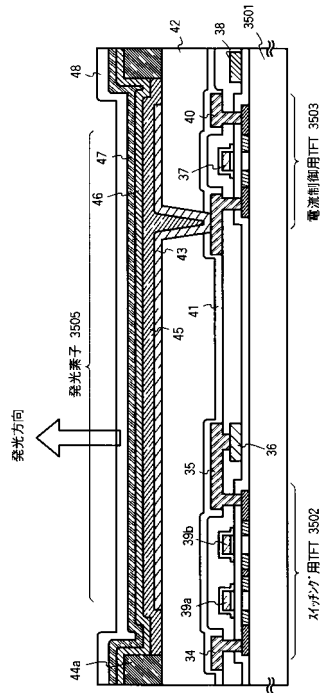
554:第3層間絶縁膜 555:ゲート用配線 556:ゲート用配線 557:有機化合物層 558:電極 559:電極

【図 1 4】

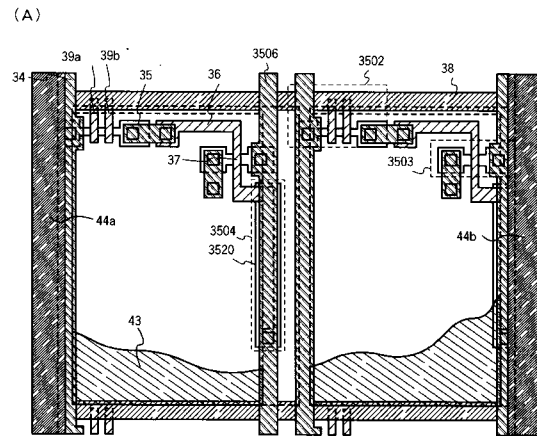


654:第3層間絶縁膜 655:ゲート用配線 656:ゲート用配線 657:有機化合物層 658:電極 659:電極

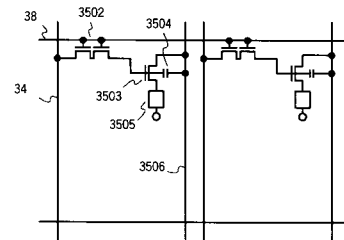
【図 19】



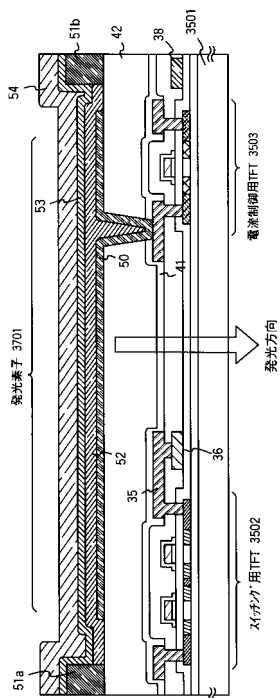
【図 20】



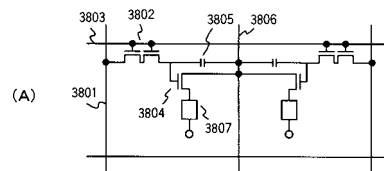
(B)



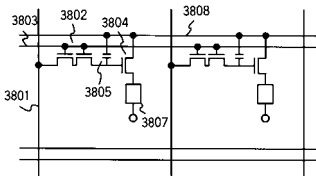
【図 21】



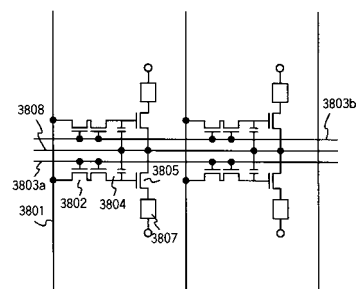
【図 22】



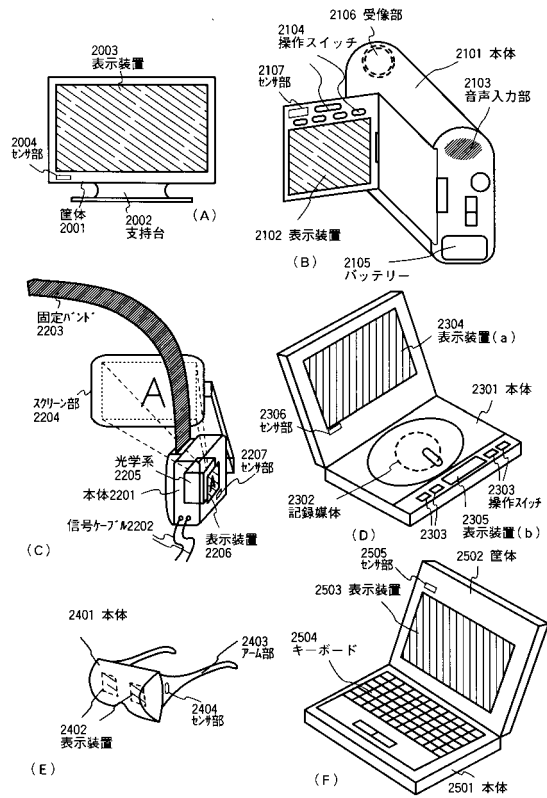
(B)



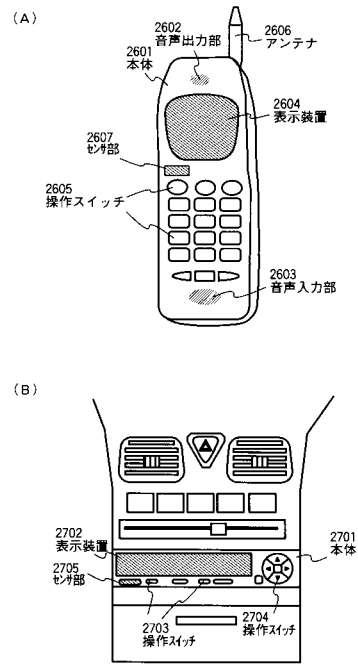
(C)



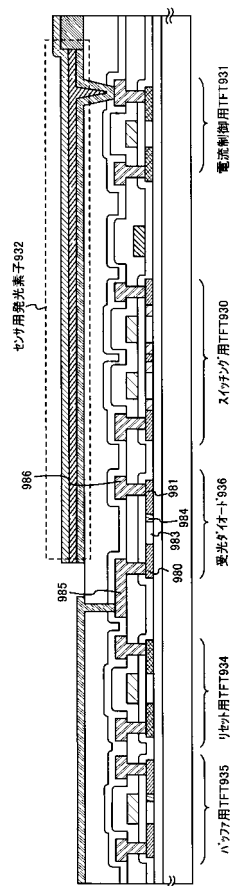
【図 23】



【図 24】



【図 25】



 フロントページの続き

(51) Int.Cl.	F I		
	G 0 9 G	3/20	6 4 2 P
	G 0 9 G	3/20	6 2 4 B
	G 0 9 G	3/20	6 9 1 A
	G 0 9 G	3/20	6 9 1 G
	G 0 9 G	3/30	J
	G 0 9 G	3/20	6 4 1 E
	G 0 9 G	3/20	6 2 4 E
	H 0 5 B	33/14	A
	H 0 5 B	33/08	

(56) 参考文献 特開 2 0 0 1 - 2 6 5 2 8 3 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 2 0 , 3 / 3 0 - 3 / 3 2

专利名称(译)	表示装置		
公开(公告)号	JP4620140B2	公开(公告)日	2011-01-26
申请号	JP2008087107	申请日	2008-03-28
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 小山潤		
发明人	山崎 舜平 小山 潤		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/08 G09G3/32 H01L21/77 H01L21/84 H01L27/12 H01L27/146 H01L27/32 H01L29/786		
CPC分类号	H01L27/1214 G09G3/2018 G09G3/2022 G09G3/3233 G09G3/3258 G09G3/3275 G09G2300/0426 G09G2300/0809 G09G2300/0819 G09G2300/0861 G09G2310/027 G09G2320/0285 G09G2320/029 G09G2320/043 G09G2320/045 G09G2330/021 G09G2360/142 G09G2360/145 G09G2360/148 G09G2360/16 H01L27/14678 H01L27/3211 H01L27/3246 H01L27/3269 H01L27/3295 H01L29/4908 H01L29/78624 H01L51/5271 H01L2251/5315		
FI分类号	G09G3/30.K G09G3/20.642.C G09G3/20.642.L G09G3/20.670.J G09G3/20.621.M G09G3/20.642.P G09G3/20.624.B G09G3/20.691.A G09G3/20.691.G G09G3/30.J G09G3/20.641.E G09G3/20.624.E H05B33/14.A H05B33/08 G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/BB06 3K107/CC21 3K107/CC23 3K107/CC24 3K107/CC43 3K107/CC45 3K107/EE03 3K107/EE68 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD03 5C080/EE28 5C080/EE29 5C080/EE30 5C080/FF07 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/JJ07 5C080/KK23 5C080/KK43 5C080/KK50 5C380/AA01 5C380/AB06 5C380/AB12 5C380/AB23 5C380/AB31 5C380/AB34 5C380/AC04 5C380/AC05 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/AC16 5C380/BA20 5C380/BA25 5C380/BA36 5C380/BB09 5C380/BB15 5C380/BB21 5C380/BD03 5C380/BD04 5C380/CA02 5C380/CA04 5C380/CA08 5C380/CA12 5C380/CA14 5C380/CA16 5C380/CA24 5C380/CA26 5C380/CA44 5C380/CB01 5C380/CC01 5C380/CC02 5C380/CC21 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC48 5C380/CC63 5C380/CC80 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD072 5C380/CD074 5C380/CE08 5C380/CF01 5C380/CF07 5C380/CF09 5C380/CF17 5C380/CF22 5C380/CF24 5C380/CF48 5C380/CF49 5C380/CF68 5C380/DA06 5C380/DA07 5C380/DA09 5C380/DA46 5C380/DA50 5C380/FA05 5C380/FA06 5C380/FA26 5C380/GA11 5C380/HA10		
优先权	2000002042 2000-01-11 JP		
其他公开文献	JP2008209939A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种使用有机化合物层作为其发光元件的显示装置，其中即使当EL层的劣化速度受到影响时，也可以显示具有透明度和所需颜色的图像。它的环境。解决方案：显示装置具有显示部分和传感器部分，其中显示部分具有多个用于显示的像素，

并且多个用于显示的像素各自具有用于切换的TFT，用于电流控制的TFT和用于发光元件的TFT。传感器部分分别具有第一TFT，第二TFT和光接收二极管。用于开关的TFT控制用于电流控制的TFT的驱动，并且用于电流控制的TFT控制发光元件的发光，并且控制分别包括在多个用于显示的像素中的发光元件的亮度。 Z

