

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4455636号
(P4455636)

(45) 発行日 平成22年4月21日 (2010. 4. 21)

(24) 登録日 平成22年2月12日 (2010. 2. 12)

(51) Int. Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 K
G09G 3/20 (2006.01)	G09G 3/20 624B
HO1L 51/50 (2006.01)	G09G 3/20 641D
	G09G 3/20 642P
	G09G 3/20 623R
請求項の数 4 (全 21 頁) 最終頁に続く	

(21) 出願番号	特願2007-246529 (P2007-246529)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成19年9月25日 (2007. 9. 25)	(74) 代理人	100096828 弁理士 渡辺 敬介
(62) 分割の表示	特願2005-343746 (P2005-343746) の分割	(74) 代理人	100110870 弁理士 山口 芳広
原出願日	平成15年12月4日 (2003. 12. 4)	(72) 発明者	川野 藤雄 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(65) 公開番号	特開2008-52288 (P2008-52288A)	(72) 発明者	川崎 素明 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(43) 公開日	平成20年3月6日 (2008. 3. 6)		
審査請求日	平成19年10月25日 (2007. 10. 25)		
(31) 優先権主張番号	特願2003-61288 (P2003-61288)		
(32) 優先日	平成15年3月7日 (2003. 3. 7)		
(33) 優先権主張国	日本国 (JP)		
最終頁に続く			

(54) 【発明の名称】 アクティブマトリクス表示装置及びその駆動制御方法

(57) 【特許請求の範囲】

【請求項1】

エレクトロルミネッセンス素子の発光を制御するための薄膜トランジスタと、前記薄膜トランジスタのゲートに設けられた容量と、を有する画素回路であって、入力された電流信号に応じた電圧が前記容量に保持され、前記電流信号に基づいて前記エレクトロルミネッセンス素子を発光させる画素回路が、行列状に複数配されたアクティブマトリクス表示装置において、

薄膜トランジスタを用いて構成され、入力された映像信号電圧を変換して、前記複数の画素回路のそれぞれにデータ線を介して入力するための前記電流信号を発生する複数の電流信号発生回路と、

前記複数の電流信号発生回路の出力が共通に接続される信号出力線と、

前記信号出力線を介して出力される電流値から、特定の電流信号発生回路の出力を評価しうる電流出力状態に前記複数の電流信号発生回路のそれぞれを制御する制御回路と、

前記複数の電流信号発生回路から出力される電流信号を、信号出力線を介して検出し、検出結果に応じて、前記電流信号発生回路に入力される映像信号電圧を補正するための補正回路と、

を具備し、

前記データ線に設けられた、前記電流信号発生回路と前記複数の画素回路との接続を遮断するための遮断部と、

前記電流信号発生回路と前記信号出力線とを接続するためのスイッチ部と、

を有し、

前記遮断部と前記スイッチ部とにより、前記複数の電流信号発生回路から出力される電流信号を前記信号出力線を介して検出する期間に、前記複数の電流信号発生回路と前記複数の画素回路との接続を遮断し、且つ前記複数の電流信号発生回路を同時に前記信号出力線に接続することを特徴とするアクティブマトリクス表示装置。

【請求項 2】

前記エレクトロルミネッセンス素子は有機エレクトロルミネッセンス素子である請求項 1 に記載のアクティブマトリクス表示装置。

【請求項 3】

補正された映像信号電圧は、外部制御回路に設けられた D A C から、前記複数の前記電流信号発生回路に供給される請求項 1 に記載のアクティブマトリクス表示装置。

10

【請求項 4】

前記画素回路は、前記薄膜トランジスタのゲートとドレインを接続する薄膜トランジスタと、前記データ線と前記薄膜トランジスタのドレインとを接続する薄膜トランジスタと、前記エレクトロルミネッセンス素子に流れる電流をオフする薄膜トランジスタと、を更に有する請求項 1 乃至 3 のいずれか 1 項に記載のアクティブマトリクス表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流信号を出力する駆動回路に関する。またそれを用いた表示装置に関する。

20

【背景技術】

【0002】

有機エレクトロルミネッセンス (E L) 素子を用いたアクティブマトリクス方式の表示装置は、従来の格子状に電極を並べてオン・オフ動作のみで発光を制御していた単純マトリクス方式に比べ、個々の画素を高階調に点灯させることができるため、コントラスト比が大きく、且つ応答速度の高いディスプレイが実現する。

【0003】

E L 表示装置は、画素を配置した画像表示部と、外部より入力した映像信号等の信号情報を処理して該画像表示部の各画素に送るための駆動回路とを備え、該駆動回路の中でも、画像表示部と同じ表示パネル内に作り込まれる駆動制御回路は、通常、薄膜トランジスタ (T F T) を用いて構成されている。また、各画素において E L 素子の発光状態を制御するためのアクティブ素子にも、主として T F T が用いられている。しかしながら、T F T はその特性上、C M O S トランジスタに比べて素子間のばらつきが大きく、近接的にもばらつきに相関性が保証できないため、駆動状態を確実に制御するように回路設計をしなければ、全画素を均一に発光させようとしても輝度むらが発生してしまう。

30

【0004】

特許文献 1 には、4 つの T F T を用いて画素回路を構成し、複数本のゲート線と 1 本のソース線で制御することにより、E L 素子に流れる電流を制御するトランジスタをソースホロワ構成とせず、該トランジスタのキック電流の影響を抑えて、当該画素回路に記憶される電流値の変動を小さくした画素回路構成が開示されている。

40

【0005】

特許文献 2 に開示された回路は、図 1 3 に示すように、画素回路内に有機 E L 素子 1 0 3 に流れる電流を検出する電流検出回路 1 0 5 と、該電流検出回路 1 0 5 の出力電圧とサンプルホールド回路 1 0 1 の出力電圧の差分を増幅して電流制御回路 1 9 4 に入力する誤差増幅回路 1 0 2 を設け、負帰還動作により電流検出回路 1 0 4 の出力電圧とサンプルホールド回路 1 0 1 の出力電圧が等しくなるように構成し、輝度を均一にするように制御するものである。

【0006】

特許文献 3 には、図 1 4 に示すような構成を開示している。画素毎に電流検出回路を設

50

けるのではなく、電源 108 の供給線毎に電流測定素子 110 を設け、走査ドライバ 111 の制御状態に応じてある行の駆動素子の電流を電流測定素子 110 により測定し、後に記憶手段 108 に保存し、演算素子 107 及び外部データドライバ 106 にて演算後、画像データにフィードバックする構成が開示されている。

【0007】

表示素子としては EL 素子以外にも種々のものが知られている。特許文献 4 には電子放出素子を電流信号によって駆動する構成が開示されている。

【0008】

【特許文献 1】特開 2003 - 66865 号公報

【特許文献 2】特開 2002 - 91377 号公報

【特許文献 3】特開 2002 - 278513 号公報

【特許文献 4】米国特許第 6195076 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明が解決しようとする課題は、駆動回路の出力を評価できる簡便な構成を実現することにある。

【課題を解決するための手段】

【0010】

本発明の第一は、EL 素子の発光を制御するための薄膜トランジスタと、前記薄膜トランジスタのゲートに設けられた容量と、を有する画素回路であって、入力された電流信号に応じた電圧が前記容量に保持され、前記電流信号に基づいて前記 EL 素子を発光させる画素回路が、行列状に複数配されたアクティブマトリクス表示装置において、

薄膜トランジスタを用いて構成され、入力された映像信号電圧を変換して、前記複数の画素回路のそれぞれにデータ線を介して入力するための前記電流信号を発生する複数の電流信号発生回路と、

前記複数の電流信号発生回路の出力が共通に接続される信号出力線と、

前記信号出力線を介して出力される電流値から、特定の電流信号発生回路の出力を評価しうる電流出力状態に前記複数の電流信号発生回路のそれぞれを制御する制御回路と、

前記複数の電流信号発生回路から出力される電流信号を、信号出力線を介して検出し、検出結果に応じて、前記電流信号発生回路に入力される映像信号電圧を補正するための補正回路と、

を具備し、

前記データ線に設けられた、前記電流信号発生回路と前記複数の画素回路との接続を遮断するための遮断部と、

前記電流信号発生回路と前記信号出力線とを接続するためのスイッチ部と、を有し、

前記遮断部と前記スイッチ部とにより、前記複数の電流信号発生回路から出力される電流信号を前記信号出力線を介して検出する期間に、前記複数の電流信号発生回路と前記複数の画素回路との接続を遮断し、且つ前記複数の電流信号発生回路を同時に前記信号出力線に接続することを特徴とする。

更には、前記 EL 素子は有機 EL 素子であることを特徴とする。

そして、補正された映像信号電圧は、外部制御回路に設けられた DAC から、前記複数の前記電流信号発生回路に供給されることを特徴とする。

また、前記画素回路は、前記薄膜トランジスタのゲートとドレインを接続する薄膜トランジスタと、前記データ線と前記薄膜トランジスタのドレインとを接続する薄膜トランジスタと、前記エレクトロルミネッセンス素子に流れる電流をオフする薄膜トランジスタと、を更に有することを特徴とする。

【発明の効果】

【0011】

10

20

30

40

50

本発明においては、簡易な構成により評価可能な駆動回路を実現することができる。

【発明を実施するための最良の形態】

【0012】

本願にかかわる第1の実施形態は以下のように構成される。即ち、
複数の出力部のそれぞれに電流信号を出力する複数の電流信号発生回路と、
前記複数の電流信号発生回路の出力が共通に接続される電流信号出力線と、
前記電流信号出力線を介して出力される電流値から特定の電流信号発生回路の出力を
評価しうる電流信号出力状態に前記複数の電流信号発生回路のそれぞれを制御する制御回
路と、
前記電流信号出力線を介して出力される電流値から特定の電流信号発生回路の出力を
評価し、該評価結果に応じた補正値を出力する補正値出力回路と、
前記電流信号発生回路に供給される映像信号を前記補正値で補正する補正回路と、
を有する駆動回路、である。

10

【0013】

ここで、前記制御回路は、前記特定の電流信号発生回路に所定の信号を供給し、他の前
記電流信号発生回路に前記所定の信号とは異なる信号を共通に供給するものである構成を
好適に採用できる。例えば複数の電流信号発生回路のうちの一つの電流信号発生回路であ
る第1の電流信号発生回路を特定の電流信号発生回路として所定の信号を供給し、その他
の電流信号発生回路には異なる共通の信号を供給する。その時に得られた結果を第1の結
果とする。次に前記第1の電流信号発生回路とは異なる第2の電流信号発生回路を特定の
電流信号発生回路として前記所定の信号を供給し、その他の電流信号発生回路には前記共
通の信号を供給する。そのときに得られた結果を第2の結果とする。第1の結果と第2の
結果を比較することで第1の電流信号発生回路と第2の電流信号発生回路とを比較評価す
ることが可能となる。

20

【0014】

またここで電流信号発生回路の出力の評価とは、電流信号発生回路の出力の値や他の電
流信号発生回路の出力との差異や所定の基準値との差異などを直接もしくは間接的に検知
することを言う。

【0015】

また特には、前記制御回路は、前記特定の電流信号発生回路に所定の信号を供給し、他
の前記電流信号発生回路に前記所定の信号とは異なる信号を供給するものであり、前記異
なる信号が、該異なる信号を供給された前記他の電流信号発生回路がそれぞれ出力する電
流信号の電流値が、前記所定の信号を供給された前記特定の電流信号発生回路が出力する
電流信号の電流値に比べて十分に小さくなる信号である構成を好適に採用できる。この構
成によって評価対象となる特定の電流信号発生回路以外の他の電流信号発生回路の出力を
無視することができる。また他の電流信号発生回路の出力を無視できない場合であっても
、その出力をバックグラウンドとして処理するための演算が容易になる、及び、もしくは
該演算の結果の精度を上げることが可能となる。

30

【0016】

また前記各実施形態において、前記電流信号出力線と前記複数の電流信号発生回路との
間と同時に接続されている状態を実現するスイッチをさらに有する構成を好適に採用でき
る。このスイッチは、前記複数の電流信号発生回路のそれぞれに対応して設けられたスイ
ッチからなるスイッチ群である構成を好適に採用できる。電流信号発生回路と電流信号発
生回路が出力する電流信号が供給される表示素子との間の電流経路の途中で電流信号発
生回路の出力する電流信号を電流信号出力線に流すようにする構成を好適に採用できるが、
該構成においては、電流信号発生回路の出力の評価を行う必要がないときには、電流信号
発生回路と電流信号出力線とを非接続状態にしておくのが望ましい。該非接続状態を実現
できるようにスイッチを配することが望ましい。尚、本発明においては、前記電流信号出
力線を介して出力される電流値から特定の電流信号発生回路の出力を評価できるよう
な電流信号出力状態に前記複数の電流信号発生回路のそれぞれを制御する制御回路を用い

40

50

る。

【0017】

そのため、このスイッチは個々の電流信号発生回路と電流信号出力線との間の接続関係を個々に制御できるものである必要はない。個々の電流信号発生回路と電流信号線との間に個々のスイッチを設ける場合であっても、それらのスイッチは共通の制御信号で制御することができる。

【0018】

また上記各実施形態において、複数の前記電流信号発生回路のそれぞれと前記電流信号出力線との間の接続関係をそれぞれ制御する複数のスイッチを有しており、該複数のスイッチは共通の制御信号で制御されるものである構成を好適に採用できる。

10

【0019】

また上記各実施形態において、複数の前記電流信号発生回路のそれぞれと複数の前記出力部との間の接続関係をそれぞれ制御する複数のスイッチを有しており、該複数のスイッチは共通の制御信号で制御されるものである構成を好適に採用できる。上述したとおり、電流信号発生回路と電流信号発生回路が出力する電流信号が供給される表示素子との間の電流経路の途中で電流信号発生回路の出力する電流信号を電流信号出力線に流すようにする構成を好適に採用できるが、電流信号発生回路の出力を電流信号出力線に導いて評価を行うときには、電流信号発生回路の出力が表示素子側に分流しない構成が望ましい。表示素子が接続されるデータ線と電流信号発生回路の間にスイッチを設けることによって評価すべき電流信号がデータ線側に分流してしまうのを抑制することができる。

20

【0020】

尚、本発明においては電流信号の出力等の表現を用いているが、これらの表現は特定の方向に電流を流す構成に限定するものではなく、例えば電流信号発生回路が電流信号を出力するという場合、該電流信号となる電流が電流信号発生回路から流れ出す場合や電流信号発生回路に流れ込む場合のいずれも含む。

【0021】

また上記各実施形態において、この駆動回路は、表示素子を有する表示装置を駆動する回路であり、前記表示装置は基板上に前記表示素子の少なくとも一部を形成したものであり、前記電流信号発生回路と前記電流信号出力線が前記基板上に形成されている構成を好適に採用できる。

30

【0022】

また上記各実施形態において、前記電流信号発生回路は入力信号の値を2乗した値の電流値を有する電流信号を出力する回路を少なくとも含んでおり、前記補正值出力回路は、前記評価によって得られた特定の電流信号発生回路の出力評価値と基準値との比の2乗根を演算することによって得た補正值を出力するものである構成を好適に採用できる。特に、前記補正值出力回路は、前記2乗根を演算する演算回路を有しており、該演算は前記出力評価値と前記基準値との前記比の値に応じて場合分けして行う近似演算である構成を好適に採用できる。

【0023】

また本願は表示装置の発明として、上記各発明の駆動回路と、該駆動回路の前記複数の出力部とそれぞれ接続される複数のデータ線と、該複数のデータ線のそれぞれと接続される複数の表示素子とを有する表示装置の発明を含んでいる。

40

【0024】

この表示装置としては複数の前記表示素子をマトリクス配置しているものを好適に用いることができる。その場合は、前記複数のデータ線を複数の変調信号線とし、加えて、該複数の変調信号線とともにマトリクス配線を構成する走査線を複数設け、該マトリクス配線でマトリクス配置された複数の前記表示素子を駆動する構成を好適に採用できる。この場合、走査線を順次選択するための走査回路を設けるとよい。

【0025】

尚、駆動回路の電流信号発生回路や電流信号出力線やスイッチなどは表示素子の少なく

50

とも一部を形成する基板上に配置することができ、特にその場合は表示素子が接続されるデータ線と駆動回路の出力部とは特別の接続要素によって接続された形態をとる必要がない。その場合には、データ線の表示素子が接続されている部分と駆動回路を構成する回路との間の任意の位置が上記出力部となる。

【 0 0 2 6 】

尚、本発明における表示素子としては、電流信号によって駆動できる種々の素子を用いることができる。例えば E L 素子を表示素子として特に好適に用いることができる。

【 0 0 2 7 】

また本願は駆動回路の評価方法の発明として以下の発明を含んでいる。即ち、複数の出力部のそれぞれに電流信号を出力する複数の電流信号発生回路を備えた駆動回路の評価方法であって、

前記複数の電流信号発生回路の出力を共通の電流信号線に接続するステップと、前記電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を評価できるような電流信号出力状態に前記複数の電流信号発生回路のそれぞれを制御するステップと、

前記電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を評価するステップと、

を有する駆動回路の評価方法、である。

【 0 0 2 8 】

(実施形態 1)

図 1 は、本発明の好ましい実施形態の駆動回路の補正経路にかかる構成を示すブロック図である。図中、1 は駆動制御回路、2 は総和電流検出回路、3 は列電流測定回路、4 は列電流記憶回路、5 は基準電流検出回路、6 は補正ゲイン決定回路、7 は補正係数演算回路、8 は補正係数記憶回路、9 は映像信号補正回路、20 は画素回路である。

【 0 0 2 9 】

本実施形態の駆動回路は、列制御回路と画素回路との間に総和電流出力回路(図 1 中の駆動制御回路に含まれる)を設け、列制御回路より出力された電流信号を、該総和電流出力回路より総和電流として出力し、総和電流検出回路 2 により検出し、列電流測定回路 3 において、各データ線毎の電流信号データを測定し、列電流記憶回路 4 に記憶する。次いで、基準列電流検出回路を介して該列電流記憶回路 4 より、基準となる電流信号データを選択し、補正係数演算回路 7 において、基準電流信号データと、列電流記憶回路 4 に記憶された各データ線の電流信号データとを演算処理して補正係数を得、該補正係数を補正係数記憶回路 8 に記憶する。新たな映像信号の入力に対応し、映像信号補正回路 9 において、映像信号に含まれる各画素分のデータに対して、補正係数記憶回路 8 に記憶されている該当データ線の補正係数を用いて補正を行う。映像信号補正回路 9 において得られた補正済みの映像信号は再び駆動制御回路 1 に送られ、データ線を介して画素回路 20 へ送られる。

【 0 0 3 0 】

本実施形態においては、上記駆動制御回路 1 から総和電流を出力してから補正された映像信号が該駆動制御回路 1 に入力されるまでの補正経路を設け、該補正経路により列制御回路から出力される電流信号のばらつきを補正することに特徴を有する。

【 0 0 3 1 】

図 2 は、本発明の表示装置の好ましい一実施形態の構成を示す概略図である。尚、図 2 においては、本実施形態の理解のために必要な部材のみを示している。図 2 中、13 は総和電流出力回路、14 は列シフトレジスタ(HSR)、15 は行シフトレジスタ(VSR)、16 はオペアンプ、17 はコンパレータ、18 は DAC、19 は列制御回路、21 はデータ線、22 は走査線、23 はロジック回路、24 は DAC、25 は画像表示部、27 は総和電流出力端子(Iout)、28 は検出抵抗(Rm)、29 は比較回路、30 は表示パネル、31 は外部制御回路であり、図 1 と同じ部材には同じ符号を付した。

【 0 0 3 2 】

10

20

30

40

50

本実施形態の表示装置は、表示パネル 30 と駆動回路とを備え、駆動回路は表示パネル 30 上に駆動制御回路 1 と、表示パネル 30 外に外部制御回路 31、及び、外部制御回路 31 と表示パネル 30 間に図中の総和電流検出回路 2 や列電流測定回路 3 の一部等、必要な回路を備えている。

【0033】

表示パネル 30 内には、駆動制御回路 1 と、該駆動制御回路 1 により駆動される画像表示部 25 が配置され、本実施形態の画像表示部 25 はアクティブ素子を備えた画素回路 20 を行方向に R, G, B 表示の 3 個一組で最小表示単位とし、該表示単位列を N 列、M 行備えている。従って、画素列数は (N × 3) 列であり、M × N × 3 個の画素回路 20 がマトリクス配置している。各行の画素回路 20 は共通に走査線 22 に接続され、各走査線 22 は走査回路を構成する行シフトレジスタ 15 に接続されている。また、各列の画素回路 20 は共通にデータ線 21 に接続され、各データ線 21 は総和電流出力回路 13 を経て列制御回路 19 に接続されている。本実施形態では、表示素子として EL 素子を用いており、画素回路 20 は EL 素子を含んでいる。

10

【0034】

図 2 の表示装置においては、1 段目の列シフトレジスタ 14 に列走査クロック KC、列走査開始信号 SPC が入力されると、列走査クロック KC の 1 周期または半周期毎に遷移して発生するサンプリング信号が各シフトレジスタ 14 から出力され、対応する列制御回路 19 に入力される。列制御回路 19 には、列制御信号 SC がロジック回路 23 を経て入力される。各列制御回路 19 では、上記サンプリング信号と列制御信号 SC により、所定期間の映像信号 Video がサンプリングされ、対応する電流信号がデータ線 21 に出力される。

20

【0035】

また、シフトレジスタ 15 の 1 段目に行走査クロック KR、行走査開始信号 SPR が入力されると、行走査クロック KR の 1 周期または半周期毎に遷移して発生する走査信号が走査線 22 を介して各行の画素回路 20 に順次入力される。

【0036】

本発明において、列制御回路 19 は電流信号発生回路を備えており、図 3 に、該列制御回路 19 の回路構成例として、構成が簡単なアナログ式の列制御回路を示す。図中、35 はサンプリングホールド回路である。36 は、電流信号発生回路であり、特に個々では電圧信号を受けてその電圧値に応じた電流値を有する信号 (電流信号) を出力する電圧電流変換回路である。また、SPa, SPb はシフトレジスタ 14 から出力されたサンプリング信号、CC1, CC2, CC3 はロジック回路 23 から出力された列制御信号 SC、VB は基準電圧バイアス信号、REF は映像信号 Video と相関性を持って入力される基準信号である。

30

【0037】

図 3 のサンプルホールド回路 35 に入力される映像信号 Video は該当色の画像電圧信号である。列制御回路 19 から出力されたサンプリング信号 SPa, SPb がサンプルホールド回路 35 に入力される。さらに、列制御信号 CC1 ~ CC3 もサンプルホールド回路 35 に入力される。サンプルホールド回路 35 から出力される電圧信号 v (data)、基準電圧バイアス信号 VB、列制御信号 CC3、基準信号 REF がそれぞれ電圧電流変換回路 36 に入力され、電流信号 i (data) が出力される。

40

【0038】

図 3 の回路の動作を図 4 のタイムチャートを用いて説明する。

【0039】

行周期 (水平走査期間) である期間 T1 において、列制御信号 CC1 が「L」となる (CC2 は「H」と) とともに、サンプリング信号 SPa が出力され (SPb は出力されない)、該当列の SPa の発生期間 t1 において電圧信号 v (data) が、映像信号 Video と基準信号 REF との差電圧 d1 でサンプルホールド回路 35 内にサンプルホールドされる。

50

【 0 0 4 0 】

次に期間 T 2 において、列制御信号 C C 1 が「 H 」となる (C C 2 は「 L 」) と、期間 T 1 においてサンプリングホールドされた電圧信号 $v (d a t a)$ が電流信号発生回路 3 6 に入力され、電流信号 $i (d a t a)$ に変換され、 $i (m)$ として出力される。また、当該期間 T 2 において、サンプリング信号 S P b が出力され、該当列の S P b の発生期間 t 2 において、電圧信号 $v (d a t a)$ が、映像信号 V i d e o と基準信号 R E F との差電圧 d 2 でサンプルホールドされる。

【 0 0 4 1 】

ついで、期間 T 3 において、列制御信号 C C 1 が再び「 L 」となり (C C 2 は「 H 」) 、期間 T 2 でサンプルホールドされた $v (d a t a)$ が電流信号発生回路 3 6 に入力され、変換された $i (d a t a)$ が出力される。

10

【 0 0 4 2 】

図 5 に、列制御回路 1 9 の他の回路構成例を示す。図中、 M 1 ~ M 4 , M 6 ~ M 1 0 , M 1 2 は n 型 T F T 、 M 5 , M 1 2 は p 型 T F T 、 C 1 ~ C 4 は容量、 S P a , S P b はサンプリング信号、 V c c は電源、 P 1 ~ P 6 は列制御信号である。以下、トランジスタのソース、ドレイン、ゲートをそれぞれ、 / S 、 / D 、 / G と記載する。

【 0 0 4 3 】

図 5 の回路においては、映像信号 V i d e o は M 1 / S 及び M 7 / S に入力され、サンプリング信号 S P a 、 S P b はそれぞれ M 1 / G 、 M 7 / G に入力される。 M 1 / D は容量 C 1 の一端に接続され、容量 C 1 の他端は一端が接地された容量 C 2 の他端と M 3 / G に接続され、 M 3 / S は接地されている。 M 3 / D 及び M 3 / G は M 2 / D 及び M 2 / S に接続され、 M 2 / G には P 1 が入力される。 M 3 / D は M 4 / S と接続され、 M 4 / D は M 5 / D に接続され、 M 5 / S は V c c に接続され、 M 5 / D と M 5 / G は短絡されている。 M 4 / G には P 2 が入力される。さらに、 M 3 / D には M 6 / S が接続され、 M 6 / D は電流信号 $i (d a t a)$ 端子に接続され、 M 6 / G には P 3 が入力される。

20

【 0 0 4 4 】

一方、 M 7 / D は容量 C 3 の一端に接続され、容量 C 3 の他端は一端が接地された C 4 の他端と M 9 / G に接続され、 M 9 / S は接地されている。 M 9 / D 及び M 9 / G は M 8 / D 及び M 8 / S に接続され、 M 8 / G には P 4 が入力される。 M 9 / D は M 1 0 / S と接続され、 M 1 0 / D は M 1 1 / D に接続され、 M 1 1 / S は V c c に接続され、 M 1 1 / D と M 1 1 / G は短絡されている。 M 1 0 / G には P 5 が入力される。さらに、 M 9 / D は M 1 2 / S に接続され、 M 1 2 / D は電流信号 $i (d a t a)$ 端子に接続され、 M 1 2 / G には P 6 が入力される。また、各トランジスタのゲートサイズ (幅 : W 、長さ : L) 及び容量は、 M 1 = M 7 、 M 2 = M 8 、 M 3 = M 9 、 M 4 = M 1 0 、 M 5 = M 1 1 、 M 6 = M 1 2 、 C 1 = C 3 、 C 2 = C 4 の関係にある。

30

【 0 0 4 5 】

図 5 の回路の動作のタイミングチャートを図 6 に示す。図中、 M 3 / G 、 M 9 / G はそれぞれ、 M 3 、 M 9 のゲート電圧を示す。図 6 は、 2 行分の映像信号にかかる動作を示したものである。

【 0 0 4 6 】

時刻 t 1 直前

S P a = L 、 S P b = L 、

P 1 = L 、 P 2 = L 、 P 3 = H 、 P 4 = L 、 P 5 = H 、 P 6 = L 、

である。従って、各トランジスタは、

M 1 : オフ、 M 2 : オフ、 M 4 : オフ、 M 6 : オン、

M 7 : オフ、 M 8 : オフ、 M 1 0 : オン、 M 1 2 : オフ

となる。この時、 M 3 と M 9 はそれぞれのゲートに付随する容量に充電された保持電圧 V a 1 、 V b 1 によって電流駆動され、 M 3 / D 電流 I a 1 が電流信号 $i (d a t a)$ として出力される。 M 9 / D 電流は M 1 1 / D と M 1 1 / G に供給され、一定値になる。

40

【 0 0 4 7 】

50

時刻 t_1

$S P a = H$ 、 $P 2 = H$ 、 $P 3 = L$ 、 $P 5 = L$ 、 $P 6 = H$ に変化し、映像信号 $V i d e o$ はブランキング期間におけるブランキング信号 $V B L$ となっている。従って、各トランジスタは、

$M 1$: オン、 $M 2$: オフ、 $M 4$: オン、 $M 6$: オフ、
 $M 7$: オフ、 $M 8$: オフ、 $M 10$: オフ、 $M 12$: オン、

となる。この時、 $M 9 / G$ 電圧の $V b 1$ によって駆動された $M 9 / D$ 電流 $I b 1$ が $M 3 / D$ 電流 $I a 1$ に代わって電流信号 $i (d a t a)$ として出力されるようになる。電流信号 $i (d a t a)$ は画像表示部 25 の列長を通過し、各列の多数の画素回路 20 に対応する $E L$ 素子に接続するため、大きな寄生容量を駆動しなければならないため、有効電流供給遷移 $I a 1$ $I b 1$ に時間を要する。時刻 t_2 になる前に $P 1 = H$ になり、 $M 2$: オンとなり、この時点から時刻 t_2 までの短時間において、 $M 3 / G$ は $M 5$ によって充電される。

【 0 0 4 8 】

時刻 t_2

$P 2 = L$ となり、 $M 4$ がオフとなるため、 $M 3 / G$ の $M 5$ による充電動作が停止し、 $M 3 / G$ は自身のしきい値電圧 $V t h$ に漸近するように自己放電動作を行う。

【 0 0 4 9 】

時刻 t_3

$S P a = L$ となり、 $M 1$ がオフとなる。時刻 t_4 になる前に $P 1 = L$ となり、 $M 2 =$ オフとなって、この時点で $M 3$ の自己放電動作が終了する。この時点から時刻 t_4 までの期間、 $M 2$ 及び $M 4$ はともにオフとなり、 $M 3 / D$ 電流は急速に L レベルに変化するため、ドレイン - ゲート容量などによって、 $M 3 / G$ は図 6 に示すように多少電圧降下を生じる。

【 0 0 5 0 】

時刻 t_4

$P 2 = H$ で、 $M 4$: オンとなるため、再び $M 3 / D$ 電流は上昇し、 $M 3 / G$ は再び上昇してほぼ元の状態 ($V r s a$) に戻る。この時点で $M 3 / G$ は自身のしきい値電圧 $V t h$ 近傍であるので、 $M 3 / D$ はほとんど 0 である。

【 0 0 5 1 】

~ 時刻 t_7

時刻 $t_4 \sim t_7$ の期間中、各列に対応するサンプリング信号 $S P a$ が発生する。 $S P b$ は発生しない。時刻 $t_5 \sim t_6$ において、該当する画素列のサンプリング信号が発生して自身のしきい値電圧 $V t h$ 近傍に保持されている $M 3 / G$ 電圧を、この時点でブランキングレベル ($V B L$) を基準とする映像信号レベル $d 1$ によって遷移電圧 $V 1$ 変化させる。 $V 1$ は下式で概略示される。

$$V 1 = d 1 \times C 1 / (C 1 + C 2 + C (M 3))$$

【 0 0 5 2 】

尚、 $C (M 3)$ は $M 3 / G$ の入力容量を示す。

【 0 0 5 3 】

該当する $S P a$ が L に変化すると、 $M 1$: オフとなり、 $M 1$ の寄生容量動作によって多少電圧降下した $V a 2$ に変化して再び $M 3 / G$ 電圧は保持状態となる。

【 0 0 5 4 】

時刻 t_7

$S P b = H$ 、 $P 2 = L$ 、 $P 3 = H$ 、 $P 5 = H$ 、 $P 6 = L$ に変化し、映像信号 $V i d e o$ はブランキング期間におけるブランキング信号 $V B L$ となっている。従って、各トランジスタは、

$M 1$: オフ、 $M 2$: オフ、 $M 4$: オフ、 $M 6$: オン、
 $M 7$: オン、 $M 8$: オフ、 $M 10$: オン、 $M 12$: オフ、

となる。この時、 $M 3 / G$ 電圧の $V a 2$ によって駆動された $M 3 / D$ 電流 $I a 2$ が $M 9 /$

10

20

30

40

50

D電流 I_{b1} に代わって電流信号 $i(\text{data})$ として出力されるようになる。映像電流データ $i(\text{data})$ は画像表示部 25 の列長を通過し、各列の多数の画素回路 20 に対応する EL 素子に接続するため、大きな寄生容量を駆動しなければならないため、有効電流供給遷移 I_{b1} I_{a2} に時間を要する。時刻 t_8 になる前に $P_4 = H$ になり、 M_8 : オンとなり、この時点から時刻 t_8 までの短時間において、 M_9 / G は M_{11} によって充電される。

【0055】

時刻 t_8

$P_5 = L$ となり、 M_{10} がオフとなるため、 M_9 / G の M_{11} による充電動作が停止し、 M_9 / G は自身のしきい値電圧 V_{th} に漸近するように自己放電動作を行う。

10

【0056】

時刻 t_9

$SP_b = L$ となり、 M_7 がオフとなる。時刻 t_{10} になる前に $P_4 = L$ となり、 $M_8 =$ オフとなって、この時点で M_9 の自己放電動作が終了する。この時点から時刻 t_{10} までの期間、 M_8 及び M_{10} はともにオフとなり、 M_9 / D 電流は急速に L レベルに変化するため、ドレイン - ゲート容量などによって、 M_9 / G は図 6 に示すように多少電圧降下を生じる。

【0057】

時刻 t_{10}

$P_5 = H$ で、 M_{10} : オンとなるため、再び M_9 / D 電流は上昇し、 M_9 / G は再び上昇してほぼ元の状態 (V_{rsb}) に戻る。この時点で M_9 / G は自身のしきい値電圧 V_{th} 近傍であるので、 M_9 / D はほとんど 0 である。

20

【0058】

~ 時刻 t_{13}

時刻 $t_{10} \sim t_{13}$ の期間中、各列に対応するサンプリング信号 SP_b が発生する。 SP_a は発生しない。時刻 $t_{11} \sim t_{12}$ において、該当する画素列のサンプリング信号が発生して自身のしきい値電圧 V_{th} 近傍に保持されている M_9 / G 電圧を、この時点でブランキングレベル (V_{BL}) を基準とする映像信号レベル d_2 によって遷移電圧 V_2 変化させる。 V_2 は下式で概略示される。

$$V_2 = d_2 \times C_3 / (C_3 + C_4 + C(M_9))$$

30

【0059】

尚、 $C(M_9)$ は M_9 / G の入力容量を示す。

【0060】

該当する SP_b が L に変化すると、 M_7 : オフとなり、 M_7 の寄生容量動作によって多少電圧降下した V_{b2} に変化して再び M_9 / G 電圧は保持状態となる。また、時刻 t_{13} 直前に、映像信号 $Video$ はブランキングレベル V_{BL} に戻る。

【0061】

以降、 t_{13} が新たな t_1 として、 $t_1 \sim t_{12}$ の動作を繰り返す。

【0062】

図 5 の回路においては、容量 C_2 及び C_4 は、 M_3 及び M_9 のゲート入力容量 (チャンネル容量) のみで実現しても良く、この場合、容量 C_2 及び C_4 は付設しなくても良い。また、図 6 において、 P_1 及び P_2 の変化タイミングは、時刻 t_1 、 t_3 として、 SP_a と等しくしても良い。また、 P_4 及び P_5 の変化タイミングは、時刻 t_8 、 t_{11} として SP_b と等しくしても良い。図 5 において、 P_2 、 M_4 、 M_5 及び P_5 、 M_{10} 、 M_{11} から構成される、 M_3 / D 及び M_9 / D のバイアス回路及び M_3 / G 及び M_9 / G の充電回路は無くてもかまわない。

40

【0063】

上記回路及び動作により、映像信号 $Video$ を線順次の電流信号 $i(\text{data})$ に変換することができる。

【0064】

50

上記で説明した列制御回路 19 の回路構成例は、アナログ方式であるが、デジタル方式の回路を用いる場合には、映像信号 *V i d e o* は複数本のデータ信号となり、サンプリングホールド回路は各データ信号を保持するマスタスレーブ型のフリップフロップ群となり、複数の電圧信号 *v (d a t a)* を出力する。電圧電流変換回路においては、*g m* 特性を決める各電圧信号に相当した重み電流による電流出力型 *D A* 変換回路になる。

【 0 0 6 5 】

次に、本発明の表示装置の画素回路 20 について説明する。本発明においては、画素回路 20 はアクティブ素子を備え、電流設定方式で駆動される。好ましくは、各画素回路 20 が *E L* 素子を備えている。また、アクティブ素子としては、1 以上の *T F T* が用いられる。

10

【 0 0 6 6 】

図 7 に、当該画素回路 20 の回路構成例を示す。図中、71 は *E L* 素子、*M 1* , *M 2* , *M 4* は *p* 型 *T F T*、*M 3* は *n* 型 *T F T*、*C 1* は容量、*R C 1* , *R C 2* は走査信号、*V c c* は電源である。

【 0 0 6 7 】

図 7 の画素回路において、該当列のデータ線 21 は *M 3 / S* に接続され、*M 3 / G* には該当行の走査信号線 22 の一方が接続され、走査信号 *R C 1* が入力される。*M 3 / D* は *M 2 / D* と *M 4 / S* にも接続され、*M 4 / G* にも該当行の走査信号線 22 の一方が接続され、走査信号 *R C 1* が入力される。*M 1 / S* は電源 *V c c* に接続され、*M 1 / G* は一端が電源 *V c c* に接続された容量 *C 1* の他端と *M 2 / S* に接続され、*M 2 / G* は該当行の走査信号 22 の他方に接続され走査信号 *R C 2* が入力される。*M 4 / D* は *E L* 素子 71 の電流注入端子に接続され、*E L* 素子 71 の他端は接地 (*G N D*) されている。

20

【 0 0 6 8 】

図 7 の画素回路の動作を図 8 のタイムチャートで説明する。

【 0 0 6 9 】

該当列のデータ線 21 には、該当列の画素回路に入力される電流信号 *i (d a t a)* が行周期毎に更新されて入力されている。

【 0 0 7 0 】

時刻 *t 0* で該当行の走査信号 *R C 1* が「*H*」になるとともに、走査信号 *R C 2* が「*L*」になり、その時点の *i (d a t a)* である *i (m)* により、*M 1* の電流駆動能力に応じた *M 1 / G* 電圧が発生し、容量 *C 1* が充電されるが、この時、*M 4* はオフであり、*E L* 素子 71 には電流は注入されない。

30

【 0 0 7 1 】

時刻 *t 1* において、総和信号 *R C 2* は「*H*」に変化し、*M 2* はオフとなって *M 1 / G* 電圧は保持され、時刻 *t 2* において *R C 1* が「*L*」に変化して *M 4* はオンとなり、*M 1* の保持電流が *E L* 素子 71 に注入されるとともに、当該画素回路は電流信号 *i (d a t a)* から切り離され、次に *M 3* がオンするまで設定された電流信号 *i (m)* に比例した電流を該当 *E L* 素子 71 に継続して供給する。

【 0 0 7 2 】

本発明の表示装置においては、列制御回路 19 から出力される電流信号のばらつきを補正するために、列制御回路 19 と画素回路 20 との間に総和電流出力回路 13 を配置し、該出力回路から補正経路を形成して補正を行う。

40

【 0 0 7 3 】

図 9 に、本実施形態の総和電流出力回路 13 の回路構成例を示す。図中、83 は電流信号発生回路 36 の出力が共通に接続される電流信号出力線、81 は電流信号発生回路 36 の出力と電流信号出力線 83 との接続関係を制御するスイッチ部、82 は電流信号発生回路 36 と画素側との接続関係を制御するスイッチ部である遮断部、91a ~ 91c はデータ線、*M 11* ~ *M 3 N* 及び *M 41* ~ *M 6 N* はトランジスタ、*I o u t* は総和電力、*C C x* , *C C y* は総和電力検出制御信号である。

【 0 0 7 4 】

50

本発明にかかる総和電流出力回路13は、複数本のデータ線21から共通に電流信号を出力するスイッチ部81と、画素回路20へ流れる電流を遮断する遮断部82を備えている。本実施形態では、全データ線21から電流信号を出力する形態を示す。

【0075】

スイッチ部81は、各データ線91a~91c(図1のデータ線21に相当)と出力線83とを接続し、開閉制御が自在なスイッチであるトランジスタ群M11~M3Nから構成され、遮断部82は、スイッチ部81と画素回路20間の各データ線に接続された、開閉制御が自在なスイッチである遮断トランジスタ群M41~M6Nから構成されている。列制御回路19と該当列の画素回路20とを接続するデータ線91a~91cは、M11/S~M6N/Sと接続され、M11/D~M3N/Dは全て共通に出力線83に接続され、該出力線83より総和電流Ioutが出力される。一方、M41/D~M6N/Dはそれぞれ該当列のデータ線91a~91cに接続されている。M11/G~M3N/Gは全て共通に接続されてロジック回路23からの総和電流検出制御信号CCxが入力され、M41/G~M6N/Gは全て共通に接続されてロジック回路23からの総和電流検出制御信号CCyが入力される。尚、全てのトランジスタはスイッチ動作をするものであり、適切に制御すれば、p型及びn型の限定や構成は限定されない。

10

【0076】

図9の総和電流出力回路13の動作を、図10のタイムチャートにより説明する。尚、図1の列制御回路19は図3の回路を用いた場合を例に挙げ、該回路は列制御信号CC3によって全て電流出力状態にあるものとする。

20

【0077】

総和電流出力回路13より総和電流を出力して映像信号の補正を行うには、通常の動作期間の前に補正期間を設け、該補正期間において総和電流出力回路13のスイッチ部81のM11~M3NをCCxにより全てオンにし、遮断部82のM41~M6NをCCyにより全てオフとする。これにより、列制御回路19から出力された電流信号は画素回路20には流れず、全て出力線83より出力される。

【0078】

補正期間において、列制御回路19の、SPa、SPb、CC1、CC2は通常動作時の図4のタイミングと同じであるが、映像信号Videoについては、1水平走査期間において、所定のデータ線に対して電流信号を出力する電流信号発生回路36からのみ第1の電流信号が出力され、他の全てのデータ線に対して電流信号を出力する電流信号発生回路36からは第2の電流信号が出力されるように設定する。各水平走査期間において、第1の電流信号を出力する電流信号発生回路36が順次変更されるように設定する。より具体的には、例えば、1つの電流信号発生回路36のみが所定のレベルの第1の電流信号を出力し、他の電流信号発生回路36は第1の電流信号よりも低いレベルの第2の電流信号を出力するような映像信号を、各電流信号発生回路36に対して入力する。例えば電流信号発生回路36(列制御回路19)がデジタル信号入力方式の場合であって、第2の電流信号を0にする場合には、第2の電流信号を出力させるべき電流信号発生回路36に入力するデジタルデータをゼロとしておけばよい。このように設定した映像信号においては、画素列数分の水平走査期間によって、全てのデータ線に順次第1の電流信号が入力されることになる。この制御は図2の制御回路200が行う。補正はあらかじめ制御回路において設定された補正期間に行う。外部から制御回路に対して補正期間を指定することで補正を行う構成も採用できる。尚第2の電流信号としては有意の電流値を持つものであってもよいが、ここで第2の電流信号の電流値がほぼ0になるように設定している。これにより後の評価処理が容易になる。

30

40

【0079】

図10のタイムチャートにおいて、映像信号Videoは、各水平走査期間T0~T7において、データ線1本に対してのみ高レベルの信号がサンプリングされるような波形に設定されている。よって、全ての列制御回路19が通常と同じ動作で映像信号Videoをサンプリングし、電流信号i(data)を出力するが、該i(data)は総和電流

50

出力回路13より全データ線分の総和電流 I_{out} として出力線83より出力され、各行走査期間に出力される総和電流 I_{out} は、第1の電流信号が印加されたデータ線からの出力電流を主成分とする。

【0080】

尚、行走査期間において第1の電流信号を入力するデータ線は1本に限定されるものではない。最小表示単位分のデータ線としても良く、1水平走査期間において同時に第1の電流信号を入力するデータ線の組み合わせは適宜選択され、適当な複数本を組み合わせることによって、当該補正工程にかかる時間を短縮することができ、また、視覚上注目すべきTFTばらつきを抽出することもできる。また、各データ線の組み合わせに含まれるデータ線が、異なる走査期間において、重なっていても良く、また、その順序も限定されるものではない。

10

【0081】

本実施形態では、総和電流検出回路2、列電流測定回路3、列電流記憶回路4、基準列電流検出回路5、補正ゲイン決定回路6、補正係数演算回路7、補正係数記憶回路8が電流信号出力線83を介して出力される電流値から特定の電流信号発生回路36の出力を評価し、該評価結果に応じた補正値を出力する補正値出力回路を構成している。具体的には、総和電流検出回路2、列電流測定回路3によって電流信号発生回路の出力を評価し、該評価結果に応じた補正値を補正係数演算回路7で演算し、得られた補正値を補正値記憶回路である補正係数記憶回路8で記憶し、該補正係数記憶回路8から補正値を出力する構成としている。

20

【0082】

電流信号発生回路36の出力を評価するステップは以下のように行う。

【0083】

総和電流出力回路13から出力された総和電流 I_{out} は、図2の出力端子27より出力され、総和電流検出回路2に入力される。総和電流検出回路2においては、出力端子27に検出抵抗28の一端が接続されており、該検出抵抗28の他端は電源 V_{cc} に接続されている。また、出力端子27はオペアンプ16の正極側にも接続されており、オペアンプ16の負極側と出力側は短絡されている。オペアンプ16の出力端子は次段の列電流測定回路3のコンパレータ17の負極側に接続され、該コンパレータ17の正極側にはDAC18の出力が入力される。

30

【0084】

補正期間内にて検出する総和電流は、総和電流出力回路13に入力されるTEST信号が「H」の期間、例えば図5の列制御回路のM3、M9の V_{gs} に相当する電流が全ての列に相当し、総和電流 I となって電源から検出抵抗28を介して流れるため、出力端子27の電位は $V_{out} = V_{cc} - I \times R_m$ となる (R_m は検出抵抗28の抵抗値)。尚、オペアンプ16の入力インピーダンスの影響を無視するものとする。 V_{out} の電位はオペアンプ16の構成により、バッファリングされてそのままコンパレータ17の負極側に入力される。

【0085】

次に、図2では、列電流測定回路3においては、コンパレータ17とDAC18と比較回路29からなる逐次比較型の回路を示しているが、当該回路は一般的で広く用いられているため、簡略的に説明を行う。

40

【0086】

コンパレータ17の出力は、「H」、「L」の2極のデジタル出力であり、比較回路29により、 V_{out} とDAC18の出力値 V_{dac} とを比較し、判定を行う。例えば、DAC18を最低の電位からビットの分解能ずつ上昇させた場合、図2の構成では、 $V_{out} > V_{dac}$ ではコンパレータ17の出力は「L」であるが、 $V_{out} < V_{dac}$ となり、コンパレータ17の出力が「H」に反転した時、DAC18のデジタルデータを列電流記憶回路4に保存する。図2においては、 V_{out} はコンパレータ17の負極側に入力されているが、DAC18側と極性を変えても良い。但し、コンパレータ17の出力も反転

50

する。比較回路 29 が出力する値が電流信号発生回路の出力を評価した値であり、この評価値は電流信号発生回路が出力する電流値と 1 対 1 に対応する値となっている。

【0087】

基準列電流検出回路 5 において、列電流記憶回路 4 に保存された各データ線の電流信号データより、基準となる電流信号データを選択し、記憶する。基準となる電流信号データの選択基準は特に限定はない。

【0088】

基準列電流検出回路 5 に記憶した基準電流信号データと、列電流記憶回路 4 に保存された各データ線の電流信号データとを用い、補正係数演算回路 7 において演算処理を行って、各データ線に対応する補正係数を算出する。具体的には、当該補正係数演算回路 7 にゲイン演算回路を持たせ、基準電流を補正すべきデータ線の電流信号データにより除算し、除算結果を二乗根演算し、二乗根演算結果に係数 k を乗算し、得られたゲイン演算結果を補正係数とする。以下の式 (1) により算出される。

【0089】

【数 1】

$$H s a m p l e = 1 - \left(1 - \sqrt{\frac{I r e f}{I s a m p l e}} \right) \times k \quad (1)$$

【0090】

H s a m p l e : 各データ線の補正係数

I s a m p l e : 各データ線の電流信号データ

I r e f : 基準電流信号データ

k : 係数

【0091】

上記式 (1) において、ルート演算をロジック演算にて行う際、最も誤差が出ないように演算するために、除算値 $x = I r e f / I s a m p l e$ に応じて、係数を場合分けした 2 項定理による近似演算によって行う。演算式を下記 (2) 式に示す。

【0092】

【数 2】

$$\sqrt{x} = \{ a - (a - x) \}^{\frac{1}{2}} = \sqrt{a} \left(1 - \frac{a - x}{a} \right)^{\frac{1}{2}} \approx \sqrt{a} \left(1 - \frac{a - x}{2 \times a} \right) \quad (2)$$

【0093】

上記式 (2) における、 a 、 $a^{1/2}$ が場合分け係数であり、予めいくつかのパターンを用意しておく。上記式 (2) 中の、 $(a - x) / a$ の値がゼロに近いほど演算結果の誤差が少ない。

【0094】

図 11 に、本実施形態の補正係数演算回路 7 の構成を示す。図中、10 は除算回路、11 は場合分け係数決定回路、12 は四則演算回路である。図 11 の除算回路 10 に入力される $I s a m p l e$ 、 $I r e f$ により、 $x = I r e f / I s a m p l e$ を計算し、 x の値を場合分け係数決定回路 11 に入力する。場合分け係数決定回路 11 では、 x の値に応じて、場合分け係数 a 、 $a^{1/2}$ が決定され、四則演算回路 12 にて、上記式 (2) の最右辺の演算が行われる。乗算、除算のロジックは一般的なシフター及びアダーで構成可能なため、ここでは動作説明を省略する。

【0095】

上記式 (2) の演算において、実際の演算結果を図 12 に示す。図 12 は、ルートを計算機で計算した結果と、2 項定理を用いた結果の割合を示したものである。1 に近いほど誤差が少ない。演算を行う値を 0.5 ~ 1.5 まで設定し、係数 a 、 $a^{1/2}$ の 8 つの組み合わせを用意した。以下に該組み合わせを示す。図 12 に〔1〕から〔8〕で示している曲線がそれぞれ以下の表に示す a の値を用いて近似計算を行った場合の、正確な演算結果

(精度の高い計算機を用いて行った演算結果)と上記近似演算を行った結果の比(縦軸)と上記xの値(横軸)の関係を示す。

【0096】

【表1】

x	a	\sqrt{a}
$x < 0.69$	0.6250	0.790569
$0.69 \leq x < 0.82$	0.7500	0.866025
$0.82 \leq x < 0.91$	0.8750	0.935414
$0.91 \leq x < 0.97$	0.9375	0.968246
$0.97 \leq x < 1.07$	1.0000	1.000000
$1.07 \leq x < 1.19$	1.1250	1.060660
$1.19 \leq x < 1.32$	1.2500	1.118034
$1.32 \leq x$	1.3750	1.172604

10

【0097】

各aの値の曲線グラフで、xの値においてより1に近い係数を逐次選択することにより、計算機による結果とほとんど差異のない演算結果を得ることができる。

【0098】

これにより、式(2)で得られた演算結果を元に、式(1)のルートに代入して係数kを乗じて演算した結果が、補正係数Hsampleであり、当該補正係数が補正係数記憶回路8に記憶される。

20

【0099】

映像信号補正回路9においては、サンプリングする列の映像信号Videoに合わせて、補正係数記憶回路9より記憶された該当列の補正係数を読み出し、乗算して補正する。乗算結果は列制御回路19のデジタル・アナログ方式に合わせて出力する。即ち、デジタル方式であれば駆動制御回路1にデジタル信号で出力し、アナログ信号であればDACにてアナログ電圧変換して、同様に駆動制御回路1に出力する。

【0100】

補正ゲインは式(1)における係数kの値によって決定される。即ち、 $k = 1$ とした場合、除算及びルート演算によって得られた値がそのまま補正係数となる。

30

【0101】

$k < 1$ の場合、補正係数のゲインが1より小さくなるので、補正を弱くすることになる。よって、1回の補正では電流信号むらを完全に抑制することができない。そこで、上記した補正工程を複数回行い、逐次、補正係数記憶回路8に記憶させる補正係数を書き換えていくことにより、電流信号むらの抑制をより確実に行うことができる。

【0102】

$k > 1$ の場合、 $k < 1$ の場合とは逆に補正を強くすることになる。よって、1回の補正で電流信号むらが逆転する可能性がある。そこで、この場合も、上記した補正工程を複数回行い、逐次、補正係数記憶回路8に記憶させる補正係数を書き換えていくことにより、電流信号むらの抑制をより確実に行うことができる。

40

【0103】

尚、ゲインを強くしすぎると、逆に収束しない可能性があるので、 $1 < k < 2$ の範囲で選択する。

【0104】

ゲインは、デバイスの条件、製品搭載時の運用において選択し、補正を行っても良い。例えば、製品起動時において、表示パネル点灯前にゲイン1で補正を行い、後にゲイン1未満、もしくは $1 < k < 2$ の設定で複数回補正を行うことも可能である。当該ゲインの選択は、補正ゲイン決定回路6にて行う。

【0105】

50

尚補正值を決定するための補正期間は例えば製品起動時に設定しておくことができる。また定期的に行うようにも設定できる。補正值を記憶する回路である補正係数記憶回路 8 として記憶保持動作に電力供給が必要なメモリを用いている場合には、電力オフによって記憶が失われるため、電力オフから電力オンのたびに補正值決定を行えばよい。または電力オフによっても記憶を失わないメモリ（例えば E 2 P R O M）を採用することで、電力オフから電力オンのたびに補正值決定を行わなくてもよい構成を実現することができる。

【 0 1 0 6 】

（実施形態 2）

上記実施形態では、あらかじめ設定された補正期間に上記補正值を求め、該補正值を更新する構成を述べた。本実施形態は一度だけ補正值決定プロセスを行い、それによって決定された補正值を更新せずに使用する形態である。具体的には、製品出荷前に上記実施形態で述べた補正值決定プロセスを行いそれによって得られた補正值を補正值出力回路に記憶させる。この実施形態では補正值を更新する必要がないので書き換え可能なメモリを用いる必要がなくなる。この実施形態においては、前記電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を評価できるような電流信号出力状態に前記複数の電流信号発生回路のそれぞれを制御する制御回路 2 0 0 は、駆動回路や表示装置として持つ必要はない。

【 0 1 0 7 】

（実施形態 3）

本実施形態では、以上の実施形態で述べた各電流信号発生回路の出力を評価するステップを、駆動回路や表示装置の製造プロセスの途中や製造プロセスが完了した後で行い、不良品判定を行う。具体的には各電流信号発生回路の出力のばらつきが大きい場合には以降の製造プロセスや出荷を取りやめる。

【 0 1 0 8 】

尚、上記各実施形態においては、E L 素子を用いた E L 表示装置を例に挙げて説明したが、本発明の表示装置はこれに限定されるものではなく、電流信号によって、各画素の表示を制御しうる装置であれば、好ましく適用される。

【図面の簡単な説明】

【 0 1 0 9 】

【図 1】本発明の駆動回路の補正経路にかかる構成を示すブロック図である。

【図 2】本発明の表示装置の好ましい一実施形態の構成を示す概略図である。

【図 3】列制御回路の回路構成例を示す図である。

【図 4】図 3 の列制御回路のタイムチャートである。

【図 5】列制御回路の他の回路構成例を示す図である。

【図 6】図 3 の列制御回路のタイムチャートである。

【図 7】画素の回路構成例を示す図である。

【図 8】図 8 の画素回路のタイムチャートである。

【図 9】総和電力出力回路の回路構成例を示す図である。

【図 10】図 9 の総和電力出力回路のタイムチャートである。

【図 11】補正係数演算回路の構成例を示す図である。

【図 12】補正係数演算回路における演算結果を示す図である。

【図 13】従来の E L 表示装置の画素回路を示す図である。

【図 14】従来の E L 表示装置の表示パネルの構成を示す図である。

【符号の説明】

【 0 1 1 0 】

- 1 駆動制御回路
- 2 総和電流検出回路
- 3 列電流測定回路
- 4 列電流記憶回路
- 5 基準列電流検出回路

10

20

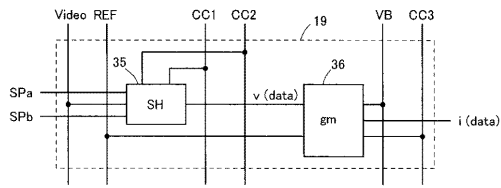
30

40

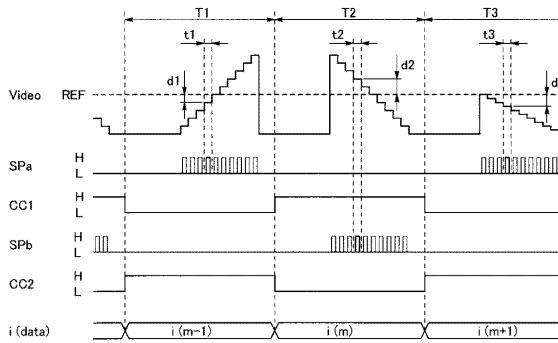
50

6	補正ゲイン決定回路	
7	補正係数演算回路	
8	補正係数記憶回路	
9	映像信号補正回路	
10	除算回路	
11	場合分け係数決定回路	
12	四則演算回路	
13	総和電流出力回路	
14	列シフトレジスタ	
15	行シフトレジスタ	10
16	オペアンプ	
17	コンパレータ	
18	D A C	
19	列制御回路	
20	画素回路	
21	データ線	
22	走査線	
23	ロジック回路	
24	D A C	
25	画像表示部	20
27	総和電流出力端子	
28	検出抵抗	
29	比較回路	
30	表示パネル	
31	外部制御回路	
35	サンプルホールド回路	
36	電流信号発生回路	
71	E L 素子	
81	スイッチ部	
82	遮断部	30
83	出力線	
91 a ~ 9 N c	データ線	
101	サンプルホールド回路	
102	誤差増幅回路	
103	E L 素子	
104	電流制御回路	
105	電流検出回路	
106	データドライバ	
107	演算素子	
108	記憶手段	40
109	電源	
110	電流測定素子	
111	走査ドライバ	
200	制御回路	
C 1 ~ C 4	容量	
C C 1 , C C 2 , C C 3	列制御信号	
C C x、C C y	総和電流検出制御信号	
i (d a t a)	電流信号	
g m	電圧電流変換回路	
I o u t	総和電流	50

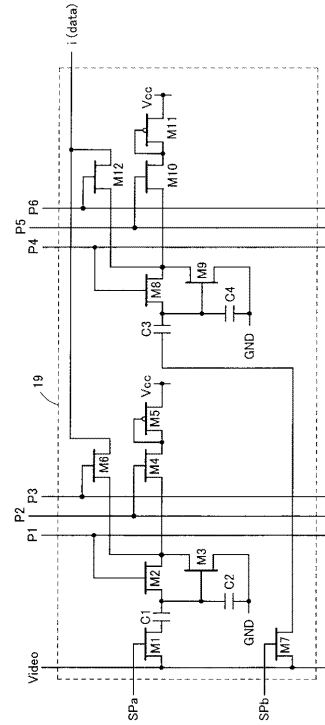
【 3 】



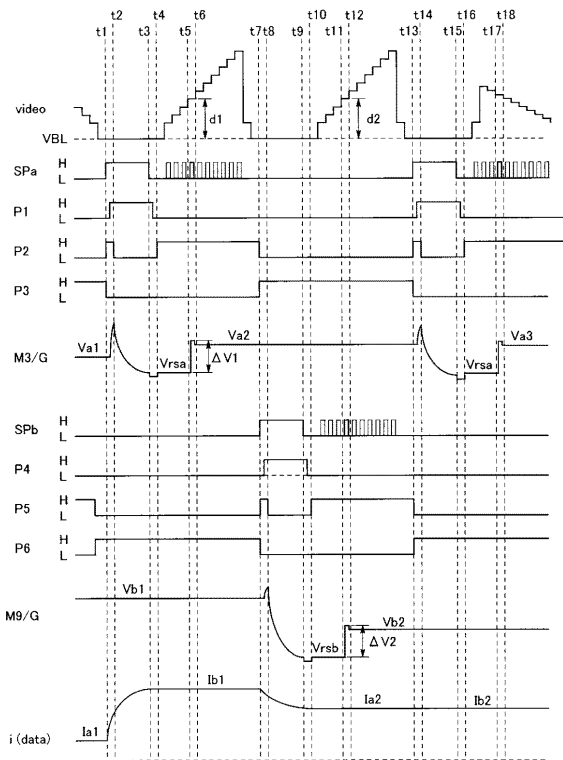
【 4 】



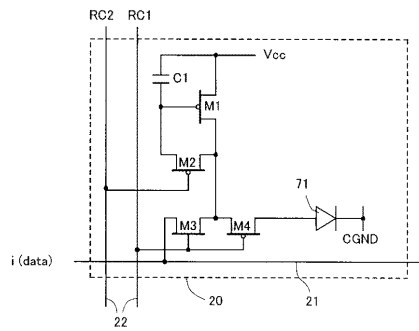
【 5 】



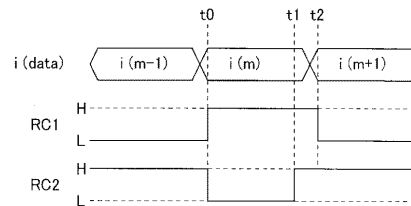
【 6 】



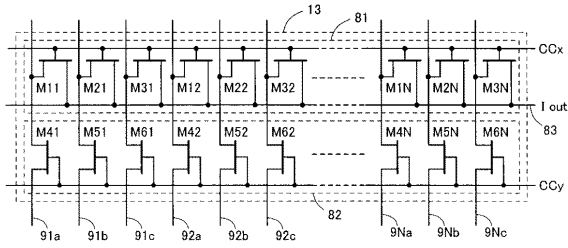
【 7 】



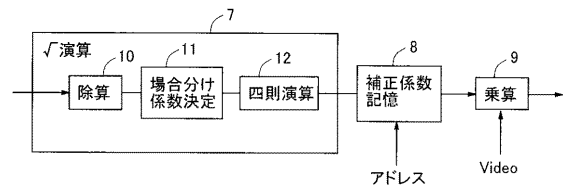
【 8 】



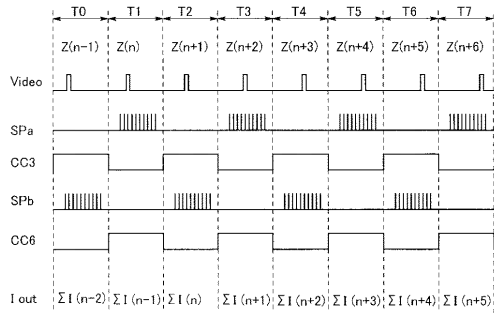
【図9】



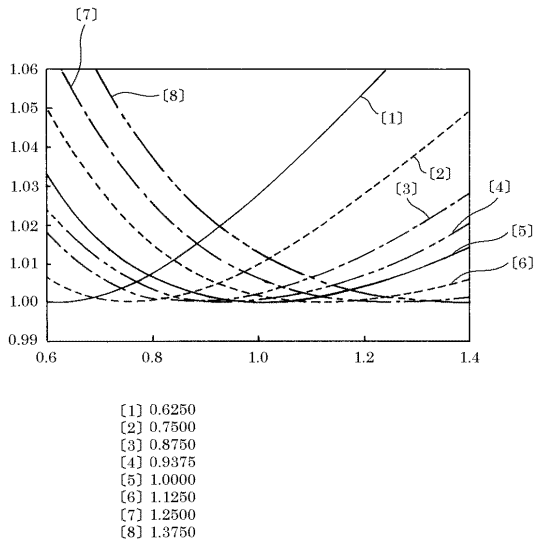
【図11】



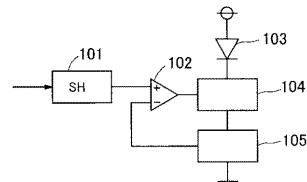
【図10】



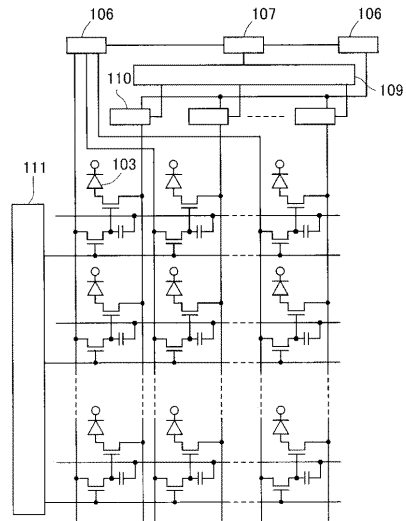
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 1 H
G 0 9 G 3/20 6 4 2 A
H 0 5 B 33/14 A

(72)発明者 井関 正己
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 西島 篤宏

(56)参考文献 国際公開第02/039420(WO, A1)
特開平11-338413(JP, A)
特開平11-338561(JP, A)
特開平11-282420(JP, A)
特開2001-060076(JP, A)
特表平10-503292(JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8

专利名称(译)	有源矩阵显示装置及其驱动控制方法		
公开(公告)号	JP4455636B2	公开(公告)日	2010-04-21
申请号	JP2007246529	申请日	2007-09-25
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
当前申请(专利权)人(译)	佳能公司		
[标]发明人	川野藤雄 川崎素明 井関正己		
发明人	川野 藤雄 川崎 素明 井関 正己		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.K G09G3/20.624.B G09G3/20.641.D G09G3/20.642.P G09G3/20.623.R G09G3/20.611.H G09G3/20.642.A H05B33/14.A G09G3/20.623.D G09G3/20.623.F G09G3/20.641.P G09G3/20.650.M G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD04 5C080/DD05 5C080/DD15 5C080/DD28 5C080/EE29 5C080/FF11 5C080/GG12 5C080/GG15 5C080/GG17 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ07 5C380/AA01 5C380/AB06 5C380/AB34 5C380/BA37 5C380/BB03 5C380/BB04 5C380/CA02 5C380/CA04 5C380/CA08 5C380/CA13 5C380/CA24 5C380/CA26 5C380/CA34 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CC13 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC53 5C380/CC63 5C380/CD012 5C380/CD014 5C380/CF05 5C380/CF07 5C380/CF10 5C380/CF19 5C380/CF27 5C380/CF41 5C380/CF48 5C380/CF61 5C380/DA02 5C380/DA06 5C380/DA33 5C380/DA39 5C380/FA03 5C380/FA28 5C380/GA04 5C380/GA18 5C380/HA02 5C380/HA03 5C380/HA06		
代理人(译)	渡边圭佑 山口 芳広		
优先权	2003061288 2003-03-07 JP		
其他公开文献	JP2008052288A		
外部链接	Espacenet		

摘要(译)

要解决的问题：准确输出驱动电路。一种有源矩阵显示装置的驱动控制方法，其中每个包括用于控制EL元件的发光薄膜晶体管和设置在薄膜晶体管的栅极中的电容器的多个像素电路以矩阵形式排列，校正输入到使用薄膜晶体管配置的电流信号产生电路的视频信号电压，将校正的视频信号电压输入到多个电流信号产生电路，将校正的视频信号电压转换成电流信号，向像素电路输入电压，保持与电容器中的输入电流信号对应的电压，并使EL元件基于电流信号发光。 .The

$$\sqrt{x} = \sqrt{a - (a-x)} = \sqrt{a \left(1 - \frac{a-x}{a}\right)} = \sqrt{a \left(1 - \frac{a-x}{2 \times a}\right)} \quad (2)$$