

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-310352

(P2008-310352A)

(43) 公開日 平成20年12月25日(2008.12.25)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 642A	5C080
H01L 51/50 (2006.01)	G09G 3/20 641D	
	G09G 3/20 624B	
	G09G 3/20 611H	
審査請求 未請求 請求項の数 8 O L (全 22 頁) 最終頁に続く		

(21) 出願番号	特願2008-200404 (P2008-200404)	(71) 出願人	000002185
(22) 出願日	平成20年8月4日 (2008.8.4)		ソニー株式会社
(62) 分割の表示	特願2006-180522 (P2006-180522)	(74) 代理人	100092336
原出願日	平成18年6月30日 (2006.6.30)		弁理士 鈴木 晴敏
		(72) 発明者	内野 勝秀
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	山下 淳一
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	豊村 直史
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC33 EE03 HH04
			最終頁に続く

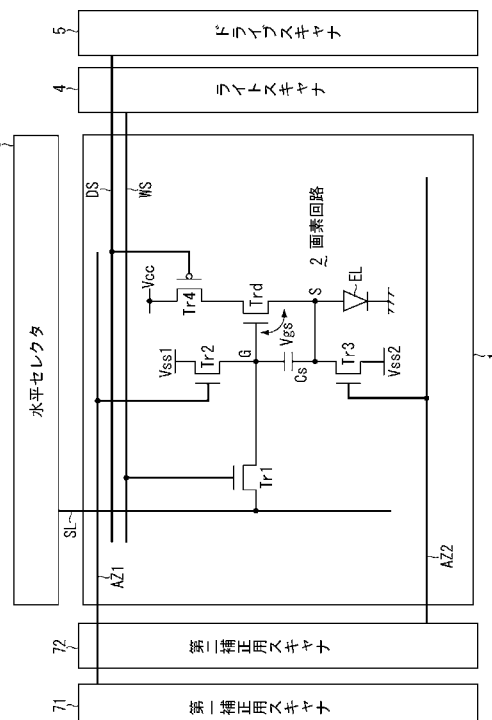
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】画素の輝度レベルに対して適応的にドライブトランジスタの移動度補正を行う。

【解決手段】画素2は、発光素子ELと、サンプリングトランジスタTr1と、ドライブトランジスタTrdと、画素容量Csとを含む。サンプリングトランジスタTr1は、そのゲートが走査線WSに接続し、そのソース/ドレインの一方が信号線SLに接続し、他方がドライブトランジスタTrdのゲートに接続している。ドライブトランジスタTrd及び発光素子ELは電源ラインVccと接地ラインとの間で直列に接続して電流路を形成している。画素容量Csは、ドライブトランジスタTrdのゲートと発光素子ELの間に接続している。スクアナが走査線WS供給する制御信号においてサンプリングトランジスタTr1をオフする際の波形に傾斜をもたせることで、画素容量Csに保持された輝度レベルが高い画素のサンプリングトランジスタTrdほどオフする時間を早くする。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

画素アレイ部とこれを駆動する駆動部とからなり、

前記画素アレイ部は、行状の走査線と、列状の信号線と、これらが交差する部分に配された行列状の画素と、各画素に給電する電源ライン及び接地ラインとを備え、

前記駆動部は、各走査線に順次制御信号を供給して画素を行単位で線順次走査するスキヤナを備え、

前記画素は、少なくとも発光素子と、サンプリングトランジスタと、ドライブトランジスタと、画素容量とを含み、

前記サンプリングトランジスタは、そのゲートが該走査線に接続し、そのソースノドレインの一方が該信号線に接続し、他方が該ドライブトランジスタのゲートに接続し、

前記ドライブトランジスタ及び前記発光素子は該電源ラインと接地ラインとの間で直列に接続して電流路を形成し、

前記画素容量は、該ドライブトランジスタのゲートと該発光素子の間に接続しており、

前記スキヤナが供給する制御信号において該サンプリングトランジスタをオフする際の波形に傾斜をもつ表示装置。

【請求項 2】

前記サンプリングトランジスタをオフする際の制御信号の波形に傾斜をもたせることで、該画素容量に保持された輝度レベルが高い画素のサンプリングトランジスタほどオフする時間を早くする請求項 1 記載の表示装置。

【請求項 3】

前記スキヤナは、制御信号の波形に傾斜をつける際、少なくとも二段階に分けて初めに傾斜を急にし後で傾斜をなだらかにする請求項 1 記載の表示装置。

【請求項 4】

前記駆動部は、制御信号の波形の元になる電源パルスを生成して該スキヤナに供給する電源パルス生成回路を含み、

前記スキヤナは、順次該電源パルスからその波形を取り出し、制御信号の波形として各走査線に供給する請求項 1 記載の表示装置。

【請求項 5】

前記サンプリングトランジスタは、該走査線から供給された制御信号に応じてオンした後その波形に応じてオフし、オンしてからオフするまでの間に、該信号線から供給された映像信号をサンプリングし該輝度レベルとして該画素容量に保持し、

前記ドライブトランジスタは、該画素容量に保持された映像信号に応じて駆動電流を該電流路を通して該発光素子に流し、該輝度レベルで発光させる請求項 2 記載の表示装置。

【請求項 6】

画素アレイ部とこれを駆動する駆動部とからなり、

前記画素アレイ部は、行状の走査線と、列状の信号線と、これらが交差する部分に配された行列状の画素と、各画素に給電する電源ライン及び接地ラインとを備え、

前記駆動部は、各走査線に順次制御信号を供給して画素を行単位で線順次走査するスキヤナを備え

前記画素は、少なくとも発光素子と、サンプリングトランジスタと、ドライブトランジスタと、画素容量とを含み、

前記サンプリングトランジスタは、そのゲートが該走査線に接続し、そのソースノドレインの一方が該信号線に接続し、他方が該ドライブトランジスタのゲートに接続し、

前記ドライブトランジスタ及び前記発光素子は該電源ラインと接地ラインとの間で直列に接続して電流路を形成し、

前記画素容量は、該ドライブトランジスタのゲートと該発光素子の間に接続し、

前記スキヤナが供給する制御信号において該サンプリングトランジスタをオフする際の波形に傾斜をもたせた

表示装置の駆動方法。

10

20

30

40

50

【請求項 7】

画素アレイ部とこれを駆動する駆動部とからなり、

前記画素アレイ部は、行状の走査線と、列状の信号線と、これらが交差する部分に配された行列状の画素と、各画素に給電する電源ライン及び接地ラインとを備え、

前記駆動部は、各走査線に順次制御信号を供給して画素を行単位で線順次走査するスキヤナを備え

前記画素は、少なくとも発光素子と、サンプリングトランジスタと、ドライブトランジスタと、画素容量とを含み、

前記サンプリングトランジスタは、そのゲートが該走査線に接続し、そのソース/ドレインの一方が該信号線に接続し、他方が該ドライブトランジスタのゲートに接続し、

前記ドライブトランジスタ及び前記発光素子は該電源ラインと接地ラインとの間で直列に接続して電流路を形成し、

前記画素容量は、該ドライブトランジスタのゲートと該発光素子の間に接続しており、

該走査線に該制御信号を印加して該サンプリングトランジスタをオンして映像信号を該画素容量に保持した後に該サンプリングトランジスタがオフする際、

該信号線から供給される映像信号の輝度レベルが高いときほどサンプリングトランジスタがオフする時間が早くなる表示装置。

【請求項 8】

画素アレイ部とこれを駆動する駆動部とからなり、

前記画素アレイ部は、行状の走査線と、列状の信号線と、これらが交差する部分に配された行列状の画素と、各画素に給電する電源ライン及び接地ラインとを備え、

前記駆動部は、各走査線に順次制御信号を供給して画素を行単位で線順次走査するスキヤナを備え

前記画素は、少なくとも発光素子と、サンプリングトランジスタと、ドライブトランジスタと、画素容量とを含み、

前記サンプリングトランジスタは、そのゲートが該走査線に接続し、そのソース/ドレインの一方が該信号線に接続し、他方が該ドライブトランジスタのゲートに接続し、

前記ドライブトランジスタ及び前記発光素子は該電源ラインと接地ラインとの間で直列に接続して電流路を形成し、

前記画素容量は、該ドライブトランジスタのゲートと該発光素子の間に接続しており、

該走査線に該制御信号を印加して該サンプリングトランジスタをオンして映像信号を該画素容量に保持した後に該サンプリングトランジスタがオフする際、

該信号線から供給される映像信号の輝度レベルが高いときほどサンプリングトランジスタがオフする時間が早くなる表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した発光素子を電流駆動して画像を表示する表示装置及びその駆動方法に関する。詳しくは、各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって有機ELなどの発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置及びその駆動方法に関する。

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で

10

20

30

40

50

液晶ディスプレイなどの電圧制御型とは大きく異なる。

【 0 0 0 3 】

有機ＥＬディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、ＴＦＴ）によって制御するものであり、以下の特許文献に記載がある。

【特許文献１】特開２００３－２５５８５６

【特許文献２】特開２００３－２７１０９５

【特許文献３】特開２００４－１３３２４０

【特許文献４】特開２００４－０２９７９１

【特許文献５】特開２００４－０９３６８２

【特許文献６】特開２００５－１７３４３４

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 4 】

従来の画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと画素容量とドライブトランジスタと発光素子とを含む。サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号をサンプリングする。画素容量は、サンプリングされた映像信号の信号電位に応じた入力電圧を保持する。ドライブトランジスタは、画素容量に保持された入力電圧に応じて所定の発光期間に出力電流を駆動電流として供給する。尚一般に、出力電流はドライブトランジスタのチャネル領域のキャリア移動度及び閾電圧に対して依存性を有する。発光素子は、ドライブトランジスタから供給された出力電流により映像信号に応じた輝度で発光する。

【 0 0 0 5 】

ドライブトランジスタは、画素容量に保持された入力電圧をゲートに受けてソース／ドレイン間に出力電流を流し、発光素子に通電する。一般に発光素子の発光輝度は通電量に比例している。更にドライブトランジスタの出力電流供給量はゲート電圧すなわち画素容量に書き込まれた入力電圧によって制御される。従来の画素回路は、ドライブトランジスタのゲートに印加される入力電圧を入力映像信号に応じて変化させることで、発光素子に供給する電流量を制御している。

【 0 0 0 6 】

ここでドライブトランジスタの動作特性は以下の式１で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \cdots \text{式 1}$$

このトランジスタ特性式１において、 I_{ds} はソース／ドレイン間に流れるドレイン電流を表わしており、画素回路では発光素子に供給される出力電流である。 V_{gs} はソースを基準としてゲートに印加されるゲート電圧を表わしており、画素回路では上述した入力電圧である。 V_{th} はトランジスタの閾電圧である。又 μ はトランジスタのチャネルを構成する半導体薄膜の移動度を表わしている。その他 W はチャネル幅を表わし、 L はチャネル長を表わし、 C_{ox} はゲート容量を表わしている。このトランジスタ特性式１から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 V_{gs} が閾電圧 V_{th} を超えて大きくなると、オン状態となってドレイン電流 I_{ds} が流れる。原理的に見ると上記のトランジスタ特性式１が示す様に、ゲート電圧 V_{gs} が一定であれば常に同じ量のドレイン電流 I_{ds} が発光素子に供給される。従って、画面を構成する各画素に全てのレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の一様性（ユニフォームリティ）が得られるはずである。

【 0 0 0 7 】

しかしながら実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ

(TF T)は、個々のデバイス特性にばらつきがある。特に、閾電圧 V_{th} は一定ではなく、各画素毎にばらつきがある。前述のトランジスタ特性式1から明らかな様に、各ドライブトランジスタの閾電圧 V_{th} がばらつくと、ゲート電圧 V_{gs} が一定であっても、ドレイン電流 I_{ds} にばらつきが生じ、画素毎に輝度がばらついてしまう為、画面のユニフォーミティを損なう。従来からドライブトランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば前記の特許文献3に開示がある。

【0008】

しかしながら、発光素子に対する出力電流のばらつき要因は、ドライブトランジスタの閾電圧 V_{th} だけではない。上記のトランジスタ特性式1から明らかなように、ドライブトランジスタの移動度 μ がばらついた場合にも、出力電流 I_{ds} が変動する。この結果、画面のユニフォーミティが損なわれる。移動度のばらつきを補正すること、解決すべき課題となっている。

10

【課題を解決するための手段】

【0009】

上述した従来技術の課題に鑑み、本発明は画素ごとにドライブトランジスタの移動度補正機能を備えた表示装置及びその駆動方法を提供することを一般的な目的とする。特に、画素の輝度レベルに対して適応的に移動度補正を行うことのできる表示装置及びその駆動方法を提供することを目的とする。係る目的を達成するために以下の手段を講じた。即ち本発明にかかる表示装置は、画素アレイ部とこれを駆動する駆動部とからなり、前記画素アレイ部は、行状の走査線と、列状の信号線と、これらが交差する部分に配された行列状の画素と、各画素に給電する電源ライン及び接地ラインとを備え、前記駆動部は、各走査線に順次制御信号を供給して画素を行単位で線順次走査するスキャナを備え、前記画素は、少なくとも発光素子と、サンプリングトランジスタと、ドライブトランジスタと、画素容量とを含み、前記サンプリングトランジスタは、そのゲートが該走査線に接続し、そのソース/ドレインの一方が該信号線に接続し、他方が該ドライブトランジスタのゲートに接続し、前記ドライブトランジスタ及び前記発光素子は該電源ラインと接地ラインとの間で直列に接続して電流路を形成し、前記画素容量は、該ドライブトランジスタのゲートと該発光素子の間に接続しており、前記スキャナが供給する制御信号において該サンプリングトランジスタをオフする際の波形に傾斜をもつ。

20

実施態様では、前記サンプリングトランジスタをオフする際の制御信号の波形に傾斜をもたせることで、該画素容量に保持された輝度レベルが高い画素のサンプリングトランジスタほどオフする時間を早くする。又一態様では、前記スキャナは、制御信号の波形に傾斜をつける際、少なくとも二段階に分けて初めに傾斜を急にし後で傾斜をなだらかにする。好ましくは、前記駆動部は、制御信号の波形の元になる電源パルス生成して該スキャナに供給する電源パルス生成回路を含み、前記スキャナは、順次該電源パルスからその波形を取り出し、制御信号の波形として各走査線に供給する。実施態様では、前記サンプリングトランジスタは、該走査線から供給された制御信号に応じてオンした後その波形に応じてオフし、オンしてからオフするまでの間に、該信号線から供給された映像信号をサンプリングし該輝度レベルとして該画素容量に保持し、前記ドライブトランジスタは、該画素容量に保持された映像信号に応じて駆動電流を該電流路を通して該発光素子に流し、該輝度レベルで発光させる。

30

40

【0010】

又本発明にかかる表示装置は、画素アレイ部とこれを駆動する駆動部とからなり、前記画素アレイ部は、行状の走査線と、列状の信号線と、これらが交差する部分に配された行列状の画素と、各画素に給電する電源ライン及び接地ラインとを備え、前記駆動部は、各走査線に順次制御信号を供給して画素を行単位で線順次走査するスキャナを備え前記画素は、少なくとも発光素子と、サンプリングトランジスタと、ドライブトランジスタと、画素容量とを含み、前記サンプリングトランジスタは、そのゲートが該走査線に接続し、そのソース/ドレインの一方が該信号線に接続し、他方が該ドライブトランジスタのゲートに接続し、前記ドライブトランジスタ及び前記発光素子は該電源ラインと接地ラインとの

50

間で直列に接続して電流路を形成し、前記画素容量は、該ドライブトランジスタのゲートと該発光素子の間に接続しており、該走査線に該制御信号を印加して該サンプリングトランジスタをオンして映像信号を該画素容量に保持した後に該サンプリングトランジスタがオフする際、該信号線から供給される映像信号の輝度レベルが高いときほどサンプリングトランジスタがオフする時間が早くなる。

【発明の効果】

【0011】

本発明によれば、信号電位を画素容量にサンプリングしている期間（サンプリング期間）の一部を利用して、ドライブトランジスタの移動度の補正を行っている。具体的には、サンプリング期間の後半で、スイッチングトランジスタをオンして電流路を導通状態にして、ドライブトランジスタに駆動電流を流す。この駆動電流はサンプリングされた信号電位に応じた大きさである。この段階では発光素子が逆バイアス状態にあり、駆動電流は発光素子流れずその寄生容量や画素容量に充電されていく。このあとサンプリングパルスが立下り、ドライブトランジスタのゲートが信号線から切り離される。このスイッチングトランジスタがオンしてからサンプリングトランジスタがオフするまでの補正期間に、画素容量に対してドライブトランジスタから駆動電流が負帰還され、その分が画素容量にサンプリングされた信号電位から差し引かれる。この負帰還量はドライブトランジスタの移動度のばらつきを抑制する方向に働くので、画素ごとの移動度補正が行える。すなわちドライブトランジスタの移動度が大きいと、画素容量に対する負帰還量が大きくなり、画素容量に保持された信号電位が大きく減らされ、結果的にドライブトランジスタの出力電流が抑制される。これに対し、ドライブトランジスタの移動度が小さいと、負帰還量も小さくなり、画素容量に保持された信号電位はあまり影響を受けない。したがってドライブトランジスタの出力電流もあまり下がることがない。ここで、負帰還量は信号線から直接ドライブトランジスタのゲートに印加される信号電位に応じたレベルとなる。すなわち、信号電位が高く輝度が大きくなるほど、負帰還量は大きくなる。このように、移動度補正は輝度レベルに応じて行われる。

【0012】

しかしながら、輝度が高い場合と輝度が低い場合とでは、必ずしも最適な補正期間は同じではない。一般に、輝度が高レベル（白レベル）の時最適補正期間は比較的短く、逆に輝度が中間レベル（グレーレベル）の時、最適補正期間は長くなる傾向にある。本発明は、輝度レベルに応じて補正期間が自動的に最適化されるようにしている。すなわち本発明はスイッチングトランジスタがオンする第一タイミングに対して、サンプリングトランジスタがオフする第二タイミングを信号電位に応じて自動的に調整している。具体的には、信号線から供給される映像信号の信号電位が高い時補正期間が短くなる一方、信号線に供給される映像信号の信号電位が低い時補正期間が長くなるように、適応制御している。これにより、信号電位に応じて補正期間を最適に可変制御することが可能である。係る構成により、画面のユニフォームティを一層改善することができる。

【発明を実施するための最良の形態】

【0013】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明に係る表示装置の全体構成を示す模式的なブロック図である。図示する様に、本画像表示装置は基本的に画素アレイ部1と、スキャナ部及び信号部を含む駆動部とで構成されている。画素アレイ部1は、行状に配された走査線WS、走査線AZ1、走査線AZ2及び走査線DSと、列状に配された信号線SLと、これらの走査線WS、AZ1、AZ2、DS及び信号線SLに接続した行列状の画素回路2と、各画素回路2の動作に必要な第1電位Vss1、第2電位Vss2及び第3電位Vccを供給する複数の電源線とからなる。信号部は水平セレクト3からなり、信号線SLに映像信号を供給する。スキャナ部は、ライトスキャナ4、ドライブスキャナ5、第一補正用スキャナ71及び第二補正用スキャナ72からなり、それぞれ走査線WS、走査線DS、走査線AZ1及び走査線AZ2に制御信号を供給して順次行毎に画素回路を走査する。

【 0 0 1 4 】

ここで、ライトスキャナ 4 はシフトレジスタで構成されており、外部から供給されるクロック信号 $W S C K$ に応じて動作し、同じく外部から供給されるスタート信号 $W S S T$ を順次転走して各走査線 $W S$ に出力している。その際、同じく外部から供給される電源パルス $W S P$ を利用して、制御信号 $W S$ の立下り波形を生成している。ドライブスキャナ 5 もシフトレジスタからなり、外部から供給されるクロック信号 $D S C K$ に応じて動作し、同じく外部から供給されるスタート信号 $D S S T$ を順次転送することで、制御信号 $D S$ を各走査線 $D S$ に順次出力している。

【 0 0 1 5 】

図 2 は、図 1 に示した画像表示装置に組み込まれる画素回路の構成例を示す回路図である。図示する様に画素回路 2 は、サンプリングトランジスタ $T r 1$ と、ドライブトランジスタ $T r d$ と、第 1 スイッチングトランジスタ $T r 2$ と、第 2 スイッチングトランジスタ $T r 3$ と、第 3 スイッチングトランジスタ $T r 4$ と、画素容量 $C s$ と、発光素子 $E L$ とを含む。サンプリングトランジスタ $T r 1$ は、所定のサンプリング期間に走査線 $W S$ から供給される制御信号に応じ導通して信号線 $S L$ から供給された映像信号の信号電位を画素容量 $C s$ にサンプリングする。画素容量 $C s$ は、サンプリングされた映像信号の信号電位に応じてドライブトランジスタ $T r d$ のゲート G に入力電圧 $V g s$ を印加する。ドライブトランジスタ $T r d$ は、入力電圧 $V g s$ に応じた出力電流 $I d s$ を発光素子 $E L$ に供給する。発光素子 $E L$ は、所定の発光期間中ドライブトランジスタ $T r d$ から供給される出力電流 $I d s$ により映像信号の信号電位に応じた輝度で発光する。

【 0 0 1 6 】

第 1 スイッチングトランジスタ $T r 2$ は、サンプリング期間に先立ち走査線 $A Z 1$ から供給される制御信号に応じ導通してドライブトランジスタ $T r d$ のゲート G を第 1 電位 $V s s 1$ に設定する。第 2 スイッチングトランジスタ $T r 3$ は、サンプリング期間に先立ち走査線 $A Z 2$ から供給される制御信号に応じ導通してドライブトランジスタ $T r d$ のソース S を第 2 電位 $V s s 2$ に設定する。第 3 スイッチングトランジスタ $T r 4$ は、サンプリング期間に先立ち走査線 $D S$ から供給される制御信号に応じ導通してドライブトランジスタ $T r d$ を第 3 電位 $V c c$ に接続し、以ってドライブトランジスタ $T r d$ の閾電圧 $V t h$ に相当する電圧を画素容量 $C s$ に保持させて閾電圧 $V t h$ の影響を補正する。さらにこの第 3 スイッチングトランジスタ $T r 4$ は、発光期間に再び走査線 $D S$ から供給される制御信号に応じ導通してドライブトランジスタ $T r d$ を第 3 電位 $V c c$ に接続して出力電流 $I d s$ を発光素子 $E L$ に流す。

【 0 0 1 7 】

以上の説明から明らかな様に、本画素回路 2 は、5 個のトランジスタ $T r 1$ ないし $T r 4$ 及び $T r d$ と 1 個の画素容量 $C s$ と 1 個の発光素子 $E L$ とで構成されている。トランジスタ $T r 1 \sim T r 3$ と $T r d$ は N チャネル型のポリシリコン T F T である。トランジスタ $T r 4$ のみ P チャネル型のポリシリコン T F T である。但し本発明はこれに限られるものではなく、N チャネル型と P チャネル型の T F T を適宜混在させることが出来る。発光素子 $E L$ は例えばアノード及びカソードを備えたダイオード型の有機 E L デバイスである。但し本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

【 0 0 1 8 】

図 3 は、図 2 に示した画像表示装置から画素回路 2 の部分のみを取り出した模式図である。理解を容易にするため、サンプリングトランジスタ $T r 1$ によってサンプリングされる映像信号の信号電位 $V s i g$ や、ドライブトランジスタ $T r d$ の入力電圧 $V g s$ 及び出力電流 $I d s$ 、さらには発光素子 $E L$ が有する容量成分 $C o l e d$ などを書き加えてある。以下図 3 に基づいて、本発明にかかる画素回路 2 の動作を説明する。

【 0 0 1 9 】

図 4 は、図 3 に示した画素回路のタイミングチャートである。図 4 を参照して、図 3 に示した本発明にかかる画素回路の動作を具体的に説明する。図 4 は、時間軸 T に沿って各

走査線 WS , $AZ1$, $AZ2$ 及び DS に印加される制御信号の波形を表してある。表記を簡略化する為、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタ $Tr1$, $Tr2$, $Tr3$ は N チャンネル型なので、走査線 WS , $AZ1$, $AZ2$ がそれぞれハイレベルの時オンし、ローレベルの時オフする。一方トランジスタ $Tr4$ は P チャンネル型なので、走査線 DS がハイレベルの時オフし、ローレベルの時オンする。なおこのタイミングチャートは、各制御信号 WS , $AZ1$, $AZ2$, DS の波形と共に、ドライブトランジスタ Trd のゲート G の電位変化及びソース S の電位変化も表してある。

【 0 0 2 0 】

図 4 のタイミングチャートではタイミング $T1 \sim T8$ までを 1 フィールド ($1f$) としてある。1 フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1 行分の画素に印加される各制御信号 WS , $AZ1$, $AZ2$, DS の波形を表してある。

10

【 0 0 2 1 】

当該フィールドが始まる前のタイミング $T0$ で、全ての制御線号 WS , $AZ1$, $AZ2$, DS がローレベルにある。したがって N チャンネル型のトランジスタ $Tr1$, $Tr2$, $Tr3$ はオフ状態にある一方、 P チャンネル型のトランジスタ $Tr4$ のみオン状態である。したがってドライブトランジスタ Trd はオン状態のトランジスタ $Tr4$ を介して電源 Vc に接続しているので、所定の入力電圧 Vgs に応じて出力電流 Ids を発光素子 EL に供給している。したがってタイミング $T0$ で発光素子 EL は発光している。この時ドライブトランジスタ Trd に印加される入力電圧 Vgs は、ゲート電位 (G) とソース電位 (S) の差で表される。

20

【 0 0 2 2 】

当該フィールドが始まるタイミング $T1$ で、制御信号 DS がローレベルからハイレベルに切り替わる。これによりトランジスタ $Tr4$ がオフし、ドライブトランジスタ Trd は電源 Vc から切り離されるので、発光が停止し非発光期間に入る。したがってタイミング $T1$ に入ると、全てのトランジスタ $Tr1 \sim Tr4$ がオフ状態になる。

【 0 0 2 3 】

タイミング $T1$ のあとタイミング $T21$ で制御信号 $AZ2$ が立上り、スイッチングトランジスタ $Tr3$ がオンする。これにより、ドライブトランジスタ Trd のソース (S) は所定の電位 $Vss2$ に初期化される。続いてタイミング $T22$ で制御信号 $AZ1$ が立ち上がり、スイッチングトランジスタ $Tr2$ がオンする。これによりドライブトランジスタ Trd のゲート電位 (G) が所定の電位 $Vss1$ に初期化される。この結果、ドライブトランジスタ Trd のゲート G が基準電位 $Vss1$ に接続し、ソース S が基準電位 $Vss2$ に接続される。ここで $Vss1 - Vss2 > Vth$ を満たしており、 $Vss1 - Vss2 = Vgs > Vth$ とする事で、その後タイミング $T3$ で行われる Vth 補正の準備を行う。換言すると期間 $T21 - T3$ は、ドライブトランジスタ Trd のリセット期間に相当する。また、発光素子 EL の閾電圧を $VthEL$ とすると、 $VthEL > Vss2$ に設定されている。これにより、発光素子 EL にはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行う Vth 補正動作及び移動度補正動作を正常に行うために必要である。

30

40

【 0 0 2 4 】

タイミング $T3$ では制御信号 $AZ2$ をローレベルにした後、制御信号 DS をローレベルにしている。これによりトランジスタ $Tr3$ がオフする一方トランジスタ $Tr4$ がオンする。この結果ドレイン電流 Ids が画素容量 Cs に流れ込み、 Vth 補正動作を開始する。この時ドライブトランジスタ Trd のゲート G は $Vss1$ に保持されており、ドライブトランジスタ Trd がカットオフするまで電流 Ids が流れる。カットオフするとドライブトランジスタ Trd のソース電位 (S) は $Vss1 - Vth$ となる。ドレイン電流がカットオフした後のタイミング $T4$ で制御信号 DS を再びハイレベルに戻し、スイッチングトランジスタ $Tr4$ をオフする。さらに制御信号 $AZ1$ もローレベルに戻し、スイッチングトランジスタ $Tr2$ もオフする。この結果、画素容量 Cs に Vth が保持固定される。

50

この様にタイミング $T_3 - T_4$ はドライブトランジスタ T_{rd} の閾電圧 V_{th} を検出する期間である。ここでは、この検出期間 $T_3 - T_4$ を V_{th} 補正期間と呼んでいる。

【0025】

この様に V_{th} 補正を行った後タイミング T_5 で制御信号 WS をハイレベルに切り替え、サンプリングトランジスタ T_{r1} をオンして映像信号の信号電位 V_{sig} を画素容量 C_s に書き込む。発光素子 EL の等価容量 C_{oled} に比べて画素容量 C_s は十分に小さい。この結果、映像信号の信号電位 V_{sig} のほとんど大部分が画素容量 C_s に書き込まれる。正確には、 V_{ss1} に対する、 V_{sig} の差分 $V_{sig} - V_{ss1}$ が画素容量 C_s に書き込まれる。したがってドライブトランジスタ T_{rd} のゲート G とソース S 間の電圧 V_{gs} は、先に検出保持された V_{th} と今回サンプリングされた $V_{sig} - V_{ss1}$ を加えたレベル ($V_{sig} - V_{ss1} + V_{th}$) となる。以降説明簡易化の為 $V_{ss1} = 0V$ とすると、ゲート/ソース間電圧 V_{gs} は図4のタイミングチャートに示すように $V_{sig} + V_{th}$ となる。かかる映像信号の信号電位 V_{sig} のサンプリングは制御信号 WS がローレベルに戻るタイミング T_7 まで行われる。すなわちタイミング $T_5 - T_7$ がサンプリング期間に相当する。

10

【0026】

サンプリング期間の終了するタイミング T_7 より前のタイミング T_6 で制御信号 DS がローレベルとなりスイッチングトランジスタ T_{r4} がオンする。これによりドライブトランジスタ T_{rd} が電源 V_{cc} に接続されるので、画素回路は非発光期間から発光期間に進む。この様にサンプリングトランジスタ T_{r1} がまだオン状態で且つスイッチングトランジスタ T_{r4} がオン状態に入った期間 $T_6 - T_7$ で、ドライブトランジスタ T_{rd} の移動度補正を行う。即ち本発明では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間 $T_6 - T_7$ で移動度補正を行っている。なお、この移動度補正を行う発光期間の先頭では、発光素子 EL は実際には逆バイアス状態にあるので発光する事はない。この移動度補正期間 $T_6 - T_7$ では、ドライブトランジスタ T_{rd} のゲート G が映像信号の信号電位 V_{sig} のレベルに固定された状態で、ドライブトランジスタ T_{rd} にドレイン電流 I_{ds} が流れる。ここで $V_{ss1} - V_{th} < V_{th}EL$ と設定しておく事で、発光素子 EL は逆バイアス状態におかれる為、ダイオード特性ではなく単純な容量特性を示すようになる。よってドライブトランジスタ T_{rd} に流れる電流 I_{ds} は画素容量 C_s と発光素子 EL の等価容量 C_{oled} の両者を結合した容量 $C = C_s + C_{oled}$ に書き込まれていく。これによりドライブトランジスタ T_{rd} のソース電位 (S) は上昇していく。図4のタイミングチャートではこの上昇分を ΔV で表してある。この上昇分 ΔV は結局画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} から差し引かれる事になるので、負帰還をかけた事になる。この様にドライブトランジスタ T_{rd} の出力電流 I_{ds} を同じくドライブトランジスタ T_{rd} の入力電圧 V_{gs} に負帰還する事で、移動度 μ を補正する事が可能である。なお負帰還量 ΔV は移動度補正期間 $T_6 - T_7$ の時間幅 t を調整する事で最適化可能である。この目的で制御信号 WS の立下りに傾斜が付けられている。

20

30

【0027】

タイミング T_7 では制御信号 WS がローレベルとなりサンプリングトランジスタ T_{r1} がオフする。この結果ドライブトランジスタ T_{rd} のゲート G は信号線 SL から切り離される。映像信号の信号電位 V_{sig} の印加が解除されるので、ドライブトランジスタ T_{rd} のゲート電位 (G) は上昇可能となり、ソース電位 (S) と共に上昇していく。その間画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} は ($V_{sig} - \Delta V + V_{th}$) の値を維持する。ソース電位 (S) の上昇に伴い、発光素子 EL の逆バイアス状態は解消されるので、出力電流 I_{ds} の流入により発光素子 EL は実際に発光を開始する。この時のドレイン電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性式1の V_{gs} に $V_{sig} - \Delta V + V_{th}$ を代入する事で、以下の式2のように与えられる。

40

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - \Delta V)^2 \cdots \text{式2}$$

上記式2において、 $k = (1/2)(W/L)Cox$ である。この特性式2から V_{th} の項がキャンセルされており、発光素子 EL に供給される出力電流 I_{ds} はドライブトラン

50

ンジスタ T_{rd} の閾電圧 V_{th} に依存しない事が分かる。基本的にドレイン電流 I_{ds} は映像信号の信号電位 V_{sig} によって決まる。換言すると、発光素子 E_L は映像信号の信号電位 V_{sig} に応じた輝度で発光する事になる。その際 V_{sig} は帰還量 ΔV で補正されている。この補正量 ΔV は丁度特性式 2 の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、ドレイン電流 I_{ds} は実質的に映像信号の信号電位 V_{sig} のみに依存する事になる。

【0028】

最後にタイミング T_8 に至ると制御信号 D_S がハイレベルとなってスイッチングトランジスタ T_{r4} がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び V_{th} 補正動作、信号電位のサンプリング動作、移動度補正動作及び発光動作が繰り返される事になる。

10

【0029】

図 5 は、移動度補正期間 $T_6 - T_7$ における画素回路 2 の状態を示す回路図である。図示するように、移動度補正期間 $T_6 - T_7$ では、サンプリングトランジスタ T_{r1} 及びスイッチングトランジスタ T_{r4} がオンしている一方、残りのスイッチングトランジスタ T_{r2} 及び T_{r3} がオフしている。この状態でドライブトランジスタ T_{r4} のソース電位 (S) は $V_{ss1} - V_{th}$ である。このソース電位 (S) は発光素子 E_L のアノード電位でもある。前述したように $V_{ss1} - V_{th} < V_{thEL}$ と設定しておく事で、発光素子 E_L は逆バイアス状態におかれ、ダイオード特性ではなく単純な容量特性を示す事になる。よってドライブトランジスタ T_{rd} に流れる電流 I_{ds} は画素容量 C_s と発光素子 E_L の等価容量 C_{oled} との合成容量 $C = C_s + C_{oled}$ に流れ込む事になる。換言すると、ドレイン電流 I_{ds} の一部が画素容量 C_s に負帰還され、移動度の補正が行われる。

20

【0030】

図 6 は上述したトランジスタ特性式 2 をグラフ化したものであり、縦軸に I_{ds} を取り横軸に V_{sig} を取ってある。このグラフの下方に特性式 2 も合わせて示してある。図 6 のグラフは、画素 1 と画素 2 を比較した状態で特性カーブを描いてある。画素 1 のドライブトランジスタの移動度 μ は相対的に大きい。逆に画素 2 に含まれるドライブトランジスタの移動度 μ は相対的に小さい。この様にドライブトランジスタをポリシリコン薄膜トランジスタなどで構成した場合、画素間で移動度 μ がばらつく事は避けられない。例えば両画素 1, 2 に同レベルの映像信号の信号電位 V_{sig} を書き込んだ場合、何ら移動度の補正を行わないと、移動度 μ の大きい画素 1 に流れる出力電流 $I_{ds1'}$ は、移動度 μ の小さい画素 2 に流れる出力電流 $I_{ds2'}$ に比べて大きな差が生じてしまう。この様に移動度 μ のばらつきに起因して出力電流 I_{ds} の間に大きな差が生じるので、スジムラが発生し画面のユニフォーミティを損なう事になる。

30

【0031】

そこで本発明では出力電流を入力電圧側に負帰還させる事で移動度のばらつきをキャンセルしている。先のトランジスタ特性式 1 から明らかなように、移動度が大きいとドレイン電流 I_{ds} が大きくなる。したがって負帰還量 ΔV は移動度が大きいほど大きくなる。図 6 のグラフに示すように、移動度 μ の大きな画素 1 の負帰還量 ΔV_1 は移動度の小さな画素 2 の負帰還量 ΔV_2 に比べて大きい。したがって、移動度 μ が大きいほど負帰還が大きくなる事となって、ばらつきを抑制する事が可能である。図示するように、移動度 μ の大きな画素 1 で ΔV_1 の補正をかけると、出力電流は $I_{ds1'}$ から I_{ds1} まで大きく下降する。一方移動度 μ の小さな画素 2 の補正量 ΔV_2 は小さいので、出力電流 $I_{ds2'}$ は I_{ds2} までそれ程大きく下降しない。結果的に、 I_{ds1} と I_{ds2} は略等しくなり、移動度のばらつきがキャンセルされる。この移動度のばらつきのキャンセルは黒レベルから白レベルまで V_{sig} の全範囲で行われるので、画面のユニフォーミティは極めて高くなる。以上をまとめると、移動度の異なる画素 1 と 2 があった場合、移動度の大きい画素 1 の補正量 ΔV_1 は移動度の小さい画素 2 の補正量 ΔV_2 に対して小さくなる。つまり移動度が大きいほど ΔV が大きく I_{ds} の減少値は大きくなる。これにより移動度の異なる画素電流値は均一化され、移動度のばらつきを補正する事ができる。

40

50

【 0 0 3 2 】

以下参考の為、上述した移動度補正の数値解析を行う。図 5 に示したように、トランジスタ $T r 1$ 及び $T r 4$ がオンした状態で、ドライブトランジスタ $T r d$ のソース電位を変数 V に取って解析を行う。ドライブトランジスタ $T r d$ のソース電位 (S) を V とすると、ドライブトランジスタ $T r d$ を流れるドレイン電流 I_{ds} は以下の式 3 に示す通りである。

【数 1】

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2 \quad \text{式3}$$

10

【 0 0 3 3 】

またドレイン電流 I_{ds} と容量 $C (= C_s + C_{oled})$ の関係により、以下の式 4 に示す様に $I_{ds} = dQ / dt = C dV / dt$ が成り立つ。

【数 2】

$$\begin{aligned} I_{ds} &= \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{より} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{式4} \\ \Leftrightarrow \int_0^t \frac{1}{C} dt &= \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV \\ \Leftrightarrow \frac{k\mu}{C} t &= \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}} \\ \Leftrightarrow V_{sig} - V_{th} - V &= \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \end{aligned}$$

20

【 0 0 3 4 】

式 4 に式 3 を代入して両辺積分する。ここで、ソース電圧 V 初期状態は $-V_{th}$ であり、移動度ばらつき補正時間 ($T_6 - T_7$) を t とする。この微分方程式を解くと、移動度補正時間 t に対する画素電流が以下の数式 5 のように与えられる。

【数 3】

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \text{式5}$$

30

【 0 0 3 5 】

ところで最適な移動度補正時間 t は画素の輝度レベル (映像信号の信号電位 V_{sig}) によって異なる傾向がある。この点につき、図 7 を参照して説明する。図 7 のグラフは、横軸に移動度補正時間 t ($T_7 - T_6$) をとり、縦軸に輝度 (信号電位) をとっている。高輝度 (ホワイト階調) の場合、移動度大のドライブトランジスタと移動度小のドライブトランジスタとで、移動度補正時間を t_1 に取った時、ちょうど輝度レベルが等しくなる。すなわち入力信号電位がホワイト階調の時は、移動度補正時間 t_1 が最適補正時間となる。一方信号電位が中間輝度 (グレー階調) の時、移動度補正時間 t_1 では移動度大のトランジスタと移動度小のトランジスタで輝度に差があり、完全な補正はできない。 t_1 より長い補正時間 t_2 を確保すると、ちょうど移動度大と移動度小のトランジスタで輝度が同レベルとなる。したがって信号電位がグレー階調のとき、最適補正時間 t_2 はホワイト階調の時の最適補正時間 t_1 よりも長くなる。

40

50

【 0 0 3 6 】

仮に輝度レベルによらず移動度補正時間 t を固定すると、全階調で完全に移動度補正を行うことができなくなり、スジムラが生じる。たとえば移動度補正時間 t を白階調の最適補正期間 t_1 にあわせると、入力映像信号がグレー階調の時スジが画面に残る。逆にグレー階調の最適補正期間 t_2 に固定すると、映像信号が白階調のとき画面にスジムラが現れる。すなわち移動度補正時間 t を固定すると、白からグレー階調まですべての階調に渡って移動度ばらつきを同時に補正することはできない。

【 0 0 3 7 】

そこで本発明は入力映像信号のレベルに応じて移動度補正期間を最適に自動調整可能にしている。この点につき、図 8 を参照して詳細に説明する。図 8 はスイッチングトランジスタ Tr_4 のゲートに印加される制御信号 DS の立下り波形をあらわしている。本実施形態の場合、スイッチングトランジスタ Tr_4 は P チャネル型なので、制御信号 DS が立ち下がった時点 (T_6) でトランジスタ Tr_4 はオンする。このタイミング T_6 が前述したように移動度補正期間の開始時期となる。制御信号 DS とあわせて制御信号 WS の立下り波形も示してある。この制御信号 WS はサンプリングトランジスタ Tr_1 のゲートに印加される。前述したように本実施形態ではサンプリングトランジスタ Tr_1 が N チャネル型なので、制御信号 WS が立ち下がった時点 T_7 でサンプリングトランジスタ Tr_1 がオフし移動度補正期間が終わる。

【 0 0 3 8 】

本発明の特徴事項として制御信号 WS の波形をオフする際に、最初適当な電位まで急峻に波形を落とし、そこから最終電位までなまらせてパルスを落としている。これにより所望の電位で決まる階調を境として二以上の移動度補正期間を設けることができる。説明の都合上、急峻に落とした最初の電圧を $1st$ 電圧、なまらせて落とした最終電位を $2nd$ 電圧と呼ぶことにする。ここでモデルとして、制御信号 WS の波形を、 $1st$ 電圧 = 8 V、 $2nd$ 電圧 = 4 V として動作を考える。またサンプリングトランジスタ Tr_1 の閾電圧を $V_{th}(Tr_1) = 2 V$ とする。

【 0 0 3 9 】

白階調 $V_{sig1} = 8 V$ を書き込んだ場合、サンプリングトランジスタ Tr_1 は制御信号 WS が $V_{sig1} + V_{th}(Tr_1) = 10 V$ まで下がった時点 T_7 でカットオフする。即ちサンプリングトランジスタ Tr_1 のソースに対して信号線から $V_{sig} = 8 V$ が印加されたとき、サンプリングトランジスタ Tr_1 のゲート電位がソース電位より閾電圧 2 V だけ高いところで、サンプリングトランジスタ Tr_1 はカットオフする。このようにして白階調の場合、制御信号 DS オンタイミング T_6 から制御信号 WS が $1st$ 電圧まで急峻に立ち下がるまでのポイント T_7 までで、移動度補正期間 $t_1 = T_7 - T_6$ が決まる。

【 0 0 4 0 】

一方グレー階調 $V_{sig2} = 4 V$ を書き込んだ場合、サンプリングトランジスタ Tr_1 のカットオフ電圧は $V_{sig2} + V_{th}(Tr_1) = 6 V$ となる。制御信号 WS がカットオフ電圧の 6 V まで下がる時点はタイミング T_7' である。グレー階調の場合、制御信号 DS のオンタイミング T_6 から、 WS 波形オフの $1st$ 電圧から $2nd$ 電圧までの間のなまらせているポイント T_7' で補正時間 t_2 が決まる。すなわち白階調の時の補正時間 t_1 よりもグレー階調の時の補正期間 t_2 は長く取れることになる。

【 0 0 4 1 】

さらに低階調、たとえば $V_{sig} = 3 V$ としたとき、同様にサンプリングトランジスタ Tr_1 のカットオフ電圧は 5 V となり、波形がなまっているためカットオフタイミング T_7' はさらに後方にずれ、移動度補正時間が長くなる。このように低階調になるほど移動度補正時間 t をより長く取ることができる駆動方式である。

【 0 0 4 2 】

このように白階調の最適補正時間 t_1 に合わせて制御信号 DS のオンから制御信号の WS オフの最初の急峻に $1st$ 電圧に落とすまでの時間 T_7 を設定し、もって白階調の補正時間を最適化している。白階調で確実に急峻なポイントでサンプリングトランジスタ Tr

10

20

30

40

50

1 がカットオフするようにその閾電圧 $V_{th}(Tr1)$ を考慮して、 $1st$ 電圧を設定すればよい。また、低階調に関しては各階調で最適な補正時間 t_2 を見つけ出し、それに合わせて $2nd$ 電圧を設定するとともに制御信号 WS の立下り波形のなまり具合を決めることで、対応できる。このようにして高階調から低階調までそれぞれのレベルに合った最適補正時間 t を自動的に調整し、これにより移動度のばらつきをキャンセルすることで全階調においてスジムラをなくすことが可能になる。

【0043】

以下、図8に示した制御信号 WS の立下り波形の生成方法につきその実施例を詳細に説明する。図9は、本実施例の全体構成を示すブロック図である。本実施例に係る表示装置は、ガラス板などからなるパネル0で構成されている。このパネル0の中央に画素アレイ部1が集積形成されている。パネル0の周辺には駆動部の一部となるライトスキャナ4、ドライブスキャナ5、補正用スキャナ7などが形成されている。なお水平セクタは図示していないが、スキャナ類と同様にパネル0上に搭載することができる。あるいは、パネル0とは別に外付けの水平セクタを用いてもよい。

10

【0044】

図10は、図9に示したライトスキャナ4の一段分を示す模式的な回路図である。この一段分は画素アレイ部1に形成された走査線の一行分に対応している。ただし、図10の例は、実施例ではなく参考例であって、従来のように矩形の制御パルス WS を出力する場合である。図示するように、ライトスキャナ4の一段分は、シフトレジスタ S/R 、2個の中間バッファ、レベルシフタ L/V 、及び1個の出力バッファの直列接続からなる。最終の出力バッファにはライトスキャナ4の電源電圧 $WSV_{dd}(18V)$ が供給されている。このライトスキャナは、前段から転送されてきた入力波形 IN をシフトレジスタで一段分だけ遅延したあと、中間バッファを介してレベルシフタ L/V に供給し、最終の出力バッファを駆動するのに適した電圧レベルに変換する。この出力バッファは入力波形 IN を反転した出力波形 OUT を生成し、対応する走査線 WS に供給する。この出力波形は矩形波であり、高レベルが WSV_{dd} で基準レベルが WSV_{ss} となっている。この出力波形 OUT は、立下りが垂直であるため、移動度補正期間は固定になる。

20

【0045】

図11は、本実施例のライトスキャナの一段分を表している。理解を容易にするため、図10に示した参考例のライトスキャナと対応する部分には対応する参照番号を付してある。異なる点は、本実施例が最終の出力バッファに供給する電源電圧 WSV_{dd} をたとえば $18V$ から $5V$ に変化するパルス波形としていることである。この電源パルス WSP は外部のディスクリート回路からパネル0のライトスキャナ4に供給される。その際、電源パルス WSP はあらかじめライトスキャナ4の動作と同期が取れるように、位相調整されている。

30

【0046】

図示するように、前段から矩形パルス IN が当該段に入力されると、シフトレジスタ S/R 、2個の中間バッファ及びレベルシフト L/V を通って、出力バッファのゲートに印加される。これにより出力バッファが開き、出力波形 OUT が対応する走査線に供給される。その際出力バッファがオンしたあと電源電圧ライン WSV_{dd} に電源パルス WSP が印加されるために、出力波形が $18V$ から $5V$ に向かって所定のカーブで立ち下がる。そのあと出力バッファが閉じ、出力波形は WSV_{ss} レベルになる。

40

【0047】

制御信号 WS と組み合わせて移動度補正期間を規程するもうひとつの制御信号 DS については、図10または図11に示す構成のどちらかでその波形を作成することができる。

【0048】

図12は、図11に示したライトスキャナの最終出力バッファの構成例を示す模式的な回路図である。図示するように、この出力バッファ部は一对のPチャネル型トランジスタ TrP とNチャネル型トランジスタ TrN からなり、電源ライン WSV_{dd} と接地ライン WSV_{ss} との間に直列接続されている。トランジスタ TrP 、 TrN の各ゲートには入

50

力波形 I_N が印加される。この入力波形に対してあらかじめ位相調整された電源パルス WSP が WSD に印加される。入力波形 I_N の印加によりトランジスタ TrP が導通したあと電源パルス WSP の立下り波形がトランジスタ TrP によって取り込まれ、出力波形 OUT として画素 2 側の走査線 WS に供給される。なお場合によっては、動作タイミングの関係で、電源パルス WSP の立上がり波形がトランジスタ TrP を通過してしまうことが考えられる。この時には最終バッファの出力段にマスク信号をかけて、電源パルス WSP の後ろ側立ち上がりをカットするようにすればよい。

【0049】

図 13 は、本実施例に係る表示装置の全体構成を示す模式的なブロック図である。パネル 0 は図 9 に示した構成となっており、画素アレイ部のほか、駆動部の一部となる各種スキャナを内蔵している。これに対し駆動部の残りの部分となる外付けの駆動基板 8 とディスクリット回路 9 がパネル 0 に接続されている。駆動基板 8 は PLD からなり、パネル 0 に搭載されたスキャナの動作に必要なクロック信号 WSC 、 $DSCK$ やスタートパルス WSS 、 DSS などを供給する。ディスクリット回路 9 は駆動基板 8 とパネル 0 の間に挿入され、必要な電源パルスを生成する。具体的には駆動基板 8 側から入力波形 I_N の供給を受け、これを波形処理して出力波形 OUT を生成し、パネル 0 側に供給する。このディスクリット回路 9 はトランジスタ、抵抗、容量などのディスクリット素子で構成され、少なくとも電源パルス WSP をライトスキャナの電源ラインに供給する。場合によっては別の電源パルス DSP を、ドライブスキャナ 5 の電源ラインに供給するようにしてもよい。このように、ディスクリット回路 9 で電源パルス WSP 、 DSP を生成し、それぞれパネル 0 側のライトスキャナやドライブスキャナの電源ラインに入れる。パネル 0 とは切り離れた外付けのディスクリット回路 9 で電源パルス波形を生成することで、パネル 0 の個体別に最適な波形やタイミングを作り込むことが可能となり、パネル 0 のスジムラ検査における歩留まりの向上に寄与する。

【0050】

図 14 は、ディスクリット回路 9 のもっとも簡単な構成例を示す回路図である。図示するように、このディスクリット回路 9 は 1 個のトランジスタと 1 個の容量と 3 個の固定抵抗と 2 個の可変抵抗からなり、駆動基板 8 側から供給される入力波形 I_N をアナログ的に処理して、出力波形 OUT をパネル 0 側に供給している。本実施例は矩形の入力波形を処理して、その立下りが 2 段階で折線状に変化する出力波形を生成している。図示するように、この出力波形の立下りは第 1 段階で急激に傾斜し、第 2 段階で緩やかな傾斜に切り替わる。

【0051】

図 15 は、ディスクリット回路 9 のより複雑な構成例を示す回路図である。このディスクリット回路 9 は、図 14 に示した直線的な立下り波形の電源パルス WSP ではなく、曲線的に変化する立下り波形を有する電源パルス WSP を生成し、パネル 0 側に供給している。立下り波形の曲線の形状はタイミング調整用のボリュームにより、自由自在に設定することができる。

【0052】

図 16 は、図 15 に示したディスクリット回路 9 によって生成される電源パルス WSP の波形を表している。これと対応するように、別の電源パルス DSP の波形も表している。なお電源パルス DSP についてはその立下り波形は垂直であって、特に傾斜はつけていない。この場合であっても、電源パルス DSP の立下りタイミング（すなわち駆動用スイッチングトランジスタ $Tr4$ のオンタイミング $T6$ ）は、ディスクリット回路側で自在に調整することができる。

【0053】

図示するように電源パルス WSP は $17.3V$ から $1st$ 電圧まで急激に立ち下がり、そのあと $2nd$ 電圧まで緩やかに立ち下がる。 $1st$ 電圧は $9 \sim 11V$ の間でパネルごとに調整可能である。典型的には $1st$ 電圧は $10V$ に設定する。また $2nd$ 電圧もパネルごとに $2 \sim 6V$ の範囲で調整可能である。典型的には、 $2nd$ 電圧は $5V$ に設定される。

10

20

30

40

50

加えて 1 s t 電圧から 2 n d 電圧までの間の立下り波形は R C 曲線などで作り込むことができる。

【 0 0 5 4 】

ところでディスクリート回路で電源パルス W S P , D S P を作るようにすると、パネルの外部で制御信号 W S , D S の波形を調整することが可能となり、個々のパネルごとに最適なタイミングで動作可能となり、スジムラ検査におけるパネル歩留まりの向上に寄与する。しかしながら外付けのディスクリート回路によって電源パルスを生成するためには、高出力のドライバや電源が必要となり、消費電力の増大や部品コストの増加などのデメリットが発生する。

【 0 0 5 5 】

そこで制御信号 D S については、パネル内部の論理的な処理で生成することが考えられる。以下この実施例を説明する。この実施例は電源パルス D S P をディスクリート回路で生成することによる高消費電力やコスト増のデメリットを解消するために、パネル内の論理回路で制御信号 D S を作り込み、移動度補正期間を設定している。その際制御信号 D S のイネーブル信号を立てることで、移動度補正期間の調整を行うことができるようにしている。このようにパネル内の論理回路でイネーブル信号を立てることにより制御パルス D S を生成することで、低消費電力化及び低コスト化を図ることができる。

【 0 0 5 6 】

図 1 7 は、上述した論理処理機能を有するドライブスキャナ 5 の出力段 1 個分を示す回路図である。図示するように、このドライブスキャナ 5 の出力段は制御信号 W S , D S 1 , D S 2 及びイネーブル信号 D S E N 1 , D S E N 2 を論理処理して、出力波形とするものである。この出力波形は制御信号 D S として対応する行の走査線 D S に出力される。ここで制御信号 W S はライトスキャナ 4 の対応する段のシフトレジスタ S / R に入力される W S パルス ($W S \cdot S / R \cdot i n$) を示している。また、制御信号 D S 1 はドライブスキャナ 5 の当該段のシフトレジスタ S / R に入力する D S パルス ($D S \cdot S / R \cdot i n$) を表している。また制御信号 D S 2 はドライブスキャナ 5 の当該段のシフトレジスタ S / R から出力された D S パルス ($D S \cdot S / R \cdot o u t$) を表している。

【 0 0 5 7 】

図 1 8 は、図 1 7 に示した論理回路に供給される各制御信号及びイネーブル信号と、関連するクロック信号を表した波形図である。この波形図で、上から 5 個までの波形 W S C K , $W S \cdot S / R \cdot i n$, $W S \cdot S / R \cdot o u t$, W S E N , W S n は、主としてライトスキャナ 4 側に関連する制御信号の波形を表している。波形図から明らかなように、ライトスキャナ 4 は基本的にクロック信号 W S C K に応じて動作し、シフトレジスタ S / R で順次スタートパルスを転送して、格段ごとに制御信号 W S n を生成している。なお本発明は、前述したように 1 個の制御信号 W S n を直接対応する走査線 W S n に印加するものではなく、この信号 W S n で電源パルス W S P の立下り部分を抜き取って、対応する走査線に供給するようにしている。

【 0 0 5 8 】

図 1 8 の下方に示す信号 D S C K , $D S \cdot S / R \cdot i n$, $D S \cdot S / R \cdot o u t$, D S E N 1 _ O D D , D E N 1 _ E V E N , D S E N 2 , D S n (O U T) は、主としてドライブスキャナ 5 に関連する信号波形である。

【 0 0 5 9 】

図 1 7 に示した論理回路は、同じく図 1 7 の上部に示した論理式で表される論理処理を行って出力波形 O U T を得ている。この出力波形 O U T は図 1 8 のタイミングチャートの一番下に表されている。図示するようにこの制御信号 D S n は、V t h キャンセル用の補正期間と、移動度 μ 補正期間を規程する部分を含んでいる。そして V t h キャンセル期間はイネーブル信号 D S E N 1 で調整される一方、移動度 μ 補正期間はイネーブル信号 D S E N 2 で調整可能となっている。

【 0 0 6 0 】

以上説明したように、本発明に係る表示装置は、基本的に画素アレイ部 1 とこれを駆動

10

20

30

40

50

する駆動部とから構成されている。画素アレイ部 1 は、行状の第 1 走査線 $W S$ 及び第 2 走査線 $D S$ と、列状の信号線 $S L$ と、これらが交差する部分に配された行列状の画素 2 と、各画素 2 に給電する電源ライン $V c c$ 及び接地ライン $V s s$ とを備えている。駆動部は、第 1 走査線 $W S$ に順次第 1 制御信号 $W S$ を供給して画素 2 を行単位で線順次走査する第 1 スキャナ 4 と、この線順次走査にあわせて各第 2 走査線 $D S$ に順次第 2 制御信号 $D S$ を供給する第 2 スキャナ 5 と、この線順次走査に合せて列状の信号線 $S L$ に映像信号を供給する信号セクタ 3 とを備えている。

【0061】

各画素 2 は、発光素子 $E L$ と、サンプリングトランジスタ $T r 1$ と、ドライブトランジスタ $T r d$ と、スイッチングトランジスタ $T r 4$ と、画素容量 $C s$ とを含む。サンプリングトランジスタ $T r 1$ は、そのゲートが第 1 走査線 $W S$ に接続し、そのソースが信号線 $S L$ に接続し、そのドレインがドライブトランジスタ $T r d$ のゲート G に接続している。ドライブトランジスタ $T r d$ 及び発光素子 $E L$ は電源ライン $V c c$ と接地ラインとの間で直列に接続して電流路を形成している。スイッチングトランジスタ $T r 4$ は、この電流路に挿入されると共に、そのゲートが第 2 走査線 $D S$ に接続している。画素容量 $C s$ は、ドライブトランジスタ $T r d$ のソース S とゲート G との間に接続している。

【0062】

係る構成においてサンプリングトランジスタ $T r 1$ は、第 1 走査線 $W S$ から供給された第 1 制御信号 $W S$ に応じてオンし信号線 $S L$ から供給された映像信号の信号電位 $V s i g$ をサンプリングして画素容量 $C s$ に保持する。スイッチングトランジスタ $T r 4$ は、第 2 走査線 $D S$ から供給された第 2 制御信号 $D S$ に応じオンして前述の電流路を導通状態にする。ドライブトランジスタ $T r d$ は、画素容量 $C s$ に保持された信号電位 $V s i g$ に応じて駆動電流 $I d s$ を導通状態におかれた電流路を通して発光素子 $E L$ に流す。

【0063】

本発明の特徴事項として、駆動部は、第 1 走査線 $W S$ に第 1 制御信号 $W S$ を印加してサンプリングトランジスタ $T r 1$ をオンし信号電位 $V s i g$ のサンプリングを開始した後、第 2 制御信号 $D S$ が第 2 走査線 $D S$ に印加されてスイッチングトランジスタ $T r 4$ がオンする第 1 タイミング $T 6$ から、第 1 走査線 $W S$ に印加された第 1 制御信号 $W S$ が解除されてサンプリングトランジスタ $T r 1$ がオフする第 2 タイミング $T 7$ までの補正期間 t に、ドライブトランジスタ $T r d$ の移動度 μ に対する補正を画素容量 $C s$ に保持された信号電位 $V s i g$ に加え、もって移動度補正を行う。その際駆動部は、信号線 $S L$ に供給される映像信号の信号電位 $V s i g$ が高い時補正期間 t が短くなる一方、信号線 $S L$ に供給される映像信号の信号電位 $V s i g$ が低い時補正期間 t が長くなるよう、自動的に第 2 タイミング $T 7$ を調整する。

【0064】

具体的には駆動部内の第 1 スキャナ 4 は、第 2 タイミング $T 7$ でサンプリングトランジスタ $T r 1$ をオフする時、第 1 制御信号 $W S$ の立下り波形に傾斜を付けることで、信号電位 $V s i g$ が高い時補正期間 t が短くなる一方、信号線 $S L$ に供給される映像信号の信号電位 $V s i g$ が低い時補正期間 t が長くなるよう、自動的に第 2 タイミング $T 7$ を調整する。好ましくは第 1 スキャナ 4 は、第 1 制御信号 $W S$ の立下り波形に傾斜をつける際、少なくとも 2 段階に分けて始めに傾斜を急にし後で傾斜をなだらかにすることで、信号電位 $V s i g$ が高い時と信号電位 $V s i g$ が低い時の両方で補正期間 t を最適化する。

【0065】

各画素 2 は、上述した移動度補正機能に加え、ドライブトランジスタの閾電圧 $V t h$ 補正機能も備えている。即ち画素には、映像信号のサンプリングに先立ってドライブトランジスタ $T r d$ のゲート電位 (G) 及びソース電位 (S) をリセット若しくは初期化する追加のスイッチングトランジスタ $T r 2$, $T r 3$ を含んでいる。第 2 スキャナ 5 は、映像信号のサンプリングに先立って第 2 制御線 $D S$ を介してスイッチングトランジスタ $T r 4$ を一時的にオンし、もってリセットされたドライブトランジスタ $T r d$ に駆動電流 $I d s$ を流してその閾電圧 $V t h$ に相当する電圧を画素容量 $C s$ に保持しておく。

【 0 0 6 6 】

駆動部はパネルに内蔵される各種スキャナに加え、外付けの電源パルス生成回路（ディスクリート回路）を備えている。この電源パルス生成回路 9 は、第 1 制御信号 W S の立下り波形の元になる第 1 電源パルス W S P を生成してパネル内の第 1 スキャナ 4 に供給する。第 1 スキャナ 4 は順次第 1 電源パルス W S P からその立下り波形を取り出し第 1 制御信号 W S の立下り波形として各第 1 走査線 W S に供給する。

【 0 0 6 7 】

一態様では、電源パルス生成回路 9 は、第 2 制御信号 D S の波形の元になる第 2 電源パルス D S P も生成して、第 2 スキャナ 5 に供給している。第 2 スキャナ 5 は順次第 2 電源パルス D S P からその波形の一部を取り出して第 1 タイミング T 6 における第 2 制御信号 D S の波形として各第 2 走査線 D S に供給する。

10

【 0 0 6 8 】

他の態様では、第 1 スキャナ 4 は電源パルス生成回路 9 から供給される第 1 電源パルス W S P に基づいて補正期間 t の終期を律する第 2 タイミング T 7 における第 1 制御信号 W S の波形を生成する一方、第 2 スキャナ 5 は、内部の論理処理により補正期間 t の始期を律する第 1 タイミング T 6 における第 2 制御信号 D S の波形を生成する。

【 図面の簡単な説明 】

【 0 0 6 9 】

【 図 1 】 本発明に係る表示装置の主要部を示す模式的なブロック図である。

【 図 2 】 本発明に係る表示装置の画素回路構成を示す回路図である。

20

【 図 3 】 本発明に係る表示装置の動作説明に供する模式図である。

【 図 4 】 本発明に係る表示装置の動作説明に供するタイミングチャートである。

【 図 5 】 本発明に係る表示装置の動作説明に供する模式的な回路図である。

【 図 6 】 本発明に係る表示装置の動作説明に供するグラフである。

【 図 7 】 本発明に係る表示装置の動作説明に供するグラフである。

【 図 8 】 本発明に係る表示装置の動作説明に供する波形図である。

【 図 9 】 本発明に係る表示装置の実施例の全体構成を示す模式図である。

【 図 1 0 】 参考例に係るライトスキャナを示す模式図である。

【 図 1 1 】 実施例に係るライトスキャナを示す回路図である。

【 図 1 2 】 実施例に係るライトスキャナの出力段を示す模式図である。

30

【 図 1 3 】 実施例に係る表示装置の全体構成を示すブロック図である。

【 図 1 4 】 図 1 3 に示した実施例に含まれるディスクリート回路の構成例を示す回路図である。

【 図 1 5 】 ディスクリート回路の他の構成例を示す回路図である。

【 図 1 6 】 ディスクリート回路の出力波形を示す波形図である。

【 図 1 7 】 本発明に係る表示装置に含まれるドライブスキャナの構成例を示す回路図である。

【 図 1 8 】 図 1 7 に示したドライブスキャナの動作説明に供するタイミングチャートである。

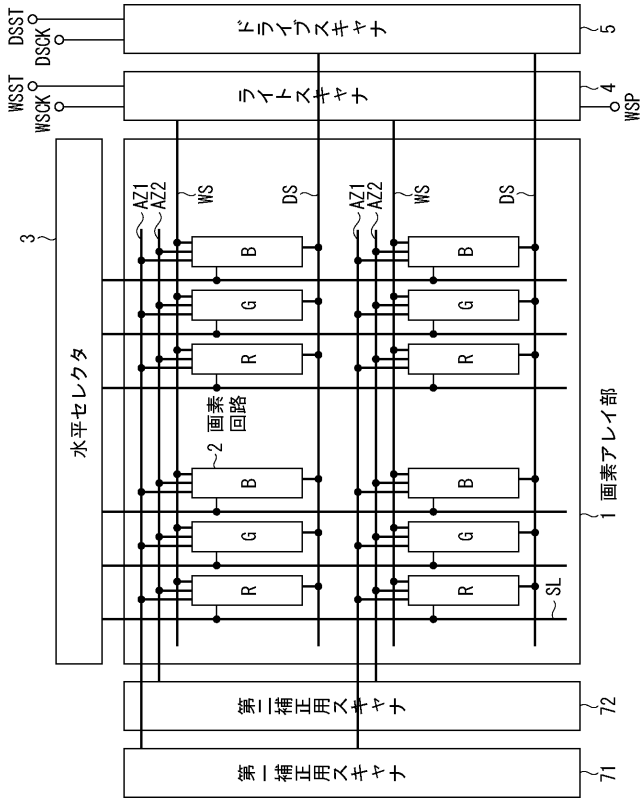
【 符号の説明 】

40

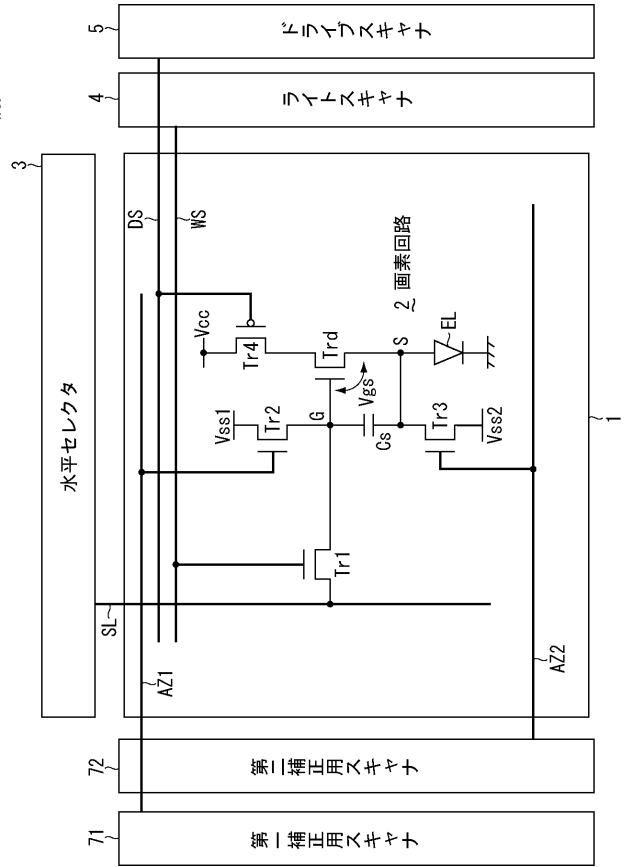
【 0 0 7 0 】

0 パネル、 1 画素アレイ部、 2 画素、 3 水平セレクタ、 4 ライトスキャナ、
5 ドライブスキャナ、 8 駆動基板、 9 ディスクリート回路

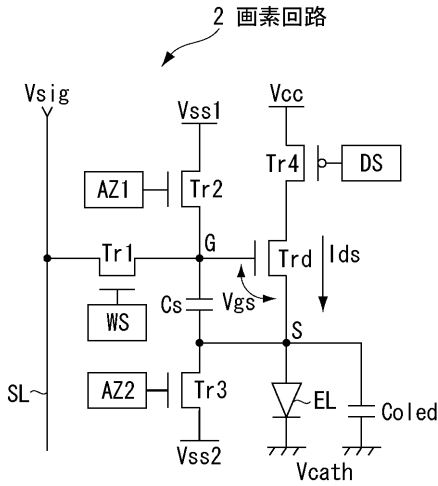
【図 1】



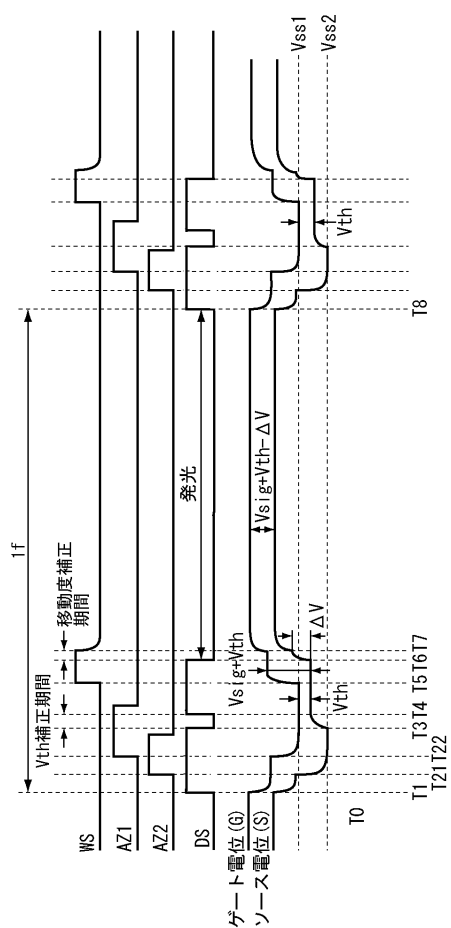
【図 2】



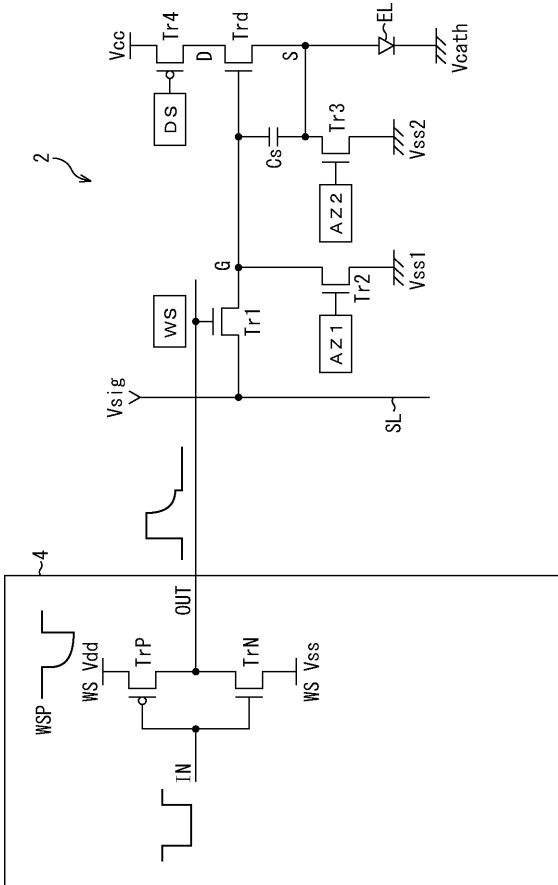
【図 3】



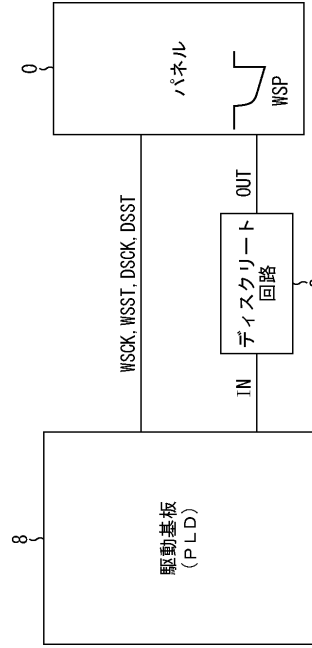
【図 4】



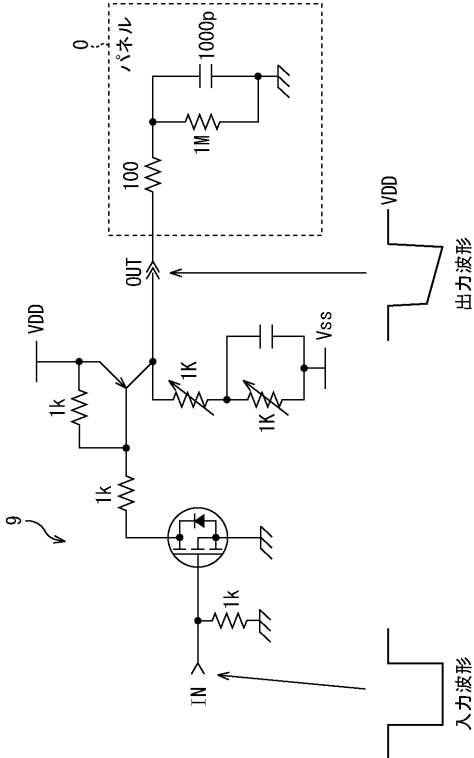
【図 1 2】



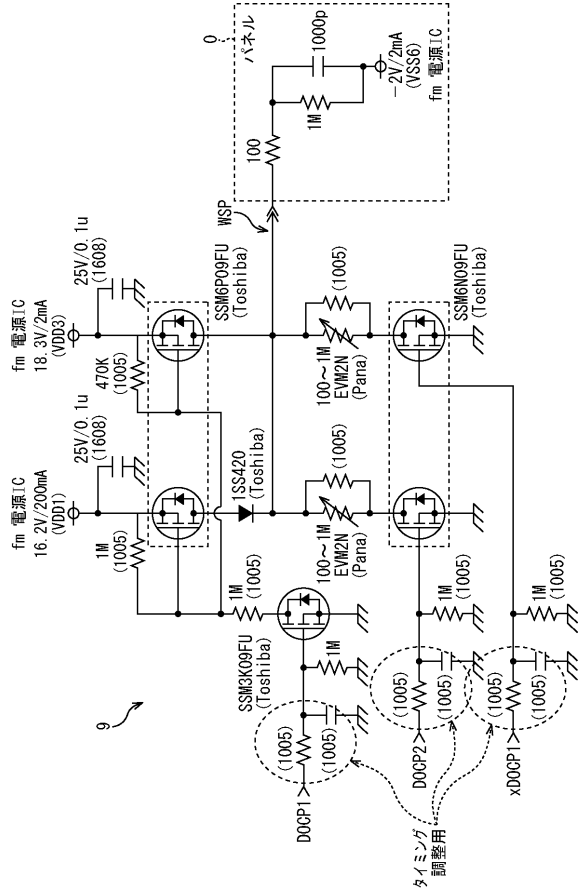
【図 1 3】



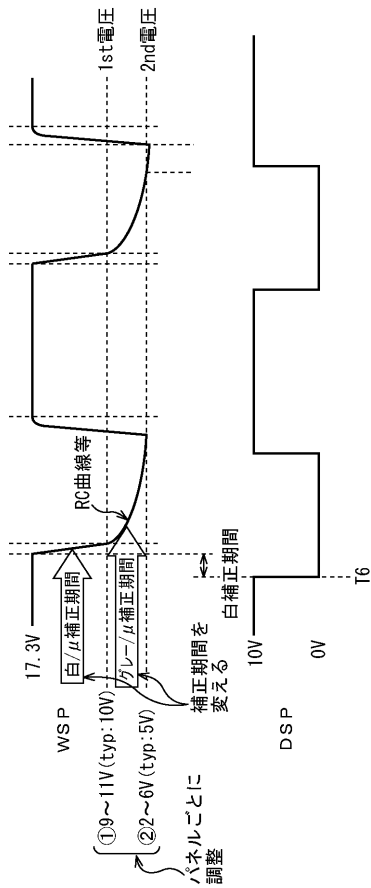
【図 1 4】



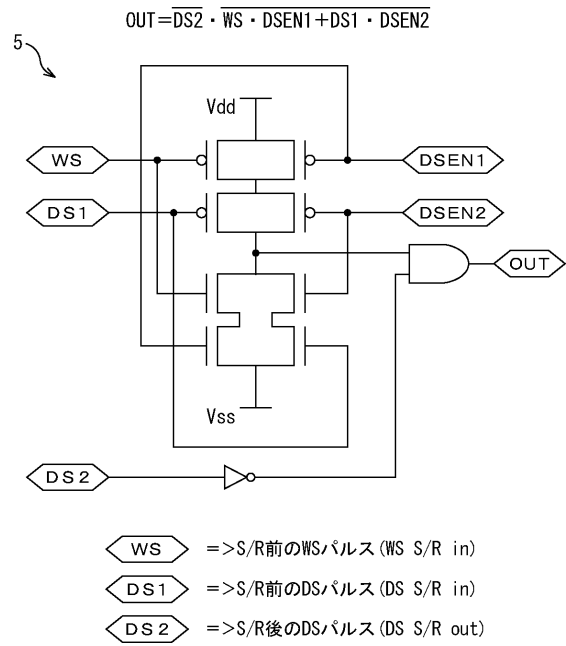
【図 1 5】



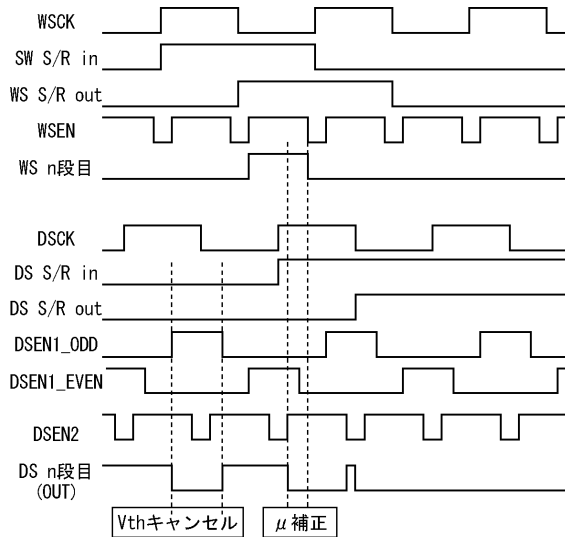
【図 16】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 5 B 33/14 A
G 0 9 G 3/20 6 2 2 C
G 0 9 G 3/20 6 2 3 C

F ターム(参考) 5C080 AA06 BB05 CC03 DD05 EE29 EE30 FF11 JJ02 JJ03 JJ04
JJ05 JJ06

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2008310352A	公开(公告)日	2008-12-25
申请号	JP2008200404	申请日	2008-08-04
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山下淳一 豊村直史		
发明人	内野 勝秀 山下 淳一 豊村 直史		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.642.A G09G3/20.641.D G09G3/20.624.B G09G3/20.611.H H05B33/14.A G09G3/20.622.C G09G3/20.623.C G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB23 5C380/BA01 5C380/BA11 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB12 5C380/CB14 5C380/CB16 5C380/CB18 5C380/CB26 5C380/CB31 5C380/CB37 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC65 5C380/CC71 5C380/CC77 5C380/CD015 5C380/CD023 5C380/CD025 5C380/CE19 5C380/CF07 5C380/CF22 5C380/CF23 5C380/CF24 5C380/CF31 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA47 5C380/DA50		
其他公开文献	JP2008310352A5 JP5027755B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示装置，其自适应地校正驱动晶体管的移动性以用于像素的亮度水平。解决方案：像素电路2包括发光元件EL，采样晶体管Tr1，驱动晶体管Trd和像素电容Cs。采样晶体管Tr1具有连接到扫描线WS的栅极，并且具有其一侧连接到信号线SL的源极/漏极，并且另一侧连接到驱动晶体管Trd的栅极。驱动晶体管Trd和发光元件EL在电源线Vcc和地线之间彼此串联连接，以形成电流路径。像素电容Cs连接在驱动晶体管Trd的栅极和发光元件EL之间。在通过扫描器提供给扫描线WS的控制信号中，当采样晶体管Tr1截止时，波形被赋予倾斜，因此，在采样晶体管中，由采样晶体管保持的像素的亮度等级越高。像素电容Cs越快变为关闭时间。Ž

