

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-46251

(P2004-46251A)

(43) 公開日 平成16年2月12日(2004.2.12)

(51) Int.Cl.⁷

G09G 3/30

G09G 3/20

H05B 33/14

F I

G09G 3/30

J

G09G 3/20

611J

G09G 3/20

621A

G09G 3/20

621M

G09G 3/20

623H

テーマコード(参考)

3K007

5C080

審査請求 有 請求項の数 9 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2003-359383(P2003-359383)

(22) 出願日 平成15年10月20日(2003.10.20)

(62) 分割の表示 特願平6-267244の分割

原出願日 平成6年10月31日(1994.10.31)

(71) 出願人 000003067

TDK株式会社

東京都中央区日本橋1丁目13番1号

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(74) 代理人 100103827

弁理士 平岡 憲一

(74) 代理人 100083297

弁理士 山谷 昭榮

(74) 代理人 100096530

弁理士 今村 辰夫

(72) 発明者 高山 一郎

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 エレクトロルミネセンス表示装置

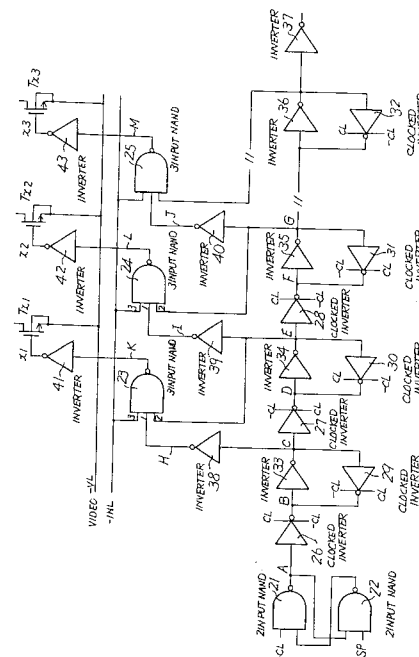
(57) 【要約】

【課題】 選択信号と次の選択信号との間に、信号のオーバーラップ時間をなくすことにより、画質を向上すること。

【解決手段】 同一基板上に形成された表示パネルとシフトレジスタと、複数のエレクトロルミネセンス素子を選択する複数の選択スイッチT_{x1}～T_{x3}と、選択スイッチT_{x1}～T_{x3}を順次駆動する選択信号x₁～x₃を出力する選択信号発生回路と、選択信号x₁～x₃をマスクするマスク信号-I_{NL}発生回路とを備え、選択信号間のオーバーラップ時間をなくすようにした。

【選択図】 図2

本発明の実施の形態の説明図



【特許請求の範囲】

【請求項 1】

ソースまたはドレインの一方が E L 素子と接続され、ゲートが前記トランジスタのソースまたはドレインの一方と接続されているドライブトランジスタとを有する画素がマトリクス状に配列されて構成される表示パネルと、

前記トランジスタと電氣的に接続しているシフトレジスタとを有し、

前記表示パネルと前記シフトレジスタは同一基板上に形成されていることを特徴とするアクティブマトリクス型エレクトロルミネセンス表示装置。

【請求項 2】

ゲートがゲート信号線と接続され、ソースまたはドレインの一方がソース信号線と接続されているトランジスタと、 10

ゲートが前記トランジスタのソースまたはドレインの他方と接続しているドライブトランジスタと、

前記ドライブトランジスタのソースまたはドレインの一方と接続されている E L 素子と

、

前記ドライブトランジスタのソースまたはドレインの他方と接続する E L 電源線と、

を有する画素と、

前記画素がマトリクス状に配列されて構成される表示パネルと、

前記トランジスタと電氣的に接続しているシフトレジスタとを有し、

前記表示パネルと前記シフトレジスタとは、同一基板上に形成されていることを特徴とするアクティブマトリクス型エレクトロルミネセンス表示装置。 20

【請求項 3】

ゲートがゲート信号線と接続され、ソースまたはドレインの一方がソース信号線と接続されているトランジスタと、

ゲートが前記トランジスタのソースまたはドレインの他方と接続しているドライブトランジスタと、

前記ドライブトランジスタのソースまたはドレインの一方と接続されている E L 素子と

、

前記ドライブトランジスタのソースまたはドレインの他方と接続する E L 電源線と、

前記ドライブトランジスタのゲートと前記ドライブトランジスタのソースまたはドレインの他方との間に配置されるコンデンサと、 30

を有する画素と、

前記画素がマトリクス状に配列されて構成される表示パネルと、

前記トランジスタと電氣的に接続しているシフトレジスタとを有し、

前記表示パネルと前記シフトレジスタとは、同一基板上に形成されていることを特徴とするアクティブマトリクス型エレクトロルミネセンス表示装置。

【請求項 4】

ゲートがゲート信号線と接続され、ソースまたはドレインの一方がソース信号線と接続されているトランジスタと、

ゲートが前記トランジスタのソースまたはドレインの他方と接続しているドライブトランジスタと、 40

前記ドライブトランジスタのソースまたはドレインの一方と接続されている E L 素子と

、

前記ドライブトランジスタのソースまたはドレインの他方と接続する E L 電源線と、

前記ドライブトランジスタのゲートと前記 E L 電源線とに接続されるコンデンサと、

を有する画素と、

前記画素がマトリクス状に配列されて構成される表示パネルと、

前記トランジスタと電氣的に接続しているシフトレジスタとを有し、

前記表示パネルと前記シフトレジスタとは、同一基板上に形成されていることを特徴とするアクティブマトリクス型エレクトロルミネセンス表示装置。 50

【請求項 5】

ゲートがゲート信号線と接続され、ソースまたはドレインの一方がソース信号線と接続されているトランジスタと、

ゲートが前記トランジスタのソースまたはドレインの他方と接続しているドライブトランジスタと、

前記ドライブトランジスタのソースまたはドレインの一方と接続されている E L 素子と

、
前記ドライブトランジスタのソースまたはドレインの他方と接続する E L 電源線と、
を有する画素と、

前記画素がマトリクス状に配列されて構成される表示パネルと、

前記ソース信号線を介して前記画素に画像データ信号を入力する選択スイッチと、

前記選択スイッチのゲートに選択信号を出力する論理回路と、

前記論理回路と接続するシフトレジスタとを有し、

前記表示パネル、前記選択スイッチ、前記論理回路、前記シフトレジスタは同一基板上に形成されることを特徴とするアクティブマトリクス型エレクトロルミネセンス表示装置。

10

【請求項 6】

ゲートがゲート信号線と接続され、ソースまたはドレインの一方がソース信号線と接続されているトランジスタと、

ゲートが前記トランジスタのソースまたはドレインの他方と接続しているドライブトランジスタと、

前記ドライブトランジスタのソースまたはドレインの一方と接続されている E L 素子と

、
前記ドライブトランジスタのソースまたはドレインの他方と接続する E L 電源線と、
を有する画素と、

前記画素がマトリクス状に配列されて構成される表示パネルと、

前記ソース信号線を介して前記画素に画像データ信号を入力する選択スイッチと、

前記選択スイッチのゲートに選択信号を出力する論理回路と、

前記論理回路と接続するシフトレジスタとを有し、

前記表示パネル、前記選択スイッチ、前記論理回路、前記シフトレジスタは同一基板上に形成され、

前記論理回路にはマスク信号が入力されることを特徴とするアクティブマトリクス型エレクトロルミネセンス表示装置。

20

30

【請求項 7】

請求項 6 において、前記マスク信号は、ある列の選択信号の立ち下がりと次の列の選択信号の立ち上がりがオーバーラップする期間をマスクすることを特徴とするアクティブマトリクス型エレクトロルミネセンス表示装置。

【請求項 8】

請求項 6 または請求項 7 において、前記マスク信号はマスク信号発生回路から出力されることを特徴とするアクティブマトリクス型エレクトロルミネセンス表示装置。

40

【請求項 9】

請求項 2 乃至請求項 8 のいずれか一において、前記 E L 電源線は前記ゲート信号線と平行に伸びていることを特徴とするアクティブマトリクス型エレクトロルミネセンス表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ（以下、T F T という）を用いてエレクトロルミネセンス（以下、E L という）素子を駆動する E L 表示装置に関する。

【背景技術】

50

【0002】

図5～図6は従来例を示した図である。以下、図面に基づいて従来例を説明する。

【0003】

図5は、従来例のX軸シフトレジスタの説明図である。図5において、ナンド回路21と22は波形整形回路であり、逆位相のクロックCLと低レベル（「L」）のスタートパルス（X軸同期信号）－SPが入力される。また、クロックドインバータ26～32とインバータ33～37はシフトレジスタである。さらに、インバータ38～43とナンド回路44～46は、選択信号x1～x3を出力する論理回路である。

【0004】

クロックCLと逆位相クロック－CLは、一方が高レベル（「H」）の時他方が低レベル（「L」）になる。 10

【0005】

クロックドインバータは、クロックCL入力が「L」で逆位相クロック－CL入力が「H」のときアクティブ状態となり、インバータとして動作し、また逆に、クロックCL入力が「H」で逆位相クロック－CL入力が「L」のときハイインピーダンス状態となるものである。

【0006】

例えば、クロックドインバータ26とクロックドインバータ29とは、クロックCL入力と逆位相クロック入力－CLとが逆に接続されている。このため、クロックドインバータ26がアクティブ状態の時、クロックドインバータ29はハイインピーダンス状態となる。 20

【0007】

図6は、従来例の波形説明図であり、以下、図5のX軸のシフトレジスタの動作を図6の各点の波形に基づいて説明する。

【0008】

（1）波形整形回路の出力であるA点の電位は、スタートパルス－SP（「L」）がない時「H」である。この時、「L」のスタートパルス－SPが入力されると、A点は「L」となる（図6、A参照）。

【0009】

（2）B点は、A点が「L」になる時、クロックドインバータ26はアクティブ状態となるので、「H」となり、次にクロックドインバータ26がハイインピーダンス状態となる時、クロックドインバータ29がアクティブ状態となるので、前記B点の「H」がクロックドインバータ29のアクティブ期間だけ保持される（図6、B参照）。 30

【0010】

（3）C点は、インバータ33によりB点と逆位相の波形となる（図6、C参照）。

【0011】

（4）D点は、クロックドインバータ29と同時にアクティブ状態となるクロックドインバータ27と、インバータ34とクロックドインバータ30による保持回路によりB点より半クロックサイクル遅れた波形となる。

【0012】

（5）E点は、インバータ34によりD点と逆位相の波形となり、C点の波形より半クロックサイクル遅れた波形となる（図6、E参照）。 40

【0013】

（6）F点は、クロックドインバータ30と同時にアクティブ状態となるクロックドインバータ28と、インバータ35とクロックドインバータ31による保持回路によりD点より半クロックサイクル遅れた波形となる。

【0014】

（7）G点は、インバータ35によりF点と逆位相の波形となり、E点の波形より半クロックサイクル遅れた波形となる（図6、G参照）。

【0015】

(8) H点は、インバータ38によりC点の反転信号となる(図6、H参照)。I点は、インバータ39によりE点の反転信号となる(図6、I参照)。また、J点は、インバータ40によりG点の反転信号となる(図6、J参照)。

【0016】

(9) K点は、ナンド回路44の出力であり、ナンド回路44の2つの入力にはH点とE点の信号が入力される。L点は、ナンド回路45の出力であり、ナンド回路45の2つの入力にはI点とG点の信号が入力される。また、M点は、ナンド回路46の出力であり、ナンド回路46の2つの入力にはJ点とインバータ(図示せず)からの信号が入力される。

【0017】

(10) 選択信号x1は、インバータ41によりK点の反転信号となり(図6、x1参照)、この選択信号x1は、Nチャンネルの電界効果トランジスタTx1のゲートに入力される。このため、選択信号x1が「H」となるとトランジスタTx1がオンとなり、そのドレイン、ソース間が導通する。

【0018】

(11) 選択信号x2は、インバータ42によりL点の反転信号となり(図6、x2参照)、この選択信号x2は、Nチャンネルの電界効果トランジスタTx2のゲートに入力される。このため、選択信号x2が「H」となるとトランジスタTx2がオンとなる。

【0019】

(12) 選択信号x3は、インバータ43によりM点の反転信号となり(図6、x3参照)、この選択信号x3は、Nチャンネルの電界効果トランジスタTx3のゲートに入力される。このため、選択信号x3が「H」となるとトランジスタTx3がオンとなる。

【0020】

このようにして、選択信号x1、x2、x3、・・・と順に、半クロックサイクルシフトとした信号が得られる。この選択信号x1～x3の実線の波形は、理想波形であり、現実を選択スイッチであるトランジスタTx1～Tx3のゲートに印加される波形は、回路の容量や抵抗のため点線のように、波形の立上がりと立下がりに時間 ΔT が必要となる。

【発明の開示】

【発明が解決しようとする課題】

【0021】

上記のような従来のものにおいては、次のような課題があった。

【0022】

選択信号x1～x3の現実の波形(図6の点線)は、立上がりと立下がりに、その回路によって決まる時間 ΔT が必要となる。このため、この時間 ΔT の間では、例えば選択信号x1と次の選択信号x2の出力がオーバーラップする。これにより、この期間で、選択スイッチであるトランジスタTx1とトランジスタTx2が同時にオンとなり、コンデンサc11の画像データ信号-VLが隣りの画素のコンデンサc21に入り込むことになる。このため、EL表示装置の画質が悪くなることがあった。

【0023】

本発明は、選択信号と次の選択信号との間にマスク期間を設け、選択信号間のオーバーラップをなくすことにより、EL表示装置の画質を向上することを目的とする。

【課題を解決するための手段】

【0024】

本発明は、上記の課題を解決するため次のように構成した。

【0025】

図2は、本発明の実施の形態の説明図であり、X軸シフトレジスタである選択信号発生回路構成を示す。図2において、ナンド回路21と22は、波形整形回路であり、逆位相のクロック-CLと「L」のスタートパルス-SPが入力される。また、クロックドインバータ26～32とインバータ33～37は、シフトレジスタである。さらに、インバータ38～43と3入力ナンド回路23～25は、X軸の選択信号x1～x3を出力する論

10

20

30

40

50

理回路である。マスク信号発生回路からのマスク信号－I N Lは、3入力ナンド回路2 3～2 5の1つの入力に接続され、画像データ信号－V Lは、X軸の選択スイッチであるトランジスタT x 1～T x 3に接続されている。

【0 0 2 6】

上記構成に基づく作用を説明する。

【0 0 2 7】

X軸の選択信号x 1は、シフトレジスタのインバータ3 3からの出力をインバータ3 8で反転した出力と、シフトレジスタのインバータ3 4の出力と、マスク信号－I N Lとを3入力ナンド回路2 3に入力し、この3入力ナンド回路2 3の出力をインバータ4 1で反転したものである。

10

【0 0 2 8】

選択信号x 2は、インバータ3 4からの出力をインバータ3 9で反転した出力と、インバータ3 5の出力と、マスク信号－I N Lとを3入力ナンド回路2 4に入力し、この3入力ナンド回路2 4の出力をインバータ4 2で反転したものである。

【0 0 2 9】

同様に選択信号x 3は、3入力ナンド回路2 5からの出力をインバータ4 3で反転したものである。

【0 0 3 0】

このマスク信号－I N Lのマスク期間は、従来例（図6参照）の選択信号x 1と次の選択信号x 2のオーバーラップ期間 ΔT 以上とする。

20

【0 0 3 1】

このように、選択信号と次の選択信号が同時に出力されるオーバーラップをなくすことによりE L表示装置の画質を向上することができる。

【発明の効果】

【0 0 3 2】

以上のように本発明によれば、選択スイッチであるトランジスタT x 1～T x 3を順次駆動する選択信号のオーバーラップ時間をなくすマスク手段を設けたため、ある画素の画像データ信号が他の画素の画像データ信号に入り込むことがなく、E L表示装置の画質の向上を図ることができる。

【発明を実施するための最良の形態】

30

【0 0 3 3】

以下、本発明の実施の形態を図面に基づいて説明する。

【0 0 3 4】

図1～図4は、本発明の実施の形態を示した図であり、図5～図6と同じものは同じ符号で示してある。

【0 0 3 5】

図1は本発明の説明図であり、図1（a）はパネルブロック図である。図1（a）において、ディスプレイ（表示）パネル1 0には、ディスプレイ画面1 1、X軸のシフトレジスタ1 2、Y軸のシフトレジスタ1 3が設けてある。

【0 0 3 6】

40

ディスプレイ画面1 1には、E L電源が供給されており、またX軸のシフトレジスタ1 2には、シフトレジスタ電源の供給とX軸同期信号の入力が行われる。さらにY軸のシフトレジスタ1 3には、シフトレジスタ電源の供給とY軸同期信号の入力が行われる。また、X軸のシフトレジスタ1 2の出力部に画像データ信号の出力が設けてある。

【0 0 3 7】

図1（b）は、図1（a）のA部の拡大説明図であり、ディスプレイ画面1 1の1画素（点線の四角で示す）は、トランジスタが2個、コンデンサが1個、E L素子が1個より構成されている。

【0 0 3 8】

この1画素の発光動作は、例えば、Y軸のシフトレジスタ1 3で選択信号y 1の出力が

50

あり、また X 軸のシフトレジスタ 1 2 で選択信号 x 1 の出力があった場合、トランジスタ T y 1 1 とトランジスタ T x 1 がオンとなる。

【0039】

このため、画像データ信号-V L は、ドライブトランジスタ M 1 1 のゲートに入力される。これにより、このゲート電圧に応じた電流が E L 電源からドライブトランジスタ M 1 1 のドレイン、ソース間に流れ、E L 素子 E L 1 1 が発光する。

【0040】

次のタイミングでは、X 軸のシフトレジスタ 1 2 は、選択信号 x 1 の出力をオフとし、選択信号 x 2 を出力することになるが、ドライブトランジスタ M 1 1 のゲート電圧は、コンデンサ c 1 1 で保持されるため、次にこの画素が選択されるまで E L 素子 E L 1 1 の前記発光は、持続することになる。 10

【0041】

図 2 は本発明の実施の形態の説明図であり、X 軸のシフトレジスタの回路構成を示す。図 2 において、ナンド回路 2 1 と 2 2 は、波形整形回路であり、逆位相のクロック-C L と「L」のスタートパルス-S P が入力される。また、クロックドインバータ 2 6 ~ 3 2 とインバータ 3 3 ~ 3 7 は、シフトレジスタである。これらの波形整形回路とシフトレジスタは、図 5 の従来例と同じものである。

【0042】

インバータ 3 8 ~ 4 3 と 3 入力ナンド回路 2 3 ~ 2 5 は、X 軸の選択信号 x 1 ~ x 3 を出力する論理回路である。 20

【0043】

3 入力ナンド回路 2 3 の第 1 入力にはインバータ 3 8 により C 点の反転信号である H 点の信号が入力され、第 2 入力には E 点の信号が入力され、第 3 入力には、マスク信号-I N L が入力される。この 3 入力ナンド回路 2 3 の出力である K 点の信号をインバータ 4 1 で反転したものが選択信号 x 1 となる。

【0044】

3 入力ナンド回路 2 4 の第 1 入力にはインバータ 3 9 により E 点の反転信号である I 点の信号が入力され、第 2 入力には G 点の信号が入力され、第 3 入力にはマスク信号-I N L が入力される。この 3 入力ナンド回路 2 4 の出力である L 点の信号をインバータ 4 2 で反転したものが選択信号 x 2 となる。 30

【0045】

3 入力ナンド回路 2 5 の第 1 入力にはインバータ 4 0 により G 点の反転信号である J 点の信号が入力され、第 2 入力にはシフトレジスタのインバータ（図示せず）からの信号が入力され、第 3 入力にはマスク信号-I N L が入力される。この 3 入力ナンド回路 2 5 の出力である M 点の信号をインバータ 4 2 で反転したものが選択信号 x 3 となる。

【0046】

このようにして、X 軸のシフトパルスである選択信号 x 1、x 2、x 3・・・を得ることができる。

【0047】

図 3 は実施の形態における波形説明図であり、3 入力ナンド回路 2 3 の第 1 入力に入力される H 点の波形は、シフトレジスタの C 点の反転波形であり、1 クロックサイクル分「H」となる。3 入力ナンド回路 2 3 の第 2 入力に入力される E 点の波形は、C 点の波形より半クロックサイクル遅れた波形である。また、3 入力ナンド回路 2 3 の第 3 入力にはマスク信号-I N L が入力される。このマスク信号のマスク期間 M K は、選択信号 x 1 と次の選択信号 x 2 の立下がり と 立上がり がオーバーラップしない程度の期間とする。 40

【0048】

この 3 入力ナンド回路 2 3 の出力である K 点の波形は、クロック波形 C L よりマスク期間 M K だけ「L」の期間が少なくなる。この K 点の反転信号が選択信号 x 1 となる。

【0049】

以下、同様に選択信号 x 2、x 3 もマスク信号-I N L のマスク期間 M K だけ幅の短い 50

パルスとなる。

【0050】

このように、選択信号と選択信号との間に「H」のパルスのないマスク期間を設け、選択スイッチであるトランジスタTx1と次のトランジスタTx2が同時にオンとなることを防止することができる。

【0051】

図4はマスク信号の説明図であり、図4(a)はマスク信号発生回路の説明図である。図4(a)において、発生器(図示せず)より発生した8倍クロックを8分周回路1と、順次回路2に入力する。

【0052】

8分周回路1は、入力クロック(8倍クロック)の4クロックパルスを計数して「H」、次の4クロックパルスを計数して「L」、・・・と4パルス毎に出力を「H」、「L」とするものである。これにより8倍のパルス幅である標準のクロックCLが得られる。

【0053】

順次回路2は、入力クロックを3クロックサイクル計数として、1クロックサイクル分「L」とする繰り返し波形を出力するものである。これにより、マスク信号-INLが得られる。

【0054】

図4(b)は、波形説明図であり、上記8倍クロックと、8分周出力であるクロックCLと、マスク信号-INLの波形を示す。この場合マスク信号-INLのマスク期間MKは、半クロックサイクルの25%となる。このマスク期間は、これに限らず選択信号のオーバーラップ期間ΔT等により適宜変更することができる。

【図面の簡単な説明】

【0055】

【図1】本発明の説明図である。

【図2】本発明の実施の形態の説明図である。

【図3】実施の形態における波形説明図である。

【図4】実施の形態におけるマスク信号の説明図である。

【図5】従来例のX軸シフトレジスタの説明図である。

【図6】従来例の波形説明図である。

【符号の説明】

【0056】

21～22 ナンド回路

23～25 3入力ナンド回路

26～32 クロックドインバータ

33～43 インバータ

Tx1～Tx3 トランジスタ(選択スイッチ)

x1～x3 選択信号

-INL マスク信号

-VL 画像データ信号

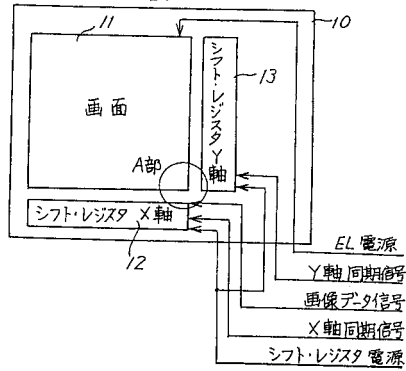
10

20

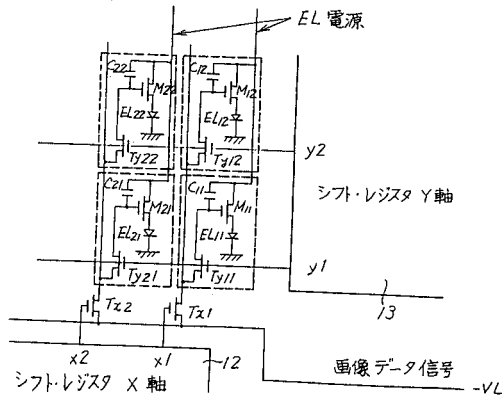
30

40

【図 1】

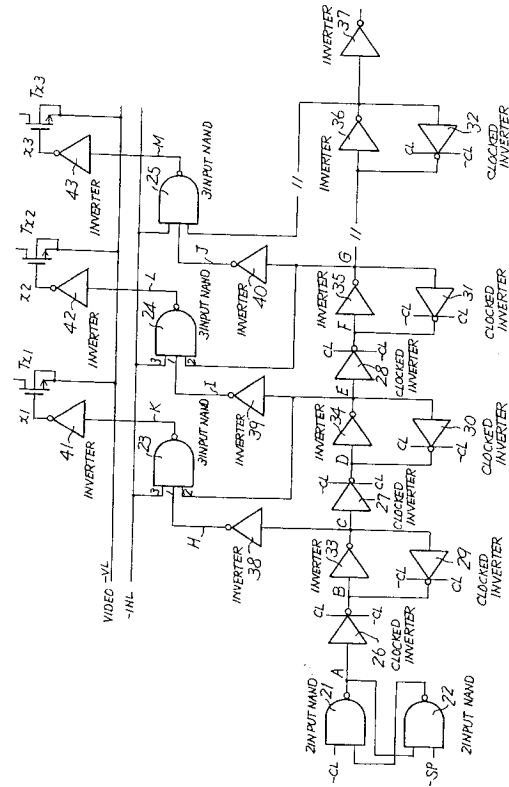
本発明の説明図
(a) パネルブロック図

(b) A部の拡大図



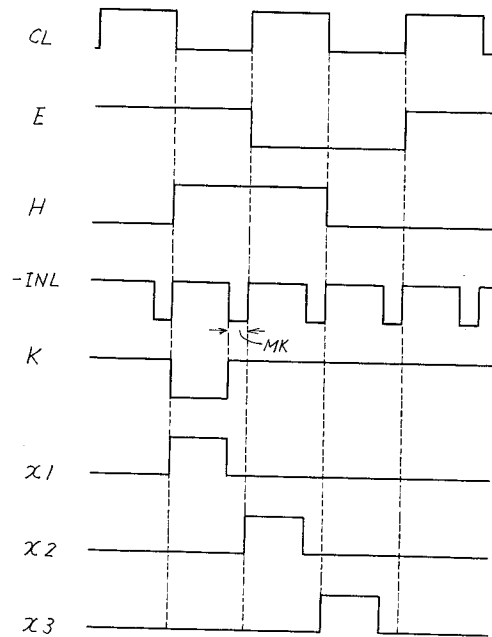
【図 2】

本発明の実施の形態の説明図



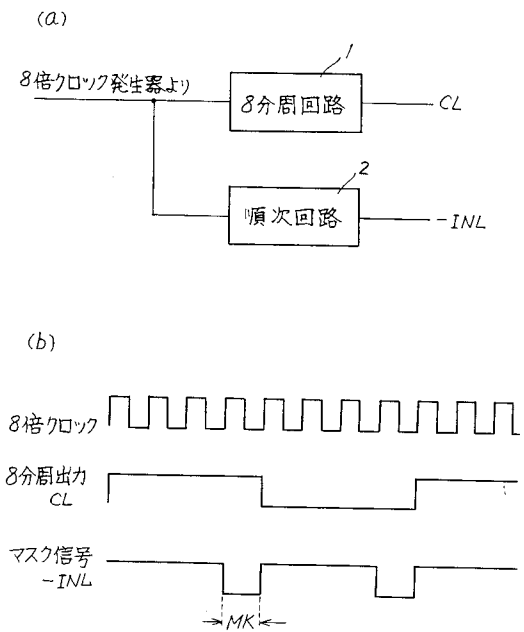
【図 3】

実施の形態における波形説明図



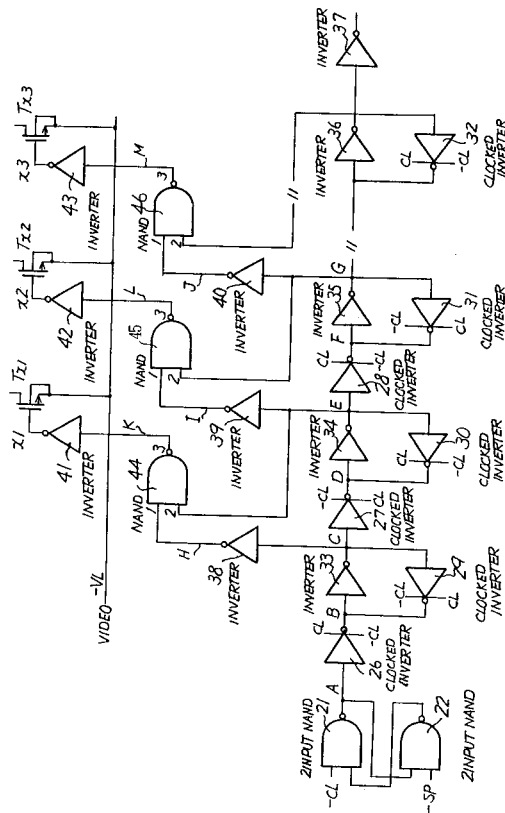
【図 4】

マスク信号の説明図



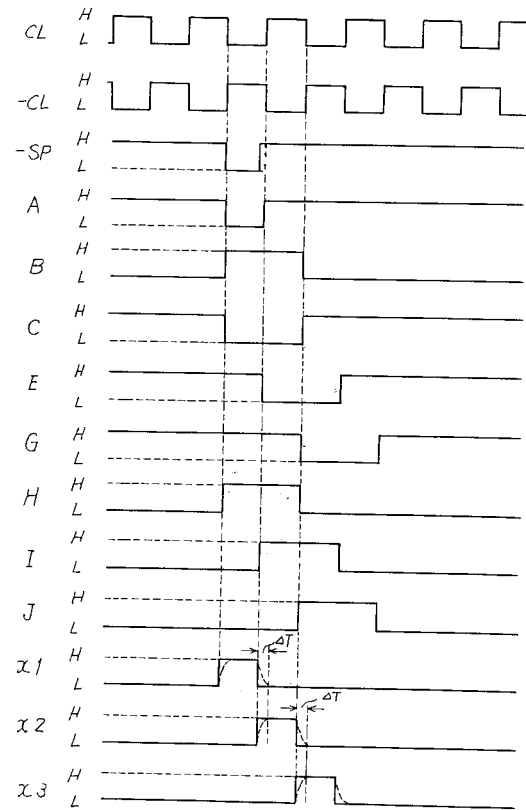
【図 5】

従来例の X 軸シフトレジスタの説明図



【図 6】

従来例の波形説明図



フロントページの続き

(51)Int.Cl.⁷ F I テーマコード (参考)
H O 5 B 33/14 A

(72)発明者 荒井 三千男
東京都中央区日本橋一丁目1 3 番1 号 ティーディーケイ株式会社内
F ターム(参考) 3K007 AB17 BA06 DB03 GA00 GA04
5C080 AA06 BB05 DD10 FF11 JJ02 JJ03 JJ04

专利名称(译)	电致发光显示装置		
公开(公告)号	JP2004046251A	公开(公告)日	2004-02-12
申请号	JP2003359383	申请日	2003-10-20
[标]申请(专利权)人(译)	东京电气化学工业株式会社 株式会社半导体能源研究所		
申请(专利权)人(译)	TDK株式会社 半导体能源研究所有限公司		
[标]发明人	高山 一郎 荒井 三千男		
发明人	高山 一郎 荒井 三千男		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 H05B33/14		
FI分类号	G09G3/30.J G09G3/20.611.J G09G3/20.621.A G09G3/20.621.M G09G3/20.623.H H05B33/14.A G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD10 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC33 3K107/EE01 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/BA20 5C380/CA02 5C380/CA09 5C380/CA12 5C380/CA24 5C380/CA54 5C380/CB01 5C380/CC02 5C380/CC26 5C380/CC33 5C380/CC62 5C380/CD012 5C380/CF07 5C380/CF32 5C380/CF59 5C380/DA06		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过消除选择信号和下一个选择信号之间的重叠时间来提高图像质量。解决方案：装置配备有显示面板和形成在同一基板上的移位寄存器，多个选择开关Tx1至Tx3选择多个电致发光元件，选择信号产生电路输出驱动选择的选择信号x1至x3按顺序切换Tx1至Tx3，以及屏蔽选择信号x1至x3的屏蔽信号-INL产生电路，并消除连续选择信号之间的重叠时间。Z

本発明の実施の形態の説明図

