

(51)Int.Cl ⁷	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 F 9/30	338		G 0 9 F 9/30	338
	365			365 Z
G 0 9 G 3/20	611		G 0 9 G 3/20	611 H
	624			624 B
	641			641 E
審査請求 未請求 請求項の数 11 O L (全 26数) 最終頁に続く				

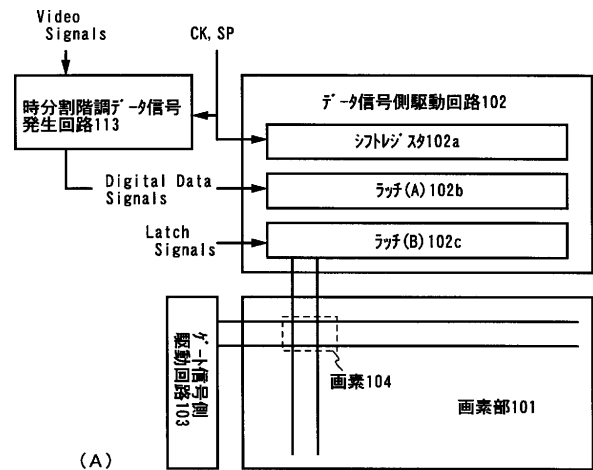
(21)出願番号	特願2000－177639(P2000－177639)	(71)出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22)出願日	平成12年6月13日(2000.6.13)	(72)発明者	山内 幸夫 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(31)優先権主張番号	特願平11－174734	(72)発明者	福永 健司 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(32)優先日	平成11年6月21日(1999.6.21)		
(33)優先権主張国	日本(JP)		

(54)【発明の名称】 E L表示装置およびその駆動方法並びに電子装置

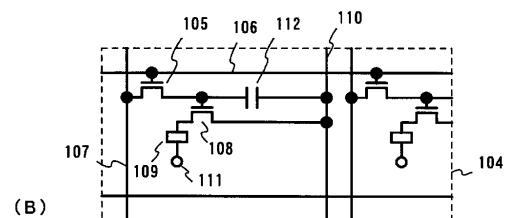
(57)【要約】

【課題】 鮮明な多階調カラー表示の可能なE L表示装置及びそれを具備する電気器具を提供する。

【解決手段】 画素104に設けられたE L素子109の発光、非発光を時間で制御する時分割駆動方式により階調表示を行い、電流制御用T F T 108の特性バラツキによる影響を防ぐ。また、時分割駆動方式を用いる際、データ信号側駆動回路102及びゲート信号側駆動回路103を、特異な結晶構造を有するシリコン膜を用いた極めて動作速度の速いT F Tで形成する。



(A)



(B)

【特許請求の範囲】

【請求項1】同一基板上に画素部、データ信号側駆動回路及びゲート信号側駆動回路を有したEL表示装置であって、

前記画素部、データ信号側駆動回路及びゲート信号側駆動回路はTFTで形成されており、
前記TFTの活性層は{110}配向に対応する電子線回折像を示す半導体膜で形成されていることを特徴とするEL表示装置。

【請求項2】同一基板上に画素部、データ信号側駆動回路、ゲート信号側駆動回路及び時分割階調データ信号発生回路を有したEL表示装置であって、
前記画素部、データ信号側駆動回路、ゲート信号側駆動回路及び時分割階調データ信号発生回路はTFTで形成されており、
前記TFTの活性層は{110}配向に対応する電子線回折像を示す半導体膜で形成されていることを特徴とするEL表示装置。

【請求項3】同一基板上に画素部、データ信号側駆動回路、ゲート信号側駆動回路及び時分割階調データ信号発生回路を有したEL表示装置であって、
前記画素部、データ信号側駆動回路及びゲート信号側駆動回路はTFTで形成され、前記時分割階調データ信号発生回路はICチップで実装されており、
前記TFTの活性層は{110}配向に対応する電子線回折像を示す半導体膜で形成されていることを特徴とするEL表示装置。

【請求項4】請求項2又は請求項3において、前記時分割階調データ信号発生回路には、
1フレームをnビット（nは2以上の整数）の階調に対応したn個のサブフレーム（SF1、SF2、SF3…SF(n-1)、SF(n)と表す）に分割する第1の手段と、
前記n個のサブフレームにおいて、アドレス期間（ T_a ）及びサステイン期間（ T_s ：但し、SF1、SF2、SF3…SF(n-1)、SF(n)に対応するサステイン期間を各々Ts1、Ts2、Ts3…Ts(n-1)、Ts(n)と表す）を選択する第2の手段と、
前記n個のサブフレームにおいて、前記サステイン期間をTs1：Ts2：Ts3：…：Ts(n-1)：Ts(n)= $2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する第3の手段と、
が含まれることを特徴とするEL表示装置。

【請求項5】EL表示装置を表示部に用いた電子装置であって、
前記EL表示装置はTFTで形成された画素部、データ信号側駆動回路及びゲート信号側駆動回路を有し、
前記TFTの活性層は{110}配向に対応する電子線回折像を示す半導体膜で形成されていることを特徴とする電子装置。

【請求項6】EL表示装置を表示部に用いた電子装置で

あって、

前記EL表示装置はTFTで形成された画素部、データ信号側駆動回路、ゲート信号側駆動回路及び時分割階調データ信号発生回路を有し、

前記TFTの活性層は{110}配向に対応する電子線回折像を示す半導体膜で形成されていることを特徴とする電子装置。

【請求項7】EL表示装置を表示部に用いた電子装置であって、

前記EL表示装置はTFTで形成された画素部、データ信号側駆動回路及びゲート信号側駆動回路並びにICで実装された時分割階調データ信号発生回路を有し、
前記TFTの活性層は{110}配向に対応する電子線回折像を示す半導体膜で形成されていることを特徴とする電子装置。

【請求項8】請求項6又は請求項7において、前記時分割階調データ信号発生回路には、

1フレームをnビット（nは2以上の整数）の階調に対応したn個のサブフレーム（SF1、SF2、SF3…SF(n-1)、SF(n)と表す）に分割する第1の手段と、
前記n個のサブフレームにおいて、アドレス期間（ T_a ）及びサステイン期間（ T_s ：但し、SF1、SF2、SF3…SF(n-1)、SF(n)に対応するサステイン期間を各々Ts1、Ts2、Ts3…Ts(n-1)、Ts(n)と表す）を選択する第2の手段と、
前記n個のサブフレームにおいて、前記サステイン期間をTs1：Ts2：Ts3：…：Ts(n-1)：Ts(n)= $2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する第3の手段と、
が含まれることを特徴とする電子装置。

【請求項9】1フレームをnビット（nは2以上の整数）の階調に対応したn個のサブフレーム（SF1、SF2、SF3…SF(n-1)、SF(n)と表す）に分割する第1の手段と、
前記n個のサブフレームにおいて、アドレス期間（ T_a ）及びサステイン期間（ T_s ：但し、SF1、SF2、SF3…SF(n-1)、SF(n)に対応するサステイン期間を各々Ts1、Ts2、Ts3…Ts(n-1)、Ts(n)と表す）を選択する第2の手段と、
前記n個のサブフレームにおいて、前記サステイン期間をTs1：Ts2：Ts3：…：Ts(n-1)：Ts(n)= $2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する第3の手段と、
が含まれることを特徴とするEL表示装置。

【請求項10】請求項9に記載のEL表示装置を用いたことを特徴とする電子装置。

【請求項11】1フレームをnビット（nは2以上の整数）の階調に対応したn個のサブフレーム（SF1、SF2、SF3…SF(n-1)、SF(n)と表す。）に分割し、
前記n個のサブフレームにアドレス期間（ T_a ）及びサ

ステイン期間 (T_s : 但し、 $SF1$ 、 $SF2$ 、 $SF3 \cdots SF(n-1)$ 、 $SF(n)$ に対応するサステイン期間を各々 $Ts1$ 、 $Ts2$ 、 $Ts3 \cdots Ts(n-1)$ 、 $Ts(n)$ と表す。)を設け、前記 n 個のサブフレームにおいて、前記サステイン期間を $Ts1 : Ts2 : Ts3 : \cdots : Ts(n-1) : Ts(n) = 2^0 : 2^{-1} : 2^{-2} : \cdots : 2^{-(n-2)} : 2^{-(n-1)}$ とすることを特徴とする EL 表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子（半導体薄膜を用いた素子）を基板上に作り込んで形成された EL （エレクトロルミネッセンス）表示装置及びその EL 表示装置を表示ディスプレイ（表示部）として有する電子装置（電子デバイス）に関する。

【0002】

【従来の技術】近年、基板上に TFT を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いた TFT は、従来のアモルファスシリコン膜を用いた TFT よりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0003】このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られるとして注目されている。

【0004】従来、アクティブマトリクス型 EL 表示装置の画素構造は図3に示すようなものが一般的であった。図3において、301はスイッチング素子として機能する TFT （以下、スイッチング用 TFT という）、302は EL 素子303に供給する電流を制御するための素子（電流制御素子）として機能する TFT （以下、電流制御用 TFT という）、304はコンデンサ（保持容量）である。スイッチング用 TFT 301はゲート配線305及びソース配線（データ配線）306に接続されている。また、電流制御用 TFT 302はのドレインは EL 素子303に、ソースは電流供給線307に接続されている。

【0005】ゲート配線305が選択されるとスイッチング用 TFT 301のゲートが開き、ソース配線306のデータ信号がコンデンサ304に蓄積され、電流制御用 TFT 302のゲートが開く。そして、スイッチング用 TFT 301のゲートが閉じた後、コンデンサ304に蓄積された電荷によって電流制御用 TFT 302のゲートは開いたままとなり、その間、 EL 素子303が発光する。この EL 素子303の発光量は流れる電流量で変化する。

【0006】このとき、 EL 素子303に供給される電流量は電流制御用 TFT 302のゲート電圧によって制御される。その様子を図4に示す。

【0007】図4（A）は電流制御用 TFT のトランジスタ特性を示すグラフであり、401は $I_d - V_g$ 特性（又は $I_d - V_g$ 曲線）と呼ばれている。ここで I_d はドレイン電流であり、 V_g はゲート電圧である。このグラフにより任意のゲート電圧に対して流れる電流量を知ることができる。

【0008】通常、 EL 素子を駆動するにあたって、上記 $I_d - V_g$ 特性の点線402で示した領域を用いる。402で囲んだ領域の拡大図を図4（B）に示す。

【0009】図4（B）において、斜線で示す領域はサブスレッショルド領域と呼ばれている。実際にはしきい値電圧 (V_{th}) 近傍又はそれ以下のゲート電圧である領域を指し、この領域ではゲート電圧の変化に対して指数関数的にドレイン電流が変化する。この領域を使ってゲート電圧による電流制御を行う。

【0010】スイッチング用 TFT 301が開いて画素内に入力されたデータ信号は、まずコンデンサ304に蓄積され、そのデータ信号がそのまま電流制御用 TFT 302のゲート電圧となる。このとき、図4（A）に示した $I_d - V_g$ 特性に従ってゲート電圧に対してドレイン電流が1対1で決まる。即ち、データ信号に対応して所定の電流が EL 素子303を流れ、その電流量に対応した発光量で前記 EL 素子303が発光する。

【0011】以上のように、データ信号によって EL 素子の発光量が制御され、その発光量の制御によって階調表示がなされる。この方式はいわゆるアナログ階調と呼ばれる方式であり、信号の振幅の変化で階調表示が行われる。

【0012】しかしながら、上記アナログ階調方式は TFT の特性バラツキに非常に弱いという欠点がある。例えばスイッチング用 TFT の $I_d - V_g$ 特性が同じ階調を表示する隣接画素のスイッチング用 TFT と異なる場合（全体的にプラス又はマイナス側へシフトした場合）を想定する。

【0013】その場合、各スイッチング用 TFT のドレイン電流はバラツキの程度にもよるが異なるものとなり、各画素の電流制御用 TFT には異なるゲート電圧がかかることになる。即ち、各 EL 素子に対して異なる電流が流れ、結果として異なる発光量となり、同じ階調表示を行えなくなる。

【0014】また、仮に各画素の電流制御用 TFT に等しいゲート電圧がかかったとしても、電流制御用 TFT の $I_d - V_g$ 特性にバラツキがあれば、同じドレイン電流を出力することはできない。さらに、図4（A）からも明らかなようにゲート電圧の変化に対して指数関数的にドレイン電流が変化するような領域を使っているため、 $I_d - V_g$ 特性が僅かでもずれば、等しいゲート

電圧がかかっても出力される電流量は大きく異なるという事態が生じうる。こうなってしまうとEL素子の発光量が隣接画素で大きく異なってしまう。

【0015】実際には、スイッチング用TF Tと電流制御用TF Tとの、両者のバラツキの相乗効果となるので条件的にはさらに厳しい。このように、アナログ階調方式はTF Tの特性バラツキに対して極めて敏感であり、その点が従来のアクティブマトリクス型EL表示装置の多色カラー化における障害となっていた。

【0016】

【発明が解決しようとする課題】本発明は上記問題点を鑑みてなされたものであり、鮮明な多階調カラー表示の可能なアクティブマトリクス型EL表示装置を提供することを課題とする。そして、そのようなアクティブマトリクス型EL表示装置を表示用ディスプレイとして具備する高性能な電子装置（電子デバイス）を提供することを課題とする。

【0017】

【課題を解決するための手段】本出願人はTF T特性のバラツキの影響を受けにくい画素構造とするためには、電流制御によってEL素子の発光量を制御する従来のアナログ階調方式よりも、電流制御用TF Tを単に電流供給用のスイッチング素子として用いたデジタル階調方式の方が良いと考えた。

【0018】このことから、アクティブマトリクス型EL表示装置において最も好ましい階調表示方式は分割階調表示であり、具体的には時間分割方式の階調表示（以下、時分割階調という）を行うことが好ましいと考えた。

【0019】実際には以下のようにして時分割階調表示を行う。ここでは8ビットデジタル駆動方式により256階調（1677万色）のフルカラー表示を行う場合について説明する。

【0020】まず、画像1フレームを8つのサブフレームに分割する。なお、表示領域の全画素にデータを入力する1周期を1フレームと呼び、通常のELディスプレイでは発振周波数は60Hz、即ち1秒間に60フレームが形成される。1秒間のフレーム数がこれ以下になると視覚的にフリッカ等の画像のちらつきが目立ち始める。なお、1フレームをさらに複数に分割したフレームをサブフレームと呼ぶ。

【0021】1つのサブフレームはアドレス期間（Ta）とサステイン期間（Ts）とに分けられる。アドレス期間とは、1サブフレーム期間中、全画素にデータを入力するのに要する時間全体であり、サステイン期間（点灯期間と言っても良い）とは、EL素子を発光させている期間を示している。（図10）

【0022】ここで1つ目のサブフレームをSF1と呼び、以下2つ目のサブフレームから8つ目のサブフレームまでをSF2～SF8と呼ぶ。また、アドレス期間

（Ta）はSF1～SF8まで一定である。一方、SF1～SF8のサステイン期間（Ts）をそれぞれTs1～Ts8とする。

【0023】この時、Ts1：Ts2：Ts3：Ts4：Ts5：Ts6：Ts7：Ts8＝1：1/2：1/4：1/8：1/16：1/32：1/64：1/128となるようにサステイン期間を設定する。但し、SF1～SF8を出現させる順序はどのようにしても良い。このサステイン期間の組み合わせで256階調のうち所望の階調表示を行うことができる。

【0024】まず、画素が有するEL素子の対向電極（TF Tに接続されていない側の電極を指す。通常は陰極となる。）に電圧を加えない（選択しない）状態としておき、EL素子を発光させずに各画素にデータ信号を入力していく。この期間がアドレス期間となる。そして、全ての画素にデータが入力されてアドレス期間が終了したら、対向電極に電圧を加えて（選択して）一斉にEL素子を発光させる。この期間がサステイン期間となる。また、発光させる（画素を点灯させる）期間はTs1～Ts8までのいずれかの期間である。ここではTs8の期間、所定の画素を点灯させたとする。

【0025】次に、再びアドレス期間に入り、全画素にデータ信号を入力したらサステイン期間に入る。このときはTs1～Ts7のいずれかの期間がサステイン期間となる。ここではTs7の期間、所定の画素を点灯させたとする。

【0026】以下、残りの6つのサブフレームについて同様の動作を繰り返し、順次Ts6、Ts5…Ts1とサステイン期間を設定し、それぞれのサブフレームで所定の画素を点灯させたとする。

【0027】8つのサブフレームが出現したら1フレームを終えたことになる。このとき、サステイン期間の積算によってその画素の階調を制御する。例えば、Ts1とTs2を選択した場合には全灯を100%としたうちの75%の輝度を表現でき、Ts3とTs5とTs8を選択した場合には16%の輝度を表現できる。

【0028】なお、以上は256階調の場合について説明したが、他の階調表示を行うことも可能である。

【0029】nビット（nは2以上の整数）の階調（2ⁿ階調）の表示を行う場合には、まず1フレームをnビットの階調に対応させてn個のサブフレーム（SF1、SF2、SF3…SF(n-1)、SF(n)と表す）に分割する。階調が多くなるにつれて1フレームの分割数も増え、駆動回路を高い周波数で駆動しなければならない。

【0030】さらに、これらn個の各サブフレームはアドレス期間（Ta）及びサステイン期間（Ts）に分離される。即ち、全てのEL素子に共通な対向電極に対して電圧を加えるか加えないかを選択することによってアドレス期間とサステイン期間を選択する。

【0031】そして、n個の各サブフレームのサステイ

ン期間（但し、SF1、SF2、SF3…SF(n-1)、SF(n)に対応するサステイン期間を各々Ts1、Ts2、Ts3…Ts(n-1)、Ts(n)と表す）をTs1：Ts2：Ts3：…：Ts(n-1)：Ts(n)= $2^0：2^{-1}：2^{-2}：…：2^{-(n-2)}：2^{-(n-1)}$ となるように処理する。

【0032】この状態で、任意の1サブフレームでは順次画素が選択され（厳密には各画素のスイッチング用TFTが選択され）、電流制御用TFTのゲート電極に所定のゲート電圧（データ信号に対応する）が加わる。このとき、電流制御用TFTが導通状態になるようなデータ信号が入力された画素のEL素子は、アドレス期間終了後、そのサブフレームに割り当てられたサステイン期間だけ発光する、即ち所定の画素が点灯する。

【0033】この動作をn個のサブフレーム全てにおいて繰り返し、そのサステイン期間の積算によって各画素の階調が制御される。従って、任意の一画素に注目すると、その画素が各サブフレームでどれだけの期間点灯したか（どれだけのサステイン期間を経由したか）によって、その一画素の階調が制御される。

【0034】以上のように、アクティブマトリクス型EL表示装置に時分割階調表示を用いる点が本発明の最大の特徴である。この時分割階調を行うためには、1フレームを複数のサブフレームに分割する必要がある。即ち、データ信号側駆動回路及びゲート信号側駆動回路の動作周波数を従来以上に高める必要がある。

【0035】しかしながら、従来のポリシリコン膜（多結晶シリコン膜ともいう）ではそのような高速動作の可能なTFTを作製することは困難である。データ信号側駆動回路を複数に分割して動作周波数を低減することは可能であるが、それでも十分とは言えない。

【0036】そのため、本発明は、結晶粒界の連続性が高く、結晶方位の揃った特異な結晶構造でなる半導体膜を用いることが好ましく、それをTFTの活性層とすることで非常に高い動作速度を示すTFTを用いることができる。即ち、このような動作速度の非常に速いTFTを用いることによって、アクティブマトリクス型EL表示装置の時分割階調表示を行うことも本発明の特徴の一つとなる。

【0037】以下に、本発明で用いる半導体膜を試作して観察した結果について説明する。なお、ここでは半導体膜としてシリコン膜についての結果を例示するが、同様の特性が得られるシリコンゲルマニウム膜を用いることもできる。

【0038】本発明で用いるシリコン膜は、微視的に見れば複数の針状又は棒状の結晶（以下、棒状結晶という）が集まって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認できる。

【0039】また、本発明で用いるシリコン膜についてスポット径約1.35μmの電子線回折像を詳細に観察

した結果、僅かなゆらぎはあるものの{110}面に対応する回折斑点がきれいに現れており、結晶軸に多少のずれが含まれているものの主たる配向面として{110}面を有することが確認できる。

【0040】図19（A）は本発明で用いるシリコン膜にスポット径約1.35μmの電子線を照射して得た電子線回折像である。一方、図19（B）は従来のポリシリコン膜に同条件で電子線を照射して得た電子線回折像である。なお、いずれも写真中央が電子線の照射された位置（電子線の照射点）である。

【0041】図19（A）の方は{110}面に対応する回折斑点が比較的きれいに現れているのに対し、図19（B）の方はまるで不規則であり、配向面がばらばらであることが一目瞭然である。このように本発明で用いるシリコン膜は電子線回折写真を見れば、ただちに従来のポリシリコン膜と区別することができる。

【0042】なお、図19（A）の電子線回折像において{110}面に対応する回折斑点が現れていることは、{110}配向の単結晶シリコンウェハの電子線回折像と比較すれば明らかである。また、単結晶シリコンウェハの回折斑点は鋭い点で見えるのに対し、本発明で用いるシリコン膜の回折斑点は電子線の照射点を中心とした同心円上に広がりをも有する。

【0043】これは本発明で用いるシリコン膜の特徴でもある。各結晶粒は個々に{110}面を配向面としているため、一つの結晶粒について見れば単結晶シリコンと同様の回折斑点が得られると予想される。しかし、実際には複数の結晶粒の集合体であるため、各結晶粒は{110}面を配向面としているものの、それぞれが結晶軸周りに僅かな回転を含み、それぞれの結晶粒に対応する回折点が同心円上に複数個現れる。それらが重なって広がりを見せるのである。

【0044】但し、個々の結晶粒は後述するように極めて整合性の良い結晶粒界を形成するため、結晶軸周りの僅かな回転は結晶性を損なう要因とはならない。従って、本発明で用いるシリコン膜の電子線回折像は、実質的には{110}配向の単結晶シリコンウェハの電子線回折像と差異はないと言える。

【0045】以上のことから、本発明においてTFTの活性層として用いるシリコン膜は、{110}配向に対応する電子線回折像を示すシリコン膜であると言って差し支えないと考える。

【0046】次に、本発明で用いるシリコン膜の結晶粒界について述べる。なお、説明の便宜上、結晶粒界と呼んでいるが、ある結晶粒とそこから派生した（枝分かれした）別の結晶粒との界面とも考えられる。いずれにしても、本明細書中では前述のような界面をも含めて結晶粒界と呼ぶ。

【0047】本出願人は個々の棒状結晶が接して形成する結晶粒界をHR-TEM（高分解能透過型電子顕微鏡

法)により観察し、結晶粒界において結晶格子に連続性があることを確認した。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認できる。

【0048】なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988」に記載された「Planar boundary」である。

【0049】上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なtwist粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0050】特に結晶軸（結晶面に垂直な軸）が $\langle 110 \rangle$ 軸である場合、 $\{211\}$ 双晶粒界や $\{111\}$ 双晶粒界は $\Sigma 3$ の対応粒界とも呼ばれる。 Σ 値は対応粒界の整合性の程度を示す指標となるパラメータであり、 Σ 値が小さいほど整合性の良い粒界であることが知られている。

【0051】本発明で用いるシリコン膜をTEMにより観察した結果、結晶粒界の殆どが $\Sigma 3$ の対応粒界であることが判明している。これは、二つの結晶粒の間に形成された結晶粒界において、両方の結晶粒の面方位が $\{110\}$ である場合、 $\{111\}$ 面に対応する格子縞がなす角を θ とすると、 $\theta = 70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることから判断した。

【0052】なお、 $\theta = 38.9^\circ$ の時には $\Sigma 9$ の対応粒界となるが、この様な他の結晶粒界も存在している。

【0053】この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しないと見なすことができる。

【0054】またさらに、本発明で用いるシリコン膜を形成する際に $700 \sim 1150^\circ\text{C}$ の加熱処理を工程途中で行うことによって、結晶粒内に存在する欠陥（積層欠陥等）が殆ど消滅することがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることから明らかである。

【0055】この欠陥数の差は電子スピン共鳴分析(Electron Spin Resonance : ESR)によってスピン密度の差となって現れる。現状では本発明で用いるシリコン

膜のスピン密度は少なくとも $5 \times 10^{17} \text{ spins/cm}^3$ 以下（好ましくは $3 \times 10^{17} \text{ spins/cm}^3$ 以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0056】なお、本発明で用いるシリコン膜についてのさらに詳細な説明は、本出願人による特願平10-044659号、特願平10-152316号、特願平10-152308号または特願平10-152305号を引用すれば良い。

【0057】また、本発明で用いるシリコン膜を活性層として試作したTFTは、MOSFETに匹敵する電気特性を示す。本出願人が試作したTFT（但し、活性層の膜厚は30nm、ゲート絶縁膜の膜厚は100nm）からは次に示す様なデータが得られている。

【0058】（1）スイッチング性能（オン/オフ動作切り換えの俊敏性）の指標となるサブスレッショルド係数が、Nチャネル型TFTおよびPチャネル型TFTともに $60 \sim 100 \text{ mV/decade}$ （代表的には $60 \sim 85 \text{ mV/decade}$ ）と小さい。

（2）TFTの動作速度の指標となる電界効果移動度(μ_{FE})が、Nチャネル型TFTで $200 \sim 650 \text{ cm}^2/\text{Vs}$ （代表的には $300 \sim 500 \text{ cm}^2/\text{Vs}$ ）、Pチャネル型TFTで $100 \sim 300 \text{ cm}^2/\text{Vs}$ （代表的には $150 \sim 200 \text{ cm}^2/\text{Vs}$ ）と大きい。

（3）TFTの駆動電圧の指標となるしきい値電圧(V_{th})が、Nチャネル型TFTで $-0.5 \sim 1.5 \text{ V}$ 、Pチャネル型TFTで $-1.5 \sim 0.5 \text{ V}$ と小さい。

【0059】以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。さらに、上記TFTを用いて試作したリングオシレータでは最大で約1GHzの発振周波数が得られている。なお、試作したリングオシレータの構成は次の様になっている。

段数：9段

TFTのゲート絶縁膜の膜厚：30nm及び50nm

TFTのゲート長（チャネル長）：0.6 μm

【0060】また、実際にシフトレジスタを試作して動作周波数を確認した結果、ゲート絶縁膜の膜厚30nm、ゲート長0.6 μm 、電源電圧5V、段数50段のシフトレジスタにおいて動作周波数100MHzの出力パルスが得られている。

【0061】以上の様なリングシレータおよびシフトレジスタの驚異的なデータは、本発明で用いるシリコン膜を活性層とするTFTが、単結晶シリコンを用いたMOSFETに匹敵する、若しくは凌駕する動作性能をもつことを示唆する。

【0062】

【発明の実施の形態】まず、本発明のアクティブマトリクス型EL表示装置の回路構成を図1(A)に示す。図

1 (A) のアクティブマトリクス型 EL 表示装置は、基板上に形成された TFT によって画素部 101、画素部の周辺に配置されたデータ信号側駆動回路 102 及びゲート信号側駆動回路 103 が形成される。なお、データ側信号側駆動回路とゲート信号側駆動回路はどちらも画素部を挟んで 1 対で設けても構わない。

【0063】データ信号側駆動回路 102 は基本的にシフトレジスタ 102a、ラッチ (A) 102b、ラッチ (B) 102c を含む。また、シフトレジスタ 102a にはクロックパルス (CK) 及びスタートパルス (SP) が入力され、ラッチ (A) 102b にはデジタルデータ信号 (Digital Data Signals) が入力され、ラッチ (B) 102c にはラッチ信号 (Latch Signals) が入力される。

【0064】本発明では画素部 101 に入力されるデータ信号がデジタル信号であり、また液晶表示装置と異なり電圧階調表示ではないので、「0」または「1」の情報をもつデジタルデータ信号がそのまま画素部 101 へと入力される。

【0065】画素部 101 にはマトリクス状に複数の画素 104 が配列される。画素 104 の拡大図を図 1 (B) に示す。図 1 (B) において、105 はスイッチング用 TFT であり、ゲート信号を入力するゲート配線 106 とデータ信号を入力するデータ配線 (ソース配線ともいう) 107 に接続されている。

【0066】また、108 は電流制御用 TFT であり、そのゲートはスイッチング用 TFT 105 のドレインに接続される。そして、電流制御用 TFT 108 のドレインは EL 素子 109 に接続され、ソースは電流供給線 110 に接続される。EL 素子 109 は電流制御用 TFT 108 に接続された陽極 (画素電極) と、EL 層を挟んで陽極に対向して設けられた陰極 (対向電極) とでなり、陰極は所定の電源線 111 に接続されている。

【0067】また、スイッチング用 TFT 105 が非選択状態 (オフ状態) にある時、電流制御用 TFT 108 のゲート電圧を保持するためにコンデンサ 112 が設けられる。このコンデンサ 112 はスイッチング用 TFT 105 のドレインと電流供給線 110 とに接続されている。

【0068】以上のような画素部に入力されるデジタルデータ信号は、時分割階調データ信号発生回路 113 にて形成される。この回路ではアナログ信号又はデジタル信号でなるビデオ信号 (画像情報を含む信号) を、時分割階調を行うためのデジタルデータ信号に変換すると共に、時分割階調表示を行うために必要なタイミングパルス等を発生させる回路である。

【0069】典型的には、時分割階調データ信号発生回路 113 には、1 フレームを n ビット (n は 2 以上の整数) の階調に対応した n 個のサブフレームに分割する手段と、それら n 個のサブフレームにおいてアドレス期間

及びサステイン期間を選択する手段と、そのサステイン期間を $Ts1 : Ts2 : Ts3 : \dots : Ts(n-1) : Ts(n) = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する手段とが含まれる。

【0070】この時分割階調データ信号発生回路 113 は、本発明の EL 表示装置の外部に設けられても良い。その場合、そこで形成されたデジタルデータ信号が本発明の EL 表示装置に入力される構成となる。この場合、本発明の EL 表示装置をディスプレイとして有する電子装置は、本発明の EL 表示装置と時分割階調データ信号発生回路を別の部品として含むことになる。

【0071】また、時分割階調データ信号発生回路 113 をモノリシック IC やハイブリッド IC として本発明の EL 表示装置に実装しても良い。その場合、COG (Chip On Glass) もしくは TCB (Tape Carrier Package) の形態で実装するか、MCM (Multi Chip Module) を TAB (Tape Automated Board) テープにより接続しても良い。このような構成とすると、IC で形成されたデジタルデータ信号が本発明の EL 表示装置に入力される構成となる。この場合、本発明の EL 表示装置をディスプレイとして有する電子装置は、時分割階調データ信号発生回路を含む IC を備えた本発明の EL 表示装置を部品として含むことになる。

【0072】また最終的には、時分割階調データ信号発生回路 113 を画素部 104、データ信号側駆動回路 102 及びゲート信号側駆動回路と同一の基板上に TFT でもって形成しうる。この場合、EL 表示装置に画像情報を含むビデオ信号を入力すれば全て基板上で処理することができる。勿論、この場合の時分割階調データ信号発生回路は前述の本発明で用いるシリコン膜を活性層とする TFT で形成することが望ましい。また、この場合、本発明の EL 表示装置をディスプレイとして有する電子装置は、時分割階調データ信号発生回路が EL 表示装置自体に内蔵されており、電子装置の小型化を図ることが可能である。

【0073】次に、本発明のアクティブマトリクス型 EL 表示装置について、断面構造の概略を図 2 に示す。

【0074】図 2 において、11 は基板、12 は下地となる絶縁膜 (以下、下地膜という) である。基板 11 としては透光性基板、代表的にはガラス基板、石英基板、ガラスセラミックス基板、又は結晶化ガラス基板を用いることができる。但し、作製プロセス中の最高処理温度に耐えるものでなくてはならない。

【0075】また、下地膜 12 は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜 12 としては、珪素 (シリコン) を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜 (SiO_xN_y : x, y は任意の整数、で示さ

れる)など珪素に対して酸素若しくは窒素を所定の割合で含ませた絶縁膜を指す。

【0076】201はスイッチング用TFT、202は電流制御用TFTであり、どちらもnチャネル型TFTで形成されている。nチャネル型TFTの電界効果移動度はpチャネル型TFTの電界効果移動度よりも大きい。そのため、動作速度が早く大電流を流しやすい。また、同じ電流量を流すにもTFTサイズはnチャネル型TFTの方が小さくできる。そのため、nチャネル型TFTを電流制御用TFTとして用いた方が画像表示部の有効発光面積が広がるので好ましい。

【0077】ただし、本発明において、スイッチング用TFTと電流制御用TFTをnチャネル型TFTに限定する必要はなく、両方又はどちらか片方にpチャネル型TFTを用いることも可能である。

【0078】スイッチング用TFT201は、ソース領域13、ドレイン領域14、LDD領域15a~15d、分離領域16及びチャネル形成領域17a、17bを含む活性層、ゲート絶縁膜18、ゲート電極19a、19b、第1層間絶縁膜20、ソース配線21並びにドレイン配線22を有して形成される。なお、ゲート絶縁膜18又は第1層間絶縁膜20は基板上の全TFTに共通であっても良いし、回路又は素子に応じて異ならせても良い。

【0079】また、図2に示すスイッチング用TFT201はゲート電極19a、19bが電氣的に接続されており、いわゆるダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造(直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造)であっても良い。

【0080】マルチゲート構造はオフ電流を低減する上で極めて有効であり、スイッチング用TFTのオフ電流を十分に低くすれば、それだけ図1(B)に示すコンデンサ112に必要な容量を小さくすることができる。即ち、コンデンサ112の専有面積を小さくできるので、マルチゲート構造とすることはEL素子109の有効発光面積を広げる上でも有効である。

【0081】さらに、スイッチング用TFT201においては、LDD領域15a~15dは、ゲート絶縁膜18を介してゲート電極19a、19bと重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、LDD領域15a~15dの長さ(幅)は0.5~3.5 μm 、代表的には2.0~2.5 μm とすれば良い。

【0082】なお、チャネル形成領域とLDD領域との間にオフセット領域(チャネル形成領域と同一組成の半導体層であり、ゲート電圧が印加されない領域)を設けることはオフ電流を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた分離領域16

(ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域)がオフ電流の低減に効果的である。

【0083】次に、電流制御用TFT202は、ソース領域26、ドレイン領域27、LDD領域28及びチャネル形成領域29を含む活性層、ゲート絶縁膜18、ゲート電極30、第1層間絶縁膜20、ソース配線31並びにドレイン配線32を有して形成される。なお、ゲート電極30はシングルゲート構造となっているが、マルチゲート構造であっても良い。

【0084】図1(B)に示すように、スイッチング用TFTのドレインは電流制御用TFTのゲートに接続されている。具体的には電流制御用TFT202のゲート電極30はスイッチング用TFT201のドレイン領域14とドレイン配線(接続配線とも言える)22を介して電氣的に接続されている。また、ソース配線31は図1(B)の電流供給線110に接続される。

【0085】電流制御用TFT202はEL素子に注入される電流量を制御するための素子であり、比較的多くの電流が流れる。そのため、チャネル幅(W)はスイッチング用TFTのチャネル幅よりも大きく設計することが好ましい。また、電流制御用TFT202に過剰な電流が流れないように、チャネル長(L)は長めに設計することが好ましい。望ましくは一画素あたり0.5~2 μA (好ましくは1~1.5 μA)となるようにする。

【0086】以上のことを踏まえると、図9に示すようにスイッチング用TFTのチャネル長をL1(但しL1=L1a+L1b)、チャネル幅をW1とし、電流制御用TFTのチャネル長をL2、チャネル幅をW2とした時、W1は0.1~5 μm (代表的には1~3 μm)、W2は0.5~30 μm (代表的には2~10 μm)とするのが好ましい。また、L1は0.2~18 μm (代表的には2~15 μm)、L2は0.1~50 μm (代表的には1~20 μm)とするのが好ましい。

【0087】また、図2に示したEL表示装置は、電流制御用TFT202において、ドレイン領域27とチャネル形成領域29との間にLDD領域28が設けられ、且つ、LDD領域28がゲート絶縁膜18を挟んでゲート電極30に重なっている領域と重なっていない領域とを有する点にも特徴がある。

【0088】電流制御用TFT202は、EL素子203を発光させるために比較的多くの電流を流すため、ホットキャリア注入による劣化対策を講じておくことが望ましい。また、黒色を表示する際は、電流制御用TFT202をオフ状態にしておくが、その際、オフ電流が高いとききれいな黒色表示ができなくなり、コントラストの低下等を招く。従って、オフ電流も抑える必要がある。

【0089】ホットキャリア注入による劣化に関しては、ゲート電極に対してLDD領域が重なった構造が非常に効果的であることが知られている。しかしながら、

LDD領域全体を重ねてしまうとオフ電流が増加してしまうため、本出願人は上記構造に加えてゲート電極に重ならないLDD領域を直列に設けるという新規な構造によって、ホットキャリア対策とオフ電流対策とを同時に解決している。

【0090】この時、ゲート電極に重なったLDD領域の長さは0.1～3 μm （好ましくは0.3～1.5 μm ）にすれば良い。長すぎると寄生容量を大きくしてしまい、短すぎるとホットキャリアを防止する効果が弱くなってしまいます。また、ゲート電極に重ならないLDD領域の長さは1.0～3.5 μm （好ましくは1.5～2.0 μm ）にすれば良い。長すぎると十分な電流を流せなくなり、短すぎるとオフ電流を低減する効果が弱くなる。

【0091】また、上記構造においてゲート電極とLDD領域とが重なった領域では寄生容量が形成されてしまうため、ソース領域26とチャネル形成領域29との間には設けない方が好ましい。電流制御用TFETはキャリア（ここでは電子）の流れる方向が常に同一であるので、ドレイン領域側のみにLDD領域を設けておけば十分である。

【0092】また、流しうる電流量を多くするという観点から見れば、電流制御用TFET202の活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは50～100nm、さらに好ましくは60～80nm）ことも有効である。逆に、スイッチング用TFET201の場合はオフ電流を小さくするという観点から見れば、活性層（特にチャネル形成領域）の膜厚を薄くする（好ましくは20～50nm、さらに好ましくは25～40nm）ことも有効である。

【0093】以上は画素内に設けられたTFETの構造について説明したが、このとき同時に駆動回路も形成される。図2には駆動回路を形成する基本単位となるCMOS回路が図示されている。

【0094】図2においては極力動作速度を落とさないようにしつつホットキャリア注入を低減させる構造を有するTFETをCMOS回路のnチャネル型TFET204として用いる。なお、ここでいう駆動回路としては、図1に示したデータ信号側駆動回路102、ゲート信号側駆動回路103を指す。勿論、他の論理回路（レベルシフタ、A/Dコンバータ、信号分割回路等）を形成することも可能である。

【0095】nチャネル型TFET204の活性層は、ソース領域35、ドレイン領域36、LDD領域37及びチャネル形成領域38を含み、LDD領域37はゲート絶縁膜18を挟んでゲート電極39と重なっている。

【0096】ドレイン領域側のみにLDD領域を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型TFET204はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視し

た方が良い。従って、LDD領域37は完全にゲート電極に重なってしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

【0097】また、CMOS回路のpチャネル型TFET205は、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。従って活性層はソース領域40、ドレイン領域41及びチャネル形成領域42を含み、その上にはゲート絶縁膜18とゲート電極43が設けられる。勿論、nチャネル型TFET204と同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0098】なお、電流制御用TFET202としてpチャネル型TFETを用いる場合には、pチャネル型TFET205と同じ構造のpチャネル型TFETを用いれば良い。

【0099】また、nチャネル型TFET204及びpチャネル型TFET205はそれぞれ第1層間絶縁膜20に覆われ、ソース配線44、45が形成される。また、ドレイン配線46によって両者は電氣的に接続される。

【0100】次に、47は第1パッシベーション膜であり、膜厚は10nm～1 μm （好ましくは200～500nm）とすれば良い。材料としては、珪素を含む絶縁膜（特に窒化酸化珪素膜又は窒化珪素膜が好ましい）を用いることができる。このパッシベーション膜47は形成されたTFETをアルカリ金属や水分から保護する役割をもつ。最終的にTFETの上方に設けられるEL層にはナトリウム等のアルカリ金属が含まれている。即ち、第1パッシベーション膜47はこれらのアルカリ金属（可動イオン）をTFET側に侵入させない保護層としても働く。

【0101】また、48は第2層間絶縁膜であり、TFETによってできる段差の平坦化を行う平坦化膜としての機能を有する。第2層間絶縁膜48としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル樹脂もしくはBCB（ベンゾシクロブテン）を用いると良い。これらの有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。EL層は凹凸に非常に敏感であるため、TFETによる段差は第2層間絶縁膜で殆ど吸収してしまうことが望ましい。また、ゲート配線やデータ配線とEL素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておくことが望ましい。従って、膜厚は0.5～5 μm （好ましくは1.5～2.5 μm ）が好ましい。

【0102】また、49は透明導電膜でなる画素電極（EL素子の陽極）であり、第2層間絶縁膜48及び第1パッシベーション膜47にコンタクトホール（開孔）を開けた後、形成された開孔部において電流制御用TFET202のドレイン配線32に接続されるように形成される。なお、図2のように画素電極49とドレイン領域

27とが直接接続されないようにしておくと、EL層のアルカリ金属が画素電極を経由して活性層へ侵入することを防ぐことができる。

【0103】画素電極49の上には酸化珪素膜、窒化酸化珪素膜または有機樹脂膜でなる第3層間絶縁膜50が0.3～1μmの厚さに設けられる。この第3層間絶縁膜50は画素電極49の上にエッチングにより開口部が設けられ、その開口部の縁はテーパ形状となるようにエッチングする。テーパの角度は10～60°（好ましくは30～50°）とすると良い。

【0104】第3層間絶縁膜50の上にはEL層51が設けられる。EL層51は単層又は積層構造で用いられるが、積層構造で用いた方が発光効率が良い。一般的には画素電極上に正孔注入層／正孔輸送層／発光層／電子輸送層の順に形成されるが、正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層のような構造でも良い。本発明では公知のいずれの構造を用いても良いし、EL層に対して蛍光性色素等をドーピングしても良い。

【0105】有機EL材料としては、例えば、以下の米国特許又は公開公報に開示された材料を用いることができる。米国特許第4,356,429号、米国特許第4,539,507号、米国特許第4,720,432号、米国特許第4,769,292号、米国特許第4,885,211号、米国特許第4,950,950号、米国特許第5,059,861号、米国特許第5,047,687号、米国特許第5,073,446号、米国特許第5,059,862号、米国特許第5,061,617号、米国特許第5,151,629号、米国特許第5,294,869号、米30
国特許第5,294,870号、特開平10-189525号公報、特開平8-241048号公報、特開平8-78159号公報。

【0106】また、以下の論文に記載されたEL材料を用いることもできる。

(1) T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.

(2) M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 40
(1998) p.151.

上記論文に報告されたEL材料(Pt錯体)の分子式を以下に示す。

(3) M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.

(4) T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.

【0107】なお、EL表示装置には大きく分けて四つのカラー化表示方式があり、R(赤) G(緑) B(青) 50

に対応した三種類のEL素子を形成する方式、白色発光のEL素子とカラーフィルター(着色層)を組み合わせた方式、青色又は青緑発光のEL素子と蛍光体(蛍光性の色変換層:CCM)とを組み合わせた方式、陰極(対向電極)に透明電極を使用してRGBに対応したEL素子を重ねる方式、がある。

【0108】図2の構造はRGBに対応した三種類のEL素子を形成する方式を用いた場合の例である。なお、図2には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。

【0109】本発明は発光方式に関わらず実施することが可能であり、上記四つの全ての方式を本発明に用いることができる。しかし、蛍光体はELに比べて応答速度が遅く残光が問題となりうるので、蛍光体を用いない方式が望ましい。また、発光輝度を落とす要因となるカラーフィルターもなるべく使わない方が望ましいと言える。

【0110】EL層51の上にはEL素子の陰極52が設けられる。陰極52としては、仕事関数の小さいマグネシウム(Mg)、リチウム(Li)若しくはカルシウム(Ca)を含む材料を用いる。好ましくはMgAg(MgとAgをMg:Ag=10:1で混合した材料)でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFAl電極が挙げられる。

【0111】陰極52はEL層51を形成した後、大気解放しないで連続的に形成することが望ましい。陰極52とEL層51との界面状態はEL素子の発光効率に大きく影響するからである。なお、本明細書中では、画素電極(陽極)、EL層及び陰極で形成される発光素子をEL素子と呼ぶ。

【0112】EL層51と陰極52とでなる積層体は、各画素で個別に形成する必要があるが、EL層51は水分に極めて弱いため、通常のフォトリソグラフィ技術を用いることができない。従って、メタルマスク等の物理的なマスク材を用い、真空蒸着法、スパッタ法、プラズマCVD法等の気相法で選択的に形成することが好ましい。

【0113】なお、EL層を選択的に形成する方法として、インクジェット法やスクリーン印刷法等を用いることも可能であるが、これらは現状では陰極の連続形成ができないので、上述の方法の方が好ましいと言える。

【0114】また、53は保護電極であり、陰極52を外部の水分等から保護すると同時に、各画素の陰極52を接続するための電極である。保護電極53としては、アルミニウム(Al)、銅(Cu)若しくは銀(Ag)を含む低抵抗な材料を用いることが好ましい。この保護電極53にはEL層の発熱を緩和する放熱効果も期待できる。また、上記EL層51、陰極52を形成した後、大気解放しないで連続的に保護電極53まで形成するこ

とも有効である。

【0115】また、54は第2パッシベーション膜であり、膜厚は10nm～1μm（好ましくは200～500nm）とすれば良い。第2パッシベーション膜54を設ける目的は、EL層51を水分から保護する目的が主であるが、放熱効果をもたせることも有効である。但し、上述のようにEL層は熱に弱いので、なるべく低温（好ましくは室温から120℃までの温度範囲）で成膜するのが望ましい。従って、プラズマCVD法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法（スピコーティング法）が望ましい成膜方法と言える。

【0116】なお、図2に図示されたTF Tは全て、前述の本発明で用いるシリコン膜を活性層として有することは言うまでもない。

【0117】本発明の主旨の一つは、TF Tの活性層として結晶粒界の連続性が高く、結晶方位の揃った特異な結晶構造でなるシリコン膜を用いることで高い動作速度を示すTF Tを形成し、それにより駆動回路一体型のアクティブマトリクス型EL表示装置の時分割階調表示を行うというものである。従って、図2のEL表示装置の構造に限定されるものではなく、図2の構造は本発明を実施する上での好ましい形態の一つに過ぎない。

【0118】上記本発明で用いるシリコン膜を用いたTF Tは、高い動作速度を示すが故にホットキャリア注入などの劣化も起こりやすい。そのため、図2のように、画素内において機能に応じて構造の異なるTF T（オフ電流の十分に低いスイッチング用TF Tと、ホットキャリア注入に強い電流制御用TF T）を形成することは、高い信頼性を有し、且つ、良好な画像表示が可能な（動作性能の高い）EL表示装置を作製する上で非常に有効である。

【0119】〔実施例1〕本発明の実施例について図5～図8を用いて説明する。ここでは、画素部とその周辺に設けられる駆動回路部のTF Tを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位であるCMOS回路を図示することとする。

【0120】まず、図5（A）に示すように、下地膜（図示せず）を表面に設けた基板501を用意する。本実施例では結晶化ガラス上に下地膜として100nm厚の窒化酸化珪素膜を200nm厚の窒化酸化珪素膜とを積層して用いる。この時、結晶化ガラス基板に接する方の窒素濃度を10～25wt%としておくことと良い。勿論、下地膜を設けずに石英基板上に直接素子を形成しても良い。

【0121】次に基板501の上に45nmの厚さのアモルファスシリコン膜502を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含

む）であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。

【0122】ここから図5（C）までの工程は本出願人による特開平10-247735号公報を完全に引用することができる。同公報ではNi等の元素を触媒として用いた半導体膜の結晶化方法に関する技術を開示している。

【0123】まず、開口部503a、503bを有する保護膜504を形成する。本実施例では150nm厚の酸化珪素膜を用いる。そして、保護膜504の上にスピコート法によりニッケル（Ni）を含有する層（Ni含有層）505を形成する。このNi含有層の形成に関しては、前記公報を参考にすれば良い。

【0124】次に、図5（B）に示すように、不活性雰囲気中で570℃14時間の加熱処理を加え、アモルファスシリコン膜502を結晶化する。この際、Niが接した領域（以下、Ni添加領域という）506a、506bを起点として、基板と概略平行に結晶化が進行し、棒状結晶が集まって並んだ結晶構造でなるポリシリコン膜507が形成される。この時点において、電子線回折写真には図19（A）に示したような{110}配向に対応する回折斑点が観測されることが判っている。

【0125】次に、図5（C）に示すように、保護膜504をそのままマスクとして15族に属する元素（好ましくはリン）をNi添加領域506a、506bに添加する。こうして高濃度にリンが添加された領域（以下、リン添加領域という）508a、508bが形成される。

【0126】次に、図5（C）に示すように、不活性雰囲気中で600℃12時間の加熱処理を加える。この熱処理によりポリシリコン膜507中に存在するNiは移動し、最終的には殆ど全て矢印が示すようにリン添加領域508a、508bに捕獲されてしまう。これはリンによる金属元素（本実施例ではNi）のゲッターリング効果による現象であると考えられる。

【0127】この工程によりポリシリコン膜509中に残るNiの濃度はSIMS（質量二次イオン分析）による測定値で少なくとも $2 \times 10^{17} \text{ atoms/cm}^3$ にまで低減される。Niは半導体にとってライフタイムキラーであるが、この程度まで低減されるとTF T特性には何ら悪影響を与えることはない。また、この濃度は殆ど現状のSIMS分析の測定限界であるので、実際にはさらに低い濃度（ $2 \times 10^{17} \text{ atoms/cm}^3$ 以下）であると考えられる。

【0128】こうして触媒を用いた結晶化され、且つ、その触媒がTF Tの動作に支障を与えないレベルにまで低減されたポリシリコン膜509が得られる。その後、このポリシリコン膜509のみを用いた活性層510～513をパターニング工程により形成する。なお、この時、後のパターニングにおいてマスク合わせを行うためのマーカーを、上記ポリシリコン膜を用いて形成すると

良い。(図5(D))

【0129】次に、図5(E)に示すように、50nm厚の窒化酸化シリコン膜をプラズマCVD法により形成し、その上で酸化雰囲気中で950℃1時間の加熱処理を加え、熱酸化工程を行う。なお、酸化雰囲気は酸素雰囲気でも良いし、ハロゲン元素を添加した酸素雰囲気でも良い。

【0130】この熱酸化工程では活性層と上記窒化酸化シリコン膜との界面で酸化が進行し、約15nm厚のポリシリコン膜が酸化されて約30nm厚の酸化シリコン膜が形成される。即ち、30nm厚の酸化シリコン膜と50nm厚の窒化酸化シリコン膜が積層されてなる80nm厚のゲート絶縁膜514が形成される。また、活性層510~513の膜厚はこの熱酸化工程によって30nmとなる。

【0131】次に、図6(A)に示すように、レジストマスク515を形成し、ゲート絶縁膜514を介してp型を付与する不純物元素(以下、p型不純物元素という)を添加する。p型不純物元素としては、代表的には13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程(チャンネルドープ工程という)はTFTのしきい値電圧を制御するための工程である。

【0132】なお、本実施例ではジボラン(B_2H_6)を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程により $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$)の濃度でボロンを含む不純物領域516~518が形成される。

【0133】次に、図6(B)に示すように、レジストマスク519a、519bを形成し、ゲート絶縁膜514を介してn型を付与する不純物元素(以下、n型不純物元素という)を添加する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン(PH_3)を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを $1 \times 10^{18} \text{ atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0134】この工程により形成されるn型不純物領域520、521には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$)の濃度で含まれるようにドーズ量を調節する。

【0135】次に、図6(C)に示すように、添加されたn型不純物元素及びp型不純物元素の活性化工程を行う。活性化手段を限定する必要はないが、ゲート絶縁膜514が設けられているので電熱炉を用いたファーン

ネル形成領域となる部分の活性層/ゲート絶縁膜界面にダメージを与えてしまっている可能性があるため、なるべく高い温度で加熱処理を行うことが望ましい。

【0136】本実施例の場合には耐熱性の高い結晶化ガラスを用いているので、活性化工程を800℃1時間のファーンズアニール処理により行う。なお、処理雰囲気を酸化性雰囲気にして熱酸化を行っても良いし、不活性雰囲気中で加熱処理を行っても良い。但し、この活性化工程は必須ではない。

【0137】この工程によりn型不純物領域520、521の端部、即ち、n型不純物領域520、521の周囲に存在するn型不純物元素を添加していない領域(図6(A)の工程で形成されたp型不純物領域)との境界部(接合部)が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャンネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0138】次に、200~400nm厚の導電膜を形成し、パターンニングしてゲート電極522~525を形成する。なお、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。

【0139】具体的には、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、導電性を有するシリコン(Si)から選ばれた元素でなる膜、または前記元素の窒化物でなる膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、または前記元素のシリサイド膜(代表的にはタングステンシリサイド膜、チタンシリサイド膜)を用いることができる。勿論、単層で用いても積層して用いても良い。

【0140】本実施例では、50nm厚の窒化タングステン(WN)膜と、350nm厚のタングステン(W)膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0141】またこの時、ゲート電極523、525はそれぞれn型不純物領域520、521の一部とゲート絶縁膜514を挟んで重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。なお、ゲート電極524a、524bは断面では二つに見えるが、実際は電氣的に接続されている。

【0142】次に、図7(A)に示すように、ゲート電極522~525をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成される不純物領域526~532にはn型不純物領域520、521の1/2~1/10(代表的には1/3~1/4)の濃度でリンが添加されるように調節する。具

体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ (典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$) の濃度が好ましい。

【0143】次に、図7(B)に示すように、ゲート電極を覆う形でレジストマスク533a~533dを形成し、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域534~540を形成する。ここでもフォスフィン(PH_3)を用いたイオンドープ法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$) となるように調節する。

【0144】この工程によってnチャンネル型TFTのソース領域若しくはドレイン領域が形成されるが、スイッチング用TFTは、図7(A)の工程で形成したn型不純物領域529~531の一部を残す。この残された領域が、図2におけるスイッチング用TFTのLDD領域15a~15dに対応する。

【0145】次に、図7(C)に示すように、レジストマスク533a~533dを除去し、新たにレジストマスク541を形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度にボロンを含む不純物領域542、543を形成する。ここではジボラン(B_2H_6)を用いたイオンドープ法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$) の濃度となるようにボロンを添加する。

【0146】なお、不純物領域542、543には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にP型に反転し、P型の不純物領域として機能する。

【0147】次に、図7(D)に示すように、レジストマスク541を除去した後、第1層間絶縁膜544を形成する。第1層間絶縁膜544としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は $400 \text{ nm} \sim 1.5 \mu\text{m}$ とすれば良い。本実施例では、 200 nm 厚の窒化酸化珪素膜の上に 800 nm 厚の酸化珪素膜を積層した構造とする。

【0148】その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーネスアニール法が好ましい。本実施例では電熱炉において窒素雰囲気中、 550°C 、4時間の熱処理を行う。

【0149】さらに、 $3 \sim 100\%$ の水素を含む雰囲気中で、 $300 \sim 450^\circ\text{C}$ で $1 \sim 12$ 時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0150】なお、水素化処理は第1層間絶縁膜544を形成する間に入れても良い。即ち、 200 nm 厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り 800 nm 厚の酸化珪素膜を形成しても構わない。

【0151】次に、図8(A)に示すように、第1層間絶縁膜544に対してコンタクトホールを形成し、ソース配線545~548と、ドレイン配線549~551を形成する。なお、本実施例ではこの電極を、Ti膜を 100 nm 、Tiを含むアルミニウム膜を 300 nm 、Ti膜 150 nm をスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

【0152】次に、 $50 \sim 500 \text{ nm}$ (代表的には $200 \sim 300 \text{ nm}$) の厚さで第1パッシベーション膜552を形成する。本実施例では第1パッシベーション膜552として 300 nm 厚の窒化酸化シリコン膜を用いる。これは窒化シリコン膜で代用しても良い。

【0153】この時、窒化酸化シリコン膜の形成に先立って H_2 、 NH_3 等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜544に供給され、熱処理を行うことで、第1パッシベーション膜552の膜質が改善される。それと同時に、第1層間絶縁膜544に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0154】次に、図8(B)に示すように、有機樹脂からなる第2層間絶縁膜553を形成する。有機樹脂としてはポリイミド、アクリルもしくはBCB(ベンゾシクロブテン)を使用することができる。特に、第2層間絶縁膜553はTFTが形成する段差を平坦化する必要があるので、平坦性に優れたアクリル膜が好ましい。本実施例では $2.5 \mu\text{m}$ の厚さでアクリル膜を形成する。

【0155】次に、第2層間絶縁膜553、第1パッシベーション膜552にドレイン配線551に達するコンタクトホールを形成し、画素電極(陽極)554を形成する。本実施例では酸化インジウム・スズ(ITO)膜を 110 nm の厚さに形成し、パターニングを行って画素電極とする。また、酸化インジウムに $2 \sim 20\%$ の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極がEL素子の陽極となる。

【0156】次に、珪素を含む絶縁膜(本実施例では酸化珪素膜)を 500 nm の厚さに形成し、画素電極554に対応する位置に開口部を形成して第3層間絶縁膜555を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることができる。開口部の側壁が十分になだらかでないと段差に起因するEL層の劣化が顕著な問題となってしまう。

【0157】次に、EL層556及び陰極(MgAg電極)557を、真空蒸着法を用いて大気解放しないで連

続形成する。なお、EL層556の膜厚は800～200nm（典型的には100～120nm）、陰極557の厚さは180～300nm（典型的には200～250nm）とすれば良い。

【0158】この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次EL層及び陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層及び陰極を形成するのが好ましい。

【0159】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層及び陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスク

【0160】なお、EL層556としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる4層構造をEL層とすれば良い。また、本実施例ではEL素子の陰極としてMgAg電極を用いた例を示すが、公知の他の材料であっても良い。

【0161】また、保護電極558としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極558はEL層及び陰極を形成した時とは異なるマスクを用いて真空蒸着法で形成すれば良い。また、EL層及び陰極を形成した後で大気解放しないで連続的に形成することが好ましい。

【0162】最後に、窒化珪素膜でなる第2パッシベーション膜559を300nmの厚さに形成する。実際には保護電極558がEL層を水分等から保護する役割を果たすが、さらに第2パッシベーション膜559を形成しておくことで、EL素子の信頼性をさらに高めることができる。

【0163】こうして図8（C）に示すような構造のアクティブマトリクス型EL表示装置が完成する。なお、実際には、図8（C）まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）やセラミックス製シーリングカンなどのハウジング材でパッケージング（封入）することが好ましい。その際、ハウジング材の内部を不活性雰囲気にした

ば酸化バリウム）を配置することでEL層の信頼性（寿命）が向上する。

【0164】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（TABテープもしくはフレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。このような出荷できる状態にまでしたEL表示装置を本明細書中ではELモジュールという。

【0165】ここで本実施例のアクティブマトリクス型EL表示装置の構成を図11の斜視図を用いて説明する。本実施例のアクティブマトリクス型EL表示装置は、ガラス基板601上に形成された、画素部602と、ゲート信号側駆動回路603と、データ信号側駆動回路604で構成される。画素部のスイッチング用TFT605はnチャンネル型TFTであり、ゲート側駆動回路603に接続されたゲート配線606、データ信号側駆動回路604に接続されたデータ配線607の交点に配置されている。また、スイッチング用TFT605のドレインは電流制御用TFT608のゲートに接続されている。

【0166】さらに、電流制御用TFT608のソースは電流供給線609に接続され、電流制御用TFT608のドレインはEL素子610に接続されている。また、このEL素子610のカソード（陰極）には所定の電圧が加えられる。

【0167】そして、外部入出力端子となるFPC611には駆動回路まで信号を伝達するための入力配線（接続配線）612、613、及び電流供給線609に接続された入力配線614が設けられている。

【0168】さらに、ハウジング材をも含めた本実施例のELモジュールについて図12（A）、（B）を用いて説明する。なお、必要に応じて図11で用いた符号を引用することにする。

【0169】基板1200上には画素部1201、データ信号側駆動回路1202、ゲート信号側駆動回路1203が形成されている。それぞれの駆動回路からの各種配線は、入力配線612～614を経てFPC611に至り外部機器へと接続される。

【0170】このとき少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてハウジング材1204を設ける。なお、ハウジング材1204はEL素子の外寸よりも内寸が大きい凹部を有する形状又はシート形状であり、接着剤1205によって、基板1200と共同して密閉空間を形成するようにして基板1200に固着される。このとき、EL素子は完全に前記密閉空間に封入された状態となり、外気から完全に遮断される。なお、ハウジング材1204は複数設けても構わない。

【0171】また、ハウジング材1204の材質はガラス、ポリマー等の絶縁性物質が好ましい。例えば、非晶

質ガラス（硼硅酸塩ガラス、石英等）、結晶化ガラス、セラミックスガラス、有機系樹脂（アクリル系樹脂、スチレン系樹脂、ポリカーボネート系樹脂、エポキシ系樹脂等）もしくはシリコン系樹脂が挙げられる。また、セラミックスを用いても良い。また、接着剤1205が絶縁性物質であるならステンレス合金等の金属材料を用いることも可能である。

【0172】また、接着剤1205の材質は、エポキシ系樹脂、アクリレート系樹脂等の接着剤を用いることが可能である。さらに、熱硬化性樹脂や光硬化性樹脂を接着剤として用いることもできる。但し、可能な限り酸素、水分を透過しない材質であることが必要である。

【0173】さらに、ハウジング材と基板1200との間の空隙1206は不活性ガス（アルゴン、ネオン、ヘリウムもしくは窒素）を充填しておくことが望ましい。また、ガスに限らず不活性液体（パーフルオロアルカンに代表されるの液状フッ素化炭素等）を用いることも可能である。不活性液体に関しては特開平8-78519号で用いられているような材料で良い。

【0174】また、空隙1206に乾燥剤を設けておくことも有効である。乾燥剤としては特開平9-148066号公報に記載されているような材料を用いることができる。典型的には酸化バリウムを用いれば良い。

【0175】また、図12（B）に示すように、画素部には個々に孤立したEL素子を有する複数の画素が設けられ、それらは全て保護電極1207を共通電極として有している。本実施例では、EL層、陰極（MgAg電極）及び保護電極を大気解放しないで連続形成することが好ましいとしたが、EL層と陰極とを同じマスク材を用いて形成し、保護電極だけ別のマスク材で形成すれば図12（B）の構造を実現することができる。

【0176】このとき、EL層と陰極は画素部のみ設ければよく、駆動回路の上に設ける必要はない。勿論、駆動回路上に設けられていても問題とはならないが、EL層にアルカリ金属が含まれていることを考慮すると設けない方が好ましい。

【0177】なお、保護電極1207は1208で示される領域において、画素電極と同一材料でなる接続配線1209を介して入力配線1210に接続される。入力配線1210は保護電極1207に所定の電圧（本実施例では接地電位、具体的には0V）を与えるための電流供給線であり、導電性ペースト材料1211を介してFPC611に接続される。

【0178】ここで領域1208におけるコンタクト構造を実現するための作製工程について図13を用いて説明する。

【0179】まず、本実施例の工程に従って図8（A）の状態を得る。このとき、基板端部（図12（B）において1208で示される領域）において第1層間絶縁膜544及びゲート絶縁膜514を除去し、その上に入力

配線1210を形成する。勿論、図8（A）のソース配線及びドレイン配線と同時に形成される。（図13（A））

【0180】次に、図8（B）において第2層間絶縁膜553及び第1パッシベーション膜552をエッチングする際に、1301で示される領域を除去し、且つ開孔部1302を形成する。そして、開孔部1302を覆うようにして接続配線1209を形成する。勿論、この接続配線1209は図8（B）において画素電極554と同時に形成される。（図13（B））

【0181】この状態で画素部ではEL素子の形成工程（第3層間絶縁膜、EL層及び陰極の形成工程）が行われる。この際、図13に示される領域ではマスク等を用いて第3層間絶縁膜やEL素子が形成されないようにする。そして、陰極557を形成した後、別のマスクを用いて保護電極558を形成する。これにより保護電極558と入力配線1210とが接続配線1209を介して電氣的に接続される。さらに、第2パッシベーション膜559を設けて図13（C）の状態を得る。

【0182】以上の工程により図12（B）の1208で示される領域のコンタクト構造が実現される。そして、入力配線1210はハウジング材1204と基板1200との間を隙間（但し接着剤1205で充填されている。即ち、接着剤1205は入力配線の段差を十分に平坦化しうる厚さが必要である。）を通してFPC611に接続される。なお、ここでは入力配線1210について説明したが、他の入力配線612～614も同様にハウジング材1204の下を通してFPC611に接続される。

【0183】〔実施例2〕本実施例では、画素の構成を図1（B）に示した構成と異なるものとした例を図14に示す。

【0184】本実施例では、図1（B）に示した二つの画素を、接地電位を与えるための電流供給線110について対称となるように配置する。即ち、図14に示すように、電流供給線110を隣接する二つの画素間で共通化することで必要とする配線の本数を低減する。なお、画素内に配置されるTF構造等はそのままが良い。

【0185】このような構成とすれば、より高精細な画素部を作製することが可能となり、画像の品質が向上する。

【0186】また、電流供給線110を共通化することで、電流供給線110の線幅のマージンが広がり、画像の明るさを落とすことなく電流供給線110の線幅を広げることができる。それにより電流供給線110の電圧降下の影響を低減することができ、画素の位置によって電流供給線110から供給される電圧が異なるようなことを防ぐことが可能である。

【0187】なお、本実施例の構成は実施例1の作製工程に従って容易に実現することが可能である。

【0188】〔実施例3〕本実施例では、図1と異なる構造の画素部を形成する場合について図15を用いて説明する。なお、第2層間絶縁膜48を形成する工程までは実施例1に従えば良い。また、第2層間絶縁膜48で覆われたスイッチング用TF T 201、電流制御用TF T 202は図1と同じ構造であるので、ここでの説明は省略する。

【0189】本実施例の場合、第2層間絶縁膜48及び第1パッシベーション膜47に対してコンタクトホールを形成したら、画素電極61を形成する。本実施例では画素電極61として、200nm厚のアルミニウム合金膜（1wt%のチタンを含有したアルミニウム膜）を設ける。なお、画素電極の材料としては金属材料であれば如何なる材料でも良いが、反射率の高い材料であることが好ましい。

【0190】そして、その上に酸化珪素膜でなる第3層間絶縁膜62を300nmの厚さに形成し、陰極63として230nm厚のMgAg電極、EL層64として下から電子輸送層20nm、発光層40nm、正孔輸送層30nmを形成する。但し、EL層64は陰極63より若干大きいパターンとなるように形成しておく必要がある。こうすることで陰極63が後に形成する陽極65と短絡することを防ぐことができる。

【0191】このとき、陰極63とEL層64はマルチチャンバー方式（クラスターツール方式ともいう）の真空蒸着機を用いて大気解放しないで連続的に形成するが、まず第1マスクで全画素に陰極63を形成し、次いで第2マスクで赤色発光のEL層を形成する。そして、第2マスクを精密に制御しながらずらして順次緑色発光のEL層、青色発光のEL層を形成する。

【0192】なお、RGBに対応する画素がストライプ状に並んでいる時は上記のような方法で第2マスクをずらすだけで良いが、いわゆるデルタ配置と呼ばれる画素構造を実現するには、緑色発光のEL層用に第3マスク、青色発光のEL層用に第4マスクを別途用いても構わない。

【0193】こうしてEL層64まで形成したら、その上に透明導電膜（本実施例ではITO膜に10wt%の酸化亜鉛を含有させた薄膜）でなる陽極65を110nmの厚さに形成する。こうしてEL素子206が形成され、実施例1に示した材料でもって第2パッシベーション膜66を形成すれば図15に示すような構造の画素が完成する。

【0194】本実施例の構造とした場合、各画素で生成された赤色、緑色又は青色の光はTF Tが形成された基板とは反対側に放射される。そのため、画素内のほぼ全域、即ちTF Tが形成された領域をも有効な発光領域として用いることができる。その結果、画素の有効発光面積が大幅に向上し、画像の明るさやコントラスト比（明暗の比）が向上する。

【0195】なお、本実施例の構成は、実施例1、2のいずれの構成とも自由に組み合わせることが可能である。

【0196】〔実施例4〕本実施例では、実施例1によって作製されたアクティブマトリクス型EL表示装置の画素構造の一例を説明する。説明には図16を用いる。なお、図16において図1又は図2に対応する部分には適宜、図1又は図2の符号を引用する。

【0197】図16において、201はスイッチング用TF Tであり、ソース領域13、ドレイン領域14、ゲート配線（ゲート電極を兼ねる）106を含む。また、202は電流制御用TF Tであり、ソース領域26、ドレイン領域27、ゲート電極30を含む。また、電流制御用TF T 202と画素電極49はドレイン配線32を介して電氣的に接続される。なお、51、52で示される点線はEL層51と陰極52の形成位置を示している。そして、画素電極49、EL層51及び陰極52でEL素子203を形成している。

【0198】このとき、スイッチング用TF T 201のドレイン配線22はコンタクト部1601にて電流制御用TF T 202のゲート電極30に電氣的に接続される。また、そのゲート電極30は電流制御用TF T 202のソース配線31と重なる部分において保持容量112を形成する。このソース配線31は電流供給線110に接続されている。

【0199】なお、本実施例において図16に示した画素構造は本発明を何ら限定するものではなく、好ましい一例に過ぎない。スイッチング用TF T、電流制御用TF T又は保持容量をどのような位置に形成するかは実施者が適宜設計すれば良い。本実施例は、実施例1～3のいずれの構成とも自由に組み合わせることで実施することが可能である。

【0200】〔実施例5〕本実施例では、アクティブマトリクス型EL表示装置の画素構造を実施例4とは異なる構造とした場合の一例を説明する。具体的には、図16に示した画素構造において、ゲート配線の材料を異なるものとした例を図17に示す。なお、図17は図16のゲート配線の構成のみが異なるだけでその他は同じであるので、特に詳細な説明は省略する。

【0201】図17において、71a、71bは実施例1のゲート電極と同様に窒化タングステン膜とタングステン膜の積層膜で形成されたゲート電極である。これらは図17に示すように各々孤立したパターンとしても良いし、各々電氣的に接続されたパターンとしても良いが、形成された時点では電氣的にフローティング状態にある。

【0202】ゲート電極71a、71bとしては窒化タンタル膜とタンタル膜の積層膜やモリブデンとタングステンの合金膜など他の導電膜を用いても良い。しかしながら、3μm以下（好ましくは2μm以下）の微細な線幅を

形成しうる加工性に優れた膜であることが望ましい。また、ゲート絶縁膜を拡散して活性層中へ侵入するような元素を含む膜でないことが望ましい。

【0203】これに対して、ゲート配線72としてゲート電極71a、71bよりも低抵抗な導電膜、代表的にはアルミニウムを主成分とする合金膜や銅を主成分とする合金膜を用いる。ゲート配線72には特に微細な加工性は要求されない。また、活性層と重なることもないので絶縁膜中を拡散しやすいアルミニウムや銅を含んでいても問題とはならない。

【0204】本実施例の構造とする場合、実施例1の図7(D)の工程において第1層間絶縁膜544を形成する前に活性化工程を行えば良い。この場合、ゲート電極71a、71bが露呈した状態で熱処理を加えることになるが、十分に不活性な雰囲気、好ましくは酸素濃度が1ppm以下である不活性雰囲気で行う分にはゲート電極71a、71bが酸化されることはない。即ち、酸化により抵抗値が増加することもないし、除去の困難は絶縁膜(酸化膜)で覆われてしまうようなこともない。

【0205】そして、活性化工程が終了したら、アルミ

ニウム又は銅を主成分とする導電膜を形成し、パターンニングによりゲート配線72を形成すればよい。この時点でゲート電極71a、71bとゲート配線72との接触する部分では良好なオーミックコンタクトが確保され、ゲート電極71a、71bに所定のゲート電圧を加えることが可能となる。

【0206】本実施例の構造は、特に画像表示領域の面積が大きくなった場合において有効である。その理由を以下に説明する。

【0207】本発明のEL表示装置は1フレームを複数

のサブフレームに分割して駆動するため、画素部を駆動する駆動回路にかかる負担は大きい。これを低減するには画素部が有する負荷(配線抵抗、寄生容量またはTFTの書き込み容量など)を可能な限り低減することが好ましい。

【0208】TFTの書き込み容量は本発明で用いるシリコン膜によって非常に動作性能の高いTFTが実現できるためさほど問題とはならない。また、データ配線やゲート配線に付加される寄生容量は大部分がそれら配線の上に形成されたEL素子の陰極(または保護電極)との間で形成されるが、この点については第2層間絶縁膜として比誘電率の低い有機樹脂膜を1.5~2.5 μm という厚さで形成するので寄生容量は殆ど無視できる。

【0209】このことより本発明を画素部の面積の大きいEL表示装置に実施する上で最も障害となるのはデータ配線やゲート配線の配線抵抗となる。勿論、データ信号側駆動回路を複数に分割して並列処理をさせたり、画素部を挟んでデータ信号側駆動回路やゲート信号側駆動回路を設けて双方向から信号を送り、実質的に駆動回路の動作周波数を落とすようなことも可能である。但し、

その場合は駆動回路の専有面積が大きくなるなど別の問題が生じてしまう。

【0210】従って、本実施例のような構造によってゲート配線の配線抵抗を極力低減することは、本発明を実施する上で非常に有効である。なお、本実施例において図17に示した画素構造は本発明を何ら限定するものではなく、好ましい一例に過ぎない。また、本実施例は、実施例1~3のいずれの構成とも自由に組み合わせて実施することが可能である。

10 【0211】〔実施例6〕実施例1の図2に示した構造において、活性層と基板11との間に設けられる下地膜12として、放熱効果の高い材料を用いることは有効である。特に電流制御用TFTは長時間に渡って比較的多くの電流を流すことになるため発熱しやすく、自己発熱による劣化が問題となりうる。そのような場合に、本実施例のように下地膜が放熱効果を有することでTFTの熱劣化を抑制することができる。

【0212】放熱効果をもつ透光性材料としては、B(ホウ素)、C(炭素)、N(窒素)から選ばれた少なくとも一つの元素と、Al(アルミニウム)、Si(珪素)、P(リン)から選ばれた少なくとも一つの元素とを含む絶縁膜が挙げられる。

【0213】例えば、窒化アルミニウム(Al_xN_y)に代表されるアルミニウムの窒化物、炭化珪素(Si_xC_y)に代表される珪素の炭化物、窒化珪素(Si_xN_y)に代表される珪素の窒化物、窒化ホウ素(B_xN_y)に代表されるホウ素の窒化物、リン化ホウ素(B_xP_y)に代表されるホウ素のリン化物を用いることが可能である。また、酸化アルミニウム(Al_xO_y)に代表されるアルミニウムの酸化物は透光性に優れ、熱伝導率が $20\text{Wm}^{-1}\text{K}^{-1}$ であり、好ましい材料の一つと言える。なお、上記透光性材料において、x、yは任意の整数である。

【0214】また、上記化合物に他の元素を組み合わせることもできる。例えば、酸化アルミニウムに窒素を添加して、 $\text{Al}_x\text{N}_y\text{O}_z$ で示される窒化酸化アルミニウムを用いることも可能である。この材料にも放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果がある。なお、上記窒化酸化アルミニウムにおいて、x、yは任意の整数である。

【0215】また、特開昭62-90260号公報に記載された材料を用いることができる。即ち、Si、Al、N、O、Mを含む絶縁膜(但し、Mは希土類元素の少なくとも一種、好ましくはCe(セリウム)、Yb(イッテルビウム)、Sm(サマリウム)、Er(エルビウム)、Y(イットリウム)、La(ランタン)、Gd(ガドリニウム)、Dy(ジスプロシウム)、Nd(ネオジウム)から選ばれた少なくとも一つの元素)を用いることもできる。これらの材料にも放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果がある。

【0216】また、少なくともダイヤモンド薄膜又はアモルファスカーボン膜（特にダイヤモンドに特性の近いもの、ダイヤモンドライクカーボンと呼ばれる。）を含む炭素膜を用いることもできる。これらは非常に熱伝導率が高く、放熱層として極めて有効である。但し、膜厚が厚くなると褐色を帯びて透過率が低下するため、なるべく薄い膜厚（好ましくは5～100nm）で用いることが好ましい。

【0217】また、上記放熱効果をもつ材料からなる薄膜を単体で用いることもできるが、これらの薄膜と、珪素を含む絶縁膜とを積層して用いても良い。

【0218】なお、本実施例の構成は、実施例1～5のいずれの構成とも自由に組み合わせて実施することが可能である。

【0219】〔実施例7〕実施例1ではEL層として有機EL材料を用いることが好ましいとしたが、本発明は無機EL材料を用いても実施できる。但し、現在の無機EL材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有するTFEを用いなければならない。

【0220】または、将来的にさらに駆動電圧の低い無機EL材料が開発されれば、本発明に適用することは可能である。

【0221】また、本実施例の構成は、実施例1～6のいずれの構成とも自由に組み合わせることが可能である。

【0222】〔実施例8〕本発明を実施して形成されたアクティブマトリクス型EL表示装置（ELモジュール）は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れている。そのため本発明は直視型のELディスプレイ（ELモジュールを組み込んだ表示ディスプレイを指す）の表示部として用いることが可能である。ELディスプレイとしてはパソコンモニタ、TV放送受信用モニタ、広告表示モニタ等が挙げられる。

【0223】また、本発明は上述のELディスプレイも含めて、表示ディスプレイを部品として含むあらゆる電子装置の表示部として用いることが可能である。

【0224】そのような電子装置としては、ELディスプレイ、ビデオカメラ、デジタルカメラ、頭部取り付け型ディスプレイ（ヘッドマウントディスプレイ等）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（CD）、レーザーディスク（登録商標）（LD）又はデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。それら電子装置の例を図18に示す。

【0225】図18（A）はパーソナルコンピュータで

あり、本体2001、筐体2002、表示部2003、キーボード2004を含む。本発明は表示部2003に用いることができる。

【0226】図18（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106を含む。本発明を表示部2102に用いることができる。

【0227】図18（C）は頭部取り付け型のELディスプレイの一部（右片側）であり、本体2301、信号ケーブル2302、頭部固定バンド2303、表示モニタ2304、光学系2305、表示部2306等を含む。本発明は表示部2306に用いることができる。

【0228】図18（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2401、記録媒体（CD、LDまたはDVD等）2402、操作スイッチ2403、表示部（a）2404、表示部（b）2405を含む。表示部（a）は主として画像情報を表示し、表示部（b）は主として文字情報を表示するが、本発明はこれら表示部（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置としては、CD再生装置、ゲーム機器などに本発明を用いることができる。

【0229】図18（E）は携帯型（モバイル）コンピュータであり、本体2501、カメラ部2502、受像部2503、操作スイッチ2504、表示部2505を含む。本発明は表示部2505に用いることができる。

【0230】また、将来的にEL材料の発光輝度が高くなれば、フロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0231】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子装置に適用することが可能である。また、本実施例の電子装置は実施例1～7のどのような組み合わせからなる構成を用いても実現することができる。

【0232】〔実施例9〕図20に示した写真は本発明のEL表示装置であり、本発明の時分割階調方式により画像を表示している。なお、図20（A）は発光層として低分子系有機材料であるAlq₃（トリス-8-キノリノラトアルミニウム錯体）を用いており、図20（B）は発光層として高分子系有機材料であるPPV（ポリパラフェニレンビニレン）を用いている。また、図20に示したEL表示装置の仕様は次の表のようになっている。

【0233】

【表1】

画面サイズ	対角0.7インチ
画素数	640×480
画素間隔	22.5μm
階調	64 (6bit)
開口率	38%
ソース駆動回路の動作クロック周波数	12.5MHz
ゲート駆動回路の動作クロック周波数	232kHz
駆動回路の電圧	9V
表示領域の電圧	7V
デューティ比	62.5%
色	単色

【0234】

【発明の効果】本発明を実施することで、TFTの特性バラツキに影響されない鮮明な多階調カラー表示が可能なアクティブマトリクス型EL表示装置を得ることができる。さらに、本発明で用いるシリコン膜で活性層を形成することにより非常に動作性能の高いTFTが作製され、アクティブマトリクス型EL表示装置のデジタル信号による時分割階調表示をより効果的に実施することができる。そして、そのような階調表示を実現することにより電流制御用TFTの特性バラツキによる階調不良をなくし、色再現性の良い高精細な画像を得ることができる。

【0235】また、基板上に形成されるTFT自体も各回路又は素子が必要とする性能に併せて最適な構造のTFTを配置することで、信頼性の高いアクティブマトリクス型EL表示装置を実現している。

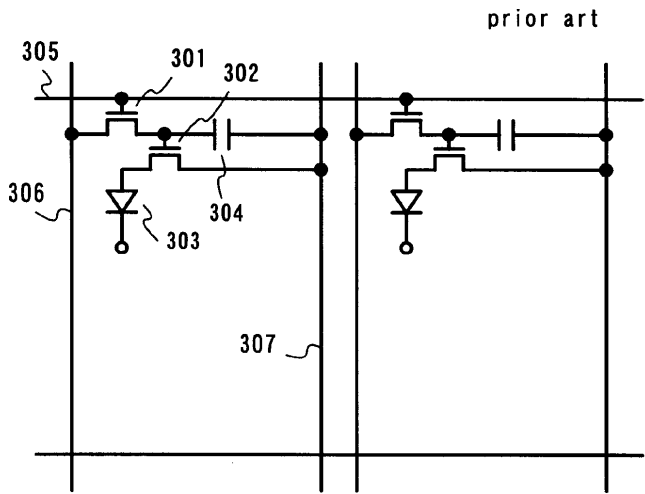
【0236】そして、そのようなアクティブマトリクス型EL表示装置を表示ディスプレイ（表示部）として具備することで、画像品質が良く、信頼性の高い高性能な電子装置を生産することが可能となる。

20

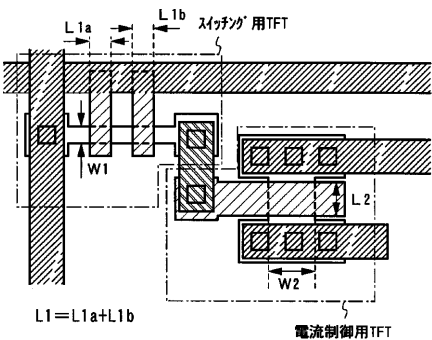
*【図面の簡単な説明】

- 【図1】 EL表示装置の構成を示す図。
- 【図2】 EL表示装置の断面構造を示す図。
- 【図3】 従来のEL表示装置における画素部の構成を示す図。
- 【図4】 アナログ階調方式で利用するTFT特性を説明する図。
- 【図5】 EL表示装置の作製工程を示す図。
- 【図6】 EL表示装置の作製工程を示す図。
- 【図7】 EL表示装置の作製工程を示す図。
- 【図8】 EL表示装置の作製工程を示す図。
- 【図9】 EL表示装置の画素部を拡大した図。
- 【図10】 時分割階調方式の動作モードを説明する図。
- 【図11】 ELモジュールの外観を示す図。
- 【図12】 ELモジュールの外観を示す図。
- 【図13】 コンタクト構造の作製工程を示す図。
- 【図14】 EL表示装置の画素部の構成を示す図。
- 【図15】 EL表示装置の断面構造を示す図。
- 【図16】 EL表示装置の画素部の上面構造を示す図。
- 【図17】 EL表示装置の画素部の上面構造を示す図。
- 【図18】 電子装置の具体例を示す図。
- 【図19】 本発明で用いるシリコン膜の電子線回折像を示す図面代用写真。
- 【図20】 本発明のEL表示装置の画像表示例を示す図面代用写真。

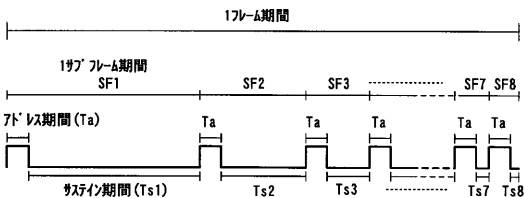
【図3】



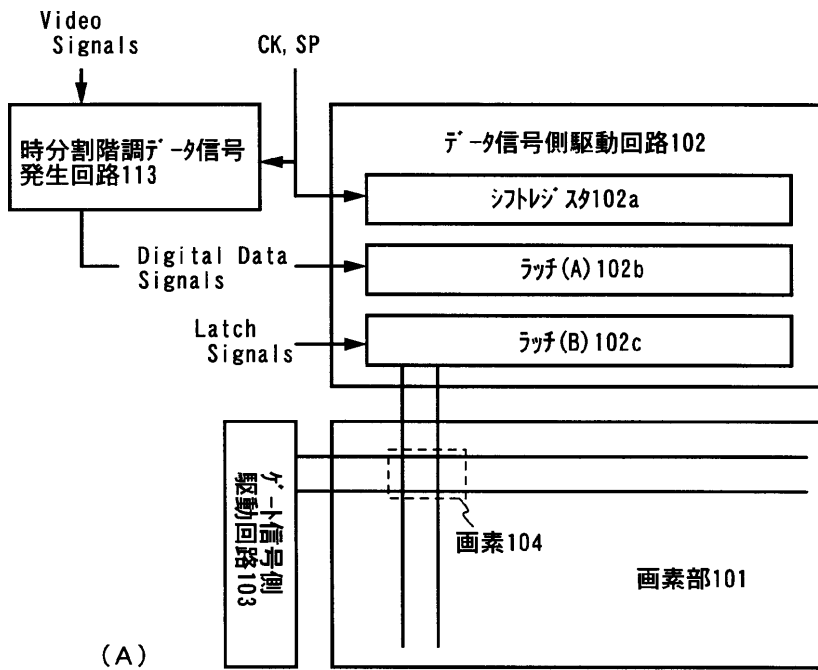
【図9】



【図10】

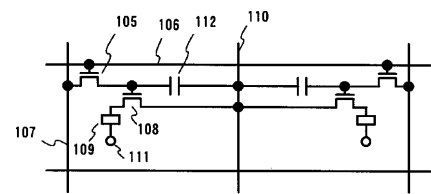


【図1】



(A)

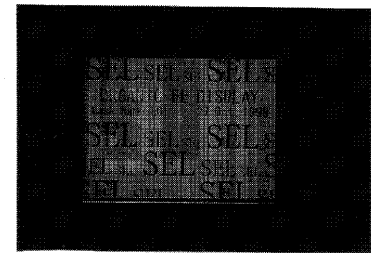
【図14】



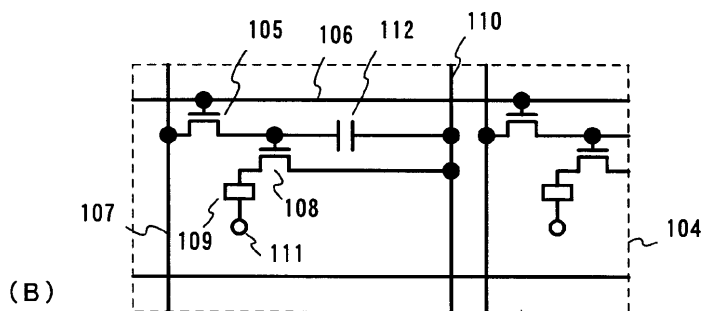
【図20】



(A)

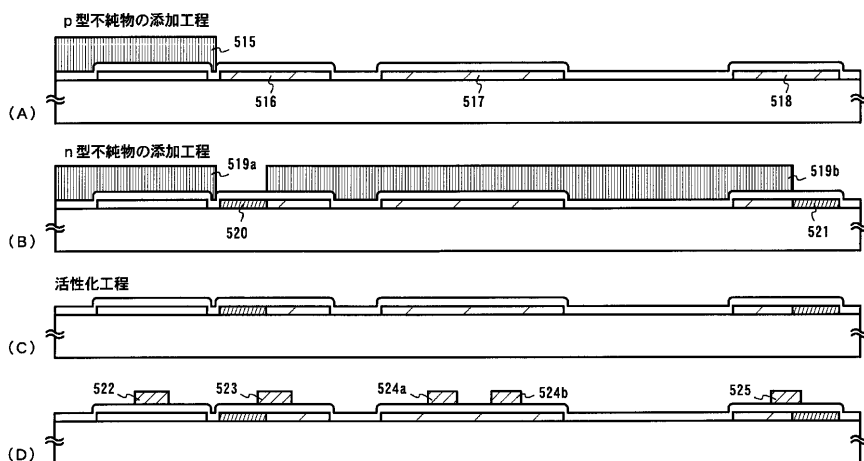


(B)



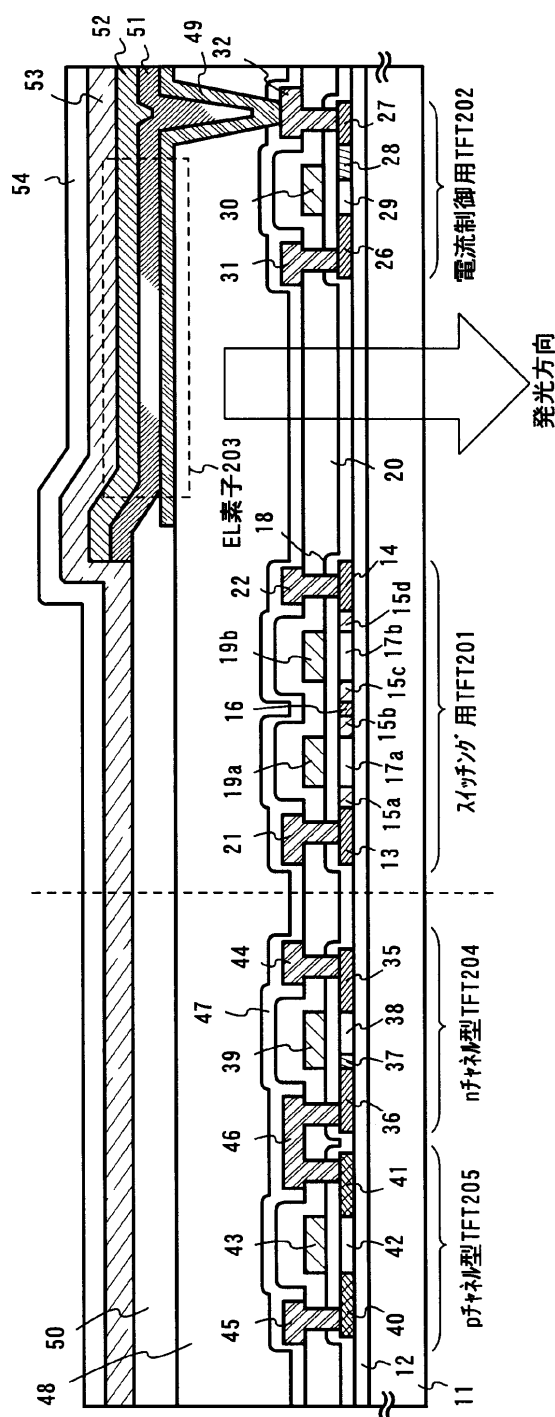
(B)

【図6】



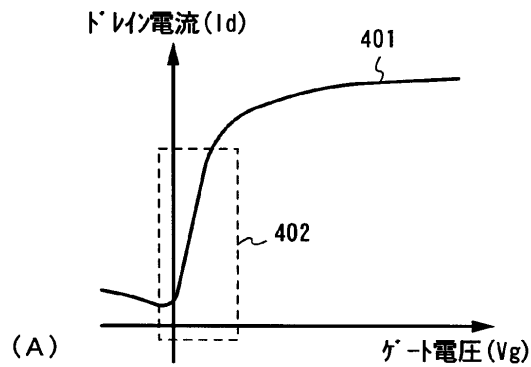
515, 519a, 519b:レジスタマスク 516~518: p型不純物領域 520, 521: n型不純物領域
522~525:ゲート電極

【図2】

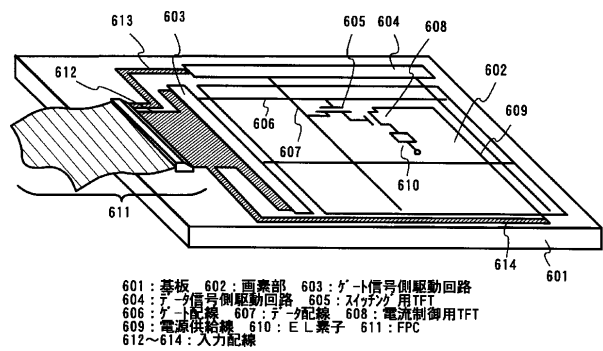


11: 基板 12: 下地膜 13: ソース領域 14: ドレイン領域 15a~15d: LDD領域 16: 分離領域 17a, 17b: チャネル形成領域
 18: ゲート絶縁膜 19a, 19b: ゲート電極 20: 第1層間絶縁膜 21: ソース配線 22: ドレイン配線 23: ソース領域 24: ドレイン領域
 25: LDD領域 26: チャネル形成領域 27: ゲート電極 28: LDD領域 29: チャネル形成領域 30: ゲート電極 31: ソース配線 32: ドレイン配線 33: ソース領域 34: ドレイン領域
 35: LDD領域 36: チャネル形成領域 37: ゲート電極 38: LDD領域 39: チャネル形成領域 40: ソース領域 41: ドレイン領域
 42: チャネル形成領域 43: ゲート電極 44: LDD領域 45: ソース配線 46: ドレイン配線 47: 第1層間絶縁膜 48: 第2層間絶縁膜 49: 画素電極 (陽極) 50: 第3層間絶縁膜
 51: E L 層 52: 陰極 53: 保護電極 54: 第2層間絶縁膜

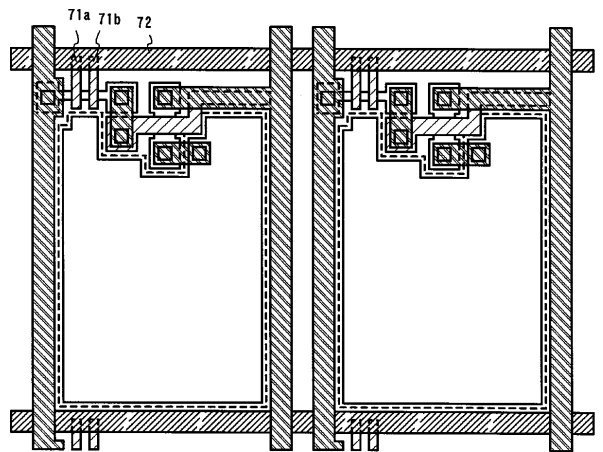
【図4】



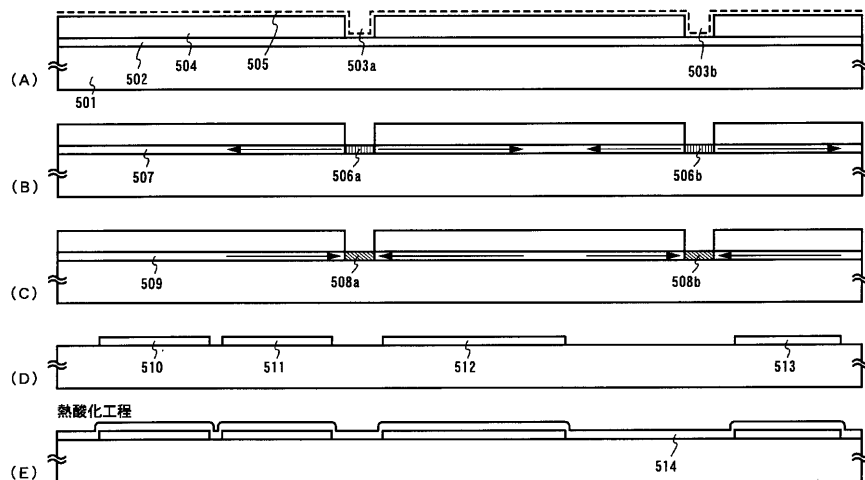
【図11】



【図17】

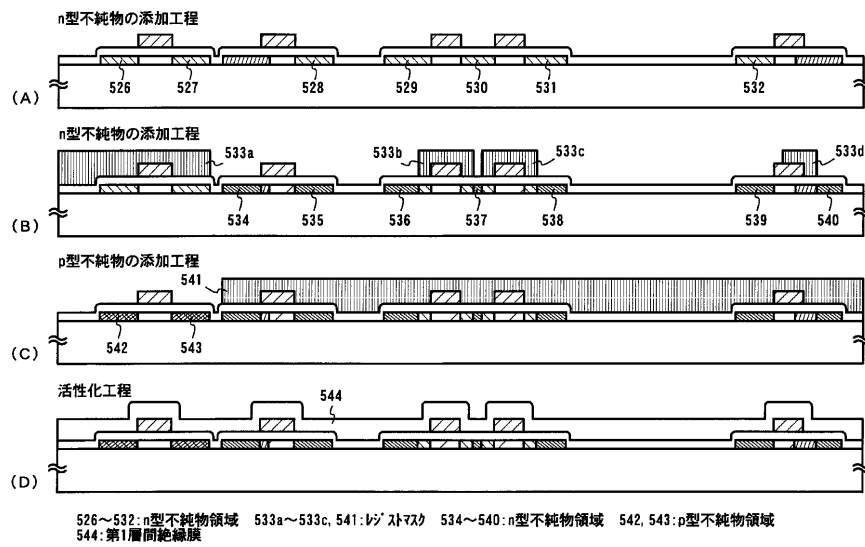


【図5】

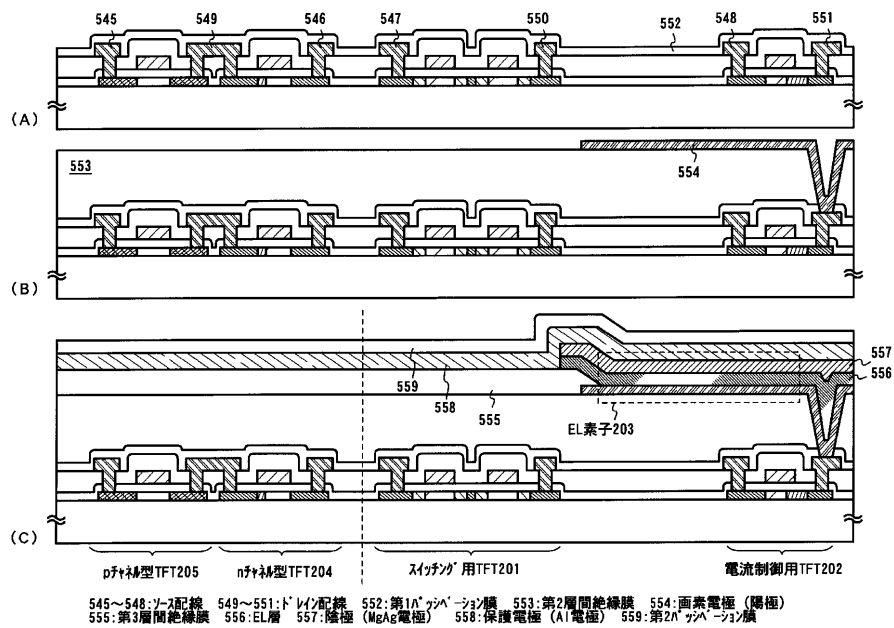


501: 石英基板 502: TEAフッ素シリコン膜 503a, 503b: 開口部 504: 保護膜 505: Ni含有層
 506a, 506b: Ni添加領域 507: Si リン酸膜 508a, 508b: Si 添加領域 509: Si リン酸膜
 510~513: 活性層 514: ゲート絶縁膜

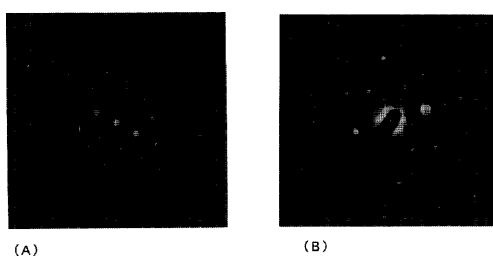
【図7】



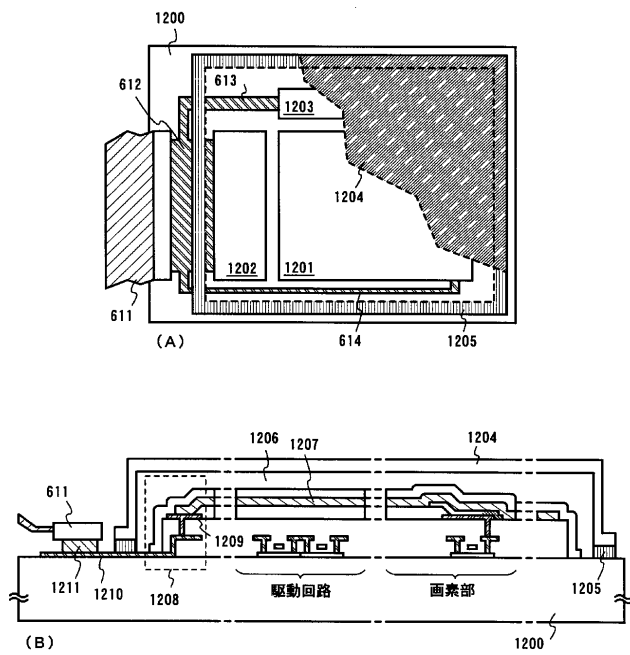
【図8】



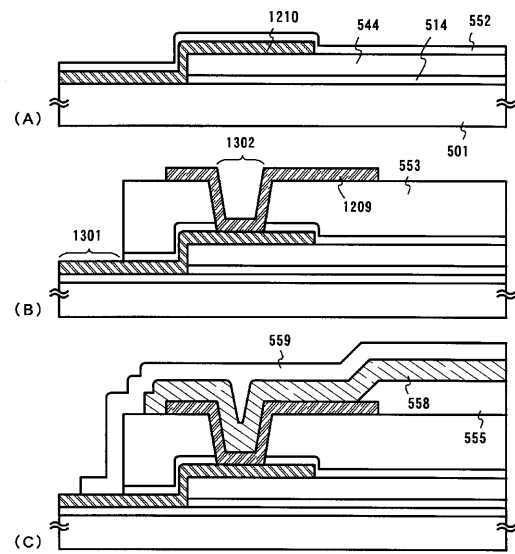
【図19】



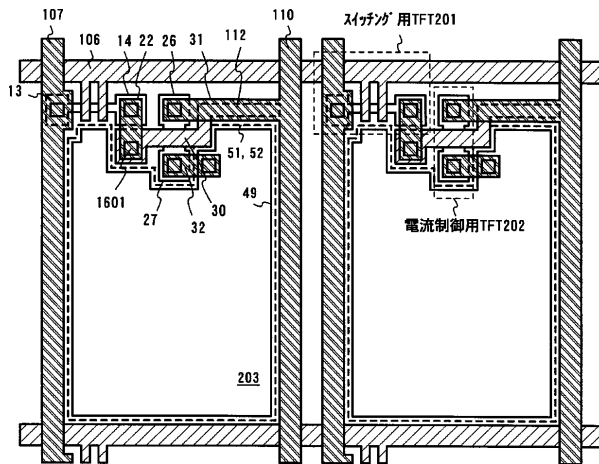
【図12】



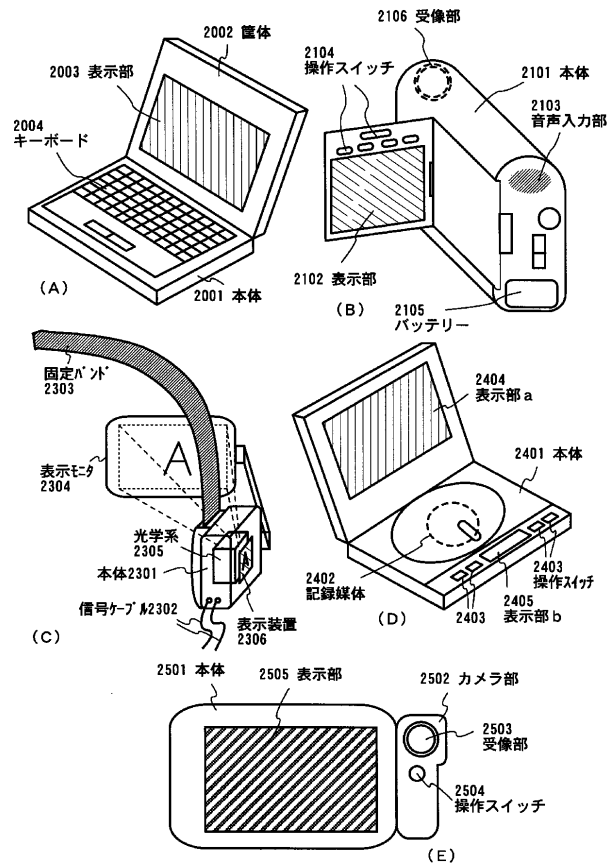
【図13】



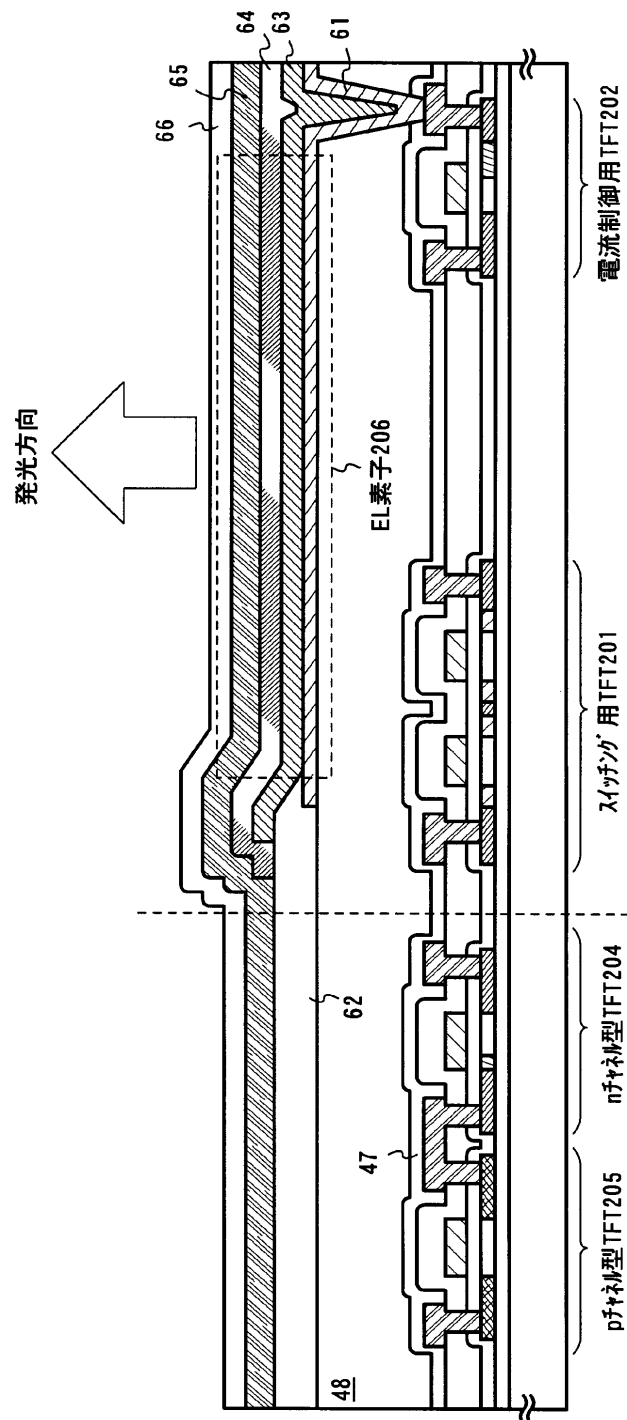
【図16】



【図18】



【図15】



フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/30
H 0 1 L 29/786
21/336
H 0 5 B 33/14

識別記号

F I

G 0 9 G 3/30
H 0 5 B 33/14
H 0 1 L 29/78

テマコード^{*} (参考)

K
A
6 1 2 B
6 1 9 A

(26)

特開 2 0 0 1 - 6 7 0 1 8

6 2 0

6 2 7 G

专利名称(译)	EL显示装置，其驱动方法和电子设备		
公开(公告)号	JP2001067018A	公开(公告)日	2001-03-16
申请号	JP2000177639	申请日	2000-06-13
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山内幸夫 福永健司		
发明人	山内 幸夫 福永 健司		
IPC分类号	H01L51/50 G02F1/136 G09F9/30 G09G3/20 G09G3/30 H01L21/336 H01L21/77 H01L27/15 H01L27/32 H01L29/04 H01L29/06 H01L29/786 H01L51/52 H05B33/14 H05B33/22 H05B33/26		
CPC分类号	G09G3/3225 G09G3/2018 G09G3/2022 G09G3/30 G09G3/32 G09G3/3258 G09G2300/023 G09G2300/04 G09G2300/0408 G09G2300/0417 G09G2300/0426 G09G2300/0842 H01L27/1277 H01L27/1296 H01L27/156 H01L27/3244 H01L27/3246 H01L27/3262 H01L29/045 H01L29/0603 H01L29/786 H01L29/78621 H01L29/78624 H01L29/78627 H01L33/62 H01L51/529 H01L2251/5315 H01L2924/0002		
FI分类号	G09F9/30.338 G09F9/30.365.Z G09G3/20.611.H G09G3/20.624.B G09G3/20.641.E G09G3/30.K H05B33/14.A H01L29/78.612.B H01L29/78.619.A H01L29/78.620 H01L29/78.627.G G09F9/30.365 G09G3/3233 G09G3/3275 H01L27/32		
F-TERM分类号	3K007/AB04 3K007/AB17 3K007/BA06 3K007/CA01 3K007/CB01 3K007/DA01 3K007/DB03 3K007/EB00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE04 3K107/EE59 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG12 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C094/AA07 5C094/AA08 5C094/AA25 5C094/AA53 5C094/BA03 5C094/BA12 5C094/BA27 5C094/CA19 5C094/CA24 5C094/CA25 5C094/DA09 5C094/DA13 5C094/DB01 5C094/DB04 5C094/DB10 5C094/EA04 5C094/EA05 5C094/EB02 5C094/FA01 5C094/FA02 5C094/FB12 5C094/FB14 5C094/FB15 5C094/GA10 5C094/GB10 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB18 5C380/AB21 5C380/AB22 5C380/AB34 5C380/AB46 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/BA10 5C380/BA19 5C380/BA38 5C380/BA39 5C380/BA40 5C380/BB02 5C380/BB05 5C380/BB19 5C380/CA04 5C380/CA14 5C380/CC21 5C380/CC27 5C380/CC33 5C380/CC62 5C380/CC77 5C380/CD012 5C380/CF07 5C380/CF09 5C380/DA02 5C380/DA07 5C380/DA09 5C380/DA33 5C380/HA12 5C380/HA13 5F110/AA01 5F110/AA06 5F110/AA08 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD02 5F110/DD03 5F110/DD12 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE01 5F110/EE04 5F110/EE05 5F110/EE06 5F110/EE09 5F110/EE14 5F110/EE15 5F110/EE28 5F110/EE44 5F110/FF02 5F110/FF04 5F110/FF09 5F110/FF23 5F110/FF30 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG17 5F110/GG25 5F110/GG28 5F110/GG29 5F110/GG32 5F110/GG34 5F110/GG51 5F110/GG52 5F110/GG58 5F110/HJ01 5F110/HJ04 5F110/HJ12 5F110/HJ18 5F110/HJ23 5F110/HL03 5F110/HL04 5F110/HL06 5F110/HL12 5F110/HM12 5F110/HM14 5F110/HM15 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN72 5F110/NN78 5F110/PP10 5F110/PP13 5F110/PP34 5F110/QQ11 5F110/QQ19 5F110/QQ24 5F110/QQ25 5F110/QQ28		
优先权	1999174734 1999-06-21 JP		
其他公开文献	JP2001067018A5 JP5210473B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够显示清晰的多层次彩色显示的EL显示装置以及具有该显示装置的电子设备。通过时分驱动方法执行灰度显示，其中通过时间控制设置在像素104中的EL元件109的发光和不发光，并防止了由于电流控制TFT 108的特性变化引起的影响。此外，当使用时分驱动方法时，数据信号侧驱动电路102和栅极信号侧驱动电路103由使用具有独特晶体结构并且具有极高操作速度的硅膜的TFT形成。

