

(19) 日本国特許庁(JP)

再 公 表 特 許(A1)

(11) 国際公開番号

W02011/004646

発行日 平成24年12月20日 (2012.12.20)

(43) 国際公開日 平成23年1月13日 (2011.1.13)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 624B	5C380
	G09G 3/20 621A	
	G09G 3/20 622D	
	G09G 3/20 623C	
審査請求 有 予備審査請求 未請求 (全 23 頁) 最終頁に続く		

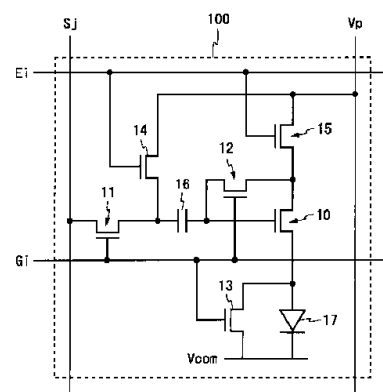
出願番号	特願2011-521852 (P2011-521852)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2010/057556		シャープ株式会社
(22) 国際出願日	平成22年4月28日 (2010.4.28)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	特願2009-163246 (P2009-163246)	(74) 代理人	100104695
(32) 優先日	平成21年7月10日 (2009.7.10)		弁理士 島田 明宏
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100121348
			弁理士 川原 健児
		(72) 発明者	仙田 孝裕
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム(参考)	5C080 AA06 BB05 DD05 DD28 FF11
			JJ02 JJ03 JJ04
		最終頁に続く	

(54) 【発明の名称】 表示装置

(57) 【要約】

電源線V_pと共通陰極V_{com}の間にTFT10、15と有機EL素子17を、TFT10のゲートとデータ線S_jの間にコンデンサ16とTFT11を設ける。TFT10のゲート・ドレイン間にTFT12を、有機EL素子17のアノード端子と共通陰極V_{com}の間にTFT13を、コンデンサ16の一方の電極と電源線V_pの間にTFT14を設ける。TFT11～13のゲートを走査線G_iに、TFT14、15のゲートを走査線E_iに接続する。書き込み時には、走査線G_iにハイ電位を与え、少し遅れて走査線E_iにロー電位を与える。2本の走査線にハイ電位を与えている間、データ線S_jをハイインピーダンス状態に制御する。これにより、N型トランジスタで構成した画素回路を2種類の走査線を用いて駆動する。

【図2】



【特許請求の範囲】**【請求項 1】**

電流駆動型の表示装置であって、

Nチャネル型トランジスタを用いて構成され、2次元状に配置された複数の画素回路と

、

前記画素回路の行ごとに設けられた複数の第1の走査線および複数の第2の走査線と、

前記画素回路の列ごとに設けられた複数のデータ線と、

前記第1および第2の走査線を用いて、前記画素回路を行ごとに選択する走査線駆動回路と、

前記データ線に対して、表示データに応じたデータ電位を与えるデータ線駆動回路とを備え、

10

前記画素回路は、

第1の電源電位が印加される第1の導電性部材と第2の電源電位が印加される第2の導電性部材との間に設けられた電気光学素子と、

前記第1および第2の導電性部材の間に、前記電気光学素子と直列に設けられた駆動用トランジスタと、

前記駆動用トランジスタのゲート端子に第1の電極が接続されたコンデンサと、

前記コンデンサの第2の電極と前記データ線との間に設けられた第1のスイッチングトランジスタと、

前記駆動用トランジスタのゲート端子とドレイン端子との間に設けられた第2のスイッチングトランジスタと、

20

一方の導通端子が前記電気光学素子の一方の端子と同じ節点に接続された第3のスイッチングトランジスタと、

前記コンデンサの第2の電極と前記第1の導電性部材との間に設けられた第4のスイッチングトランジスタと、

前記第1および第2の導電性部材の間に、前記電気光学素子および前記駆動用トランジスタと直列に、ソース端子を前記駆動用トランジスタのドレイン端子に接続して設けられた第5のスイッチングトランジスタとを含み、

前記第1、第2および第3のスイッチングトランジスタのゲート端子は前記第1の走査線に接続され、前記第4および第5のスイッチングトランジスタのゲート端子は前記第2の走査線に接続されていることを特徴とする、表示装置。

30

【請求項 2】

前記電気光学素子は、前記駆動用トランジスタのソース端子と前記第2の導電性部材との間に設けられ、

前記第5のスイッチングトランジスタのドレイン端子は前記第1の導電性部材に接続されていることを特徴とする、請求項1に記載の表示装置。

【請求項 3】

前記第3のスイッチングトランジスタのソース端子は、前記第2の導電性部材に接続されていることを特徴とする、請求項2に記載の表示装置。

【請求項 4】

40

前記電気光学素子は、前記第5のスイッチングトランジスタのドレイン端子と前記第1の導電性部材との間に設けられ、

前記駆動用トランジスタのソース端子は前記第2の導電性部材に接続されていることを特徴とする、請求項1に記載の表示装置。

【請求項 5】

前記第3のスイッチングトランジスタのドレイン端子は、前記第1の導電性部材に接続されていることを特徴とする、請求項4に記載の表示装置。

【請求項 6】

前記走査線駆動回路は、前記画素回路を選択するときには、前記第1の走査線に所定時間だけハイレベル電位を与えると共に、前記第1の走査線にハイレベル電位を与えた後に

50

前記第 2 の走査線にローレベル電位を与え、前記第 1 の走査線にローレベル電位を与えた後に前記第 2 の走査線にハイレベル電位を与え、

前記データ線駆動回路は、前記第 1 および第 2 の走査線にハイレベル電位が与えられている間、前記データ線をハイインピーダンス状態に制御し、前記第 1 の走査線にハイレベル電位が与えられ、前記第 2 の走査線にローレベル電位が与えられている間、前記データ線に前記データ電位を与えることを特徴とする、請求項 1 に記載の表示装置。

【請求項 7】

前記電気光学素子は、有機 E L 素子で構成されていることを特徴とする、請求項 1 に記載の表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、表示装置に関し、より特定的には、有機 E L ディスプレイなどの電流駆動型表示装置に関する。

【背景技術】

【0002】

近年、薄型、軽量、高速応答可能な表示装置として、有機 E L (Electro Luminescence) ディスプレイが注目されている。従来は主に小型の有機 E L ディスプレイが開発されてきたが、近年では中型や大型の有機 E L ディスプレイも開発されている。

【0003】

20

小型の有機 E L ディスプレイの T F T (Thin Film Transistor) 基板は、低温ポリシリコンを用いて製造される。低温ポリシリコンを用いた製造プロセスでは、T F T 基板上に P チャネル型 T F T と N チャネル型 T F T の両方を形成することができる。したがって、有機 E L 素子を含む画素回路を 2 種類の T F T を用いて好適に設計し、T F T 基板上の配線や電源線を削減することができる。また、T F T 基板上に有機 E L 素子の駆動回路を形成することもできる。

【0004】

一方、中型や大型の有機 E L ディスプレイの T F T 基板は、コスト削減のために、アモルファスシリコン、微結晶シリコンあるいは I G Z O (Indium Gallium Zinc Oxide : インジウムガリウム亜鉛複合酸化物) などを用いて製造される。ところが、これらの材料を用いた製造プロセスにおいて T F T 基板上に P チャネル型 T F T を形成することは、これまでのところ実用レベルでは成功していない。このため、中型や大型の有機 E L ディスプレイでは、N チャネル型 T F T だけを用いて画素回路を構成する必要がある。

30

【0005】

また、T F T 基板上に P チャネル型 T F T を形成できないので、T F T 基板上に有機 E L 素子の駆動回路を形成することも困難になる。そこで、走査線の端部をそのまま T F T 基板の外部へ引き出す場合が多くなる。この場合、走査線の本数が多いほど、製造コストは上昇し、信頼性は低下する。このため、中型や大型の有機 E L ディスプレイでは、走査線の本数をできるだけ減らす必要がある。

【0006】

40

有機 E L ディスプレイについては、従来から各種の画素回路が知られている。例えば特許文献 1 には、図 9 に示すように、N チャネル型 T F T 80 ~ 84、コンデンサ 85、86、および、有機 E L 素子 87 を含む画素回路が記載されている。特許文献 2 には、図 10 に示すように、P チャネル型 T F T 90 ~ 95、コンデンサ 96、および、有機 E L 素子 97 を含む画素回路が記載されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】日本国特開 2008 - 310075 号公報

【特許文献 2】日本国特開 2007 - 133369 号公報

50

【発明の概要】

【発明が解決しようとする課題】

【0008】

図9に示す画素回路は、Nチャネル型TFTを用いて構成されているので、中型や大型の有機ELディスプレイに利用することができる。しかしながら、この画素回路は、2個のコンデンサ85、86を含み、4種類の走査線Gi、Ri、Ei、Miを用いて駆動される。このため、図9に示す画素回路には、回路量や走査線の本数が多いという問題がある。

【0009】

図10に示す画素回路は、1個のコンデンサ96を含み、3種類の走査線G1i、G2i、Eiを用いて駆動される。この画素回路には、回路量や走査線の本数が少ないという利点がある。しかしながら、この画素回路は、Pチャネル型TFTを用いて構成されている。このため、図10に示す画素回路には、中型や大型の有機ELディスプレイには利用できないという問題がある。

10

【0010】

それ故に、本発明は、Nチャネル型トランジスタで構成され、2種類の走査線を用いて駆動できる画素回路を備えた表示装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明の第1の局面は、電流駆動型の表示装置であって、
Nチャネル型トランジスタを用いて構成され、2次元状に配置された複数の画素回路と

20

、
前記画素回路の行ごとに設けられた複数の第1の走査線および複数の第2の走査線と、
前記画素回路の列ごとに設けられた複数のデータ線と、
前記第1および第2の走査線を用いて、前記画素回路を行ごとに選択する走査線駆動回路と、
前記データ線に対して、表示データに応じたデータ電位を与えるデータ線駆動回路とを
備え、

前記画素回路は、

第1の電源電位が印加される第1の導電性部材と第2の電源電位が印加される第2の導電性部材との間に設けられた電気光学素子と、

30

前記第1および第2の導電性部材の間に、前記電気光学素子と直列に設けられた駆動用トランジスタと、

前記駆動用トランジスタのゲート端子に第1の電極が接続されたコンデンサと、

前記コンデンサの第2の電極と前記データ線との間に設けられた第1のスイッチングトランジスタと、

前記駆動用トランジスタのゲート端子とドレイン端子との間に設けられた第2のスイッチングトランジスタと、

一方の導通端子が前記電気光学素子の一方の端子と同じ節点に接続された第3のスイッチングトランジスタと、

40

前記コンデンサの第2の電極と前記第1の導電性部材との間に設けられた第4のスイッチングトランジスタと、

前記第1および第2の導電性部材の間に、前記電気光学素子および前記駆動用トランジスタと直列に、ソース端子を前記駆動用トランジスタのドレイン端子に接続して設けられた第5のスイッチングトランジスタとを含み、

前記第1、第2および第3のスイッチングトランジスタのゲート端子は前記第1の走査線に接続され、前記第4および第5のスイッチングトランジスタのゲート端子は前記第2の走査線に接続されていることを特徴とする。

【0012】

本発明の第2の局面は、本発明の第1の局面において、

50

前記電気光学素子は、前記駆動用トランジスタのソース端子と前記第２の導電性部材との間に設けられ、

前記第５のスイッチングトランジスタのドレイン端子は前記第１の導電性部材に接続されていることを特徴とする。

【００１３】

本発明の第３の局面は、本発明の第２の局面において、

前記第３のスイッチングトランジスタのソース端子は、前記第２の導電性部材に接続されていることを特徴とする。

【００１４】

本発明の第４の局面は、本発明の第１の局面において、

前記電気光学素子は、前記第５のスイッチングトランジスタのドレイン端子と前記第１の導電性部材との間に設けられ、

前記駆動用トランジスタのソース端子は前記第２の導電性部材に接続されていることを特徴とする。

【００１５】

本発明の第５の局面は、本発明の第４の局面において、

前記第３のスイッチングトランジスタのドレイン端子は、前記第１の導電性部材に接続されていることを特徴とする。

【００１６】

本発明の第６の局面は、本発明の第１の局面において、

前記走査線駆動回路は、前記画素回路を選択するときには、前記第１の走査線に所定時間だけハイレベル電位を与えると共に、前記第１の走査線にハイレベル電位を与えた後に前記第２の走査線にローレベル電位を与え、前記第１の走査線にローレベル電位を与えた後に前記第２の走査線にハイレベル電位を与え、

前記データ線駆動回路は、前記第１および第２の走査線にハイレベル電位が与えられている間、前記データ線をハイインピーダンス状態に制御し、前記第１の走査線にハイレベル電位が与えられ、前記第２の走査線にローレベル電位が与えられている間、前記データ線に前記データ電位を与えることを特徴とする。

【００１７】

本発明の第７の局面は、本発明の第１の局面において、

前記電気光学素子は、有機ＥＬ素子で構成されていることを特徴とする。

【発明の効果】

【００１８】

本発明の第１の局面によれば、第１、第２、第４および第５のスイッチングトランジスタを用いて、データ電位と駆動用トランジスタの閾値電圧に応じて変化する電位を駆動用トランジスタのゲート端子に与えて、駆動用トランジスタの閾値電圧を補償しながら電気光学素子を所望の輝度で発光させることができる。また、第３のスイッチングトランジスタを用いて、データ電位の書き込み中に電気光学素子を消灯させることができる。駆動用トランジスタと第１～第５のスイッチングトランジスタはＮチャネル型トランジスタを用いて構成され、第１～第３のスイッチングトランジスタのゲート端子は第１の走査線に接続され、第４および第５のスイッチングトランジスタのゲート端子は第２の走査線に接続される。したがって、Ｎチャネル型トランジスタで構成され、２種類の走査線を用いて駆動でき、駆動用トランジスタの閾値電圧を補償できる画素回路を備えた表示装置を得ることができる。

【００１９】

本発明の第２の局面によれば、第１および第２の導電性部材の間に第１の導電性部材側から順に、第５のスイッチングトランジスタ、駆動用トランジスタ、および、電気光学素子を配置した場合に、Ｎチャネル型トランジスタで構成され、２種類の走査線を用いて駆動でき、駆動用トランジスタの閾値電圧を補償できる画素回路を備えた表示装置を得ることができる。

10

20

30

40

50

【 0 0 2 0 】

本発明の第 3 の局面によれば、第 3 のスイッチングトランジスタのソース端子を第 2 の導電性部材に接続することにより、新たな電源線を設けることなく、第 2 の導電性部材から電気光学素子の一方の端子に所定の電位を印加することができる。

【 0 0 2 1 】

本発明の第 4 の局面によれば、第 1 および第 2 の導電性部材の間に第 1 の導電性部材側から順に、電気光学素子、第 5 のスイッチングトランジスタ、および、駆動用トランジスタを配置した場合に、N チャネル型トランジスタで構成され、2 種類の走査線を用いて駆動でき、駆動用トランジスタの閾値電圧を補償できる画素回路を備えた表示装置を得ることができる。

10

【 0 0 2 2 】

本発明の第 5 の局面によれば、第 3 のスイッチングトランジスタのドレイン端子を第 1 の導電性部材に接続することにより、新たな電源線を設けることなく、第 1 の導電性部材から電気光学素子の一方の端子に所定の電位を印加することができる。

【 0 0 2 3 】

本発明の第 6 の局面によれば、第 1 の走査線に所定時間だけハイレベル電位を与え、少し遅れて第 2 の走査線にローレベル電位を与えることにより、コンデンサの電極間にデータ電位と駆動用トランジスタの閾値電圧に応じて変化する電位差を保持させて、データ電位と駆動用トランジスタの閾値電圧に応じて変化する電位を駆動用トランジスタのゲート端子に与えることができる。これにより、駆動用トランジスタの閾値電圧を補償しながら、電気光学素子を所望の輝度で発光させることができる。また、第 1 および第 2 の走査線にハイレベル電位が与えられている間、データ線をハイインピーダンス状態に制御することにより、第 1 の導電性部材（電源線または電源電極）からデータ線に不要な電流が流れることを防止することができる。

20

【 0 0 2 4 】

本発明の第 7 の局面によれば、N チャネル型トランジスタで構成され、2 種類の走査線を用いて駆動でき、駆動用トランジスタの閾値電圧を補償できる画素回路を備えた有機 EL ディスプレイを得ることができる。

【 図面の簡単な説明 】

【 0 0 2 5 】

30

【 図 1 】 本発明の第 1 および第 2 の実施形態に係る表示装置の構成を示すブロック図である。

【 図 2 】 本発明の第 1 の実施形態に係る表示装置に含まれる画素回路の回路図である。

【 図 3 】 図 2 に示す画素回路のタイミングチャートである。

【 図 4 A 】 図 2 に示す画素回路の書き込み前の状態を示す図である。

【 図 4 B 】 図 2 に示す画素回路の初期化時の状態を示す図である。

【 図 4 C 】 図 2 に示す画素回路の書き込み時の状態を示す図である。

【 図 4 D 】 図 2 に示す画素回路の点灯前の状態を示す図である。

【 図 4 E 】 図 2 に示す画素回路の点灯後の状態を示す図である。

【 図 5 】 本発明の第 2 の実施形態に係る表示装置に含まれる画素回路の回路図である。

40

【 図 6 A 】 図 5 に示す画素回路の書き込み前の状態を示す図である。

【 図 6 B 】 図 5 に示す画素回路の初期化時の状態を示す図である。

【 図 6 C 】 図 5 に示す画素回路の書き込み時の状態を示す図である。

【 図 6 D 】 図 5 に示す画素回路の点灯前の状態を示す図である。

【 図 6 E 】 図 5 に示す画素回路の点灯後の状態を示す図である。

【 図 7 】 本発明の第 1 の変形例に係る表示装置に含まれる画素回路の回路図である。

【 図 8 】 本発明の第 2 の変形例に係る表示装置に含まれる画素回路の回路図である。

【 図 9 】 従来の表示装置に含まれる画素回路（第 1 の例）の回路図である。

【 図 1 0 】 従来の表示装置に含まれる画素回路（第 2 の例）の回路図である。

【 発明を実施するための形態 】

50

【0026】

以下、図面を参照して、本発明の第1および第2の実施形態に係る表示装置について説明する。各実施形態に係る表示装置は、電気光学素子、コンデンサ、駆動用トランジスタ、および、複数のスイッチングトランジスタを含む画素回路を備えている。画素回路は、電気光学素子として有機EL素子を含み、駆動用トランジスタおよびスイッチングトランジスタとしてTFTを含んでいる。画素回路に含まれるTFTは、例えば、アモルファスシリコンや微結晶シリコンやIGZOや低温ポリシリコンなどで形成される。以下、 n および m は2以上の整数、 i は1以上 n 以下の整数、 j は1以上 m 以下の整数とする。

【0027】

図1は、本発明の第1および第2の実施形態に係る表示装置の構成を示すブロック図である。図1に示す表示装置1は、複数の画素回路 A_{ij} 、表示制御回路2、ゲートドライバ回路3、および、ソースドライバ回路4を備えている。画素回路 A_{ij} は、 N チャネル型トランジスタを用いて構成され、行方向に m 個ずつ、列方向に n 個ずつ、2次元状に配置される。画素回路 A_{ij} の行ごとに2種類の走査線 G_i 、 E_i が設けられ、画素回路 A_{ij} の列ごとにデータ線 S_j が設けられる。画素回路 A_{ij} は、走査線 G_i とデータ線 S_j の各交差点に対応して配置される。

10

【0028】

走査線 G_i 、 E_i はゲートドライバ回路3に接続され、データ線 S_j はソースドライバ回路4に接続される。走査線 G_i 、 E_i の電位はゲートドライバ回路3によって制御され、データ線 S_j の電位はソースドライバ回路4によって制御される。また、図1では省略されているが、画素回路 A_{ij} の配置領域には、画素回路 A_{ij} に電源電圧を供給するために、電源線 V_p と共通陰極 V_{com} （または、共通陽極 V_p と電源線 V_{com} ）が配置されている。

20

【0029】

表示制御回路2は、ゲートドライバ回路3に対してゲート出力イネーブル信号 GOE 、スタートパルス YI 、および、クロック YCK を出力し、ソースドライバ回路4に対してスタートパルス SP 、クロック CLK 、表示データ DA 、ラッチパルス LP 、および、ソース出力イネーブル信号 SOE を出力する。

【0030】

ゲートドライバ回路3は、シフトレジスタ回路、論理演算回路、および、バッファ（いずれも図示せず）を含んでいる。シフトレジスタ回路は、クロック YCK に同期してスタートパルス YI を順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスとゲート出力イネーブル信号 GOE との間で論理演算を行う。論理演算回路の出力は、バッファを経由して、対応する走査線 G_i 、 E_i に与えられる。このようにゲートドライバ回路3は、走査線 G_i 、 E_i を用いて、画素回路 A_{ij} を行ごとに選択する走査線駆動回路として機能する。

30

【0031】

ソースドライバ回路4は、 m ビットのシフトレジスタ5、レジスタ6、ラッチ回路7、 m 個の D/A コンバータ8、および、 m 個のアナログスイッチ9を含んでいる。シフトレジスタ5は、縦続接続された m 個の1ビットレジスタを含んでいる。シフトレジスタ5は、クロック CLK に同期してスタートパルス SP を順次転送し、各段のレジスタからタイミングパルス $DL P$ を出力する。タイミングパルス $DL P$ の出力タイミングに合わせて、レジスタ6には表示データ DA が供給される。レジスタ6は、タイミングパルス $DL P$ に従い、表示データ DA を記憶する。レジスタ6に1行分の表示データ DA が記憶されると、表示制御回路2はラッチ回路7に対してラッチパルス LP を出力する。ラッチ回路7は、ラッチパルス LP を受け取ると、レジスタ6に記憶された表示データを保持する。

40

【0032】

D/A コンバータ8とアナログスイッチ9は、データ線 S_j に対応して設けられる。 D/A コンバータ8は、ラッチ回路7に保持された表示データをアナログ信号電圧に変換する。アナログスイッチ9は、 D/A コンバータ8の出力とデータ線 S_j との間に設けられ

50

る。アナログスイッチ 9 は、表示制御回路 2 から出力されたソース出力イネーブル信号 S O E に応じて、オン状態とオフ状態に切り替わる。ソース出力イネーブル信号 S O E がハイレベルのときには、アナログスイッチ 9 はオン状態になり、データ線 S j には D / A コンバータ 8 から出力されたアナログ信号電圧が与えられる。ソース出力イネーブル信号 S O E がローレベルのときには、アナログスイッチ 9 はオフ状態になり、データ線 S j はハイインピーダンス状態になる。このようにソースドライバ回路 4 は、データ線 S j に対して、表示データに応じた電位を与えるデータ線駆動回路として機能する。

【 0 0 3 3 】

(第 1 の実施形態)

図 2 は、本発明の第 1 の実施形態に係る表示装置に含まれる画素回路の回路図である。図 2 に示す画素回路 1 0 0 は、駆動用 T F T 1 0、スイッチ用 T F T 1 1 ~ 1 5、コンデンサ 1 6、および、有機 E L 素子 1 7 を備えている。画素回路 1 0 0 は、図 1 では画素回路 A i j に相当する。駆動用 T F T 1 0 およびスイッチ用 T F T 1 1 ~ 1 5 は、いずれも N チャネル型トランジスタである。

【 0 0 3 4 】

画素回路 1 0 0 は、電源線 V p、共通陰極 V c o m、走査線 G i、E i、および、データ線 S j に接続されている。電源線 V p と共通陰極 V c o m には、それぞれ一定の電源電位 V D D、V S S が印加される。共通陰極 V c o m は、表示装置内のすべての有機 E L 素子 1 7 の共通電極となる。電源線 V p は第 1 の導電性部材として機能し、共通陰極 V c o m は第 2 の導電性部材として機能する。走査線 G i は第 1 の走査線として機能し、走査線 E i は第 2 の走査線として機能する。

【 0 0 3 5 】

画素回路 1 0 0 では、電源線 V p と共通陰極 V c o m とを結ぶ経路上に電源線 V p 側から順に、スイッチ用 T F T 1 5、駆動用 T F T 1 0、および、有機 E L 素子 1 7 が直列に設けられている。より詳細には、スイッチ用 T F T 1 5 のドレイン端子は電源線 V p に接続され、ソース端子は駆動用 T F T 1 0 のドレイン端子に接続される。駆動用 T F T 1 0 のソース端子は有機 E L 素子 1 7 のアノード端子に接続され、有機 E L 素子 1 7 のカソード端子は共通陰極 V c o m に接続される。このように画素回路 1 0 0 では、有機 E L 素子 1 7 は駆動用 T F T 1 0 のソース端子と共通陰極 V c o m との間に設けられ、スイッチ用 T F T 1 5 のドレイン端子は電源線 V p に接続される。

【 0 0 3 6 】

コンデンサ 1 6 の一方の電極 (図 2 では右側の電極。以下、第 1 の電極という) は、駆動用 T F T 1 0 のゲート端子に接続される。スイッチ用 T F T 1 1 は、コンデンサ 1 6 の他方の電極 (図 2 では左側の電極。以下、第 2 の電極という) とデータ線 S j との間に設けられる。スイッチ用 T F T 1 2 は、駆動用 T F T 1 0 のゲート端子とドレイン端子との間に設けられる。スイッチ用 T F T 1 3 は、有機 E L 素子 1 7 のアノード端子と共通陰極 V c o m との間に設けられる。スイッチ用 T F T 1 3 のドレイン端子は有機 E L 素子 1 7 のアノード端子と同じ節点に接続され、スイッチ用 T F T 1 3 のソース端子は共通陰極 V c o m に接続される。このようにスイッチ用 T F T 1 3 は、電源線 V p と共通陰極 V c o m との間に、有機 E L 素子 1 7 と並列に設けられる。スイッチ用 T F T 1 4 は、コンデンサ 1 6 の第 2 の電極と電源線 V p との間に設けられる。スイッチ用 T F T 1 1 ~ 1 3 のゲート端子は走査線 G i に接続され、スイッチ用 T F T 1 4、1 5 のゲート端子は走査線 E i に接続される。

【 0 0 3 7 】

図 3 は、画素回路 1 0 0 のタイミングチャートである。図 3 には、走査線 G i、E i およびデータ線 S j に印加される電位の変化と、駆動用 T F T 1 0 のゲート電位 V g の変化とが記載されている。図 3 では、走査線 G i の電位がハイレベルである期間 (時刻 t 1 から時刻 t 3 までの期間) が 1 水平期間となる。以下、図 3 および図 4 A ~ 図 4 E を参照して、画素回路 1 0 0 の動作を説明する。

【 0 0 3 8 】

時刻 t_1 より前では、走査線 G_i の電位はローレベルに、走査線 E_i の電位はハイレベルに制御される。このとき、スイッチ用 $TFT_{11} \sim 13$ はオフ状態、スイッチ用 TFT_{14} 、 15 はオン状態にある。また、駆動用 TFT_{10} もオン状態にある。このため、電源線 V_p と共通陰極 V_{com} の間に、スイッチ用 TFT_{15} 、駆動用 TFT_{10} 、および、有機 EL 素子 17 を経由する電流が流れ、有機 EL 素子 17 は発光する（図 4 A を参照）。

【0039】

時刻 t_1 において走査線 G_i の電位がハイレベルに変化すると、スイッチ用 $TFT_{11} \sim 13$ はオン状態になる。また、時刻 t_1 から時刻 t_2 までの間、データ線 S_j はハイインピーダンス状態に制御される。スイッチ用 TFT_{12} がオン状態になると、電源線 V_p からスイッチ用 TFT_{15} およびスイッチ用 TFT_{12} を経由する電流が流れ、駆動用 TFT_{10} のゲート電位 V_g は電源線 V_p の電位 V_{DD} まで上昇する。また、スイッチ用 TFT_{13} の抵抗は、有機 EL 素子 17 の抵抗よりも十分に小さい。このため、スイッチ用 TFT_{13} がオン状態になると、それまで有機 EL 素子 17 を経由して流れていた電流は、スイッチ用 TFT_{13} を経由して共通陰極 V_{com} に流れるようになり、有機 EL 素子 17 は消灯する（図 4 B を参照）。なお、このときデータ線 S_j はハイインピーダンス状態に制御されるので、スイッチ用 TFT_{11} がオン状態になっても、電源線 V_p とデータ線 S_j の間に、スイッチ用 TFT_{14} およびスイッチ用 TFT_{11} を経由する不要な電流は流れない。

10

【0040】

時刻 t_2 において走査線 E_i の電位がローレベルに変化すると、スイッチ用 TFT_{14} 、 15 はオフ状態になる。また、時刻 t_2 から時刻 t_3 までの間、データ線 S_j には表示データに応じた電位（以下、データ電位 V_{da} という）が印加される。スイッチ用 TFT_{15} がオフ状態になると、それまで電源線 V_p から流れていた電流は流れなくなり、駆動用 TFT_{10} のゲート端子と共通陰極 V_{com} の間に、スイッチ用 TFT_{12} 、駆動用 TFT_{10} 、および、スイッチ用 TFT_{13} を経由する電流 I_a が流れるようになる（図 4 C を参照）。

20

【0041】

電流 I_a が流れると、駆動用 TFT_{10} のゲート電位 V_g は下降する。駆動用 TFT_{10} のゲート・ソース間の電位差が駆動用 TFT_{10} の閾値電圧 V_{th} に等しくなると、駆動用 TFT_{10} はオフ状態になり、電流 I_a は流れなくなる。このため、駆動用 TFT_{10} のゲート電位 V_g は、時刻 t_2 からしばらく経つと（ $V_{SS} + V_{th}$ ）に到達し、それよりも下降しなくなる。

30

【0042】

また、データ線 S_j にデータ電位 V_{da} が印加されると、データ線 S_j からスイッチ用 TFT_{11} を経由してコンデンサ 16 の第 2 の電極に電流が流れる。このため、コンデンサ 16 の第 2 の電極の電位は、データ電位 V_{da} に等しくなる。この結果、時刻 t_2 からしばらく経つと、コンデンサ 16 の第 1 の電極の電位は（ $V_{SS} + V_{th}$ ）になり、第 2 の電極の電位は V_{da} になる。

40

【0043】

時刻 t_3 において走査線 G_i の電位がローレベルに変化すると、スイッチ用 $TFT_{11} \sim 13$ はオフ状態になる。このときコンデンサ 16 は、電極間の電位差（ $V_{SS} + V_{th} - V_{da}$ ）を保持する（図 4 D を参照）。

【0044】

時刻 t_4 において走査線 E_i の電位がハイレベルに変化すると、スイッチ用 TFT_{14} 、 15 はオン状態になる。スイッチ用 TFT_{14} がオン状態になると、電源線 V_p からスイッチ用 TFT_{14} を経由してコンデンサ 16 の第 2 の電極に電流が流れ、コンデンサ 16 の第 2 の電極の電位は電源線 V_p の電位 V_{DD} まで上昇する。コンデンサ 16 の電極間の電位差は時刻 t_4 の前後で変化しないので、コンデンサ 16 の第 2 の電極の電位が V_{da} から V_{DD} に変化すると、コンデンサ 16 の第 1 の電極の電位も同じ量（ $V_{DD} - V_{da}$ ）

50

a) だけ変化する。このため、駆動用 T F T 1 0 のゲート電位 V_g は、 $(V_{SS} + V_{th})$ から $\{V_{SS} + V_{th} + (V_{DD} - V_{da})\}$ に変化する。

【0045】

また、スイッチ用 T F T 1 5 がオン状態になるので、電源線 V_p と共通陰極 V_{com} の間に、スイッチ用 T F T 1 5、駆動用 T F T 1 0 および有機 E L 素子 1 7 を経由する電流 I_b が流れるようになり、有機 E L 素子 1 7 は発光する (図 4 E を参照)。駆動用 T F T 1 0 のゲート端子を V_g 、閾値電圧を V_{th} としたとき、電流 I_b の量は $(V_g - V_{th})^2$ に比例する。また、時刻 t_4 以降、駆動用 T F T 1 0 のゲート端子 V_g は $\{V_{SS} + V_{th} + (V_{DD} - V_{da})\}$ である。

【0046】

10

したがって、電流 I_b の量は、データ電位 V_{da} に応じて変化し、駆動用 T F T 1 0 の閾値電圧 V_{th} には依存しない。このため、駆動用 T F T 1 0 の閾値電圧 V_{th} にばらつきがある場合でも、時刻 t_4 以降に有機 E L 素子 1 7 を流れる電流 I_b の量は同じになり、有機 E L 素子 1 7 は表示データに応じた輝度で発光する。よって、画素回路 1 0 0 を図 3 に示すタイミングで駆動することにより、駆動用 T F T 1 0 の閾値電圧を補償し、有機 E L 素子 1 7 を所望の輝度で発光させることができる。

【0047】

以上に示すように、本実施形態に係る表示装置によれば、スイッチ用 T F T 1 1、1 2、1 4、1 5 を用いて、データ電位 V_{da} と駆動用トランジスタの閾値電圧 V_{th} に応じて変化する電位 $\{V_{SS} + V_{th} + (V_{DD} - V_{da})\}$ を駆動用 T F T 1 0 のゲート端子に与えて、駆動用 T F T 1 0 の閾値電圧を補償しながら有機 E L 素子 1 7 を所望の輝度で発光させることができる。また、スイッチ用 T F T 1 3 を用いて、データ電位の書き込み中に有機 E L 素子 1 7 を消灯させることができる。駆動用 T F T 1 0 およびスイッチ用 T F T 1 1 ~ 1 5 は N チャネル型トランジスタを用いて構成され、スイッチ用 T F T 1 1 ~ 1 3 のゲート端子は走査線 G_i に接続され、スイッチ用 T F T 1 4、1 5 のゲート端子は走査線 E_i に接続される。したがって、N チャネル型トランジスタで構成され、2 種類の走査線 G_i 、 E_i を用いて駆動でき、駆動用 T F T 1 0 の閾値電圧を補償できる画素回路 1 0 0 を備えた有機 E L ディスプレイを得ることができる。

20

【0048】

また、走査線 G_i に所定時間だけハイレベル電位を与え、少し遅れて走査線 E_i にローレベル電位を与えることにより、コンデンサ 1 6 の電極間にデータ電位 V_d と駆動用 T F T 1 0 の閾値電圧 V_{th} に応じて変化する電位差 $(V_{SS} + V_{th} - V_{da})$ を保持させて、駆動用 T F T 1 0 のゲート端子に電位 $\{V_{SS} + V_{th} + (V_{DD} - V_{da})\}$ を与えることができる。これにより、駆動用 T F T 1 0 の閾値電圧を補償しながら、有機 E L 素子 1 7 を所望の輝度で発光させることができる。また、走査線 G_i 、 E_i にハイレベル電位が与えられている間、データ線 S_j をハイインピーダンス状態に制御することにより、電源線 V_p からデータ線 S_j に不要な電流が流れることを防止することができる。また、スイッチ用 T F T 1 3 のソース端子を共通陰極 V_{com} に接続することにより、新たな電源線を設けることなく、共通陰極 V_{com} から有機 E L 素子 1 7 のアノード端子に所定の電位を印加することができる。

30

【0049】

40

(第 2 の実施形態)

図 5 は、本発明の第 2 の実施形態に係る表示装置に含まれる画素回路の回路図である。図 5 に示す画素回路 2 0 0 は、駆動用 T F T 2 0、スイッチ用 T F T 2 1 ~ 2 5、コンデンサ 2 6、および、有機 E L 素子 2 7 を備えている。画素回路 2 0 0 は、図 1 では画素回路 A_{ij} に相当する。駆動用 T F T 2 0 およびスイッチ用 T F T 2 1 ~ 2 5 は、いずれも N チャネル型トランジスタである。

【0050】

画素回路 2 0 0 は、共通陽極 V_p 、電源線 V_{com} 、走査線 G_i (第 1 の走査線)、走査線 E_i (第 2 の走査線)、および、データ線 S_j に接続されている。共通陽極 V_p と電

50

源線 V_{com} には、それぞれ一定の電源電位 V_{DD} 、 V_{SS} が印加される。共通陽極 V_p は、表示装置内のすべての有機 EL 素子 27 の共通電極となる。共通陽極 V_p は第 1 の導電性部材として機能し、電源線 V_{com} は第 2 の導電性部材として機能する。

【0051】

画素回路 200 では、共通陽極 V_p と電源線 V_{com} とを結ぶ経路上に共通陽極 V_p 側から順に、有機 EL 素子 27、スイッチ用 TFT 25、および、駆動用 TFT 20 が直列に設けられている。より詳細には、有機 EL 素子 27 のアノード端子は共通陽極 V_p に接続され、カソード端子はスイッチ用 TFT 25 のドレイン端子に接続される。スイッチ用 TFT 25 のソース端子は駆動用 TFT 20 のドレイン端子に接続され、駆動用 TFT 20 のソース端子は電源線 V_{com} に接続される。このように画素回路 200 では、有機 EL 素子 27 はスイッチ用 TFT 25 のドレイン端子と共通陽極 V_p との間に設けられ、駆動用 TFT 20 のソース端子は電源線 V_{com} に接続される。

10

【0052】

コンデンサ 26 の一方の電極（図 5 では右側の電極。以下、第 1 の電極という）は、駆動用 TFT 20 のゲート端子に接続される。スイッチ用 TFT 21 は、コンデンサ 26 の他方の電極（図 5 では左側の電極。以下、第 2 の電極という）とデータ線 S_j との間に設けられる。スイッチ用 TFT 22 は、駆動用 TFT 20 のゲート端子とドレイン端子との間に設けられる。スイッチ用 TFT 23 は、有機 EL 素子 27 のカソード端子と共通陽極 V_p との間に設けられる。スイッチ用 TFT 23 のソース端子は有機 EL 素子 27 のカソード端子と同じ節点に接続され、スイッチ用 TFT 23 のドレイン端子は共通陽極 V_p に接続される。このようにスイッチ用 TFT 23 は、共通陽極 V_p と電源線 V_{com} との間に、有機 EL 素子 27 と並列に設けられる。スイッチ用 TFT 24 は、コンデンサ 26 の第 2 の電極と共通陽極 V_p との間に設けられる。スイッチ用 TFT 21 ~ 23 のゲート端子は走査線 G_i に接続され、スイッチ用 TFT 24、25 のゲート端子は走査線 E_i に接続される。

20

【0053】

画素回路 200 は、第 1 の実施形態に係る画素回路 100 と同じタイミングで動作する（図 3 を参照）。画素回路 200 では、駆動用 TFT 20 のゲート電位を V_g とする。以下、図 3 および図 6 A ~ 図 6 E を参照して、画素回路 200 の動作を説明する。

【0054】

時刻 t_1 より前では、走査線 G_i の電位はローレベルに、走査線 E_i の電位はハイレベルに制御される。このとき、スイッチ用 TFT 21 ~ 23 はオフ状態、スイッチ用 TFT 24、25 はオン状態にある。また、駆動用 TFT 20 もオン状態にある。このため、共通陽極 V_p と電源線 V_{com} の間に、有機 EL 素子 27、スイッチ用 TFT 25、および、駆動用 TFT 20 を経由する電流が流れ、有機 EL 素子 27 は発光する（図 6 A を参照）。

30

【0055】

時刻 t_1 において走査線 G_i の電位がハイレベルに変化すると、スイッチ用 TFT 21 ~ 23 はオン状態になる。また、時刻 t_1 から時刻 t_2 までの間、データ線 S_j はハイインピーダンス状態に制御される。スイッチ用 TFT 23 の抵抗は、有機 EL 素子 27 の抵抗よりも十分に小さい。このため、スイッチ用 TFT 23 がオン状態になると、それまで有機 EL 素子 27 を経由して流れていた電流は、共通陽極 V_p からスイッチ用 TFT 23 を経由して流れるようになり、有機 EL 素子 27 は消灯する（図 6 B を参照）。また、スイッチ用 TFT 22 がオン状態になると、共通陽極 V_p からスイッチ用 TFT 23、スイッチ用 TFT 25 およびスイッチ用 TFT 22 を経由する電流が流れ、駆動用 TFT 20 のゲート電位 V_g は共通陽極 V_p の電位 V_{DD} まで上昇する。なお、このときデータ線 S_j はハイインピーダンス状態に制御されるので、スイッチ用 TFT 21 がオン状態になっても、共通陽極 V_p とデータ線 S_j の間に、スイッチ用 TFT 24 およびスイッチ用 TFT 21 を経由する不要な電流は流れない。

40

【0056】

50

時刻 t_2 において走査線 E_i の電位がローレベルに変化すると、スイッチ用 T F T 2 4、2 5 はオフ状態になる。また、時刻 t_2 から時刻 t_3 までの間、データ線 S_j には表示データに応じたデータ電位 V_{da} が印加される。スイッチ用 T F T 2 5 がオフ状態になると、それまで共通陽極 V_p から流れていた電流は流れなくなり、駆動用 T F T 2 0 のゲート端子と電源線 V_{com} の間に、スイッチ用 T F T 2 2 および駆動用 T F T 2 0 を経由する電流 I_c が流れるようになる（図 6 C を参照）。

【0057】

電流 I_c が流れると、駆動用 T F T 2 0 のゲート電位 V_g は下降する。駆動用 T F T 2 0 のゲート・ソース間の電位差が駆動用 T F T 2 0 の閾値電圧 V_{th} に等しくなると、駆動用 T F T 2 0 はオフ状態になり、電流 I_c は流れなくなる。このため、駆動用 T F T 2 0 のゲート電位 V_g は、時刻 t_2 からしばらく経つと $(V_{SS} + V_{th})$ に到達し、それよりも下降しなくなる。

10

【0058】

また、データ線 S_j にデータ電位 V_{da} が印加されると、データ線 S_j からスイッチ用 T F T 2 1 を経由してコンデンサ 2 6 の第 2 の電極に電流が流れる。このため、コンデンサ 2 6 の第 2 の電極の電位は、データ電位 V_{da} に等しくなる。この結果、時刻 t_2 からしばらく経つと、コンデンサ 2 6 の第 1 の電極の電位は $(V_{SS} + V_{th})$ になり、第 2 の電極の電位は V_{da} になる。

【0059】

時刻 t_3 において走査線 G_i の電位がローレベルに変化すると、スイッチ用 T F T 2 1 ~ 2 3 はオフ状態になる。このときコンデンサ 2 6 は、電極間の電位差 $(V_{SS} + V_{th} - V_{da})$ を保持する（図 6 D を参照）。

20

【0060】

時刻 t_4 において走査線 E_i の電位がハイレベルに変化すると、スイッチ用 T F T 2 4、2 5 はオン状態になる。スイッチ用 T F T 2 4 がオン状態になると、共通陽極 V_p からスイッチ用 T F T 2 4 を経由してコンデンサ 2 6 の第 2 の電極に電流が流れ、コンデンサ 2 6 の第 2 の電極の電位は共通陽極 V_p の電位 V_{DD} まで上昇する。コンデンサ 2 6 の電極間の電位差は時刻 t_4 の前後で変化しないので、コンデンサ 2 6 の第 2 の電極の電位が V_{da} から V_{DD} に変化すると、コンデンサ 2 6 の第 2 の電極の電位も同じ量 $(V_{DD} - V_{da})$ だけ変化する。このため、駆動用 T F T 2 0 のゲート電位 V_g は、 $(V_{SS} + V_{th})$ から $\{V_{SS} + V_{th} + (V_{DD} - V_{da})\}$ に変化する。

30

【0061】

また、スイッチ用 T F T 2 5 がオン状態になるので、共通陽極 V_p と電源線 V_{com} の間に、有機 E L 素子 2 7、スイッチ用 T F T 2 5 および駆動用 T F T 2 0 を経由する電流 I_d が流れるようになり、有機 E L 素子 2 7 は発光する（図 6 E を参照）。駆動用 T F T 2 0 のゲート端子を V_g 、閾値電圧を V_{th} としたとき、電流 I_d の量は $(V_g - V_{th})^2$ に比例する。また、時刻 t_4 以降、駆動用 T F T 2 0 のゲート端子 V_g は $\{V_{SS} + V_{th} + (V_{DD} - V_{da})\}$ である。

【0062】

したがって、電流 I_d の量は、データ電位 V_{da} に応じて変化し、駆動用 T F T 2 0 の閾値電圧 V_{th} には依存しない。このため、駆動用 T F T 2 0 の閾値電圧 V_{th} にばらつきがある場合でも、時刻 t_4 以降に有機 E L 素子 2 7 を流れる電流 I_d の量は同じになり、有機 E L 素子 2 7 は表示データに応じた輝度で発光する。よって、画素回路 2 0 0 を図 3 に示すタイミングで駆動することにより、駆動用 T F T 2 0 の閾値電圧を補償し、有機 E L 素子 2 7 を所望の輝度で発光させることができる。

40

【0063】

以上に示すように、本実施形態に係る表示装置によれば、第 1 の実施形態に係る表示装置と同様に、N チャネル型トランジスタで構成され、2 種類の走査線 G_i 、 E_i を用いて駆動でき、駆動用 T F T 2 0 の閾値電圧を補償できる画素回路 2 0 0 を備えた有機 E L ディスプレイを得ることができる。また、スイッチ用 T F T 2 3 のドレイン端子を共通陽極

50

V_pに接続することにより、新たな電源線を設けることなく、共通陽極V_pから有機EL素子27のカソード端子に所定の電位を印加することができる。

【0064】

なお、第1および第2の実施形態に係る表示装置については、以下の変形例を構成することができる。図7は、本発明の第1の変形例に係る表示装置に含まれる画素回路の回路図である。図7に示す画素回路110は、第1の実施形態に係る画素回路100（図2）に対して、スイッチ用TFT13のソース端子を定電源線V_{ref}に接続する変形を施したものである。定電源線V_{ref}には、有機EL素子17に対する印加電圧が発光閾値電圧以下となるような任意の電位が印加される。

【0065】

図2に示す画素回路100では、スイッチ用TFT13のソース端子を共通陰極V_{com}に接続するために、TFT基板の上面側に設けられた有機EL素子17のEL層を通過して、TFT基板の最上面に設けられた有機EL素子17のカソード電極に接続するコンタクトが必要となる。このため、画素回路100を備えた表示装置では、上記コンタクトを設ける分だけ製造プロセスが複雑になる。

【0066】

これに対して、図7に示す画素回路110では、スイッチ用TFT13のソース端子は定電源線V_{ref}に接続されている。定電源線V_{ref}はTFT基板上に設けられるので、画素回路110には上記コンタクトを設ける必要がない。したがって、画素回路110を備えた表示装置によれば、製造プロセスを簡素化することができる。

【0067】

図8は、本発明の第2の変形例に係る表示装置に含まれる画素回路の回路図である。図8に示す画素回路210は、第2の実施形態に係る画素回路200（図5）に対して、スイッチ用TFT23のドレイン端子を定電源線V_{ref}に接続する変形を施したものである。画素回路210を備えた表示装置は、画素回路110を備えた表示装置と同様の効果を奏する。

【0068】

このように本発明によれば、Nチャネル型トランジスタで構成され、2種類の走査線を用いて駆動できる画素回路を備えた表示装置を提供することができる。

【産業上の利用可能性】

【0069】

本発明の表示装置は、Nチャネル型トランジスタで構成した画素回路を2種類の走査線を用いて駆動できるという効果をするので、有機ELディスプレイなどの電流駆動型表示装置に利用することができる。

【符号の説明】

【0070】

- 1 ... 表示装置
- 2 ... 表示制御回路
- 3 ... ゲートドライバ回路
- 4 ... ソースドライバ回路
- 5 ... シフトレジスタ
- 6 ... レジスタ
- 7 ... ラッチ回路
- 8 ... D/Aコンバータ
- 9 ... アナログスイッチ
- 10、20 ... 駆動用TFT
- 11～15、21～25 ... スイッチ用TFT
- 16、26 ... コンデンサ
- 17、27 ... 有機EL素子
- 100、110、200、210 ... 画素回路

10

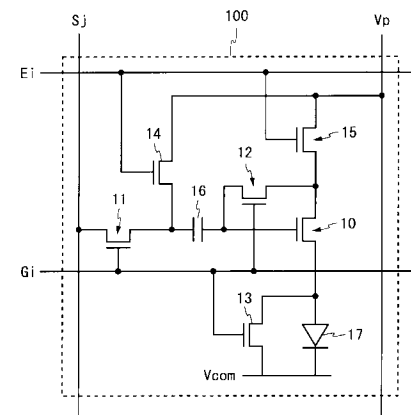
20

30

40

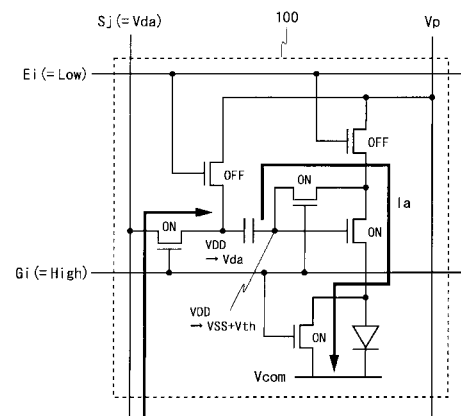
50

【圖 2】

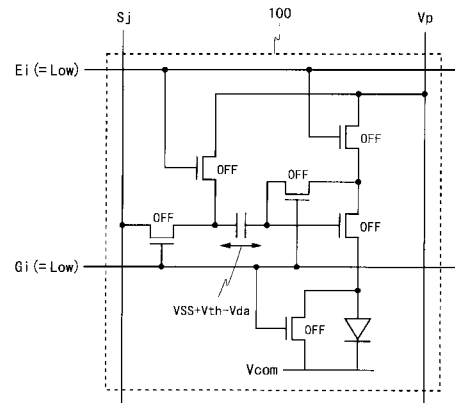


The diagram illustrates the timing of a 1T1E 1/2 divider circuit. The signals shown are G_i , E_i , S_j , V_{da} , and V_g over time t_0 to t_5 . G_i and E_i are complementary signals. S_j shows clock pulses. V_{da} is the output signal. V_g is the gate voltage, which is V_{DD} during the first half-cycle and $V_{SS} + V_{th}$ during the second half-cycle. A horizontal period of 1 cycle is indicated between t_1 and t_3 .

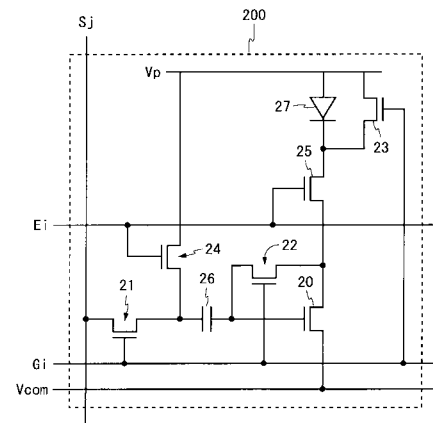
【 図 4 C 】



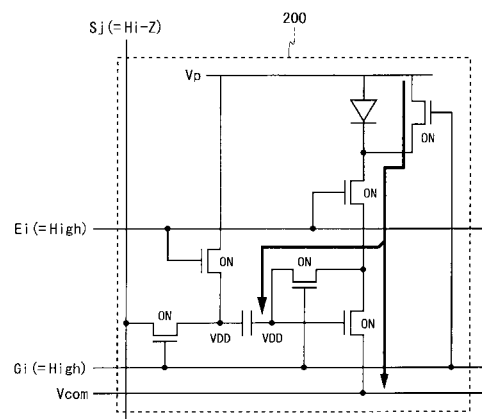
【 図 4 D 】



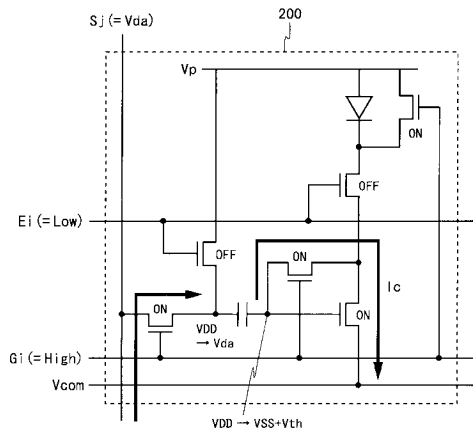
【 図 5 】



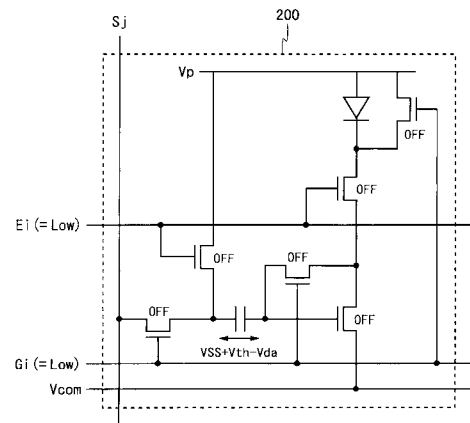
【 叉 6 B 】



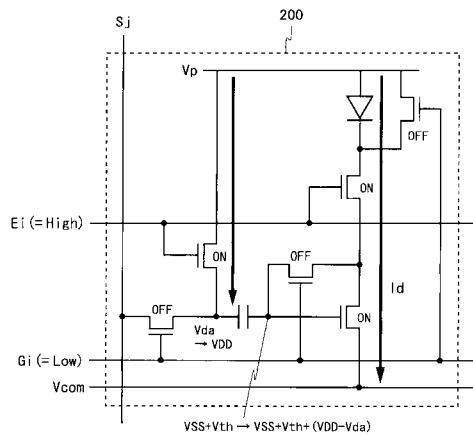
【図 6 C】



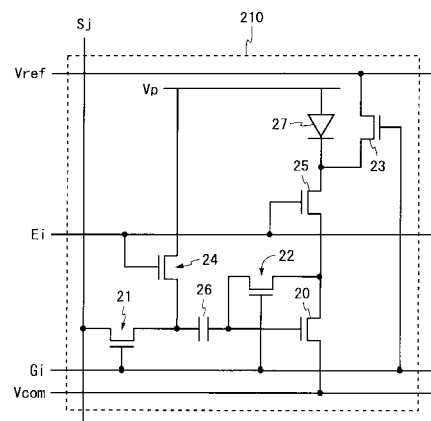
【図 6 D】



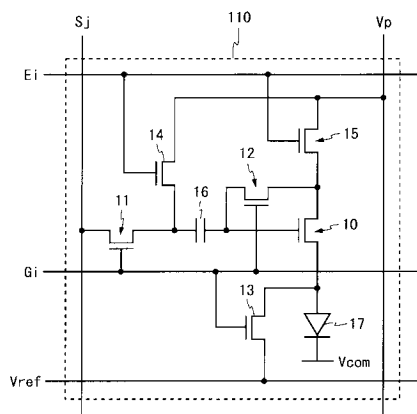
【図 6 E】



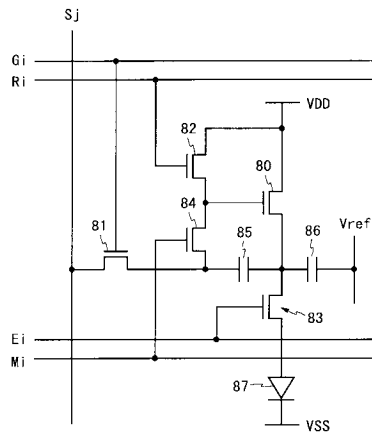
【図 8】



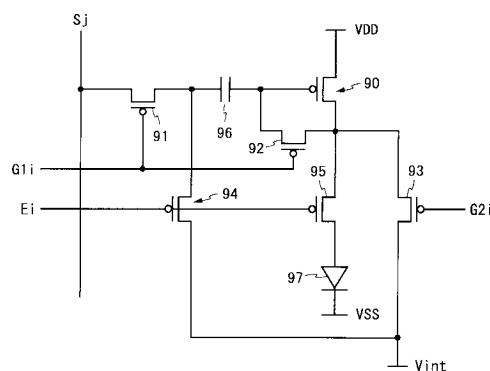
【図 7】



【図 9】



【図 10】



【手続補正書】

【提出日】平成23年11月15日(2011.11.15)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正の内容】

【0045】

また、スイッチ用TFT15がオン状態になるので、電源線Vpと共通陰極Vcomの間に、スイッチ用TFT15、駆動用TFT10および有機EL素子17を経由する電流Ibが流れるようになり、有機EL素子17は発光する(図4Eを参照)。駆動用TFT10のゲート電位をVg、閾値電圧をVthとしたとき、電流Ibの量は $(Vg - Vth)^2$ に比例する。また、時刻t4以降、駆動用TFT10のゲート電位Vgは $\{VSS + Vth + (VDD - Vda)\}$ である。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正の内容】

【0048】

また、走査線Giに所定時間だけハイレベル電位を与え、少し遅れて走査線Eiにローレベル電位を与えることにより、コンデンサ16の電極間にデータ電位Vdaと駆動用TFT10の閾値電圧Vthに応じて変化する電位差 $(VSS + Vth - Vda)$ を保持させて、駆動用TFT10のゲート端子に電位 $\{VSS + Vth + (VDD - Vda)\}$ を与えることができる。これにより、駆動用TFT10の閾値電圧を補償しながら、有機E

L素子17を所望の輝度で発光させることができる。また、走査線G_i、E_iにハイレベル電位が与えられている間、データ線S_jをハイインピーダンス状態に制御することにより、電源線V_pからデータ線S_jに不要な電流が流れることを防止することができる。また、スイッチ用TFT13のソース端子を共通陰極V_{com}に接続することにより、新たな電源線を設けることなく、共通陰極V_{com}から有機EL素子17のアノード端子に所定の電位を印加することができる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正の内容】

【0060】

時刻t₄において走査線E_iの電位がハイレベルに変化すると、スイッチ用TFT24、25はオン状態になる。スイッチ用TFT24がオン状態になると、共通陽極V_pからスイッチ用TFT24を経由してコンデンサ26の第2の電極に電流が流れ、コンデンサ26の第2の電極の電位は共通陽極V_pの電位V_{DD}まで上昇する。コンデンサ26の電極間の電位差は時刻t₄の前後で変化しないので、コンデンサ26の第2の電極の電位がV_{da}からV_{DD}に変化すると、コンデンサ26の第1の電極の電位も同じ量(V_{DD} - V_{da})だけ変化する。このため、駆動用TFT20のゲート電位V_gは、(V_{SS} + V_{th})から{V_{SS} + V_{th} + (V_{DD} - V_{da})}に変化する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正の内容】

【0061】

また、スイッチ用TFT25がオン状態になるので、共通陽極V_pと電源線V_{com}の間に、有機EL素子27、スイッチ用TFT25および駆動用TFT20を経由する電流I_dが流れるようになり、有機EL素子27は発光する(図6Eを参照)。駆動用TFT20のゲート電位をV_g、閾値電圧をV_{th}としたとき、電流I_dの量は(V_g - V_{th})²に比例する。また、時刻t₄以降、駆動用TFT20のゲート電位V_gは{V_{SS} + V_{th} + (V_{DD} - V_{da})}である。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/057556

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-146219 A (Samsung Electronics Co., Ltd.), 08 June 2006 (08.06.2006), entire text; fig. 1 to 12 & US 2006/0103324 A1 & KR 2006/0054603 A & CN 1776797 A	1-7
A	JP 2006-276250 A (Sanyo Electric Co., Ltd.), 12 October 2006 (12.10.2006), entire text; fig. 1 to 7 & US 2005/0243036 A1 & KR 2006/0047168 A & CN 1684558 A	1-7
A	JP 2005-309150 A (Seiko Epson Corp.), 04 November 2005 (04.11.2005), entire text; fig. 1 to 19 & US 2005/0237273 A1	1-7

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 May, 2010 (19.05.10)Date of mailing of the international search report
01 June, 2010 (01.06.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/057556

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2007/063662 A1 (Kyocera Corp.), 07 June 2007 (07.06.2007), entire text; fig. 1 to 12 & US 2009/0303260 A1 & KR 2008/0063404 A & CN 101313349 A	1-7
A	JP 2007-133369 A (Samsung SDI Co., Ltd.), 31 May 2007 (31.05.2007), entire text; fig. 1 to 7 & US 2007/0103406 A1 & EP 1785980 A2 & KR 2007/0049907 A & CN 100569034 C	1-7

国際調査報告		国際出願番号 PCT/JP2010/057556									
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/30, G09G3/20, H01L51/50											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2010年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2010年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2010年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2010年	日本国実用新案登録公報	1996-2010年	日本国登録実用新案公報	1994-2010年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2010年										
日本国実用新案登録公報	1996-2010年										
日本国登録実用新案公報	1994-2010年										
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	JP 2006-146219 A（三星電子株式会社）2006.06.08, 全文, 第1 - 12 図 & US 2006/0103324 A1 & KR 2006/0054603 A & CN 1776797 A	1 - 7									
A	JP 2006-276250 A（三洋電機株式会社）2006.10.12, 全文, 第1 - 7 図 & US 2005/0243036 A1 & KR 2006/0047168 A & CN 1684558 A	1 - 7									
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。											
<table border="0"> <tr> <td> * 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 </td> <td> の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献 </td> </tr> </table>				* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献						
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献										
国際調査を完了した日 19.05.2010		国際調査報告の発送日 01.06.2010									
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 榎本 剛 電話番号 03-3581-1101 内線 3226	2G 9379								

国際調査報告		国際出願番号 PCT/J P 2 0 1 0 / 0 5 7 5 5 6
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-309150 A (セイコーエプソン株式会社) 2005.11.04, 全文, 第 1 - 19 図 & US 2005/0237273 A1	1 - 7
A	WO 2007/063662 A1 (京セラ株式会社) 2007.06.07, 全文, 第 1 - 12 図 & US 2009/0303260 A1 & KR 2008/0063404 A & CN 101313349 A	1 - 7
A	JP 2007-133369 A (三星エスディアイ株式会社) 2007.05.31, 全文, 第 1 - 7 図 & US 2007/0103406 A1 & EP 1785980 A2 & KR 2007/0049907 A & CN 100569034 C	1 - 7

フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 8 0 H
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 1 1 H

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

F ターム(参考) 5C380 AA01 AB06 AB22 AB24 AC04 BA12 BA13 BA38 BA39 BB02
 CA04 CA12 CA22 CA26 CA32 CA53 CA54 CB12 CB14 CB16
 CB17 CC06 CC07 CC26 CC27 CC33 CC39 CC52 CC61 CC63
 CC64 CC65 CD016 CD025 CF07 CF09 CF31 CF48 CF51 DA02
 DA06 DA47

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	表示装置		
公开(公告)号	JPWO2011004646A1	公开(公告)日	2012-12-20
申请号	JP2011521852	申请日	2010-04-28
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	仙田孝裕		
发明人	仙田 孝裕		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G2300/0417 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0262		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.621.A G09G3/20.622.D G09G3/20.623.C G09G3/20.623.D G09G3/20.680.H G09G3/20.642.A G09G3/20.611.H		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB24 5C380/AC04 5C380/BA12 5C380/BA13 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA04 5C380/CA12 5C380/CA22 5C380/CA26 5C380/CA32 5C380/CA53 5C380/CA54 5C380/CB12 5C380/CB14 5C380/CB16 5C380/CB17 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CD016 5C380/CD025 5C380/CF07 5C380/CF09 5C380/CF31 5C380/CF48 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	岛田彰 川原贤治		
优先权	2009163246 2009-07-10 JP		
其他公开文献	JP5214030B2		
外部链接	Espacenet		

摘要(译)

TFT 10和15以及有机EL器件17被设置在电源线Vp和公共阴极Vcom之间，并且电容器16和TFT 11被设置在TFT 10的栅极和数据线Sj之间。在TFT 10的栅极与漏极之间设置有TFT 12，在有机EL装置17的阳极端子与公共阴极Vcom之间设置有TFT 13，在电容器16的一个电极之间设置有TFT 14。和电源线Vp。TFT 11至13的栅极连接至扫描线Gi，并且TFT 14和15的栅极连接至扫描线Ei。当写入时，高电位被提供给扫描线Gi，而低电位被提供给扫描线Ei。在将高电位提供给两条扫描线的时候，将数据线Sj控制为处于高阻抗状态。以这种方式，使用两种类型的扫描线来驱动由N型晶体管构成的像素电路。

