

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6488254号
(P6488254)

(45) 発行日 平成31年3月20日(2019.3.20)

(24) 登録日 平成31年3月1日(2019.3.1)

(51) Int.Cl.

F I

G09G 3/3233 (2016.01)
 G09G 3/20 (2006.01)
 G09G 3/3225 (2016.01)
 H05B 33/08 (2006.01)
 H01L 51/50 (2006.01)

G09G 3/3233
 G09G 3/20 611F
 G09G 3/20 612E
 G09G 3/20 612G
 G09G 3/20 621K

請求項の数 15 (全 49 頁) 最終頁に続く

(21) 出願番号 特願2016-72396 (P2016-72396)
 (22) 出願日 平成28年3月31日(2016.3.31)
 (62) 分割の表示 特願2012-538429 (P2012-538429)
 の分割
 原出願日 平成22年11月12日(2010.11.12)
 (65) 公開番号 特開2016-167074 (P2016-167074A)
 (43) 公開日 平成28年9月15日(2016.9.15)
 審査請求日 平成28年5月2日(2016.5.2)
 審判番号 不服2018-328 (P2018-328/J1)
 審判請求日 平成30年1月11日(2018.1.11)
 (31) 優先権主張番号 2684818
 (32) 優先日 平成21年11月12日(2009.11.12)
 (33) 優先権主張国 カナダ(CA)
 (31) 優先権主張番号 2687477
 (32) 優先日 平成21年12月7日(2009.12.7)
 (33) 優先権主張国 カナダ(CA)

(73) 特許権者 507257080
 イグニス・イノベーション・インコーポレ
 ーテッド
 IGNIS INNOVATION IN
 CORPORATED
 カナダ オンタリオ ウォータールー バ
 サースト ドライブ 50 ユニット 1
 2
 (74) 代理人 110001210
 特許業務法人YKI国際特許事務所
 (72) 発明者 チャジ ゴラムレザ
 カナダ オンタリオ ウォータールー ケ
 ルソ ドライブ 463

最終頁に続く

(54) 【発明の名称】 発光ディスプレイおよびその安定的電流ソース・シンクのための効率的プログラミングおよび高速校正

(57) 【特許請求の範囲】

【請求項1】

基板上に配置された複数の発光素子を備えるアクティブエリアと、前記アクティブエリアから区別された周辺エリアとを含むディスプレイパネルの、画素のプログラミングに用いる電流バイアス電圧プログラミング方式(CBVP)の回路を校正する校正回路であって、

第1列の複数の校正電流ソース・シンク回路であって、当該第1列の各校正電流ソース・シンク回路は、前記ディスプレイパネルの前記アクティブエリア内の対応の縦列の複数の電流バイアス電圧プログラミング方式(CBVP)の画素回路のためのバイアス電流ラインにバイアス電流を供給し、前記バイアス電流ラインは、1つまたは複数のスイッチを介して、対応の前記複数のCBVP画素回路内の蓄電素子の第1端子と接続され、前記蓄電素子の第2端子は、電圧プログラミングデータを供給するように構成された電圧データラインと接続された、第1列の校正電流ソース・シンク回路と、

第2列の複数の校正電流ソース・シンク回路であって、当該第2列の各校正電流ソース・シンク回路は、前記対応の縦列の複数のCBVP画素回路のための前記バイアス電流ラインに前記バイアス電流を供給する、第2列の校正電流ソース・シンク回路と、

前記第2列の校正電流ソース・シンク回路が、基準電流源によって生成され前記基準電流源から前記第2列の校正電流ソース・シンク回路へ電流ラインを通じて伝送された基準電流によって校正される間に、前記第1列の校正電流ソース・シンク回路が前記バイアス電流で前記ディスプレイパネルを校正し、前記基準電流源から前記第1列の校正電流ソー

ス・シンク回路が切り離されるようにし、前記基準電流源から発生した前記基準電流によって前記第1列の校正電流ソース・シンク回路が校正されている間に、前記ディスプレイパネルから前記第1列の校正電流ソース・シンク回路が切り離されるようにする第1校正制御ラインと、

前記第1列の校正電流ソース・シンク回路が、前記基準電流源によって生成され前記電流ラインを通じて伝送された前記基準電流によって校正される間に、前記第2列の校正電流ソース・シンク回路が前記バイアス電流で前記ディスプレイパネルを校正し、前記基準電流源から前記第2列の校正電流ソース・シンク回路が切り離されるようにし、前記基準電流源から発生した前記基準電流によって前記第2列の校正電流ソース・シンク回路が校正されている間に、前記ディスプレイパネルから前記第2列の校正電流ソース・シンク回路が切り離されるようにする第2校正制御ラインと、を有し、

10

前記各C B V P画素回路は、プログラミング動作中には、対応のプログラミング電圧を蓄積することによってプログラミングされる

ことを特徴とする校正回路。

【請求項2】

請求項1に記載の校正回路であって、前記第1列および前記第2列の校正電流ソース・シンク回路は、前記ディスプレイパネルの前記周辺エリアに配置されている、校正回路。

【請求項3】

請求項1に記載の校正回路であって、

前記基準電流源と前記第1列の校正電流ソース・シンク回路との間に接続された第1基準電流スイッチであって、当該第1基準電流スイッチのゲートは、第1インバータを介して前記第1校正制御ラインに接続されており、

20

前記基準電流源と前記第2列の校正電流ソース・シンク回路との間に接続された第2基準電流スイッチであって、当該第2基準電流スイッチのゲートは、第2インバータを介して前記第2校正制御ラインに接続されており、

前記C B V P画素回路の各列に対して、前記列と当該列に対応する前記第1列の校正電流ソース・シンク回路との間に接続され、ゲートが前記第1校正制御ラインに接続された第1バイアス電流スイッチと、前記列と当該列に対応する前記第2列の校正電流ソース・シンク回路との間に接続され、ゲートが前記第2校正制御ラインに接続された第2バイアス電流スイッチと、

30

をさらに有する校正回路。

【請求項4】

請求項1に記載の校正回路であって、

前記第1列および前記第2列の各校正電流ソース・シンク回路は、前記ディスプレイパネルの前記アクティブエリア内の前記各縦列のC B V P画素回路に同じ前記バイアス電流を供給するように構成されている、校正回路。

【請求項5】

請求項1に記載の校正回路であって、

前記第1校正制御ラインは、第1フレームの間に、前記第1列の校正電流ソース・シンク回路が前記バイアス電流で前記ディスプレイパネルを校正するようにし、

40

前記第2校正制御ラインは、前記第1フレームに続く第2フレームの間に、前記第2列の校正電流ソース・シンク回路が前記バイアス電流で前記ディスプレイパネルを校正するようにする、校正回路。

【請求項6】

請求項1に記載の校正回路であって、

前記基準電流は、定電流であって、前記ディスプレイパネルの外部の電流源から前記ディスプレイパネルへ供給される、校正回路。

【請求項7】

請求項1に記載の校正回路であって、

前記第1校正制御ラインは第1フレームの間にアクティブであり、前記第2校正制御ラ

50

インは前記第 1 フレームの間に非アクティブであり、

前記第 1 校正制御ラインは前記第 1 フレームに続く第 2 フレームの間に非アクティブであり、前記第 2 校正制御ラインは前記第 2 フレームの間にアクティブである、校正回路。

【請求項 8】

請求項 1 に記載の校正回路であって、前記ディスプレイパネルは 1920×1080 画素以下の解像度を有する、校正回路。

【請求項 9】

請求項 1 に記載の校正回路であって、前記ディスプレイパネルは 120 Hz 以下のリフレッシュレートを有する、校正回路。

【請求項 10】

請求項 1 に記載の校正回路であって、前記第 1 列および前記第 2 列の校正電流ソース・シンク回路の各々は、前記プログラミング動作が行われるフレームにおいて、当該フレームにおいて当該プログラミング動作が行われている間以外に前記ディスプレイパネルを校正するように構成されている、校正回路。

【請求項 11】

アクティブエリアを含むディスプレイパネルのための電流バイアス電圧プログラミング方式の回路を校正する方法であって、

第 2 列の複数の校正電流ソース・シンク回路を、基準電流源によって生成され電流ラインを通じて伝送された基準電流で校正する間に、第 1 校正制御ラインをアクティブ化することで、第 1 列の複数の校正電流ソース・シンク回路が供給するバイアス電流によって、前記第 1 列の校正電流ソース・シンク回路が前記ディスプレイパネルの前記アクティブエリア内の対応の縦列の複数の電流バイアス電圧プログラミング方式 (CBVP) の画素回路を校正し、前記基準電流源から前記第 1 列の校正電流ソース・シンク回路を切り離すようにするステップであって、CBVP 画素回路の対応する列から前記第 2 列の校正電流ソース・シンク回路を切り離すように第 2 校正制御ラインを非アクティブ化し、前記第 1 列の各校正電流ソース・シンク回路は、対応の縦列の CBVP 画素回路のためのバイアス電流ラインに前記バイアス電流を供給し、前記バイアス電流ラインは、1 つまたは複数のスイッチを介して、対応の前記複数の CBVP 画素回路内の蓄電素子の第 1 端子と接続され、前記蓄電素子の第 2 端子は、電圧プログラミングデータを供給するように構成された電圧データラインと接続されている、ステップと、

前記第 1 列の複数の校正電流ソース・シンク回路を、前記基準電流源によって生成され前記電流ラインを通じて伝送された前記基準電流で校正する間に、前記第 2 校正制御ラインをアクティブ化することで、前記第 2 列の複数の校正電流ソース・シンク回路が供給する前記バイアス電流によって、前記第 2 列の校正電流ソース・シンク回路が前記対応の縦列の CBVP 画素回路を校正し、前記基準電流源から前記第 2 列の校正電流ソース・シンク回路を切り離すようにするステップであって、CBVP 画素回路の対応する列から前記第 1 列の校正電流ソース・シンク回路を切り離すように前記第 1 校正制御ラインを非アクティブ化し、前記第 2 列の各校正電流ソース・シンク回路は、前記対応の縦列の複数の CBVP 画素回路のための前記バイアス電流ラインに前記バイアス電流を供給する、ステップと、を含む方法。

【請求項 12】

請求項 11 に記載の方法であって、

前記第 1 校正制御ラインは、前記ディスプレイパネルに表示される第 1 フレームの間にアクティブ化され、前記第 2 校正制御ラインは、前記ディスプレイパネルに表示される第 2 フレームの間にアクティブ化され、前記第 2 フレームは前記第 1 フレームに続くフレームであり、

前記第 1 校正制御ラインがアクティブ化されたことに応答して、前記第 2 校正制御ラインをアクティブ化する前に前記第 1 校正制御ラインを非アクティブ化するステップと、

前記第 2 列の回路が供給する前記バイアス電流で前記ディスプレイパネルが校正された

10

20

30

40

50

ことに応答して、前記第2校正制御ラインを非アクティブ化して第2フレームの校正サイクルを完了するステップと、
をさらに含む方法。

【請求項13】

請求項11に記載の方法であって、

前記第1校正制御ラインおよび前記第2校正制御ラインのアクティブ化および非アクティブ化のタイミングを、前記ディスプレイパネルの制御装置で制御するステップをさらに含み、

前記ディスプレイパネルの複数の画素が配置されている前記アクティブエリアに近接する、前記ディスプレイパネルの周辺エリアに、前記制御装置が配置されている、方法。

10

【請求項14】

請求項13に記載の方法であって、前記制御装置は電流ソース・シンク制御回路である、方法。

【請求項15】

請求項11に記載の方法であって、

プログラミング動作中に、前記各CBVP画素回路を対応のプログラミング電圧でプログラミングするステップをさらに含み、

前記第1校正制御ラインをアクティブ化するステップおよび前記第2校正制御ラインをアクティブ化するステップの各々は、前記プログラミングが行われるフレームにおいて、当該フレームにおいて当該プログラミング動作が行われている間以外に実施される、方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

〔著作権〕

本特許文書の開示の一部分は著作権保護を受ける資料を含む。著作権者は、特許商標庁の特許包袋または記録に含まれる特許開示がファクシミリ複製されることに異存はないものの、すべての著作権を完全に保有する。

【0002】

本開示は、ディスプレイ、特に発光ディスプレイを駆動、校正、またはプログラムする回路および方法に概ね関連する。

30

【背景技術】

【0003】

開示される技術は、各画素のトランジスタの数を減少させることによりディスプレイ解像度を向上させる。隣接するいくつかの副画素において、スイッチトランジスタがいくつかの画素回路の間で共有される。ディスプレイ解像度および製造収率を向上させるのと同時に、通常のディスプレイの連続スキャンプログラミングを可能にする必要性が存在する。

【0004】

大部分のバックプレーン技術は、p型またはn型の薄膜トランジスタ(TFT)を一つのタイプのみ提供する。ゆえに、より実用的な回路構成をディスプレイ基板に組み込んで性能向上およびコスト削減という結果を得るには、デバイスタイプの限定が克服される必要がある。アモルファス有機発光素子(AMOLED)回路を駆動するための主な回路ブロックは、電流ソース(またはシンク)と電圧-電流コンバータとを含む。

40

【先行技術文献】

【特許文献】

【0005】

【特許文献1】国際公開第2009/127065号パンフレット

【発明の概要】

【発明が解決しようとする課題】

50

【0006】

例えば、従来の電流ミラーおよび電流ソースでは、少なくとも一つのTFTのソース端子が固定されている（例えばVDDに接続されている）ため、p型素子を使用されていた。電流出力はTFTのドレインを通過し、そのため出力ラインの何らかの変化はドレイン電圧のみに影響する。その結果、ライン電圧の変化にもかかわらず出力電流は一定のままであって高出力抵抗の電流ソースとなるため、望ましくない。他方、電流シンクにp型TFTが使用される場合には、TFTのソースは出力ラインに接続される。ゆえに、出力負荷の変化による出力電圧の何らかの変化がゲート-ソース電圧に直接の影響を与える。結果的に、負荷が異なると出力電流は一定ではなくなるだろう。この問題を克服するには、出力電流におけるソース電圧可変性の影響を制御する回路設計技術が必要とされる。

10

【0007】

OLEDディスプレイなどのディスプレイの空間的および／または時間的均一性を向上させる必要性も存在する。

【課題を解決するための手段】

【0008】

実施形態1A。基板に配設された複数の発光素子を有するアクティブエリアと、アクティブエリアから区別されるディスプレイパネルの周辺エリアとを有するディスプレイパネルのための回路であって、電圧データラインと、基準電圧トランジスタを通して基準電圧に接続された共有ラインとの間に接続された共有スイッチトランジスタと、第1蓄電素子を通して共有ラインに接続された第1駆動回路により電流駆動されるように構成された第1発光素子を含む第1画素と、第2蓄電素子を通して共有ラインに接続された第2駆動回路により電流駆動されるように構成された第2発光素子を含む第2画素と、第1および第2駆動回路にバイアス電流を印加するように構成された基準電流ラインとを包含する回路。

20

【0009】

実施形態2A。それぞれの第1および第2セレクトラインを介して第1および第2駆動回路に、スイッチトランジスタに、基準電圧トランジスタに、電圧データラインに、そして基準電流ラインに結合された周辺エリアのディスプレイドライバ回路であって、基準電圧トランジスタが基準電圧から切断されるように基準電圧制御ラインを介して基準電圧トランジスタを第1状態から第2状態へスイッチするとともに、フレームのプログラミングサイクル中にグループセレクトラインを介して共有スイッチトランジスタを第2状態から第1状態へスイッチして第1画素および第2画素の電圧プログラミングを可能にするように構成されたディスプレイドライバ回路であり、プログラミングサイクル中にはバイアス電流が印加される、実施形態1Aの回路。

30

【0010】

実施形態3A。ディスプレイドライバ回路がさらに、プログラミングサイクル中に第1セレクトラインをトグルして、電圧データラインにより指定されて第1蓄電キャパシタに蓄積される第1プログラミング電圧でプログラミングサイクル中に第1画素をプログラムするとともに、プログラミングサイクル中に第2セレクトラインをトグルして、電圧データラインにより指定されて第2蓄電キャパシタに蓄積される第2プログラミング電圧でプログラミングサイクル中に第2画素をプログラムするように構成される、実施形態2Aの回路。

40

【0011】

実施形態4A。ディスプレイドライバ回路がさらに、プログラミングサイクルに続いて、基準電圧制御ラインを介して基準電圧トランジスタを第2状態から第1状態へスイッチするとともに、グループセレクトラインを介して共有スイッチトランジスタを第1状態から第2状態へスイッチするように構成され、ディスプレイドライバ回路が、プログラミングサイクルに続くフレームの駆動サイクル中に電源電圧を調節して第1および第2発光素子を作動させることにより、第1および第2プログラミング電圧にそれぞれ基づく輝度の光線を第1および第2発光素子に発光させるように構成された電源電圧制御回路を含む、

50

実施形態 3 A の回路。

【0012】

実施形態 5 A。ディスプレイドライバ回路がさらに、第 1 画素および第 2 画素への電源電圧に結合され、ディスプレイドライバ回路が、プログラミングサイクル中に電源電圧を調節して第 1 発光素子および第 2 発光素子が非発光状態のままであることを確実にするように構成される、実施形態 2 A の回路。

【0013】

実施形態 6 A。ディスプレイドライバ回路が、ディスプレイパネルの周辺エリアにおいてそれぞれの第 1 および第 2 セレクトラインを介して第 1 および第 2 駆動回路に結合されたゲートドライバを含む、実施形態 1 A の回路。

10

【0014】

実施形態 7 A。電源電圧および第 1 発光素子に接続された第 1 駆動トランジスタを第 1 駆動回路が含み、第 1 駆動トランジスタのゲートが第 1 蓄電素子に接続され、一对のスイッチトランジスタの各々が、プログラミングサイクル中に基準電流ラインから第 1 蓄電素子へバイアス電流を伝導するため第 1 セレクトラインに結合され、また、第 1 蓄電素子がキャパシタである、実施形態 1 A の回路。

【0015】

実施形態 8 A。一对のスイッチトランジスタの一方が基準電流ラインと第 1 発光素子との間に接続され、一对のスイッチトランジスタの他方が第 1 発光素子と第 1 蓄電キャパシタとの間に接続される、実施形態 7 A の回路。

20

【0016】

実施形態 9 A。一对のスイッチトランジスタおよび駆動トランジスタが p 型 MOS トランジスタである、実施形態 8 A の回路。

【0017】

実施形態 10 A。電源電圧および第 2 発光素子に接続された第 2 駆動トランジスタを第 2 駆動回路が含み、第 2 駆動トランジスタのゲートが第 2 蓄電素子に接続され、一对のスイッチトランジスタの各々が、プログラミングサイクル中に基準電流ラインから第 2 蓄電素子へバイアス電流を伝導するため第 2 セレクトラインに結合され、また、第 2 蓄電素子がキャパシタである、実施形態 7 A の回路。

【0018】

30

実施形態 11 A。一对のスイッチトランジスタの一方が基準電流ラインと第 2 発光素子との間に接続され、一对のスイッチトランジスタの他方が第 2 発光素子と第 2 蓄電素子との間に接続される、実施形態 10 A の回路。

【0019】

実施形態 12 A。一对のスイッチトランジスタおよび駆動トランジスタが p 型 MOS トランジスタである、実施形態 11 A の回路。

【0020】

実施形態 13 A。第 1 駆動トランジスタのソースが電源電圧に接続され、第 1 駆動トランジスタのドレーンが第 1 発光素子に接続され、一对のスイッチトランジスタの一方のソースが一对のスイッチトランジスタの他方のドレーンに接続され、一对のスイッチトランジスタの一方のドレーンが基準電流ラインに接続され、一对のスイッチトランジスタの他方のソースが第 1 蓄電キャパシタに接続され、共有トランジスタのドレーンが第 1 蓄電キャパシタおよび第 2 キャパシタに接続され、共有スイッチトランジスタのソースが電圧データラインに接続され、基準電圧トランジスタのソースが基準電圧に接続され、第 1 発光素子がゲートトランジスタのドレーンとアース電位との間に接続される、実施形態 12 A の回路。

40

【0021】

実施形態 14 A。周辺エリアと画素エリアとが同一基板上にある、実施形態 1 A の回路。

【0022】

50

実施形態 15 A。電源電圧に接続された第 1 駆動トランジスタと、第 1 発光素子に接続されたゲートトランジスタとを第 1 駆動回路が含み、第 1 駆動トランジスタのゲートが第 1 蓄電素子に接続され、プログラミングサイクル中にバイアス電流を基準電流ラインから第 1 蓄電素子へ伝導するためのセレクトラインに一对のスイッチトランジスタの各々が結合され、基準電圧トランジスタにも接続された基準電圧制御ラインにゲートトランジスタが接続される、実施形態 1 A の回路。

【0023】

実施形態 16 A。基準電圧制御ラインが、基準電圧トランジスタとゲートトランジスタの両方を第 1 状態と第 2 状態との間で同時にスイッチし、そしてプログラミングサイクル中に、ディスプレイ駆動回路により基準電圧トランジスタを基準電圧から、また第 1 発光素子を第 1 駆動トランジスタから切断するように基準電圧制御ラインが構成される、実施形態 15 A の回路。

10

【0024】

実施形態 17 A。第 1 駆動トランジスタのソースが電源電圧に接続され、第 1 駆動トランジスタのドレーンが第 1 発光素子に接続され、一对のスイッチトランジスタの一方のソースが一对のスイッチトランジスタの他方とゲートトランジスタのソースとに接続され、一对のスイッチトランジスタの一方のドレーンが基準電流ラインに接続され、一对のスイッチトランジスタの他方のソースが第 1 蓄電キャパシタに接続され、共有トランジスタのドレーンが第 1 蓄電キャパシタと第 2 トランジスタとに接続され、共有スイッチトランジスタのソースが電圧データラインに接続され、基準電圧トランジスタのソースが基準電圧に接続され、第 1 発光素子が第 1 駆動トランジスタのドレーンとアース電位との間に接続される、実施形態 16 A の回路。

20

【0025】

実施形態 18 A。回路が電流バイアス電圧プログラミング回路である、実施形態 1 A の回路。

【0026】

実施形態 19 A。発光ディスプレイパネルのアクティブマトリクスエリアの画素グループをプログラムする方法であって、プログラミングサイクル中に、グループセレクトラインをアクティブ化して共有スイッチトランジスタを作動させることと、グループセレクトラインがアクティブ化されている間に、アクティブマトリクスエリアの第 1 画素横列のための第 1 セレクトラインをアクティブ化するとともに、電圧データラインに第 1 プログラミング電圧を提供して、第 1 蓄電素子にプログラミング電圧を蓄積することにより第 1 横列の画素をプログラムすることと、グループセレクトラインがアクティブ化されている間に、アクティブマトリクスエリアの第 2 画素横列のための第 2 セレクトラインをアクティブ化するとともに、電圧データラインに第 2 プログラミング電圧を提供して、第 2 蓄電素子にプログラミング電圧を蓄積することにより第 2 横列の画素をプログラムすることと、第 1 横列および第 2 横列の画素をプログラムしている間に、第 1 横列の第 1 画素駆動回路と第 2 横列の第 2 画素駆動回路とに接続された基準電流ラインにバイアス電流を印加することとを包含する方法。

30

【0027】

実施形態 20 A。プログラミングサイクル中に、第 1 横列の画素の第 1 発光素子と第 2 横列の画素の第 2 発光素子とをプログラミングサイクル中に非発光状態のままにするのに十分な電位まで電源電圧を低下させることをさらに包含する、実施形態 19 A の方法。

40

【0028】

実施形態 21 A。プログラミングサイクルの完了を受けて、グループセレクトラインを非アクティブ化し、第 1 横列の画素の第 1 駆動トランジスタを通して第 1 蓄電素子を放電させるとともに、第 2 横列の画素の第 2 駆動トランジスタを通して第 2 蓄電素子を放電させることをさらに包含する、実施形態 20 A の方法。

【0029】

実施形態 22 A。電源電圧を回復させて、第 1 および第 2 プログラミング電圧をそれぞ

50

れ示す輝度の光線を第1発光素子および第2発光素子に発光させることをさらに包含する、実施形態20Aの方法。

【0030】

実施形態23A。プログラミングサイクル中に、グループ発光ラインを非アクティブ化して、基準電圧に接続された基準電圧トランジスタをプログラミングサイクル中に停止させることをさらに包含する、実施形態19Aの方法。

【0031】

実施形態24A。グループ発光ラインの非アクティブ化が、プログラミングサイクル中に第1横列の画素の第1ゲートトランジスタと第2横列の画素の第2ゲートトランジスタとを停止させ、第1ゲートトランジスタが第1横列の画素の第1発光素子に接続されて第2ゲートトランジスタが第2横列の画素の第2発光素子に接続され、また、第1ゲートトランジスタのゲートと第2ゲートトランジスタのゲートとがグループ発光ラインに接続される、実施形態23Aの方法。

【0032】

実施形態25A。プログラミングサイクルの完了を受けて、グループセレクトラインを非アクティブ化し、第1横列の画素の第1駆動トランジスタを通して第1蓄電素子を放電させるとともに、第2横列の画素の第2駆動トランジスタを通して第2蓄電素子を放電させることにより、第1および第2プログラミング電圧をそれぞれ示す輝度の光線を第1発光素子と第2発光素子とに発光させることをさらに包含する、実施形態24Aの方法。

【0033】

実施形態1B。発光ディスプレイのための高出力インピーダンス電流ソース・シンク回路であって、電流ソース・シンク回路の校正動作中に一定基準電流を受容して電流ソース・シンク回路のノードに基準電流を提供する入力と、基準電流がノードの電圧を調節するようにノードに直列接続されて校正動作中に基準電流に直列接続トランジスタを通過させる第1トランジスタおよび第2トランジスタと、ノードに接続された一つ以上の蓄電素子と、一つ以上の蓄電素子に蓄積された電流からの出力電流を流出または流入させて、出力電流に対応するバイアス電流でアクティブマトリクスディスプレイを駆動する、ノードに接続された出力トランジスタとを包含する回路。

【0034】

実施形態2B。アクティブマトリクスディスプレイを駆動するのに出力電流が利用可能であるかどうかを制御するための出力トランジスタのゲートに接続された出力制御ラインをさらに包含する、実施形態1Bの回路。

【0035】

実施形態3B。ノードと第1トランジスタとの間に接続された第1蓄電素子と、ノードと第2トランジスタとの間に接続された第2蓄電素子とを一つ以上の蓄電素子が含む、実施形態1Bの回路。

【0036】

実施形態4B。ノードと第1トランジスタとの間に接続された第1蓄電素子と、第1トランジスタと第2トランジスタのゲートとの間に接続された第2蓄電素子とを一つ以上の蓄電素子が含む、実施形態1Bの回路。

【0037】

実施形態5B。校正アクセス制御ラインにより制御されるとともに第1トランジスタに接続された第1電圧スイッチングトランジスタと、校正アクセス制御ラインにより制御されるとともに第2トランジスタに接続された第2電圧スイッチングトランジスタと、校正アクセス制御ラインにより制御されるとともにノードと入力との間に接続された入力トランジスタとをさらに包含する、実施形態1Bの回路。

【0038】

実施形態6B。校正アクセス制御ラインがアクティブ化されて、アクセス制御ラインのアクティブ化に続いて回路の校正動作を開始させ、バイアス電流を使用するアクティブマトリクスディスプレイの画素縦列のプログラミングを開始させる、実施形態5Bの回路。

10

20

30

40

50

【0039】

実施形態7B。一つ以上の蓄電素子が第1キャパシタと第2キャパシタとを含み、さらに、入力とノードとの間に接続された入力トランジスタと、第1トランジスタと第2トランジスタと第2キャパシタとに接続された第1電圧スイッチングトランジスタと、ノードと第1トランジスタと第1トランジスタとに接続された第2電圧スイッチングトランジスタと、入力トランジスタと第1電圧スイッチングトランジスタと第2電圧スイッチングトランジスタとのゲートに接続されたゲート制御信号ラインとを包含する、実施形態1Bの回路。

【0040】

実施形態8B。アクティブマトリクスディスプレイの外部にあって基準電流を供給する基準電流ソースをさらに包含する、実施形態1Bの回路。

10

【0041】

実施形態9B。さらに、入力とノードとの間に接続された入力トランジスタと、入力トランジスタのゲートに接続されたゲート制御信号ラインと、ゲート制御信号ラインに接続されたゲートを有するとともに第2トランジスタおよび一つ以上の蓄電素子に接続された電圧スイッチングトランジスタとを包含する、実施形態1Bの回路。

【0042】

実施形態10B。第1トランジスタと第2トランジスタと出力トランジスタとが、それぞれのゲートとソースとドレーンとを有するp型電界効果トランジスタであり、また、一つ以上の蓄電素子が第1キャパシタと第2キャパシタとを含み、また、第1トランジスタのドレーンが第2トランジスタのソースに接続されて、第1トランジスタのゲートが第1キャパシタに接続され、また、出力トランジスタのドレーンがノードに接続されて、出力トランジスタのソースが出力電流を流入する、実施形態1Bの回路。

20

【0043】

実施形態11B。さらに、校正制御ラインに接続されたゲートと第1電源に接続されたドレーンと第1キャパシタに接続されたソースとを有する第1電圧スイッチングトランジスタと、校正制御ラインに接続されたゲートと第2電源に接続されたドレーンと第2キャパシタに接続されたソースとを有する第2電圧スイッチングトランジスタと、校正制御ラインに接続されたゲートとノードに接続されたドレーンと入力に接続されたソースとを有する入力トランジスタとを包含し、また、出力トランジスタのゲートがアクセス制御ラインに接続され、第1電圧スイッチングトランジスタと第2電圧スイッチングトランジスタと入力トランジスタとがp型電界効果トランジスタである、実施形態10Bの回路。

30

【0044】

実施形態12B。第2キャパシタが第2トランジスタのゲートとノードとの間に接続された、実施形態11Bの回路。

【0045】

実施形態13B。第2キャパシタが第2トランジスタのゲートと第2トランジスタのソースとの間に接続された、実施形態11Bの回路。

【0046】

実施形態14B。第1トランジスタと第2トランジスタと出力トランジスタとが、それぞれのゲートとソースとドレーンとを有するn型電界効果トランジスタであり、また、一つ以上の蓄電素子が第1キャパシタと第2キャパシタとを含み、また、第1トランジスタのソースが第2トランジスタのドレーンに接続されて、第1トランジスタのゲートが第1キャパシタに接続され、また、出力トランジスタのソースがノードに接続されて、出力トランジスタのドレーンが出力電流を流入する、実施形態1Bの回路。

40

【0047】

実施形態15B。さらに、ゲート制御信号ラインに接続されたゲートとノードに接続されたドレーンと第1キャパシタおよび第1トランジスタに接続されたソースとを有する第1電圧スイッチングトランジスタと、ゲート制御信号ラインに接続されたゲートと第1トランジスタのソースに接続されたドレーンと第2トランジスタのゲートおよび第2キャパ

50

シタに接続されたソースとを有する第2電圧スイッチングトランジスタと、ゲート制御信号ラインに接続されたゲートとノードに接続されたソースと入力に接続されたドレーンとを有する入力トランジスタとを包含し、また、出力トランジスタのゲートがアクセス制御ラインに接続され、第1電圧スイッチングトランジスタと第2電圧スイッチングトランジスタと入力トランジスタとがn型電界効果トランジスタである、実施形態14Bの回路。

【0048】

実施形態16B。第1トランジスタと第2トランジスタと出力トランジスタとが、それぞれのゲートとソースとドレーンとを有するp型電界効果トランジスタであり、また、一つ以上の蓄電素子が第1キャパシタを含み、また、第1トランジスタのドレーンが第2トランジスタのソースに接続されて、第1トランジスタのゲートが第1キャパシタに接続され、また、出力トランジスタのドレーンがノードに接続されて、出力トランジスタのソースが出力電流を流入する、実施形態1Bの回路。

10

【0049】

実施形態17B。さらに、ノードと入力との間に接続された入力トランジスタであって、入力トランジスタのドレーンが基準電流ソースに接続されて入力トランジスタのソースがノードに接続され、入力トランジスタのゲートがゲート制御信号ラインに接続される、入力トランジスタと、ゲート制御信号ラインに接続されたゲートと、第2トランジスタのゲートに接続されたソースと、アース電位に接続されたドレーンとを有する電圧スイッチングトランジスタとをさらに包含し、また、出力トランジスタのゲートがアクセス制御ラインに接続され、また、第1トランジスタのゲートと第1トランジスタのソースとの間に第1キャパシタが接続される、実施形態16Bの回路。

20

【0050】

実施形態18B。校正制御ラインをアクティブ化して基準電流を電流ソース・シンク回路に供給させることにより電流ソース・シンク回路の校正動作を開始することと、校正動作中に、基準電流により供給される電流を電流ソース・シンク回路の一つ以上の蓄電素子に蓄積することと、アクセス制御ラインをアクティブ化して一つ以上の蓄電素子に蓄積された電流に対応する出力電流の流入または流出を行いながら校正制御ラインを非アクティブ化することと、発光ディスプレイのアクティブマトリクスエリアの画素縦列に出力電流を印加することとを包含する、発光ディスプレイの画素をプログラムするためのバイアス電流を提供する電流の流出・流入方法。

30

【0051】

実施形態19B。第1バイアス電圧および第2バイアス電圧を電流ソース・シンク回路に印加することをさらに包含し、第1バイアス電圧が第2バイアス電圧と異なっていて基準電流が一つ以上の蓄電素子に複製されるようにする、実施形態18Bの方法。

【0052】

実施形態20B。発光ディスプレイのための電流ソースまたはシンクを用意する電圧・電流コンバータ回路であって、制御可能バイアス電圧に接続された第1端子と、電流シンク・ソース回路の第1ノードに接続された第2端子とを有する制御可能バイアス電圧トランジスタを含む電流シンク・ソース回路と、第2ノードに接続された制御可能バイアス電圧トランジスタのゲートと、第1ノードと第2ノードと第3ノードとの間に接続された制御トランジスタと、バイアス電圧トランジスタを通して第2ノードに接続された一定バイアス電圧と、第3ノードに接続され、出力電流をバイアス電流として流入させて発光ディスプレイのアクティブマトリクスエリアの画素縦列を駆動する出力トランジスタとを包含する回路。

40

【0053】

実施形態21B。電流シンク・ソース回路がさらに、第2トランジスタに直列接続された第1トランジスタを含み、制御可能バイアス電圧トランジスタと第1トランジスタと第2トランジスタとを通過する電流が調節されて第2ノードを一定バイアス電圧まで上昇させるように、第1トランジスタが第1ノードに接続され、出力電流が制御可能バイアス電圧および一定バイアス電圧と相関している、実施形態20Bの電圧・電流コンバータ回路

50

。

【0054】

実施形態22B。制御可能バイアス電圧トランジスタのソースが制御可能バイアス電圧に接続され、制御可能バイアス電圧トランジスタのゲートが第2ノードに接続され、制御可能バイアス電圧トランジスタのドレーンが第1ノードに接続され、また、制御トランジスタのソースが第2ノードに接続され、制御トランジスタのゲートが第1ノードに接続され、制御トランジスタのドレーンが第3ノードに接続され、また、バイアス電圧トランジスタのソースが一定バイアス電圧に接続され、電源電圧トランジスタのドレーンが第2ノードに接続され、バイアス電圧トランジスタのゲートが発光ディスプレイの制御装置により制御される校正制御ラインに接続され、また、出力トランジスタのソースがバイアス電流を送る電流バイアスラインに接続され、出力トランジスタのドレーンが第3ノードに接続され、校正制御ラインがアクティブローである時に出力トランジスタのゲートがアクティブハイであるように、出力トランジスタのゲートが校正制御ラインに結合される、実施形態20Bの電圧-電流コンバータ回路。

10

【0055】

実施形態23B。電圧-電流コンバータを使用して出力電流を校正する、発光ディスプレイのための電流ソース・シンク回路を校正する方法であって、校正制御ラインをアクティブ化して電流ソース・シンク回路の校正動作を開始させることと、校正動作の開始を受けて、電流ソース・シンク回路に供給される制御可能バイアス電圧を第1バイアス電圧に調節して電流ソース・シンク回路に電流を流し、電圧-電流コンバータのノードに一定バイアス電圧を存在させることと、校正制御ラインを非アクティブ化して、発光ディスプレイのアクティブマトリクスエリアの画素のプログラミング動作を開始させることと、プログラミング動作の開始を受けて、制御可能バイアス電圧および一定バイアス電圧と関連する出力電流を、アクティブマトリクスエリアの画素縦列に出力電流を供給するバイアス電流ラインに流出または流入させることとを包含する方法。

20

【0056】

実施形態24B。校正動作中に、校正制御ラインが非アクティブ化されるまで、一定バイアス電圧により決定されて電流ソース・シンク回路を流れる電流を電流ソース・シンク回路の一つ以上のキャパシタに蓄積することをさらに包含する、実施形態23Bの方法。

【0057】

実施形態25B。校正制御ラインの非アクティブ化を受けて、第1バイアス電圧より低い第2バイアス電圧まで制御可能バイアス電圧を低下させることをさらに包含する、実施形態23Bの方法。

30

【0058】

実施形態26B。発光ディスプレイのアクティブマトリクスエリアの画素横列にバイアス電流を供給する電流ソース・シンク回路の校正方法であって、発光ディスプレイの電流ソース・シンク回路の校正動作中に、アクティブマトリクスエリアの第1画素縦列のための第1電流ソース・シンク回路への第1ゲート制御信号ラインをアクティブ化して、第1電流ソース・シンク回路の一つ以上の蓄電素子に蓄積されたバイアス電流で校正動作中に第1電流ソース・シンク回路を校正することと、第1電流ソース・シンク回路の校正を受けて、第1ゲート制御信号ラインを非アクティブ化することと、校正動作中に、アクティブマトリクスエリアの第2画素縦列のための第2電流ソース・シンク回路への第2ゲート制御信号ラインをアクティブ化して、第2電流ソース・シンク回路の一つ以上の蓄電素子に蓄積されたバイアス電流で校正動作中に第2電流ソース・シンク回路を校正することと、第2電流ソース・シンク回路の校正を受けて、第2ゲート制御信号ラインを非アクティブ化することと、校正動作中に電流ソース・シンク回路のすべてが校正されると、アクティブマトリクスエリアの画素のプログラミング動作を開始し、アクセス制御ラインをアクティブ化して、電流ソース・シンク回路の各々の一つ以上の対応の蓄電素子に蓄積されたバイアス電流をアクティブマトリクスエリアの画素縦列の各々に印加させることとを包含する方法。

40

50

【0059】

実施形態27B。電流ソース・シンク回路がp型トランジスタであってゲート制御信号ラインおよびアクセス制御ラインがアクティブローである、あるいは電流ソース・シンク回路がn型トランジスタであってゲート制御信号ラインおよびアクセス制御ラインがアクティブハイである、実施形態26Bの方法。

【0060】

実施形態28B。バイアス電圧を受容するバイアス電圧入力と、バイアス電圧入力に接続された入力トランジスタと、対応する一対のゲート接続トランジスタを各々が含む第1電流ミラーと第2電流ミラーと第3電流ミラーであって、入力トランジスタのゲート・ソースバイアスにより生成されて第1電流ミラーにより複製される初期電流が第2電流ミラーで反射され、第2電流ミラーにより複製された電流が第3電流ミラーで反射され、第3電流ミラーにより複製された電流が第1電流ミラーに印加されて電流シンク回路に静的電流フローを生成するように配設された電流ミラーと、第1電流ミラーと第2電流ミラーとの間のノードに接続されるとともに静的電流フローによりバイアス付与されて出力ラインに出力電流を提供する出力トランジスタとを包含する、直流(DC)電圧プログラミング電流シンク回路。

10

【0061】

実施形態29B。入力トランジスタのゲート・ソースバイアスがバイアス電圧入力とアース電位とにより生成される、実施形態28Bの回路。

【0062】

20

実施形態30B。第1電流ミラーと第3電流ミラーとが電源電圧に接続される、実施形態28Bの回路。

【0063】

実施形態31B。第3電流ミラーに接続されたフィードバックトランジスタをさらに包含する、実施形態28Bの回路。

【0064】

実施形態32B。フィードバックトランジスタのゲートが入力トランジスタの端子に接続される、実施形態31Bの回路。

【0065】

実施形態33B。フィードバックトランジスタのゲートがバイアス電圧入力に接続される、実施形態31Bの回路。

30

【0066】

実施形態34B。フィードバックトランジスタがn型である、実施形態31Bの回路。

【0067】

実施形態35B。第1電流ミラーが一対のp型トランジスタを含み、第2ミラーが一対のn型トランジスタを含み、第3ミラーが一対のp型トランジスタを含み、そして入力トランジスタと出力トランジスタとがn型である、実施形態28Bの回路。

【0068】

実施形態36B。第3電流ミラーと第1電流ミラーとの間に接続されたn型フィードバックトランジスタをさらに包含し、そして第1電流ミラーの第1p型トランジスタが第1電流ミラーの第4p型トランジスタにゲート接続され、第2電流ミラーの第3n型トランジスタが第2電流ミラーの第4n型トランジスタにゲート接続され、第3電流ミラーの第2p型トランジスタが第3電流ミラーの第3p型トランジスタにゲート接続され、第1、第2、第3、および第4p型トランジスタのそれぞれのソースが、電源電圧と、第1、第2、第3、および第4n型トランジスタのそれぞれのソースとに接続されて、出力トランジスタがアース電位に接続され、第4p型トランジスタが第4n型トランジスタにドレイン接続され、第3p型トランジスタが第3n型トランジスタにドレイン接続され、第2p型トランジスタが第2n型トランジスタにドレイン接続され、第1p型トランジスタが第1n型トランジスタにドレイン接続され、第3n型トランジスタのドレインが第2および第3p型トランジスタのゲートの間に接続され、第4n型トランジスタのドレインが第3

40

50

および第4n型トランジスタのゲートの間とノードとに接続され、出力トランジスタのゲートがノードに接続される、実施形態35Bの回路。

【0069】

実施形態37B。第2n型トランジスタのゲートが第1p型トランジスタのゲートに接続される、実施形態36Bの回路。

【0070】

実施形態38B。第2n型トランジスタのゲートがバイアス電圧入力に接続される、実施形態36Bの回路。

【0071】

実施形態39B。回路に外部クロック・電流基準信号が存在しない、実施形態28Bの回路。

10

【0072】

実施形態40B。バイアス電圧入力と電源電圧とアース電位とにより唯一の電圧ソースが用意され、外部制御ラインが回路に接続されていない、実施形態28Bの回路。

【0073】

実施形態41B。回路にキャパシタが存在しない、実施形態28Bの回路。

【0074】

実施形態42B。回路のトランジスタの数がちょうど9個である、実施形態28Bの回路。

【0075】

20

実施形態43B。指定順序で一つずつアクティブ化されるクロック信号を各々が受信する4個のスイッチングトランジスタと、第1クロック信号のアクティブ化により校正動作中に充電されるとともに、第1クロック信号のアクティブ化および非アクティブ化に続く第2クロック信号のアクティブ化により放電される第1キャパシタであって、第1および第2スイッチングトランジスタに接続された第1キャパシタと、第3クロック信号のアクティブ化により校正動作中に充電されるとともに、第3クロック信号のアクティブ化および非アクティブ化に続く第4クロック信号のアクティブ化により放電される第2キャパシタであって、第3および第4スイッチングトランジスタに接続された第2キャパシタと、第4スイッチングトランジスタに接続されて、校正動作の後のプログラミング動作中に、校正動作中に第1キャパシタに蓄積された電流から導出される出力電流を流入させる出力トランジスタとを包含する、交流（AC）電圧プログラミング電流シンク回路。

30

【0076】

実施形態44B。4個のスイッチングトランジスタがn型である、実施形態43Bの回路。

【0077】

実施形態45B。第2スイッチングトランジスタに接続されて第1キャパシタのための導電路を用意し第2スイッチングトランジスタを通して放電する第1導電トランジスタであって、第1キャパシタの充電の後の第1キャパシタでの電圧が第1導電トランジスタの閾値電圧および移動度と相関関係にある、第1導電トランジスタと、第4スイッチングトランジスタに接続されて第2キャパシタのための導電路を用意し第4スイッチングトランジスタを通して放電する第2導電トランジスタとをさらに包含する、実施形態43Bの回路。

40

【0078】

実施形態46B。第4スイッチングトランジスタと出力トランジスタと第1導電トランジスタと第2導電トランジスタとがn型であり、第1スイッチングトランジスタのゲートが第1クロック信号を受信して第1スイッチングトランジスタのドレインが第1バイアス電圧に接続され、第1スイッチングトランジスタのソースが第1導電トランジスタのゲートと第1キャパシタと第2スイッチングトランジスタのソースとに接続され、第2スイッチングトランジスタのゲートが第2クロック信号を受信して第2スイッチングトランジスタのドレインが第2導電トランジスタのソースと第1導電トランジスタのドレインとに接

50

続され、第2導電トランジスタのゲートが第1キャパシタに接続され、第2導電トランジスタのゲートが第3スイッチングトランジスタのドレインと第2キャパシタと第4スイッチングトランジスタのソースとに接続され、第3スイッチングトランジスタのゲートが第3クロック信号を受信して第3スイッチングトランジスタのソースが第2バイアス電圧に接続され、第4スイッチングトランジスタのゲートが第4クロック信号を受信して第4スイッチングトランジスタのドレインが出力トランジスタのソースに接続され、出力トランジスタのゲートがアクセス制御ラインに接続されて発光ディスプレイのプログラミングサイクルを開始させ、出力トランジスタのドレインが発光ディスプレイのアクティブマトリクスエリアの画素縦列に出力電流を流入させ、第1キャパシタと第1導電トランジスタのソースと第2キャパシタとがアース電位に接続される、実施形態45Bの回路。

10

【0079】

実施形態47B。回路のトランジスタの数がちょうど7個である、実施形態43Bの回路。

【0080】

実施形態48B。回路のキャパシタの数がちょうど2個である、実施形態43Bの回路。

【0081】

実施形態49B。交流(AC)電圧により電流シンクをプログラムする方法であって、第1クロック信号をアクティブ化することにより校正動作を開始させて第1キャパシタを充電させることと、第1クロック信号を非アクティブ化するとともに第2クロック信号をアクティブ化して第1キャパシタに放電を開始させることと、第2クロック信号を非アクティブ化するとともに第3クロック信号をアクティブ化して第2キャパシタに充電させることと、第3クロック信号を非アクティブ化するとともに第4クロック信号をアクティブ化して第2キャパシタに放電を開始させることと、第4クロック信号を非アクティブ化して校正動作を終了させるとともにプログラミング動作においてアクセス制御ラインをアクティブ化して、第1キャパシタに蓄積された電流から導出されたバイアス電流がプログラミング動作中に発光ディスプレイのアクティブマトリクスエリアの画素縦列に印加されるようにすることとを包含する方法。

20

【0082】

実施形態1C。基板に配設された複数の発光素子を有するアクティブエリアと、アクティブエリアから区別されるディスプレイパネルの周辺エリアとを有するディスプレイパネルのための校正回路であって、第1横列の校正電流ソース・シンク回路と、第2横列の校正電流ソース・シンク回路と、第2横列の校正電流ソース・シンク回路が基準電流により校正されている間に、第1横列の校正電流ソース・シンク回路にバイアス電流でディスプレイパネルを校正させるように構成された第1校正制御ラインと、第1横列の校正電流ソース・シンク回路が基準電流により校正されている間に、第2横列の校正電流ソース・シンク回路にバイアス電流でディスプレイパネルを校正させるように構成された第2校正制御ラインとを包含する校正回路。

30

【0083】

実施形態2C。第1横列および第2横列の校正電流ソース・シンク回路がディスプレイパネルの周辺エリアに配置される、実施形態1Cの校正回路。

40

【0084】

実施形態3C。基準電流ソースと第1横列の校正電流ソース・シンク回路との間に接続された第1基準電流スイッチであって、第1基準電流スイッチのゲートが第1校正制御ラインに結合される、第1基準電流スイッチと、基準電流ソースと第2横列の校正電流ソース・シンク回路との間に接続された第2基準電流スイッチであって、第2基準電流スイッチのゲートが第2校正制御ラインに結合される、第2基準電流スイッチと、第1校正制御ラインに接続された第1バイアス電流スイッチおよび第2校正制御ラインに接続された第2バイアス電流スイッチとをさらに包含する、実施形態1Cの校正回路。

【0085】

50

実施形態 4 C。校正電流ソース・シンク回路の第 1 横列が、アクティブエリアの各画素縦列について一つずつの複数の電流ソース・シンク回路であって、対応の画素縦列のためのバイアス電流ラインにバイアス電流を供給するように各々が構成された電流ソース・シンク回路を含み、校正電流ソース・シンク回路の第 2 横列が、アクティブエリアの各画素縦列について一つずつの複数の電流ソース・シンク回路であって、対応の画素縦列のためのバイアス電流ラインにバイアス電流を供給するように各々が構成された電流ソース・シンク回路を含む、実施形態 1 C の校正回路。

【0086】

実施形態 5 C。校正電流ソース・シンク回路の第 1 および第 2 横列の電流ソース・シンク回路の各々が、ディスプレイパネルのアクティブエリアの画素縦列の各々に同じバイアス電流を供給するように構成される、実施形態 4 C の校正電流。

10

【0087】

実施形態 6 C。第 1 校正制御ラインが、第 1 フレーム中に第 1 横列の校正電流ソース・シンク回路にディスプレイパネルをバイアス電流で校正させるように構成され、第 2 校正制御ラインが、第 1 フレームに続く第 2 フレーム中に第 2 横列の校正電流ソース・シンク回路にディスプレイパネルをバイアス電流で校正させるように構成される、実施形態 1 C の校正回路。

【0088】

実施形態 7 C。基準電流が一定であって、ディスプレイパネルの外部にある電流ソースからディスプレイパネルに供給される、実施形態 1 C の校正回路。

20

【0089】

実施形態 8 C。第 1 校正制御ラインが第 1 フレーム中にアクティブであるのに対して第 2 校正制御ラインが第 1 フレーム中に非アクティブであり、そして第 1 フレームに続く第 2 フレーム中に第 1 校正制御ラインが非アクティブであるのに対して第 2 校正制御ラインが第 2 フレーム中にアクティブである、実施形態 1 C の校正回路。

【0090】

実施形態 9 C。校正電流ソース・シンク回路の各々が、ディスプレイパネルのアクティブエリアの画素をプログラムするのに使用される対応の電流バイアス電圧プログラミング回路を校正する、実施形態 1 C の校正回路。

【0091】

30

実施形態 10 C。アクティブエリアを有する発光ディスプレイパネルのための電流バイアス電圧プログラミング回路を校正する方法であって、基準電流により第 2 横列の校正電流ソース・シンク回路を校正する間に、第 1 校正制御ラインをアクティブ化して、第 1 横列の校正電流ソース・シンク回路により提供されるバイアス電流で第 1 横列の校正電流ソース・シンク回路にディスプレイパネルを校正させることと、基準電流により第 1 横列を校正している間に、第 2 校正制御ラインをアクティブ化して、第 2 横列の校正電流・シンク回路により提供されるバイアス電流で第 2 横列にディスプレイパネルを校正させることを包含する方法。

【0092】

実施形態 11 C。ディスプレイパネルに表示される第 1 フレーム中に第 1 校正制御ラインがアクティブ化され、第 1 フレームに続く第 2 フレームがディスプレイパネルに表示されている間に第 2 校正制御ラインがアクティブ化され、さらに、第 1 校正制御ラインのアクティブ化を受けて、第 2 校正制御ラインのアクティブ化に先立って第 1 校正制御ラインを非アクティブ化することと、第 2 横列の回路により提供されるバイアス電流によるディスプレイパネルの校正を受けて、第 2 フレーム中に第 2 校正制御ラインを非アクティブ化して校正サイクルを終了させることを包含する、実施形態 10 C の方法。

40

【0093】

実施形態 12 C。第 1 校正制御ラインおよび第 2 校正制御ラインのアクティブ化および非アクティブ化のタイミングをディスプレイパネルの制御装置により制御することをさらに包含し、発光ディスプレイパネルの複数の画素が配置されたアクティブエリアの近傍に

50

あるディスプレイパネルの周辺エリアに制御装置が配置される、実施形態 10 C の方法。

【0094】

実施形態 13 C。前記制御装置が電流ソース・シンク制御回路である、実施形態 12 C の方法。

【0095】

実施形態 14 C。発光ディスプレイパネルが 1920×1080 画素以下の解像度を有する、実施形態 1 C の方法。

【0096】

実施形態 15 C。発光ディスプレイが 120 Hz 以下のリフレッシュレートを有する、実施形態 1 C の方法。

10

【0097】

以上の、また付加的な本開示の態様および実施形態は、簡単な説明が次に挙げられる図面を参照して行われるさまざまな実施形態および／または態様についての詳細な説明を考慮すれば、当業者には明らかになるだろう。

【図面の簡単な説明】

【0098】

本開示の以上および他の長所は、以下の詳細な説明を読み、図面を参照すると明らかになるだろう。

【図 1】画素のアレイが横列縦列構成で配設されたアクティブマトリクスエリアまたは画素アレイを有する電子ディスプレイシステムまたはパネルを図示している。

20

【図 2 a】図 1 に示されたディスプレイパネルのための電流バイアス電圧プログラミング回路の機能ブロック図を図示している。

【図 2 b】図 2 a に示された C B V P 回路のタイミング図である。

【図 3 a】図 2 a に示された C B V P 回路に関連して使用され得る例示的 C B V P 回路図の回路図である。

【図 3 b】図 3 a に示された C B V P 回路のためのタイミング図の例を図示している。

【図 4 a】発光素子と駆動トランジスタ (T1 および T7) の間にゲートトランジスタ (T6 および T10) が追加されたことを除いて、図 3 a に示された C B V P 回路の変形例を図示している。

【図 4 b】図 4 a に示された C B V P 回路のためのタイミング図である。

30

【図 5 a】本開示の態様による電流シンク・ソース回路の機能ブロック図を図示している。

【図 5 b - 1】p 型 T F T のみを使用する電流シンク回路の回路図を図示している。

【図 5 b - 2】図 5 b - 1 に示された電流シンク回路のためのタイミング図である。

【図 5 c】異なるキャパシタ構成を有する図 5 b - 1 の変形例である。

【図 6】図 5 b - 1 または 5 c に示された電流シンク回路の出力電流 I o u t のシミュレーション結果を出力電圧との相関関係で図示している。

【図 7 a】典型的なポリシリコン処理におけるパラメータ (それぞれ閾値電圧 V_T および移動度) を図示している。

【図 7 b】典型的なポリシリコン処理におけるパラメータ (それぞれ閾値電圧 V_T および移動度) を図示している。

40

【図 8】電流ソース出力 (I b i a s) についてのモンテカルロシミュレーション結果に注目している。

【図 9 a】電圧 - 電流コンバータ回路における (図 5 b - 1 または 5 c に示されているような) 電流シンク回路の使用を図示している。

【図 9 b】図 9 a に示された電圧 - 電流コンバータ回路についてのタイミング図を図示している。

【図 10 a】図 5 b - 1 に示された電流シンク回路の変形例である N - F E T ベースカスケード電流シンク回路を図示している。

【図 10 b】図 10 a に示された回路の二つの校正サイクルについてのタイミング図であ

50

る。

【図11a】校正動作のアクティブ化中のカスケード電流ソース・シンク回路を図示している。

【図11b】図11aに示された回路の二つの実例（つまり2本の画素縦列）の校正動作を図示している。

【図12】DC電圧プログラミングを利用するCMOS電流シンク・ソース回路1200を図示している。

【図13a】AC電圧プログラミングによるCMOS電流シンク回路を図示している。

【図13b】図13aに示された回路を校正するための動作タイミング図である。

【図14a】p型駆動トランジスタとn型スイッチトランジスタとを使用する画素回路の概略図を図示している。

【図14b】図14aに示された画素回路のタイミング図である。

【図15a】n型FETを使用して実行される電流シンク回路の概略図を図示している。

【図15b】図15aに示された回路のタイミング図を図示している。

【図16a】p型FETを使用して実行される電流シンクの概略図を図示している。

【図16b】図16aに示された回路のタイミング図を図示している。

【図17】校正回路のブロック図の例を図示している。

【図18a】図17に示された校正回路の概略図の例を図示している。

【図18b】図18aに示された校正回路のタイミング図を図示している。

【図19】入力信号とプログラミングノイズとが同じ割合で減衰する画素回路を示している。

【図20】画素回路の別例を示している。 本開示はさまざまな変形例および代替形状が可能であるが、特定の実施形態および実行例が図面に例として示されており、ここで詳細に説明される。しかし、本開示は開示される特定形状に限定されるものと理解されるべきではない。むしろ本発明は、添付の請求項により規定される発明の趣旨および範囲に含まれるあらゆる変形例、同等物、および代替例を包含するものとする。

【発明を実施するための形態】

【0099】

図1は、画素104のアレイが横列および縦列の構成で配設されたアクティブマトリクスエリア・画素アレイ102を有する電子ディスプレイシステム・パネル100である。図示の簡略化のため、2本の横列および縦列のみが示されている。アクティブマトリクスエリア102の外側は、画素エリア102を駆動および制御するための周辺回路構成が設けられた周辺エリア106である。周辺回路構成は、ゲート・アドレスドライバ回路108と、ソース・データドライバ回路110と、制御装置112と、任意の電源電圧（例えばV_{dd}）制御ドライバ・回路114とを含む。制御装置112は、ゲート、ソース、および電源電圧のドライバ108、110、114を制御する。制御装置112の制御下にあるゲートドライバ108は、画素アレイ102の各画素横列104に一つずつのアドレス・セレクトラインSEL[i]、SEL[i+1]等に作用する。後述する画素共有構成では、ゲート・アドレスドライバ回路108は任意で、2本の画素横列104ごとなど、画素アレイ102の多数の画素横列104に作用するグローバルセレクトラインGSEL[j]および任意で／GSEL[j]に作用することも可能である。制御装置112の制御下にあるソースドライバ回路110は、画素アレイ102の各画素縦列104について一つずつの電圧データラインVdata[k]、Vdata[k+1]等に作用する。電圧データラインは、画素104の各発光素子の輝度（または視認者に主観的に認識される明度）を示す電圧プログラミング情報を各画素104に運ぶ。各画素104のキャパシタなどの蓄電素子は、発光または駆動サイクルが有機発光素子（OLED）などの発光素子を作動させるまで、電圧プログラミング情報を蓄積する。制御装置112の制御下にある任意の電源電圧制御回路114は、画素アレイ102の各画素横列104に一つずつの電源電圧（EL_V_{dd}）ラインと、任意で、ここに開示されるいずれかの制御可能バイアス電圧とを制御するが、代替的に制御可能バイアス電圧が制御装置112によって制御

されてもよい。駆動サイクルの間、蓄積された電圧プログラミング情報が、プログラムされた輝度で各発光素子を点灯するのに使用される。

【0100】

ディスプレイシステム・パネル100はさらに、画素アレイ102の各画素縦列104に一つずつの電流バイアスライン132a, 132bなどに一定バイアス電流（ここではIbiasと呼ばれる）を供給する（Ibias[k], Ibias[k+1]）電流ソース（またはシンク）回路120（便宜的にここでは電流「ソース」回路と以下で呼ばれるが、ここで開示される電流ソース回路は電流シンク回路との置換が可能であり、逆もまた然りである。）を含む。構成例において、一定バイアス電流は長期の使用にわたって安定しており空間的に不変である。代替的に、バイアス電流がパルス化されて、プログラミング動作中に必要とされる時のみ使用されてもよい。ある構成では、一定バイアス電流（Ibias）が導出される基準電流Irefが、電流ソース・シンク回路120に供給されてもよい。このような構成では、電流バイアスラインIbiasへのバイアス電流の印加のタイミングを電流ソース制御手段122が制御する。基準電流Irefが電流ソース・シンク回路120に供給されない構成（図9a, 12, 13aなど）では、電流バイアスラインIbiasへのバイアス電流の印加のタイミングを電流ソースアドレスドライバ124が制御する。電流バイアスラインはここでは、基準電流ラインとも呼ばれる。

10

【0101】

周知のように、ディスプレイシステム100の各画素104は、画素104の発光素子の輝度を示す情報でプログラムされる必要がある。この情報は、蓄積された電圧または電流の形で各発光素子に供給され得る。フレームは、輝度を示すプログラミング電圧でディスプレイシステム100の各画素がすべてプログラムされるプログラミングサイクル・段階と、蓄電素子に蓄積されるプログラミング電圧またはプログラミング電流と比例しこれを示す輝度で各画素の各発光素子が点灯するか光線を発する駆動または発光サイクル・段階とを含む時間を規定する。ゆえにフレームは、ディスプレイシステム100に表示される完全な動画を構築する多くの静止画像の一つである。横列単位またはフレーム単位など、画素をプログラムおよび駆動する方式が少なくとも存在する。横列単位のプログラミングでは、画素の横列がプログラムされてから駆動され、その後で次の画素横列がプログラムおよび駆動される。フレーム単位のプログラミングでは、ディスプレイシステム100のすべての画素横列が最初にプログラムされ、すべての画素が横列単位で駆動される。いずれの方式も、画素がプログラムも駆動もされない各フレームの始めまたは終わりの短い垂直空白時間が採用されている。

20

30

【0102】

画素アレイ102の外側に配置される構成要素は、画素アレイ102が設けられているのと同じ物理的基板において画素アレイ102の周囲の周辺エリア130に設けられるとよい。これらの構成要素は、ゲートドライバ108と、ソースドライバ110と、任意の電源電圧制御回路114と、電流ソース制御手段122と、電流ソースアドレスドライバ124と、電流ソース・シンク回路120と、基準電流ソースIrefとを含む。代替的に、周辺エリアの構成要素の一部は画素アレイ102と同じ基板に設けられるのに対して、他の構成要素は異なる基板に設けられるか、周辺エリアの構成要素すべてが、画素アレイ102が設けられている基板と異なる基板に設けられてもよい。ともに、ゲートドライバ108とソースドライバ110と任意で電源電圧制御回路114とがディスプレイドライバ回路を構成する。ある構成のディスプレイドライバ回路は、ゲートドライバ108とソースドライバ110とを含むが電源電圧制御回路114は含まない。他の構成では、ディスプレイドライバ回路が電源電圧制御回路114も含むことが可能である。

40

【0103】

電流バイアス電圧プログラミング（CBVP）駆動方式を含む、画素をプログラムおよび駆動するためのプログラミング駆動技術が、ここでは開示される。CBVP駆動方式は、プログラミング電圧を使用して異なるグレー・カラスケールを各画素にプログラムし（電圧プログラミング）、また、バイアス電流を使用してプログラミングを加速すると

50

もに、駆動トランジスタの閾値電圧のシフトと、有機発光素子またはOLEDなど発光素子の電圧のシフトなど、画素の時間依存パラメータを補正する。

【0104】

ディスプレイの多数の画素の間でスイッチトランジスタが共有され、その結果、画素アレイ102で使用されるトランジスタの数を最少にすることにより製造収率を向上させるという特定タイプのCBVP方式が開示される。この共有スイッチ方式は、画素がプログラムされてから各フレーム内で横列ごとに駆動される従来の連続スキャン駆動の使用も可能にする。ここで開示される共有トランジスタ構成の長所は、各画素の総トランジスタ数が減少することである。トランジスタ数の減少は、画素の配線およびトランジスタを除いた透明（発光）エリアと、画素の配線およびトランジスタを含む画素エリア全体との間の割合である各画素の開口率も向上させる。

10

【0105】

画素回路におけるスイッチTFTの共有

図2aは、図1に示されたディスプレイパネル100のためのCBVP回路200の機能ブロック図を図示している。CBVP回路200は、図1に示されたアクティブエリア102とアクティブエリア102から区別される周辺エリアとを含み、アクティブエリア102は画素104を含み、各画素は基板204に配設された発光素子202aを含む。図2aでは、図示の簡易化のため2個の画素104a、104bのみが示されており、第1画素104aは第1横列iにあって、第2画素104bは第1横列に隣接する第2横列i+1にある。CBVP回路200は、電圧データラインVdataと、基準電圧トランジスタ210を通して基準電圧Vrefに接続された共有ライン208との間に接続された共有スイッチトランジスタ206を含む。基準電圧は、直流（DC）電圧またはパルス信号でよい。第1画素104aは、第1蓄電素子214aを通して共有ライン208に接続された第1駆動回路212aにより電流駆動されるように構成された第1発光素子202aを含み、第2画素104bは、第2蓄電素子214bを通して共有ライン208に接続された第2駆動回路212bにより電流駆動されるように構成された第2発光素子202bを含む。

20

【0106】

CBVP回路200は、第1および第2駆動回路212a、bにバイアス電流Ibiasを印加するように構成された基準電流ライン132aを含む。共有スイッチトランジスタ206の状態（例えばオンまたはオフ、トランジスタの場合には導電または非導電）は、グループセレクトラインGSEL[j]により制御可能である。基準電圧スイッチ210の状態は、/GSEL[j]などの基準電圧制御ラインにより制御可能である。基準電圧制御ライン216はグループセレクトラインGSELから引き出されても、ゲートドライバ108からの独自の単独ラインであってもよい。基準電圧制御ライン216がグループセレクトラインGSELから引き出される構成では、グループセレクトラインGSELがローである時に基準電圧制御ライン216がハイであり、またその逆もあり得るように、基準電圧制御ライン216はグループセレクトラインGSELの逆特性を持つ。代替的に、基準電圧制御ライン216がゲートドライバ108による単独制御可能なラインであってもよい。特定の構成では、グループセレクトラインGSELの状態は基準電圧制御ライン216の状態と反対である。

30

40

【0107】

画素104a、bの各々は、ゲートドライバ108に接続されてこれにより制御されるそれぞれの第1および第2セレクトラインSEL1[i]およびSEL1[i+1]により制御される。ゲートドライバ108は、グループセレクトラインGSELを介して共有スイッチに、また基準電圧制御ライン216を介して基準電圧トランジスタにも接続されている。ソースドライバ110は、ディスプレイシステム100の各画素104にプログラミング電圧を供給する電圧データラインVdataを介して、共有スイッチ206に接続されている。プログラミングサイクル中に基準電圧トランジスタ210が基準電圧Vrefから切断されるように、ゲートドライバ108は、基準電圧トランジスタ210を第1

50

状態から第2状態へ（例えばオンからオフへ）スイッチするように構成されている。ゲートドライバ108はまた、フレームのプログラミングサイクル中にグループセレクトラインGSELを介して共有スイッチトランジスタ206を第2状態から第1状態へ（例えばオフからオンへ）スイッチして、（電圧データラインVdataを介した）第1および第2画素104a, bの電圧プログラミングを可能にするようにも構成されている。基準電流ライン132kは、プログラミングサイクル中にバイアス電流Ibiasを印加するようにも構成されている。

【0108】

図の例では、同じ共有スイッチ206を共有する $i+q$ 本の画素横列が設けられている。どの2または3個の画素が同じ共有スイッチ206を共有してもよい。数 $i+q$ は2, 3, 4などでよい。第 i 横列から第 $i+q$ 横列の画素の各々が同じ共有スイッチ206を共有することを明確にすることが重要である。

10

【0109】

CBVP技術はスイッチ共有技術を例示するための例として使用されているが、電流プログラミング画素回路、または純粋な電圧プログラミング画素回路、またはLED駆動トランジスタの閾値電圧および移動度のシフトを補正するための電流バイアスのない画素回路など、他の異なるタイプの画素回路への適用が可能である。

【0110】

ゲートドライバ108は、プログラミングサイクル中に第1セレクトラインSEL1[i]を（例えばlogiロー状態からlogiハイ状態へ、またはその逆に）トグルして、プログラミングサイクル中に電圧データラインVdataにより指定されて第1蓄電素子214aに蓄積される第1プログラミング電圧により第1画素104aをプログラムするようにも構成されている。同様に、ゲートドライバ108は、プログラミングサイクル中に第2セレクトラインSEL1[$i+1$]をトグルして、プログラミングサイクル中に電圧データラインVdataにより指定されて第2蓄電素子214bに蓄積される（第1プログラミング電圧と異なる）第2プログラミング電圧により第2画素104bをプログラムするように構成されている。

20

【0111】

ゲートドライバ108は、プログラミングサイクルに続く発光サイクル中などに、基準電圧制御ライン216を介して基準電圧トランジスタ210を第2状態から第1状態へ（例えばオフからオンへ）スイッチするとともに、グループセレクトラインGSELを介して共有スイッチトランジスタ206を第1状態から第2状態へ（例えばオンからオフへ）スイッチするように構成可能である。図1に示された任意の電源電圧制御回路114は、フレームのプログラミングサイクルに続く駆動または発光サイクル中に、第1および第2発光素子202a, bに結合された電源電圧EL_Vddを調節して、第1および第2発光素子202a, bを作動させるように構成可能である。加えて、任意の電源電圧制御回路114はさらに、プログラミングサイクル中に第1および第2発光素子202a, bが非発光状態（例えばオフ）のままであることを確実にするレベルであるVdd2などの第2電源電圧に電源電圧EL_Vddを調節するように構成可能である。

30

【0112】

図2bは、図2aのCBVP回路200、またはここで開示される他の共有トランジスタ回路によりプログラミングサイクル中に使用される信号のタイミング図の例である。タイミング図の上部から始めると、ゲートドライバ108は、グループセレクトラインGSELを第2状態から第1状態へ、例えばハイからローへトグルして、共有スイッチ206により共有される横列グループの画素すべてがプログラムされるまでこのラインを第1状態に保持する。この例では、同じ共有スイッチを共有する画素横列の数は $i+q$ であり、 $i+q$ は2, 3, 4などでよい。ゲートドライバ108は、CBVP回路200などの共有画素回路でプログラムされるグループの第 i 横列のためのセレクトラインSEL[i]をアクティブ化する。SEL[i]ラインが第 i 横列[i]についてアクティブ化されている間に、第 i 横列[i]の画素がVdataの対応のプログラミング電圧によりプログ

40

50

ラムされる。

【0113】

ゲートドライバ108は、共有画素回路でプログラムされるグループの第 $i+1$ 横列のための選択ラインSEL $[i+1]$ をアクティブ化し、第 $i+1$ 横列 $[i+1]$ についてSEL $[i+1]$ ラインがアクティブ化されている間に第 $i+1$ 横列 $[i+1]$ の画素がVdataの対応のプログラミング電圧によりプログラムされる。このプロセスは少なくとも2本の横列について実行され、共有スイッチ206を共有する画素グループの他のすべての横列について反復される。例えば、画素グループに3本の横列が存在する場合には、共有回路でプログラムされるグループの第 $i+q$ 横列($q=2$)のための選択ラインSEL $[i+q]$ をゲートドライバ108がアクティブ化し、第 $i+q$ 横列 $[i+q]$ のためのSEL $[i+q]$ ラインがアクティブ化されている間に第 $i+q$ 横列 $[i+q]$ の画素がVdataの対応のプログラミング電圧によりプログラムされる。

10

【0114】

グループセレクトラインGSELがアクティブ化されている間、電源電圧制御手段114は、共有スイッチ206を共有する画素グループの画素の各々への電源電圧VddをVdd1からVdd2へ調節するが、Vdd1は、プログラムされている画素グループの発光素子202a, b, nの各々を作動させるのに十分な電圧であり、Vdd2は、プログラムされている画素グループの発光素子202a, b, nの各々を停止させるのに十分な電圧である。このようにして電源電圧を制御すると、プログラムされている画素グループの発光素子202a, b, nがプログラミングサイクル中には作動され得ないことが確実となる。やはり図2bのタイミング図を参照すると、基準電圧および基準電流はそれぞれ一定の電圧Vrefおよび電流Irefを維持している。

20

【0115】

共有アーキテクチャを備える3Te画素回路図

図3aは、図2aに示されたCBVP回路200に関して使用可能である例示的なCBVP回路図の回路図である。この設計は、画素共有構成における縦列kの2個の隣接横列画素($i, i+1$)につき8個のTF Tを特徴とする。この8個TF T画素共有構成では、副画素104a, bの両方において駆動TF T(T1およびT7)と発光素子202a, bとの間にゲートTF Tが設けられていない。駆動TF T T1およびT7は常に、それぞれの発光素子202a, bに直接接続されている。この構成では、画素が発光または駆動段階ではない時に、発光素子202a, bへの電源電圧EL_VDDのトグルにより過剰および不要な電流ドレインを回避することができる。

30

【0116】

図3aの回路図の例において、第1および第2蓄電素子214a, bは、共有ライン208に接続された端子をともに有する蓄電キャパシタC_{PIX}である。やはり、図示の簡略化のため、2本の横列iおよびi+1の2個の画素104a, bのみが示されている。共有スイッチ206(T5と表記されたトランジスタ)は、2本以上の隣接横列の画素104の間での共有が可能である。この回路に示されたトランジスタはp型薄膜トランジスタ(TF T)であるが、n型TF T、またはnおよびp型TF Tの組合せ、または金属酸化物半導体(MOS)トランジスタを含む他のタイプのトランジスタにこの回路が変形されてもよいことを当業者は理解するだろう。本開示は、特定タイプのトランジスタ、製造技術、または相補的アーキテクチャに限定されない。ここで開示される回路図は例示的なものである。

40

【0117】

第1画素104aの第1駆動回路212aは、電源電圧EL_Vddと第1発光素子202aとに接続されたT1と表記の第1駆動トランジスタを含む。第1駆動回路212aはさらに、プログラミングサイクル中に基準電流ライン132aからキャパシタC_{pix}と記された第1蓄電素子へバイアス電流を伝導するための第1セレクトラインSEL1 $[i]$ に各々が結合されたT2およびT3と表記の一对のスイッチトランジスタを含む。T1のゲートはキャパシタC_{pix} 214aに接続されている。T2は、基準電流ライン

50

1 3 2 aと第1発光素子2 0 2 aとの間に接続されている。T 3は、第1発光素子2 0 2 aとキャパシタC p i x 2 1 4 aとの間に接続されている。

【0 1 1 8】

第2画素1 0 4 bの第2駆動回路2 1 2 bは、電源電圧E L__V D Dと第2発光素子2 0 2 bとに接続されたT 6と表記の第2駆動トランジスタを含む。T 6のゲートは、キャパシタC p i xと記された第2蓄電素子2 1 4 bと、プログラミングサイクル中に基準電流ライン1 3 2 aからキャパシタ2 1 4 bへバイアス電流I b i a sを伝導するための第2セレクトラインS E L 1 [i + 1]に各々が結合されたT 7およびT 8と表記の一对のスイッチトランジスタとに接続されている。T 7は、基準電流ライン1 3 2 aと第2発光素子2 0 2 bとの間に接続され、T 8は、第2発光素子2 0 2 bとキャパシタ2 1 4 bとの間に接続されている。

10

【0 1 1 9】

図3 aの詳細についてこれから説明する。ここで説明されるあらゆるトランジスタは、ゲート端子と、（電界効果トランジスタの場合にはソースまたはドレインである）第1端子と、（ドレインまたはソースである）第2端子とを含むことに注意すべきである。F E Tのタイプ（例えばn型であるかp型であるか）に応じて、ドレインおよびソース端子が逆転することを当業者であれば理解するだろう。ここで説明される特定の図は、本開示の態様を実行するための唯一の構成を反映することを意図したものではない。例えば図3 aでは、p型C B V P回路が示されているが、これをn型C B V P回路に変形することは容易である。

20

【0 1 2 0】

T 1のゲートは、キャパシタC p i x 2 1 4 aの一方のプレートに接続されている。キャパシタC p i x 2 1 4 aの他方のプレートは、T 5のソースに接続されている。T 1のソースは、この例では電源電圧制御手段1 1 4により制御可能である電源電圧E L__V D Dに接続されている。T 1のドレインは、T 3のドレインとT 2のソースとの間に接続されている。T 2のドレインは、バイアス電流ライン1 3 2 aに接続されている。T 2およびT 3のゲートは、第1セレクトラインS E L 1 [i]に接続されている。T 3のソースは、T 1のゲートに接続されている。T 4のゲートは、グループ発光ラインG_{EM}を受容する。T 4のソースは、基準電圧V r e fに接続されている。T 4のドレインは、T 5のソースと第1キャパシタ2 1 4 aの他方のプレートとの間に接続されている。T 5のゲートはグループセレクトラインG_{SEL}を受容し、T 5のドレインはV d a t aラインに接続されている。発光素子2 0 2 aはT 1のドレインに接続されている。

30

【0 1 2 1】

さて、図3 aのC B V P回路の次の副画素を見ると、T 6のゲートは第2キャパシタ2 1 4 bの一方のプレートとT 8のドレインとに接続されている。第2キャパシタ2 1 4 bの他方のプレートは、T 5のソースとT 4のドレインと第1キャパシタ2 1 4 aの他方のプレートとに接続されている。T 6のソースは、電源電圧E L__V D Dに接続されている。T 6のドレインは、T 7のソースに接続されたT 8のドレインに接続されている。T 7のドレインは、バイアス電流ラインI b i a s 1 3 2 aに接続されている。T 7およびT 8のゲートは、第2セレクトラインS E L 1 [i + 1]に接続されている。第2発光素子2 0 2 bは、アース電位E L__V S SとT 6のドレインとの間に接続されている。

40

【0 1 2 2】

図3 bは、図3 aに示されたC B V P回路のタイミング図の例を図示している。上述のように、この共有画素構成は、電源電圧E L__V D Dをトグルして、画素が駆動または発光サイクルでない時に過剰な電流を引き出すことを回避する。概して、発光素子2 0 2 a, bの電位を制限して、画素プログラミング中の電流消費量ひいては明度を低下させるため、電源電圧制御手段1 1 4は画素プログラミング中にE L__V D Dの電位を低下させる。電源電圧制御手段1 1 4による電源電圧E L__V D Dのトグルが、（画素のグループがプログラミングされてから、直後に一度に1画素グループずつ駆動される）連続プログラミング動作と組み合わせられると、E L__V D Dライン1 3 2 aがすべての画素の間で広く

50

共有されていないことを意味する。電源ライン132aは共通の横列の画素のみに共有され、このような電力分布は、画素アレイ102の周辺エリア106の集積電子機器によって実行される。単位画素レベルで一つのTFTを省略すると、この画素設計の占有面積電力消費量を減少させて、周辺集積電子機器を犠牲にする図4aに示されているような高度トランジスタ共有画素構成よりも高い画素解像度を達成する。

【0123】

連続プログラミング動作は、画素アレイ120の横列すべてがプログラムおよび駆動されるまで、共有スイッチ206を共有する第1画素グループ（この場合は一度に縦列の2個の画素）をプログラムし、これらの画素を駆動してから、次の画素グループをプログラムし、これらを駆動するというものである。共有画素プログラミングを開始するため、ゲートドライバ108は、グループセレクトラインGSELをトグルして共有スイッチ206（T5）を作動させる。同時に、ゲートドライバ108はグループ発光ラインG_{EM}をハイにトグルして、T4を停止させる。この例では、T4およびT5がp型のトランジスタであるため、グループ発光ラインG_{EM}およびグループセレクトラインG_{SEL}はアクティブロー信号である。電源電圧制御手段114は、プログラミング動作中に発光素子202a, bが過剰電流を引き出さないようにするのに十分な電圧まで電源電圧E_L__VDDを低下させる。こうして、発光素子202a, bがプログラミング中に電流をほとんどまたは全く引き出さず、好ましくはオフのままであるか非発光状態または非発光に近い状態であることが確実となる。この例では、スイッチトランジスタ206ごとに2個の共有画素が設けられるため、第1横列iの画素は第2横列i+1の画素に続いてプログラムされる。この例では、ゲートドライバ108は第i横列のセレクトライン（SEL[i]）をハイからローへトグルしてT2およびT3を作動させ、基準電流ライン132aの電流I_{bias}がダイオード接続方式で駆動トランジスタT1を流れるようにし、T1のゲートでの電圧をバイアス電圧V_Bにする。SEL[i]とGSELのアクティブエッジの間の時間ギャップは、Vdataラインの適切な信号整定を保証する。ソースドライバ110は第1画素104aのためのVdataにプログラミング電圧（V_p）を印加して、この画素104aについて指定されたプログラミング電圧V_pでキャパシタ214aがバイアス付与されるようにし、第1画素104aのためのこのプログラミング電圧を駆動サイクル中に使用されるように蓄積する。キャパシタ214aに蓄積される電圧は、V_B-V_pである。

【0124】

次に、ゲートドライバ108は第i+1横列のセレクトライン（SEL[i+1]）をハイからローへトグルして、第2画素104bのT7およびT8を作動させ、ダイオード接続方式で基準電流ライン132aの電流I_{bias}のすべてが駆動トランジスタT6を流れるようにし、T6のゲートの電圧がバイアス電圧V_Bとなるようにする。ソースドライバ110は、第2画素104bのためのVdataラインにプログラミング電圧V_pを印加して、第2画素104bのためのVdataに指定されたプログラミング電圧V_pでキャパシタ214bがバイアス付与されるようにして、駆動サイクル中に使用されるように第2画素104bのためのこのプログラミング電圧V_pを蓄積する。キャパシタ214bに蓄積される電圧は、V_B-V_pである。Vdataラインが両方のキャパシタ214a, bの一方のプレートに共有され接続されることに注意。Vdataプログラミング電圧の変化は、グループ内のキャパシタ214a, bの両方のプレートに影響を与えるが、ゲートドライバ108によりアドレスされた駆動トランジスタ（T1またはT6）のゲートのみの変化が可能である。ゆえに、画素104a, bのグループをプログラミングした後では、異なる電荷がキャパシタ214a, bに蓄積されてここに保存される。

【0125】

両方の画素104a, bがプログラムされて対応のプログラミング電圧Vdataがキャパシタ214a, bの各々に蓄積された後で、発光素子202a, bが発光状態にスイッチされる。セレクトラインSEL[i], SEL[i+1]はクロック信号により非アクティブとなり、T2, T3, T7, T8を停止させ、画素104a, bへの基準電流I

10

20

30

40

50

b i a sの流れを止める。グループ発光ライン G_{EM} はクロックによりアクティブとなり（この例ではクロックによりローからハイになり）、T 4を作動させる。プログラミング動作中に、キャパシタ2 1 4 a, bの一方のプレートはV r e fまで上昇を始め、それぞれのキャパシタ2 1 4 a, bの各々に蓄積された電位に従ってT 1およびT 6のゲートを上昇させる。T 1およびT 6のゲートの上昇は、それぞれT 1およびT 6のゲート - ソース電圧を確定し、プログラミング動作からのT 1およびT 6のゲートでの電圧スイングは、V r e fとプログラム後のV d a t a値との差分に対応する。例えばV r e fがV d d 1である場合、T 1のゲート - ソース電圧は $V_B - V_P$ となり、電源電圧 $E L_V D D$ はV d d 1となる。駆動スイッチT 1およびT 6を通して電源電圧から電流が流れて、結果的に発光素子2 0 2 a, bにより発光が行われる。

10

【0 1 2 6】

デューティサイクルは、V d d 1信号のタイミングを変化させることにより調節可能である（例えば、5 0 %のデューティサイクルについては、V d d ラインはフレームの5 0 %ではV d d 1のままであり、ゆえに画素1 0 4 a, bはフレームの5 0 %のみオンである）。各グループの画素1 0 4 a, bのみが短時間だけオフになるため、最大デューティサイクルは1 0 0 %に近い。

【0 1 2 7】

共有構成を備える5 T画素

図4 aおよび4 bは、2個の隣接画素につき1 0個のT F Tを特徴とする別の画素共有構成の回路図およびタイミング図の例を図示している。基準電圧スイッチ（T 4）および共有スイッチトランジスタ（T 5）は、縦列kの2個の隣接画素（横列i, i + 1）の間で共有されている。上述した2個のT F Tを共有するグループの各副画素1 0 4 a, bは、発光素子2 0 2 a, bのための駆動機構として機能する4個のT F T、すなわち、最上部の副画素1 0 4 aについてはT 1, T 2, T 3, T 6、最下部の副画素2 0 2 bについてはT 7, T 8, T 9, T 1 0を有する。2画素構成の集合はグループと呼ばれる。

20

【0 1 2 8】

第1駆動回路2 1 2 aは、電源電圧 $E L_V D D$ に接続された第1駆動トランジスタT 1と、第1発光素子2 0 2 aに接続されたゲートトランジスタ4 0 2 a（T 6）とを含む。第1駆動トランジスタT 6のゲートは、第1蓄電素子2 1 4 aと、プログラミングサイクル中にバイアス電流I b i a sを基準電流ライン1 3 2 aから第1蓄電素子2 1 4 aへ伝導するためのセレクトラインS E L 1 [i] に各々が結合された一対のスイッチトランジスタT 2およびT 3とに接続されている。ゲートトランジスタ4 0 2 a（T 6）は、基準電圧トランジスタ2 1 0（T 4）にも接続された基準電圧制御ライン G_{EM} に接続されている。

30

【0 1 2 9】

基準電圧制御ライン G_{EM} は、基準電圧トランジスタ2 1 0とゲートトランジスタ4 0 2 aの両方を第1状態と第2状態との間で（例えばオンからオフへ、またはオフからオンへ）同時にスイッチする。基準電圧制御ライン G_{EM} は、プログラミングサイクル中に、ゲートドライバ1 0 8により基準電圧トランジスタ2 1 0を基準電圧V r e fから、また第1発光素子2 0 2 aを第1駆動トランジスタT 1から切断するように、構成されている。

40

【0 1 3 0】

同様に、このグループの副画素（画素1 0 4 b）について、第2駆動回路2 1 2 bは、電源電圧 $E L_V D D$ に接続された第2駆動トランジスタT 7と、第2発光素子2 0 2 bに接続されたゲートトランジスタ4 0 2 b（T 1 0）とを含む。第2駆動トランジスタT 7のゲートは、第2蓄電素子2 1 4 bと、プログラミングサイクル中にバイアス電流I b i a sを基準電流ライン1 3 2 aから第2蓄電素子2 1 4 bへ伝導するためのセレクトラインS E L 1 [i + 1] に各々が結合された一対のスイッチトランジスタT 8およびT 9とに接続されている。ゲートトランジスタ4 0 2 b（T 1 0）は、基準電圧トランジスタ2 1 0（T 4）にも接続された基準電圧制御ライン G_{EM} に接続されている。

【0 1 3 1】

50

基準電圧制御ライン G_{EM} は、基準電圧トランジスタ210とゲートトランジスタ402aの両方を第1状態と第2状態との間で（例えばオンからオフへ、またはオフからオンへ）同時にスイッチする。基準電圧制御ライン G_{EM} は、プログラミングサイクル中に、ゲートドライバ108により基準電圧トランジスタ210を基準電圧 V_{ref} から、また第2発光素子202bを第2駆動トランジスタT7から切断するように構成されている。

【0132】

図4bに示されたタイミング図は、電源電圧 E_L_VDD の単独制御が行われないことを除いて、図3bに示されたものと類似した連続プログラミング方式である。基準電圧制御ライン G_{EM} は、発光素子202a, bを電源電圧に対して接続または切断する。 G_{EM} ラインがアクティブである時に G_{SEL} ラインが非アクティブであり、また逆でもあるように、 G_{EM} ラインは論理インバータを通して G_{SEL} ラインに接続可能である。

10

【0133】

画素プログラミング動作中に、ゲートドライバ108は、グループに対応する G_{SEL} ラインをアドレス指定してアクティブにする（この例ではp型TFTを使用してハイからローにする）。各横列のプログラミングサイクル中には、共有スイッチトランジスタ206（T5）が作動して、 $Vdata$ により運ばれるそれぞれのプログラミング電圧で各副画素104a, bのキャパシタ214a, bの片側がバイアス付与される。

【0134】

ゲートドライバ108は、最上部の副画素104aに対応する $SEL1[i]$ をアドレス指定してアクティブにする（この例ではハイからローにする）。トランジスタT2およびT3が作動して、ダイオード接続方式で駆動TFT T1に電流 I_{bias} を流す。こうして、 I_{bias} 、T1の閾値電圧、およびT1の移動度に従って、T1のゲート電位が充電される。 $SEL1[i]$ および G_{SEL} のアクティブエッジの間の時間ギャップは、 $Vdata$ ラインの適切な信号整定を保証するためである。

20

【0135】

ソースドライバ114は、 $SEL1[i]$ が非アクティブになってから $SEL1[i+1]$ がアクティブになるまでの時間についての時間ギャップの間、最下部副画素104bのデータ値（プログラミング電圧に対応）に $Vdata$ ラインをトグルする。次に $SEL1[i+1]$ がアドレス指定され、T8およびT9をオンにする。T7およびその対応ゲート電位は、最上部副画素104aのT1と同様に充電されるだろう。

30

【0136】

$Vdata$ ラインが共有されており、両方のキャパシタ214a, bの一方のプレートに接続されることに注意。 $Vdata$ 値の変化は、グループ104a, bのキャパシタ214a, bの両方のプレートに同時に影響する。しかし、アドレス指定されている駆動TFT（T1またはT7）のゲートのみがこの構成を変化させることができる。こうして、画素プログラミングの後で、各キャパシタ $C_{pix}214a, b$ に蓄積された電荷が保存される。

【0137】

画素104a, bのプログラミングに続いて、 $SEL1[i]$ および $SEL1[i+1]$ をクロック信号により非アクティブにする（ローからハイへスイッチする）ことにより画素発光動作が実行されて、T2, T3, T8, T9をオフにして、画素グループ104a, bへの I_{bias} の電流フローを止める。

40

【0138】

G_{EM} がクロック信号によりアクティブに（この例ではローからハイに）なり、T4, T6およびT10をオンにし、キャパシタ214a, bの一方のプレートを V_{REF} まで上昇させ、結果的に、プログラミング動作中に各キャパシタ214a, bの電位に従ってT1およびT7のゲートを上昇させる。この手順は、T1のゲート-ソース電圧を確定し、プログラミング段階からのT1およびT7のゲートでの電圧スイングは、 V_{REF} とプログラミング後の $VDATA$ 値との差分に対応する。

【0139】

50

T1およびT7を通る電流はそれぞれT6およびT10を通過して、発光素子202a, bを駆動し、結果的に発光となる。画素共有構成におけるこの1画素5トランジスタ設計は、2個ずつ隣接画素についてのトランジスタ総数を減少させる。1画素6トランジスタ構成と比較して、この画素構成は占有面積が狭く、小さな画素サイズおよび高い解像度を達成する。図3aに示された構成と比較して図4aの画素共有構成は、EL_VDDをトグルする必要性(ゆえに電源電圧制御手段114の必要性)を無くす。集積信号論理により、GSELおよびGESM信号の発生が周辺エリア106で行われる。

【0140】

図4aに示されたCBVP回路の例の詳細図について、これから説明する。駆動トランジスタT1のゲートは、第1キャパシタ214aの一方のプレートとスイッチトランジスタT3の一つのソースとに接続されている。T1のソースは、この例では一定である電源電圧EL_VDDに接続されている。T1のドレインは、別のスイッチトランジスタT2のソースに接続されたT3のドレインに接続されている。T2のドレインは、バイアス電流Ibiasを運ぶ電流バイアスライン132aに接続されている。T2およびT3のゲートは、第1セレクトラインSEL1[i]に接続されている。第1キャパシタ214aの他方のプレートは、T4のドレインとT5のドレインとに接続されている。T4のソースは基準電圧Vrefに接続されている。T4のゲートは、グループ発光ラインG_{EM}を受容する。T5のゲートは、グループ選択ラインG_{SEL}を受容する。T5のソースは、Vdataラインに接続されている。第1ゲートトランジスタT6のゲートも、グループ発光ラインG_{EM}に接続されている。第1発光素子202aは、T6のドレインとアース電位EL_VSSとの間に接続されている。T6のソースは、T1のドレインに接続されている。

【0141】

第2発光素子202bを含む第2副画素に言及すると、第2駆動トランジスタT7のゲートは、T9のソースと第2キャパシタ214bの一方のプレートとに接続されている。第2キャパシタ214bの他方のプレートは、T5のドレインとT4のドレインと第1キャパシタ214aの他方のプレートとに接続されている。T7のソースは、電源電圧EL_VDDに接続されている。T7のドレインは、T8のソースに接続されたT9のドレインに接続されている。T8のドレインは、バイアス電流ライン132aに接続されている。T8およびT9のゲートは、第2セレクトラインSEL1[i+1]に接続されている。第2ゲートトランジスタT10のゲートは、グループ発光ラインG_{EM}に接続されている。T10のソースは、第2駆動トランジスタT7のドレインに接続されている。第2発光素子202bは、T10のドレインとアース電位EL_VSSとの間に接続されている。

【0142】

ディスプレイ基板へのシステム統合のための安定的電流ソース

ここに開示されるCBVP回路に安定的バイアス電流を供給するため、本開示では、トランジスタ閾値電圧および電荷キャリア移動度の変化をその場補正するための単純な構造を持つ安定的な電流シンク・ソース回路を使用する。概して回路は、他の相互接続回路のための電流駆動・シンク回路を提供する多数のトランジスタおよびキャパシタを含み、これらのトランジスタおよびキャパシタの協働により、バイアス電流は個々のデバイスの変化に左右されない。ここに開示される電流シンク・ソース回路の例示的な用途は、アクティブマトリクス有機発光ダイオード(AMOLED)ディスプレイである。このような例では、画素の電流バイアス電圧プログラミングの間、安定的なバイアス電流Ibiasを供給する画素データプログラミング動作の一部として、これらの電流シンク・ソース回路が縦列単位で使用される。

【0143】

アモルファスシリコン、ナノ結晶質・微晶質、ポリシリコン、および金属酸化物半導体その他などの蒸着広面積電子技術により、電流シンク・ソース回路が実現可能である。上に列挙された技術のいずれかを用いて製造されるトランジスタは、慣例上、薄膜トランジスタ(TFT)と呼ばれる。TFT閾値電圧および移動度の変化など、上述したトランジ

スタ性能の可変性は、経年劣化、ヒステリシス、空間的不均一性など異なる原因から発生し得る。これらの電流シンク・ソース回路はこのような変化の補正を主目的とするもので、様々な原因またはその組合せによる差異は見られない。言い換えると、電流シンク・ソース回路は概して、TFTデバイスの電荷キャリアの閾値電圧または移動度の変化に全く影響されず、無関係である。こうして、ディスプレイパネルの寿命期間を通して非常に安定したIbias電流が供給され、このバイアス電流は上述したトランジスタの変化に左右されない。

【0144】

図5aは、本開示の一態様による発光ディスプレイ100のための高インピーダンス電流シンク・ソース回路500の機能ブロック図を図示している。電流ソース・シンク回路500の校正動作中に一定の基準電流512を受容して電流ソース・シンク回路500のノード514に基準電流512を提供する入力510を、回路500は含む。回路500は、校正動作中に基準電流512がノード514の電圧を調節して直列接続トランジスタ516, 518を基準電流512が通過するように、ノード514に直列接続された第1トランジスタ516および第2トランジスタ518を含む。回路500は、ノード514に接続された一つ以上の蓄電素子520を含む。ノード514に接続されて、一つ以上の蓄電素子520に蓄積された電流からの出力電流(Iout)を流出または流入させて、出力電流Ioutに対応するバイアス電流Ibiasでアクティブマトリクスディスプレイ102を駆動する出力トランジスタ522を、回路500は含む。電流ソース・シンク制御手段122および/または制御装置112により制御される様々な制御ラインは、図5aに示されたデバイスのタイミングおよび順序を制御するために設けられている。

【0145】

図5b-1は、p型TFTのみを使用する電流シンク回路500'の回路図を図示している。校正サイクル中に、校正制御ラインCAL502はローであり、ゆえに出力トランジスタT6 522がオフである間はトランジスタT2, T4, T5はオンである。その結果、電流はノードA(514)での電圧を調節して第1トランジスタT1(516)および第2トランジスタT3(518)をすべての電流が通過するようにする。校正の後、校正制御ラインCAL502はハイであり、アクセス制御ラインACS504はローである(図5b-2のタイミング図を参照)。出力トランジスタT6(522)がオンになって、出力トランジスタT6に負極性電流が印加される。蓄電キャパシタ520(および第2キャパシタC_{AC})は、(T1とT3の間の)ソース負帰還作用とともに複製電流を保存して、非常に高い出力インピーダンスを提供する。アクセス制御ラインACS504および校正制御ラインCAL502は、電流ソース・シンク制御手段122により制御可能である。これらの制御ラインの各々のタイミングおよび期間はクロック制御され、制御ラインがアクティブハイであるかアクティブローであるかは、半導体分野の当業者には十分に理解されているように、電流シンク・ソース回路がp型であるかn型であるかに左右される。

【0146】

図5b-2のタイミング図は、本開示の一態様による発光ディスプレイ100の画素104をプログラムするためのバイアス電流Ibiasを提供するように電流を流出または流入させる方法を図示している。校正制御ラインCALをアクティブ化して電流ソース・シンク回路500に基準電流Irefが供給されるようにすることによって、電流ソース・シンク回路500の校正動作が開始される。この例では、電流シンク回路500のトランジスタT2, T4, T5がp型であるため、CALはアクティブローである。校正動作中には、基準電流Irefにより供給される電流が電流ソース・シンク回路500の一つ以上の蓄電素子(C_{AB}およびC_{AC})に蓄積される。アクセス制御ラインACSがアクティブ化されている(回路500のT6はp型であるためアクティブローである)間に校正制御ラインCALが非アクティブ化されて、キャパシタC_{AB}およびC_{AC}に蓄積された電流に対応する出力電流Ioutを流入または流出させる。発光ディスプレイ100のアクティブマトリクスエリア102の画素縦列104のためのバイアス電流ライン132a, b,

nに、出力電流が印加される。第1制御可能バイアス電圧 V_{B1} および第2制御可能バイアス電圧 V_{B2} が、電流ソース・シンク回路500に印加される。第1バイアス電圧 V_{B1} は第2バイアス電圧 V_{B2} と異なっていて、T1およびT3を通過する基準電流 I_{ref} がキャパシタ C_{AB} および C_{AC} へ複製される。

【0147】

電流シンク回路500'は、図1に示された電流ソース・シンク回路120への組み込みが可能である。制御ラインACSおよびCAL502, 504は電流ソース制御手段122により、または制御装置112から直接、供給され得る。 I_{out} は、図1に示された縦列(k...n)の一つに供給される I_{bias} 電流に対応可能である。電流シンク回路500'は画素アレイ102の各縦列についてn回複製されるため、n本の画素縦列が存在する場合には、各々が I_{bias} 電流を(その I_{out} ラインを介して)画素縦列全体へ流入させるn個の電流シンク回路500'が存在する。

10

【0148】

ACS制御ライン504は、出力トランジスタT6のゲートに接続されている。T6のソースは、図5b-1で I_{out} と表記されたバイアス電流を提供する。出力トランジスタT6(522)のドレインは、T5のドレインにも接続されたノードAに接続されている。T5のソースには、基準電流 I_{ref} が供給される。

【0149】

校正制御ラインCAL502はT2, T4, T5のゲートに接続されて、これらのTF Tを同時にオンまたはオフにスイッチする。T4のソースは、T3のゲートにも接続されているノードBに接続されている。T3のソースは、ノードAとT5のドレインとに接続されている。キャパシタ C_{AB} は、ノードAおよびBを越えてT4のソースとT5のドレインとの間に接続されている。T4のドレインは、 V_{B2} と表記された第2電源電圧に接続されている。T2のソースは、T1のゲートにも接続されたノードCに接続されている。キャパシタ C_{AC} は、ノードAおよびCを越えて、T2のソースとT3のソースとの間に接続されている。T1のドレインはアース接続されている。T1のソースはT3のドレインに接続されている。 V_{B1} と表記された第1電源電圧は、T2のドレインに接続されている。

20

【0150】

電流シンク回路500の校正は、プログラミング段階を除くいかなる段階でも行われ得る。例えば、画素が発光サイクルまたは段階にある間に、電流シンク回路500が校正されるとよい。図5bのタイミング図は、電流シンク回路500がどのようにして校正されるかの一例である。上記のように、校正制御ラインCAL502がアクティブ化されてロー状態になる時にACS制御ライン504はハイとなって、トランジスタT2, T4, T5をオンにする。 I_{ref} からの電流は、蓄電キャパシタ C_{AB} および C_{AC} に蓄積される。校正制御ラインCAL502が非アクティブ化され(ローからハイへの移行)、ACS制御ライン504がアクティブ化されて(ハイからロー)、蓄電キャパシタの複製電流がT6を通して負極性電流 I_{out} に印加される。

30

【0151】

図5cは、第2トランジスタT1(518)に接続された第2キャパシタを有する図5b-1の変形例である。概して図5cでは、 C_{CD} と記された第2キャパシタが、図5b-1に示されたノードCとAとの間ではなくノードCとDとの間に接続されている。図5cに示された電流シンク回路500''は、6個のp型トランジスタと、校正制御ラインCAL502'(アクティブハイ)と、アクセス制御ラインACS504'(アクティブハイ)とを特徴とする。校正制御ライン502'は、第1および第2電圧スイッチングトランジスタT2, T4のゲートと入力トランジスタT5のゲートとに接続され、アクセス制御ラインACS504'は出力トランジスタT6(522)のゲートに接続されている。図5cでは、第1キャパシタ C_{AB} (520)の一方のプレートにも接続されたスイッチングトランジスタT2のドレインに、第2トランジスタT1(518)のゲートが接続されている。第1キャパシタ C_{AB} の他方のプレートは、入力トランジスタT5のドレインと出力ト

40

50

ランジスタT6のドレインと第1トランジスタT3(516)のソースとに接続されたノードAに接続されている。第1キャパシタT3(516)のドレインは、ノードDにおいて第2キャパシタC_{CD}の一方のプレートに接続されている。第2キャパシタの他方のプレートは、第2トランジスタT1(518)のゲートと第2電圧スイッチングトランジスタT2のソースとに接続されている。T1のソースはT3のドレインに接続され、T1のドレインはアース電位V_{SS}に接続されている。第1電圧スイッチングトランジスタT4のドレインは第1電圧V_{B1}を受容し、第2電圧スイッチングトランジスタT2のドレインは第2電圧V_{B2}を受容する。T5のソースは基準電流I_{ref}を受容する。T6のソースはバイアス電流I_{bias}の形の出力電流を、回路800'が接続された画素縦列に供給する。

10

【0152】

図6は、図5aまたは5cに示された電流シンク回路500の出力電流I_{out}の、出力電圧との相関関係におけるシミュレーション結果を図示している。p型TFTの使用にもかかわらず、出力電流I_{out}は出力電圧の変化に関係なく極めて安定している。

【0153】

加えて、出力電流I_{out}は、(通常はプロセス誘発作用によって生じる)バックプレーンにおける高レベルの不均一性にもかかわらず、高い均一性を持つ。図7aおよび7bは、図7aに示されたシミュレーションおよび解析の結果に使用される一般的なポリシリコン処理のパラメータ変化を図示している。図8は、(I_{bias}に対応する)出力電流I_{out}についてのモンテカルロシミュレーション結果を強調したものである。このシミュレーションでは、12%を超える移動度の変化と30%の閾値電圧(V_T)の変化とが検討されている。しかし、電流シンク回路500の出力電流I_{out}の変化は1%未満である。

20

【0154】

図5aおよび5cに示された電流ソース・シンク回路は、より複雑な回路およびシステムブロックを開発するのに使用可能である。図9aは、電圧-電流コンバータ回路900における電流シンク回路500の使用を図示しており、対応の例示的タイミング図が図9bに図示されている。電流シンク回路500は図9aでは電圧-電流コンバータ回路900に示されているが、代替構成では電流シンク回路800が使用されてもよい。電圧-電流コンバータ回路900は、発光ディスプレイ100に電流ソースまたはシンクを提供する。回路900は、制御可能バイアス電圧V_{B3}に接続された第1端子(ソース)と、電流シンク・ソース回路500の第1ノードAに接続された第2端子(ドレイン)とを有する制御可能バイアス電圧トランジスタT5を含む電流シンク・ソース回路500を含む。制御可能バイアス電圧トランジスタT5のゲートは、第2ノードBに接続されている。第1ノードAと第2ノードBと第3ノードCとの間には、制御トランジスタT8が接続されている。一定バイアス電圧V_{B4}が、バイアス電圧トランジスタT9を通して第2ノードBに接続されている。出力トランジスタT7は第3ノードCに接続され、出力電流I_{out}をバイアス電流I_{bias}として流入させ、発光ディスプレイ100のアクティブマトリクスエリア102の画素縦列104を駆動する。

30

【0155】

電流シンク・ソース回路500は、第2トランジスタT2に直列接続された第1トランジスタT3を含む。制御可能バイアス電圧トランジスタT5と第1トランジスタT3と第2トランジスタT1とを通過する電流が調節されて第2ノードBに一定バイアス電圧V_{B4}を発生させるように、第1トランジスタT3が第1ノードAに接続されている。出力電流I_{out}は、制御可能バイアス電圧V_{B3}および一定バイアス電圧V_{B4}と相関している。

40

【0156】

制御可能バイアス電圧トランジスタT5のソースは、制御可能バイアス電圧V_{B3}に接続されている。制御可能バイアス電圧トランジスタT5のゲートは、第2ノードBに接続されている。制御可能バイアス電圧トランジスタT5のドレインは、第1ノードAに接続されている。制御トランジスタT8のソースは、第2ノードBに接続されている。制御トラ

50

ンジスタT8のゲートは、第1ノードAに接続されている。制御トランジスタT8のドレインは第3ノードCに接続されている。バイアス電圧トランジスタT9のソースは、一定バイアス電圧 V_{B4} に接続されている。電源電圧トランジスタT10のドレインは、第2ノードBに接続されている。バイアス電圧トランジスタT9のゲートは、発光ディスプレイ100の制御装置122、112、114により制御される校正制御ラインCALに接続されている。出力トランジスタT7のソースは、バイアス電流 I_{bias} を運ぶ電流バイアスライン132a, b, nに接続されている。出力トランジスタT7のドレインは、第3ノードCに接続されている。校正制御ラインCALがアクティブラーである時に出力トランジスタのゲートがアクティブハイ（／CAL）となるように、出力トランジスタT7のゲートは校正制御ラインCALに結合されている。

10

【0157】

校正動作中に、校正制御ラインCAL502はローであり（図9b参照）、 V_{B4} と表記された一定バイアス電圧がノードBに印加される。ここで、分岐したT1 - T3 - T5の電流が調節されてノードBを V_{B4} にする（図9b参照）。その結果、制御可能バイアス電圧 V_{B3} および一定バイアス電圧 V_{B4} と相関する電流が I_{out} を通過する。

【0158】

CAL制御ライン502の逆特性であって（つまりCALがアクティブラーである時に／CALがアクティブハイであって）インバータを通して同じラインに結合されるとよい／CAL制御ライン902も示されている。校正制御ラインCAL502は、校正制御トランジスタT2、T4、T6のゲートに接続されている。／CAL制御ライン902は、出力トランジスタT7および電源電圧トランジスタT10のゲートに接続されている。制御可能バイアス電圧トランジスタT5のゲートにも接続されているノードBにドレインが接続されたバイアス電圧トランジスタT9のソースに、一定バイアス電圧 V_{B4} が印加される。制御可能バイアス電圧 V_{B3} が制御可能バイアス電圧トランジスタT5のソースに印加され、制御可能バイアス電圧トランジスタT5のドレインは、電流シンク回路500の制御トランジスタT8のゲートおよび第1トランジスタT3のソースにも接続されたノードAに接続されている。電源電圧トランジスタT10のソースは、レジスタR1を通して電源電圧Vddに接続されている。電源電圧T10のドレインは、制御トランジスタT8のソースにも接続されているノードBに接続されている。制御トランジスタT8のドレインは、出力トランジスタT7のドレインにも接続されたノードCに接続されている。出力トランジスタT7のソースは、出力電流 I_{out} を発生させる。校正制御トランジスタT6のソースはノードCに接続され、校正制御トランジスタT6のドレインはアースに接続されている。電流シンク回路500のT4のソースとT3のソースとの間には、第1キャパシタが接続されている。T4のソースは、電流シンク回路500のT3のゲートに接続されている。電流シンク回路500のT1のゲートとT3のソースとの間には、第2キャパシタが接続されている。T1のゲートは、電流シンク回路500のT2のソースにも接続されている。T2のドレインは電流シンク回路500の第1制御可能バイアス電圧 V_{B1} に接続され、T4のドレインは第2制御可能バイアス電圧 V_{B2} に接続されている。

20

30

【0159】

図9bは、電圧 - 電流コンバータ900を使用して出力電流 I_{out} を校正する発光ディスプレイ100のための電流ソース・シンク回路500を校正する方法のタイミング図を図示している。9bのタイミング図は、プログラミングサイクルに続いて、例えば発光サイクルまたは動作の間に実行可能である校正サイクルが、校正制御ラインCAL502がロー（アクティブラー）にアサートされる時に開始することを示している。制御可能バイアス電圧 V_{B3} は、電流ソース・シンク制御回路122、制御装置112、または電源電圧制御手段114（図1参照）などにより、第1バイアス電圧レベル（ V_{bias1} ）まで校正サイクル中に調節される。校正制御ラインCAL502が（ローからハイへ）逆アサートされる時に出力電圧範囲にわたって I_{out} 電流が安定するように、 I_{ref} 電流が複製されて蓄電キャパシタに蓄積される。変換サイクル中の校正サイクルに続いて、制御可能バイアス電圧 V_{B3} が第2バイアス電圧レベル V_{bias2} まで下げられる。電圧

40

50

- 電流コンバータの電流ソース・シンク回路500を校正するためのタイミング動作を実行する方法は、校正制御ラインCALをアクティブ化して電流ソース・シンク回路500の校正動作を開始させることを含む。次に、この方法は、電流ソース・シンク回路500に供給される制御可能バイアス電圧 V_{B3} を第1バイアス電圧 V_{bias1} に調節して、電流ソース・シンク回路500に電流を流し、電圧-電流コンバータ900のノードBに一定バイアス電圧 V_{B4} を存在させることを含む。この方法は、校正制御ラインCALを非アクティブ化して発光ディスプレイ100のアクティブマトリクスエリア102の画素のプログラミングを開始することを含む。プログラミング動作を開始した後に、制御可能バイアス電圧および一定バイアス電圧と関連した出力電流が、アクティブマトリクスエリア102の画素縦列104に出力電流 I_{out} (I_{bias}) を供給するバイアス電流ライン132に対して流出または流入する。

10

【0160】

校正動作中には、校正制御ラインCALが非アクティブ化されるまで、一定バイアス電圧により決定される電流ソース・シンク回路を流れる電流が、電流ソース・シンク回路500の一つ以上のキャパシタ520に蓄積される。校正制御ラインCALを非アクティブ化した後、第1バイアス電圧 V_{bias1} から、第1バイアス電圧 V_{bias1} より低い第2バイアス電圧 V_{bias2} まで、制御可能バイアス電圧 V_{B3} が低下する。

【0161】

図10aおよび10bは、図5b-1に示された(p型TFTを使用する)電流シンク回路500の変形例であるN-FETベースの電流シンク回路と、対応の動作タイミング図とを図示している。電流シンク回路1000は5個のTFT(T_1 から T_5 と表記)と2個のキャパシタ C_{SINK} とを特徴とし、校正制御ラインとも呼ばれる(図5b-1のCALのような)ゲート制御信号ライン(V_{SR})1002によりアクティブ化される。「画素へ」と表記された経路がプログラムされる画素縦列($k \dots n$)を接続している間に、ゲート制御信号ライン(V_{SR})1002と基準電流 I_{ref} の両方が、電流シンク回路1000の外部にあるか電流シンク回路構成1000と一体化された回路構成により発生される。

20

【0162】

電流シンク回路1000が校正される校正動作中には、 V_{SR} がクロック信号によりアクティブとなる。トランジスタ T_2 および T_4 がオンになって、ダイオード接続方式で T_1 および T_3 に I_{ref} を流す。 I_{ref} の電流フローを維持するため、両方のキャパシタ C_{SINK} が T_1 および T_3 のゲートにおいてそれぞれの電位まで充電される。

30

【0163】

校正段階中の T_1 および T_3 の両方のTFTのダイオード接続構成により、ゲート電位がそれぞれのデバイスの閾値電圧および移動度に応じたものとなる。これらのデバイスパラメータは実際には C_{SINK} にプログラムされて、上述したデバイスパラメータ(閾値電圧 V_T または移動度)の変化に合わせて回路を自己調節させる。これは、その場補正方式の基礎となる。

【0164】

どの瞬間にも一つの回路のみがオンになると仮定すると、すべての電流ソース・シンクの実例において基準電流 I_{ref} が共有されるとよい(画素アレイ102の各縦列に一つの電流ソースまたはシンクが設けられることに注意)。図10bは、電流シンク回路1000についてのこのような二つの実例の例示的動作を図示している。隣接縦列のための隣接 V_{SR} パルスは同時発生的であり、 I_{ref} は一つの縦列の一つの電流ソース・シンクブロックから次の縦列の次の電流ソース・シンクブロックまで送られる。

40

【0165】

クロック信号により V_{SR} を非アクティブ化して T_2 および T_4 をオフにすることにより、アクティブ化が行われる。電流ソース・シンク制御手段122により、または制御装置112により供給されるPanel_program制御ライン1004(アクセス制御ラインとも呼ばれる)を通して T_5 がオンになると、 C_{SINK} の電位が T_1 および T_3 を駆

50

動して、縦列の画素に出力電流を供給する。図10aに示された回路1000は、カスケード電流ソース・シンク構成のものである。この構成は、T5に見られるような高出力インピーダンスを促進することで電圧変動に対する影響を一層受けにくくする。

【0166】

V_{SR} 制御ライン1002は、T2, T4, T5のゲートに接続されている。基準電流 I_{ref} はT5のドレーンに受容される。Panel_program制御ライン1004はT6のゲートに接続されている。T1のソースはアース電位VSSに接続されている。T1のゲートはキャパシタ C_{SINK} の一方のプレートに接続されており、他方のプレートはVSSに接続されている。T1のドレーンは、T2のドレーンにも接続されたT3のソースに接続されている。T2のソースは、T1のゲートとキャパシタ C_{SINK} のプレートとに接続されている。T3のゲートは、T4のソースと第2キャパシタ C_{SINK} の一方のプレートとに接続され、他方のプレートはVSSに接続されている。T3のドレーンはT5およびT6のソースに接続されている。T4のドレーンは、ノードAと一緒に接続されたT5およびT6のソースに接続されている。T6のドレーンは電流バイアスライン132の一つに接続されて、バイアス電流 I_{bias} を画素縦列の一つに供給する。

【0167】

図10bのタイミング図は、バイアス電流ライン132a, b, n上のバイアス電流 I_{bias} を発光ディスプレイ100のアクティブマトリクスエリア102の画素縦列104へ供給する電流ソース・シンク回路（例えば回路500, 500', 500'', 900, 1000, 1100, 1200, 1300など）を校正する方法を図示している。発光ディスプレイ100の電流ソース・シンク回路の校正動作中には、アクティブマトリクスエリア102の第1画素縦列（132a）のための第1電流ソース・シンク回路（例えば回路500, 500', 500'', 900, 1000, 1100, 1200, 1300）への第1ゲート制御信号ライン（CALまたは V_{SR} ）がアクティブ化されて（例えば、図11bのp型スイッチについてはアクティブロー、図10bまたは13bのようなn型についてはアクティブハイ）、校正動作中に第1電流ソース・シンク回路の一つ以上の蓄電素子520（例えば C_{SINK} ）に蓄積されたバイアス電流 I_{bias} で、第1電流ソース・シンク回路を校正する。第1電流ソース・シンク回路の校正を受けて、第1縦列132aのための第1ゲート制御信号ラインが非アクティブ化される。校正動作中には、アクティブマトリクスエリア102の第2画素縦列132bのための第2電流ソース・シンク回路（例えば500, 500', 500'', 900, 1000, 1100, 1200, 1300）への第2ゲート制御信号ライン（例えば第2縦列132bについては V_{SR} またはCAL）がアクティブ化されて、校正動作中に第2電流ソース・シンク回路の一つ以上の蓄電素子520に蓄積されるバイアス電流 I_{bias} で、第2電流ソース・シンク回路を校正する。第2電流ソース・シンク回路の校正を受けて、第2ゲート制御信号ラインが非アクティブ化される。校正動作中にあらゆる縦列の電流ソース・シンク回路すべてが校正されると、アクティブマトリクスエリア102の画素104のプログラミング動作が開始されてアクセス制御ライン（ACSまたはPanel_program）がアクティブ化され、電流ソース・シンク回路の各々の一つ以上の対応蓄電素子502に蓄積されたバイアス電流がアクティブマトリクスエリア102の画素縦列132a, b, nの各々に印加されるようになる。

【0168】

図11aおよび11bは、校正動作例についてのP-FETベース電流シンク回路1100および対応のタイミング図を図示している。この回路1100は、図10aに示されたN-FETベース電流シンク・ソース1000を拡張したものであるが、N-FETの代わりにP-FETで実行される。動作の概略は以下の通りである。回路1100をプログラムまたは校正するため、 V_{SR} 制御ライン1102がクロック信号によりアクティブとなる。トランジスタT2およびT4がオンとなり、 I_{ref} がダイオード接続方式でT1およびT3を流れる。T2の導電路はT1およびT3のゲート電位をVSSに近づける一方で、キャパシタ C_{SINK} を充電させる。その結果、T3とT4との間の共通ソース・ドレ

ーンノードが、 I_{ref} の電流フローが維持される電位まで上げられる。

【0169】

V_{SR} 制御ライン1102は、T2およびT4のゲートに接続されている。T1およびT2のドレインはアース電位 V_{SS} に接続されている。Panel_program制御ライン1104はT5のゲートに接続されている。T5のソースは、バイアス電流 I_{bias} として画素縦列に印加される出力電流を提供する。T1のゲートは、T2のソースとT3のゲートとキャパシタ C_{SINK} の一方のプレートとにも接続されたノードBに接続されている。キャパシタの他方のプレートは、T3のソースとT4のドレインとT5のドレインとに接続されたノードAに接続されている。T4のソースには、基準電流 I_{ref} が印加される。

10

【0170】

校正段階または動作中のこの動作方法により、T3のゲート・ソース電位がそれぞれのデバイスの閾値電圧および移動度との相関関係でプログラムされる。これらのデバイスパラメータは実際には C_{SINK} にプログラムされて、回路1100がこれらのパラメータの変化に合わせて自己調節できるようにする。

【0171】

どの瞬間にもこのような回路が一つのみオンになると仮定すると、（画素アレイ102の各縦列について一つの）すべての電流ソース・シンク実例により基準電流 I_{ref} が共有可能である。図11bは、回路1100のこのような二つの事例（つまり2本の画素縦列について）の動作を図示している。隣接 V_{SR} パルスは同時発生的であって、（1本の縦列について）一つの電流ソース・シンクブロックから（隣接の縦列の）別のブロックへ I_{ref} が送られる。

20

【0172】

校正に続く画素プログラミング動作のアクティブ化は、以下のように進行する。 V_{SR} 制御ライン1102がクロック信号により非アクティブ化される。ゆえにT2およびT4がオフになる。Panel_program制御ライン1104がクロック信号によりアクティブとなってT5がオンになる。T2がオフであるため、校正動作により C_{SINK} の内部に蓄積された電荷が保持されて、T1とT3の両方のゲート・ソース電圧が、プログラム制御電流 I_{ref} を調節および維持してT5に流す。

【0173】

30

図11aに示された回路1100は、校正動作のアクティブ化の間におけるカスケード電流ソース・シンク構成のものである。 C_{SINK} の電位は、T2にゲート電位を印加する間にT3にゲート・ソース電位を加える。T1およびT3の共通ドレイン・ソースノードは、T3に必要とされる電流フローを提供するように調節を行う。T5から分かるようにこの技術は高出力インピーダンスを促すために採用され、こうして電圧変動に対する影響を一層受けにくくする。

【0174】

DC電圧プログラミングを含むCMOS電流シンク

図12は、DC電圧プログラミングを利用するCMOS電流シンク・ソース回路1200を図示している。上に開示された電流シンク・ソース回路と逆に、この回路1200は外部クロックまたは電流基準信号を必要としない。電圧バイアス V_{IN} と電源電圧（ V_{DD} および V_{SS} ）のみが必要とされる。この回路1200は、クロックおよび関連の周辺回路の必要性を無くして広範囲のパネル上集積構成との適合が可能である。

40

【0175】

回路1200は、デバイスパラメータ変化（例えば、TF T電圧閾値 V_T および移動度の変化）の影響を抑制する高度な電流再現技術を基にしている。回路1200は概して、ノード V_{TEST} に安定電位を発生させる電流ミラー1204を形成する8個のTF T（n型を示すため下付き文字N、p型を示すため下付き文字PをMに付けて表記）を特徴とし、このノードは続いて、出力TF T M_{NOUT} を駆動して、画素アレイ102の画素縦列の一つに供給されるバイアス電流 I_{bias} に対応する電流 I_{OUT} を供給するのに使用される

50

。ゲート電位としての V_{TEST} を共有する多数の出力T F Tの組み込みが可能であることに注意すること。このような出力T F Tのサイズまたはアスペクト比は、異なる大きさの I_{OUT} を供給するように変化可能である。縦列が一般的に3個以上の副画素（赤、緑、青）を含むA M O L E Dディスプレイなどの用途では、3個以上の出力T F Tを駆動するには、この設計の実例が一つのみ存在すればよい。

【0176】

D C電圧プログラミング電流シンク回路1200は、制御可能バイアス電圧 V_{IN} を受容するバイアス電圧入力1204を含む。回路1200は、制御可能バイアス電圧入力1204 V_{IN} に接続された入力トランジスタ M_{N1} を含む。回路1200は、第1電流ミラー1201と第2電流ミラー1202と第3電流ミラー1203とを含む。第1電流ミラー1201は、一対のゲート接続p型トランジスタ（つまりゲートが一緒に接続されている） M_{P1} 、 M_{P4} を含む。第2電流ミラー1202は、一対のゲート接続n型トランジスタ M_{N3} 、 M_{N4} を含む。第3電流ミラー1203は、一対のゲート接続p型トランジスタ M_{P2} 、 M_{P3} を含む。電流ミラー1201、1202、1203は、入力トランジスタ M_{N1} のゲート-ソースバイアスにより生成されて第1電流ミラー1201により複製される初期電流 I_1 が第2電流ミラー1202で反射され、第2ミラー1202により複製される電流が第3電流ミラー1203で反射され、第3電流ミラー1203により複製される電流が第1電流ミラー1201に印加されて電流シンク回路1200に静的電流フローを生成するように配設されている。

【0177】

第1電流ミラー1201と第2電流ミラー1202との間のノード1206（ V_{TEST} ）に接続され、静的電流フローによりバイアス付与されて出力ライン1208に出力電流 I_{out} を提供する出力トランジスタ M_{NOUT} を、回路1200は含む。入力トランジスタ M_{N1} のゲート-ソースバイアス（つまりゲートおよびソース端子におけるバイアス）は、制御可能バイアス電圧入力 V_{IN} とアース電位 V_{SS} とにより生成される。第1電流ミラーおよび第3電流ミラーは、電源電圧 V_{DD} に接続されている。

【0178】

回路は、第3電流ミラー1203に接続されたn型フィードバックトランジスタ M_{N2} を含む。フィードバックトランジスタ M_{N2} のゲートは、入力トランジスタ M_{N1} の端子（例えばドレイン）に接続されている。代替的に、フィードバックトランジスタのゲートは制御可能バイアス電圧入力1204に接続されている。回路1200には好ましくは外部クロックまたは電流基準信号が見られない。制御可能バイアス電圧入力 V_{IN} と電源電圧 V_{DD} とアース電位 V_{SS} のみによって電圧ソースが設けられ、外部制御ラインが回路1200に接続されていないことが好ましい。

【0179】

この回路1200の動作を以下に説明する。電圧バイアス入力1202への印加電圧バイアス V_{IN} と V_{SS} とが M_{N1} のゲート-ソースバイアスを設定して、電流 I_1 が確定される。 M_{P1} および M_{P4} による複合電流ミラーセットアップは、電流 I_1 を I_4 に反射する。同様に、 M_{N4} および M_{N3} による複合電流ミラーセットアップは、電流 I_4 を I_3 に反射する。 M_{P3} および M_{P2} による複合電流ミラーセットアップは、電流 I_3 を I_2 に反射する。 M_{N2} のゲートは M_{P1} のゲートに接続されている。

【0180】

電流ミラー構成全体は、電流 I_1 を I_4 に、 I_4 を I_3 に、 I_3 を I_2 に変換するフィードバックループを形成し、 I_2 は I_1 に戻るフィードバックループを閉じる。上述した構成の直感による拡張としては、 M_{N2} のゲートも V_{IN} に接続されてもよく、閾値電圧および移動度を補正する同じフィードバックループ方法が有効である。

【0181】

すべてのT F Tは飽和領域で機能するように設計され、 M_{N4} はT F Tの残りよりも大きく、出力電流 I_{OUT} の閾値電圧および移動度の変化の影響を最少にしている。

【0182】

10

20

30

40

50

この構成では、静的電流フロー（ I_1 から I_4 ）が出力TFT M_{NOUT} にバイアス付与を行う必要がある。ゆえに、電力消費量制御に I_{OUT} が必要とされない時には電源電圧 V_{DD} を停止させることが望ましい。

【0183】

回路1200は以下のように構成されている。上述のように、このCMOS回路については、下付き文字Nはトランジスタがn型であることを示し、下付き文字Pはトランジスタがp型であることを示す。 M_{NOUT} 、 M_{N4} 、 M_{N3} 、 M_{N2} 、 M_{N1} のソースはアース電位 V_{SS} に接続されている。 M_{NOUT} のドレインは、画素プログラミング中に画素アレイ102のn本の画素縦列の一つに供給されるバイアス電流 I_{bias} の形の出力電流 I_{OUT} を発生させる。 M_{N1} のゲートは、制御可能バイアス電圧 V_{IN} を受容する。 M_{P1} 、 M_{P2} 、 M_{P3} 、 M_{P4} のソースは電源電圧 V_{DD} に接続されている。 M_{NOUT} のゲートは、 M_{P4} のドレインと M_{N3} のゲートと M_{N4} のドレインにも接続されている V_{TEST} ノードに接続されている。 M_{N4} のゲートは M_{N3} のゲートに接続されている。 M_{N3} のドレインは、 M_{P3} のドレインと、 M_{P2} のゲートにも接続された M_{P3} のゲートとに接続されている。 M_{P2} のドレインは M_{N2} のドレインに接続され、 M_{N2} のゲートは、 M_{P1} のゲートと、 M_{N1} のドレインにも接続された M_{P1} のドレインとに接続されている。 M_{P3} のゲートおよびドレインは、 M_{P1} のゲートおよびドレインのように一緒に結合されている。

10

【0184】

AC電圧プログラミングを含むCMOS電流シンク

図13aおよび13bは、交流（AC）電圧プログラミングを含むCMOS電流シンク回路1300と、回路1300を校正するための対応の動作タイミング図とを図示している。この設計の中心となるのは、2個のキャパシタC1およびC2の充電および放電である。相互接続TFTは、二つのキャパシタをプログラムするのに、四つのクロック信号、すなわち V_{G1} 、 V_{G2} 、 V_{G3} 、 V_{G4} を必要とする。これらのクロック信号は、電流ソース・シンク回路122により、または制御装置112により供給されるとよい。

20

【0185】

クロック信号 V_{G1} 、 V_{G2} 、 V_{G3} 、 V_{G4} は、それぞれT2、T3、T5、T6のゲートに印加される。T2、T3、T5、T6はN型またはp型のTFTであり、クロック信号アクティブ化方式（ハイからローまたはローからハイ）が適宜変形される。nとpの両方の型のTFTに共通する記載にするため、各トランジスタはゲートと第1端子と第2端子とを有するものとして説明され、型に応じて、第1端子はソースまたはドレインでよく、第2端子はドレインまたはソースでよい。第1制御可能バイアス電圧 V_{IN1} は、T2の第1端子に印加される。T2の第2端子は、T1のゲートとT3の第2端子と第1キャパシタC1の一方のプレートにも接続されたノードAに接続されている。第1キャパシタC1の他方のプレートはアース電位 V_{SS} に接続されている。T1の第2端子も V_{SS} に接続されている。T1の第1端子は、T4の第2端子にも接続されたT3の第1端子に接続されている。T4のゲートは、T6の第2端子とT5の第1端子と第2キャパシタC2の一方のプレートにも接続された第2ノードBに接続されている。第2キャパシタの他方のプレートは V_{SS} に接続されている。第2制御可能バイアス電圧 V_{IN2} は第2端子T5に印加される。T6の第1端子は、T7の第2端子にも接続されたT4の第1端子に接続されている。
panel_program制御ラインはT7のゲートに接続され、T7の第1端子は I_{bias} の形の出力電流を画素アレイ102の画素縦列の一つに印加する。C1およびC2の第2プレートはそれぞれ、基準電位でなく、（例えば電源電圧制御回路114および／または制御装置112により制御される）制御可能バイアス電圧に接続可能である。

30

40

【0186】

回路1300の例示的動作を次に説明する。クロック信号 V_{G1} 、 V_{G2} 、 V_{G3} 、 V_{G4} は一つずつアクティブになる4個の連続同時発生クロックである（図13b参照）。最初に、 V_{G1} がアクティブになりT2をオンにする。キャパシタC1はT2を介して名目的には V_{IN1} まで充電される。その後で次のクロック信号 V_{G2} がアクティブになり、T3がオンになる。この時にT1は、T3を通してC1を放電させる導電路を備えるダイオード接続構

50

成である。このような放電期間の長さは短くされる。ゆえにC 1の最終電圧は、T 1のデバイス閾値電圧および移動度により決定される。言い換えると、放電プロセスは、プログラミング後のC 1の電位をデバイスパラメータと関連付けて、補正を達成する。続いて、他のキャパシタC 2が、それぞれ V_{G3} および V_{G4} のクロック信号によるアクティブ化により、同様に充電および放電される。

【0187】

回路1300に示された2キャパシタ構成は、このような設計の出力インピーダンスを上昇させて、出力電圧変動に対する高い無影響性を可能にする。デバイスパラメータに左右されないことに加えて、この回路1300はAC駆動の性質のため消費電力が非常に少ない。モバイル電子機器など超低電力デバイスへのこの回路1300の採用を促す静的電流の流れは存在しない。

【0188】

AC電圧プログラミング電流シンク回路1300は、一つずつ指定の順序でアクティブ化されるクロック信号(V_{G1} , V_{G2} , V_{G3} , V_{G4})を各々が受容する(図13b参照)4個のスイッチングトランジスタT 2, T 3, T 5, T 6を含む。第1キャパシタC₁は、第1クロック信号 V_{G1} のアクティブ化により校正動作中に充電されて、第1クロック信号 V_{G1} のアクティブ化および非アクティブ化に続く第2クロック信号 V_{G2} のアクティブ化により放電される。第1キャパシタC₁は第1T 2と第2スイッチトランジスタT 3とに接続されている。第2キャパシタC 2は第3クロック信号 V_{G3} のアクティブ化により校正動作中に充電され、第3クロック信号 V_{G3} のアクティブ化および非アクティブ化に続く第4クロック信号 V_{G4} のアクティブ化により放電される(図13b参照)。第2キャパシタC 2は、第3および第4スイッチングトランジスタT 5およびT 6に接続されている。出力トランジスタT 7は第4スイッチングトランジスタT 6に接続されて、校正動作に続くプログラミング動作中に、校正動作中に第1キャパシタC₁に蓄積された電流から導出される出力電流I_{out}を流入させる。図13aの例に示されているように、4個のスイッチングトランジスタT 2, T 3, T 5, T 6はn型である。回路1300は、第2スイッチングトランジスタT 3に接続されて第1キャパシタC 1の導電路を用意して第2スイッチングトランジスタT 3を通して放電を行う第1導電トランジスタT 1を含む。第1キャパシタC 1の充電の後の第1キャパシタC 1の電圧は、第1導電トランジスタT 3の閾値電圧および移動度と相関関係にある。回路1300は、第4スイッチングトランジスタT 6に接続されて第2キャパシタC 2の導電路を用意して第4スイッチングトランジスタT 6を通して放電を行う第2導電トランジスタT 4を含む。図13aの例では、トランジスタの数はちょうど7個であって、キャパシタの数はちょうど2個である。

【0189】

交流(AC)電圧による電流シンクのプログラミングについての例示的タイミング図が、図13bに示されている。タイミングは、第1クロック信号 V_{G1} をアクティブ化(n型回路についてはアクティブハイ、p型回路についてはアクティブロー)して第1キャパシタC₁を充電することにより校正動作を開始することを含む。次に第1クロック信号が非アクティブ化され、第2クロック信号 V_{G2} がアクティブ化されて第1キャパシタC₁に放電を開始させる。次に、第2クロック信号 V_{G2} が非アクティブ化され、第3クロック信号 V_{G3} がアクティブ化されて第2キャパシタC₂に充電させる。次に、第3クロック信号 V_{G3} が非アクティブ化され、第4クロック信号 V_{G4} がアクティブ化されて第2キャパシタC₂に放電を開始させる。第4クロック信号 V_{G4} が非アクティブ化されて校正動作を終了させ、アクセス制御ライン(panel_program)がプログラミング動作でアクティブ化されて、第1キャパシタC₂に蓄積された電流から導出されたバイアス電流I_{bias}がプログラミング動作中に発光ディスプレイ100のアクティブマトリクスエリア102の画素縦列に印加されるようにする。C 1およびC 2の第2プレートのための制御可能バイアス電圧(それぞれ V_{IN1} および V_{IN2})を使用する場合には、各キャパシタが最初の四つの動作サイクル中に同じ電圧レベルを持ち、それから画素プログラミングレベル中に異なるレベルに変化する。こうして、電流ソース・シンク回路1300により発生される

電流レベルについて、より有効な制御が行われる。

【0190】

NFETおよびPFETベース回路の互換性

本節は、PFETベースおよびNFETベースの画素回路設計の相違点と、n型回路からp型へ、およびその逆にどのように変換するかを概説する。各画素の発光ダイオードへの電流の極性はNFETおよびPFETタイプの回路の両方について同じでなければならないため、発光ダイオードを通る電流は、画素発光中に両方のケースで EL_VDD などの電源電圧から EL_VSS などのアース電位へ流れる。

【0191】

n型およびp型TFETの間でどのように変換を行うかの例として、図14aの画素回路1400を挙げる。ここで、駆動トランジスタT1はp型であって、スイッチトランジスタT2およびT3はn型である。各画素104のクロック信号、すなわち（第1横列についての） SEL_1 と（第2横列についての） SEL_2 などは、図14bのタイミング図に示されているように反転されている。PFETベース画素回路では、P型素子を使用されるため SEL_x 信号はアクティブローである。ここで回路1400では、N型素子を使用されるため SEL 信号はアクティブハイである。他の信号のタイミングとその相対的時間間隔は、二つの種類の間で同一である。しかし、p型構成の駆動トランジスタT1がT1のゲートと EL_VDD との間にゲート-ソース電圧を有することは言及に値する。ゆえにp型構成では、TFET T1が飽和領域で作動している限り、OLEDの電圧がT1を流れる電流に及ぼす作用は最少である。しかし、対応するn型では、ゲート-ソース電圧はT1のゲートと V_{OLED} ノードとの間である（T2とT3との間の共通ソース・ドレインノードに対応する）。発光段階中のOLED電流は、画素104の性能の安定性に影響するだろう。これは、TFETのサイジングおよび画素回路104への適切なバイアス付与により軽減され、デバイス（T1）の変化に対してOLED電流が影響を受けないようにする。やはりこれは、同じ画素設計のNおよびP型構成の間に見られる主な設計および動作上の相違の一つに関わっている。

【0192】

同じ指摘が、ここに開示される電流シンク・ソース回路に当てはまる。本節では、上述した二つの電流シンク設計を概説し、トランジスタ（NまたはPFET）の極性の重要性について説明する。図15aおよび16aに示された概略図は、n型およびp型のFETを使用してそれぞれ実行される電流シンク・ソース回路1500、1600を図示している。電流シンクのための主な要件は、出力端子からの一定電流の流入路を用意することである。NFETおよびPFETの間のわずかな相違のため、p型TFETは本質的に電流シンクの実行には一層困難である。N型回路1500（図15a）では、T1を通過する電流レベルは、キャパシタ C_{SINK} における VSS および電圧により設定される飽和領域のゲート-ソース電圧により主に決定される。この時、キャパシタは外部手段により容易にプログラムされる。ここで、ソースは常にTFET電流路の低電位ノードである。逆に、PFETのソースノード（図16a参照）は、TFET電流路の高電位ノードである。ゆえに、 VSS はPFETであった場合にはT1のソースノードではない。その結果、同じNFETのための回路は、対応のPFETに合わせて変形しなければ再利用できない。そのため、図16aに示されているような異なる回路が実行されなければならない。PFET実行例は、PFET T3のゲートとソースとの間に接続されたキャパシタ C_{SINK} を有する。電流シンクの実際の動作についてはすでに説明しており、ここでは繰り返さないものとする。

【0193】

回路1500は以下のように構成される。基準電流 I_{ref} がT5のドレインに印加される。 $panel_program$ 制御ラインは、T6のゲートに接続されている。 V_{SR} 制御ラインは、T5のゲートとT4のゲートとに接続されている。T1のゲートは、T2のソースと第1キャパシタ C_{SINK1} の一方のプレートとに接続されている。第1キャパシタの他方のプレートは、T1のソースにも接続されたアース電位 VSS に接続されている

。T2のドレインは、ノードAでT3のソースとT1のドレインとに接続されている。T3のドレインは、T5のソースとT6のソースとT4のドレインにも接続されたノードBに接続されている。T4のソースは、T3のゲートと第2キャパシタ C_{SINK2} の一方のプレートとに接続され、他方のプレートはVSSに接続されている。T5のドレインは、画素アレイ102の画素縦列の一つに供給されるIbiasの形の出力電流を印加する。panel_programおよびV_{SR}制御ラインのアクティブ化および非アクティブ化は、電流ソース制御手段122または制御装置112により制御可能である。

【0194】

回路1600は、各画素縦列にバイアス電流Ibiasを提供するための5個のP型TFTを示している。基準電流IrefがT4のソースに印加される。panel_program制御ラインは、回路1600の校正中にT5のゲートに印加されてこれをオンまたはオフにする。V_{SR}制御ラインは、T4のゲートとT2のゲートとに接続されている。T2のソースはノードAで、T1のゲートとT3のゲートとキャパシタ C_{SINK} の一方のプレートとに接続されている。キャパシタの他方のプレートは、T3のソースとT4のドレインとT5のドレインとに接続されたノードBに接続されている。T3のドレインはT1のソースに接続されている。T5のソースは、バイアス電流Ibiasの形の出力電流を画素アレイ102の画素縦列の一つに提供する。

【0195】

図15bおよび16bのタイミング図は、電流ソース・シンク回路がn型であるかp型であるかに応じて、クロック制御ラインのアクティブ化がどのように反転されるかを図示している。二つの電流シンク構成はトランジスタ極性の相違に対応し、加えてクロック信号は二つの構成の間で反転されなければならない。ゲート信号は同じタイミングシーケンスを共有するが反転されている。すべての電圧および電流バイアスは不変である。n型の場合には、V_{SR}およびpanel_program制御ラインはアクティブハイであるのに対して、p型の場合には、V_{SR}およびpanel_program制御ラインはアクティブローである。ここに開示される電流ソース・シンク回路のタイミング図には、図示簡略化のため2本の縦列のみが示されているが、画素アレイ104のあらゆる縦列のためのV_{SR}制御ラインが、panel_program制御ラインがアクティブ化される前に順にアクティブ化されることを理解すべきである。

【0196】

ディスプレイ均一性の改良

本開示の別の態様によれば、図1に示されたディスプレイ100などのディスプレイの空間的および／または時間的な均一性を改良するための技術が開示される。これらの技術は、画素アレイ102の縦列の各々へのバイアス電流Ibiasが導出される基準電流ソースIrefの迅速な校正を行い、ダイナミックレンジを改良することによりノイズ効果を軽減する。これらは、画素104の各々の個別TFTの不安定性および不均一性にもかかわらずディスプレイの均一性および寿命を向上させる。

【0197】

二つの校正レベルは、画素アレイ102に表示されるフレームとして現れる。第1レベルは、基準電流Irefによる電流ソースの校正である。第2レベルは電流ソースによるディスプレイ100の校正である。本文における「校正」の語は、校正が発光中に電流ソースまたはディスプレイを校正またはプログラムすることを指しているのに対して、電流バイアス電圧プログラミング(CBVP)駆動方式における「プログラミング」は、画素アレイ102の各画素104に望ましい輝度を表すプログラミング電圧V_pを蓄積するプロセスを指すという点で、プログラミングと異なっている。電流ソースおよび画素アレイ102の校正は一般的に、各フレームのプログラミング段階では実行されない。

【0198】

図17は、電流ソース回路120と任意の電流ソース制御手段122と制御装置112とが組み込まれた校正回路1700のブロック図の例を図示している。校正回路1700は、アクティブマトリクスエリア102を有するディスプレイパネル100のための電流

10

20

30

40

50

バイアス電圧プログラミング回路に使用される。電流ソース回路120は、ディスプレイ100の外部から供給されるかアクティブエリア102を囲繞する周辺エリア106でディスプレイ100に組み込まれる基準電流I_{ref}を受容する。図17ではCAL1およびCAL2と表記された校正制御ラインは、どの横列の電流ソース回路が校正されるかを決定する。電流ソース回路120は、アクティブマトリクスエリア102の各画素縦列に印加されるバイアス電流I_{bias}を流入または流出させる。

【0199】

図18Aは、校正回路1700の概略図の例を図示している。校正回路1700は、第1横列の校正電流ソース1802（CS#1と表記）と、第2横列の校正電流ソース1804（CS#2と表記）とを含む。校正回路1700は、第2横列の校正電流ソース1804が基準電流I_{ref}により校正されている間に、第1横列の校正電流ソース1802（CS#1）にバイアス電流I_{bias}でディスプレイパネル102を校正させるように構成された第1校正制御ライン（CAL1と表記）を含む。第1および第2横列の校正電流ソース1802、1804の電流ソースは、ここに開示される電流シンク・ソース回路のいずれかを含み得る。「電流ソース」の語は電流シンクを含むかその逆もあり、ここでは互換的な使用が意図されている。校正回路1700は、第1横列の校正電流ソース1802が基準電流I_{ref}により校正されている間に第2横列の校正電流ソース1804（CS#2）にバイアス電流でディスプレイパネル102を校正させるように構成された第2校正制御ライン（CAL2と表記）を含む。

【0200】

第1横列および第2横列の構成電流ソース1802、1804は、ディスプレイパネル100の周辺エリア106に配置されている。第1基準電流スイッチ（T1と表記）は、基準電流ソースI_{ref}と第1横列の校正電流ソース1802との間に接続されている。第1基準電流スイッチT1のゲートは、第1校正制御ラインCAL1に結合されている。図17を参照すると、第1校正制御ラインCAL1はインバータ1702も通過し、第2校正制御ラインCAL2はインバータ1704を通過して、極性が反対であることを除いてCAL1およびCAL2と一緒にクロック信号を受ける／CAL1および／CAL2制御ラインを発生させる。こうして、CAL1がハイの時に／CAL1はローであり、CAL2がローの時に／CAL2はハイである。こうして、異なる横列の校正電流ソース1802、1804によりディスプレイパネルが校正されている間に電流ソースの校正が可能となる。やはり図18Aを参照すると、第2基準電流スイッチT2は、基準電流ソースI_{ref}と第2横列の校正電流ソース1804との間に接続されている。第2基準電流スイッチT2のゲートは、第2校正制御ラインCAL2に結合されている。第1バイアス電流スイッチT4は第1校正制御ラインに接続され、第2バイアス電流スイッチT3は第2校正制御ラインに接続されている。スイッチT1～T4は、nまたはp型のTFETトランジスタでよい。

【0201】

第1横列の校正電流ソース1802は、アクティブエリア102の各画素縦列に一つずつの電流ソース（ここに開示される電流シンク・ソース回路のいずれかなど）を含む。電流ソース（またはシンク）の各々は、対応の画素縦列のためのバイアス電流ライン132にバイアス電流I_{bias}を供給するように構成されている。第2横列の校正電流ソース1804も、アクティブエリア102の各画素縦列に一つずつの電流ソース（ここに開示される電流シンク・ソース回路のいずれかなど）を含む。電流ソースの各々は、対応の画素縦列のためのバイアス電流ライン132にバイアス電流I_{bias}を供給するように構成されている。第1および第2横列の校正電流ソースの各電流ソースは、ディスプレイパネル100のアクティブエリアの画素縦列132の各々に同じバイアス電流を供給するように構成されている。

【0202】

第1校正制御ラインCAL1は、第1画像フレームがディスプレイパネルに表示されている間に校正電流ソース1802の第1横列にバイアス電流I_{bias}でディスプレイパ

ネル100を校正させるように構成されている。第2校正制御ラインCAL2は、第1フレームに続く第2フレームがディスプレイパネル100に表示されている間に、第2横列の校正電流ソース1804にバイアス電流Ibiasでディスプレイパネル100の各縦列を校正させる。

【0203】

基準電流Irefは一定であり、ある構成では、ディスプレイパネル100の外部にある従来の電流ソース（不図示）からディスプレイパネル100に供給可能である。図18Bのタイミング図を参照すると、第1校正制御ラインCAL1は第1フレーム中にはアクティブ（ハイ）であるのに対して、第2校正制御ラインCAL2は第1フレーム中には非アクティブ（ロー）である。第1フレームに続く第2フレーム中には、第1校正制御ラインCAL1が非アクティブ（ロー）であるのに対して、第2校正制御ラインCAL2は第2フレーム中にアクティブ（ハイ）である。

10

【0204】

図18bのタイミング図は、アクティブエリア102を有する発光ディスプレイパネル100のための電流バイアス電圧プログラミング回路を校正する方法を実行するものである。第2横列の校正電流ソース・シンク回路(CS#2)を基準電流Irefにより校正している間に、第1校正制御ラインCAL1がアクティブ化されて、第1列(CS#1)の校正電流ソース・シンク回路により提供されるバイアス電流Ibiasで第1横列の校正電流ソース・シンク回路(CS#1)にディスプレイパネル100を校正させる。校正ソース・シンク回路は、ここに開示されるいかなる回路でもよい。

20

【0205】

基準電流Irefにより第1横列(CS#1)を校正している間に、第2校正制御ラインCAL2がアクティブ化されて、第2縦列(CS#2)の校正電流・シンク回路により提供されるバイアス電流Ibiasでディスプレイパネル100を校正する。ディスプレイパネル100に表示される第1フレーム中に第1校正制御ラインCAL1がアクティブ化され、ディスプレイパネル100に表示される第2フレーム中に第2校正制御ラインCAL2がアクティブ化される。第2フレームは第1フレームに続くものである。第1校正制御ラインCAL1をアクティブ化した後、第2校正制御ラインCAL2をアクティブ化する前に第1校正制御ラインCAL1が非アクティブ化される。第2横列(CS#2)の回路により提供されるバイアス電流Ibiasでディスプレイパネル100を校正した後で、第2校正制御ラインCAL2が非アクティブ化されて第2フレームの校正サイクルを完了する。

30

【0206】

第1校正制御ラインおよび第2校正制御ラインのアクティブ化および非アクティブ化のタイミングは、ディスプレイパネル100の制御装置112、122により制御される。制御装置112、122は、発光ディスプレイパネル100の複数の画素104が配置されるアクティブエリア102の近傍のディスプレイパネル100の周辺エリア106に配置されている。制御装置は、電流ソース・シンク制御回路122でよい。発光ディスプレイパネル100は、1920×1080画素以下の解像度を有するとよい。発光ディスプレイ100は、120Hz以下のリフレッシュレートを有するとよい。

40

【0207】

減衰入力信号および低プログラミングノイズを含む画素回路

ディスプレイ効率の向上は、ディスプレイの電流駆動画素を駆動するのに必要とされる電流を削減することを必要とする。高TFT移動度を持つバックプレーン技術は、限定的な入力ダイナミックレンジを有する。その結果、ノイズおよびクロストークが画素データに重大なエラーを引き起こす。図19は、入力信号とプログラミングノイズとを同じ割合で減衰する画素回路1900を図示している。重要なことであるが、プログラミング電圧を保持する蓄電キャパシタは、二つの小型キャパシタCs1およびCs2に分割される。Cs2はVDDラインの下方にあるため、画素1900の開口率の向上に役立つだろう。ノードAにおける最終電圧VAは、以下の等式で表される。

50

$$V_A = V_B + (V_P - V_{ref} - V_n) \cdot (C_{S1} / C_{S2})$$

【0208】

ここで V_B はバイアス電流 I_{bias} により生成される校正電圧であり、 V_P は画素のためのプログラミング電圧であり、 V_n はプログラミングノイズおよびクロストークである。

【0209】

図19に示された画素1900は、図4aに示された画素104a、bに類似した、各々がT1からT6と表記された6個のp型TFTトランジスタを含む。SELおよびEMと表記された2本の制御ラインが存在する。SELラインは、プログラムされる画素横列を選択するためのセレクトラインであり、発光制御ラインEMは、TFT T6を作動させて発光素子1902aを発光状態とするのに使用される図4aに示された G_{EM} 制御ラインに類似している。この画素のためのセレクト制御ラインSELは、T2、T3、T4のそれぞれのベース端子に接続されている。SELラインがアクティブである時にこれらのトランジスタはオンになる。発光制御ラインEMはT5およびT6のベースに接続されて、アクティブ化されるとこれらのトランジスタをオンにする。

【0210】

T5のソースに基準電圧 V_{ref} が印加される。画素1900のプログラミング電圧は、 V_{data} を介してT4のソースに供給される。T1のソースは電源電圧 V_{dd} に接続されている。バイアス電流 I_{bias} が、T3のドレインに印加される。

【0211】

T1のドレインは、T2のドレインとT3のソースとT6のソースにも接続されたノードAに接続されている。T1のゲートは第1および第2キャパシタ C_{S1} および C_{S2} とT2のソースとに接続されている。T2、T3、T4のゲートはセレクトラインSELに接続されている。T4のソースは、電圧データライン V_{data} に接続されている。T4のドレインは、第1蓄電キャパシタとT5のドレインとに接続されている。T5のソースは基準電圧 V_{ref} に接続されている。T6およびT5のゲートは、発光素子が作動する時を制御するための発光制御ラインEMに接続されている。T6のドレインは、アース電位に陰極が接続された発光素子の陽極に接続されている。T3のドレインは、バイアス電流 I_{bias} を受容する。

【0212】

図20は、T1からT3と表記された3個のp型TFTトランジスタを有して単一のセレクトラインSELを有するが、図19の画素回路1900に示された発光制御ラインEMは有していない別の画素回路2000である。セレクトラインSELは、T2およびT3のゲートに接続されている。この画素回路2000のためのプログラミング電圧を運ぶ電圧データラインは、第1蓄電キャパシタ C_{S1} の一方のプレートに直接接続されている。第1蓄電キャパシタ C_{S1} の他方のプレートは、T2のソースと駆動トランジスタT1のゲートと第2蓄電キャパシタ C_{S2} の一方のプレートにも接続されたノードBに接続されている。第2蓄電キャパシタの他方のプレートは、T1のソースにも接続された電源電圧 V_{dd} に接続されている。T1のドレインは、T2のドレインとT3のソースとOLEDなどの発光素子の陰極にも接続されたノードAに接続されている。LEDの陽極は、アース電位に接続されている。T3のドレインは、T3がアクティブ化される時にバイアス電流 I_{bias} を受容する。

【0213】

ここに開示される回路のいずれも、例えばポリシリコン、アモルファスシリコン、有機半導体、金属酸化物、そして従来のCMOSを含む多様な製造技術に従った製造が可能である。ここに開示される回路のいずれも、その相補的な対応の回路アーキテクチャによる変形が可能である（例えばn型回路がp型回路に変換されるかその逆が可能である。）。

【0214】

本開示の特定の実施形態および用途が図示および説明されたが、本開示はここに開示される構造および構成そのものに限定されないことと、添付の請求項により規定される発明

10

20

30

40

50

の範囲から逸脱しない様々な修正、変更、および変形が上記の説明から明らかとなることが理解されるはずである。

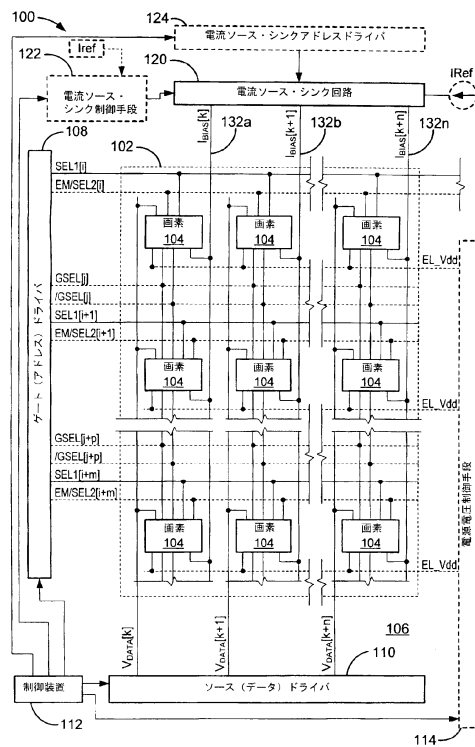
【符号の説明】

【0215】

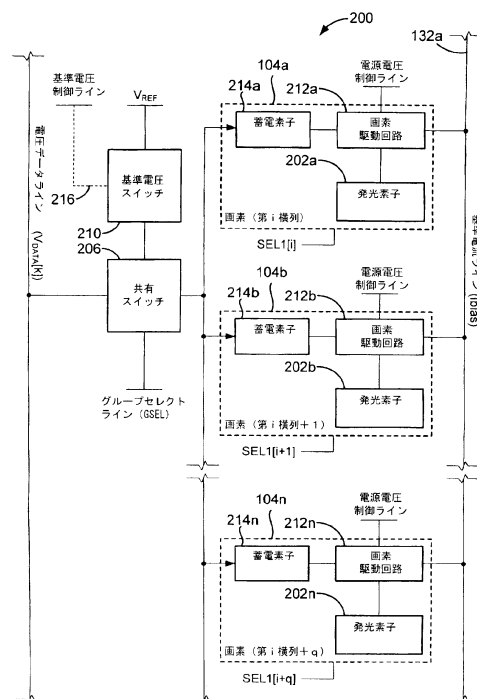
100	電子ディスプレイシステム・パネル	
102	アクティブマトリクスエリア	
104a～n	画素	
106	周辺エリア	
108	ゲート・アドレスドライバ回路	
110	ソース・データドライバ回路	10
112	制御装置	
114	電源電圧制御手段	
120	電流ソース・シンク回路	
122	電流ソース制御手段	
124	電流ソース・シンクアドレスドライバ	
132a～n	電流バイアスライン	
200	CBVP回路	
202a～n	発光素子	
206	共有スイッチトランジスタ	
210	基準電圧スイッチ	20
212a～n	画素駆動回路	
214a～n	蓄電素子／キャパシタ	
216	基準電圧制御ライン	
402a, b	ゲートトランジスタ	
500, 500', 500"	高インピーダンス電流シンク・ソース回路	
502, 502'	校正制御ライン	
504, 504'	アクセス制御ライン	
510	入力	
512	基準電流	
514	ノード	30
516	第1トランジスタ	
518	第2トランジスタ	
520	蓄電素子	
522	出力トランジスタ	
900	電圧－電流コンバータ回路	
902	CAL制御ライン	
1000	電流シンク回路	
1002, 1102	V_{SR} 制御ライン	
1004	panel_program制御ライン	
1100	P-FETベース電流シンク回路	40
1200	CMOS電流シンク・ソース回路	
1201, 1202, 1203	電流ミラー	
1204	制御可能バイアス電圧入力	
1206	ノード	
1208	出力ライン	
1300	CMOS電流シンク回路	
1400	画素回路	
1500, 1600	電流シンク・ソース回路	
1700	校正回路	
1702, 1704	インバータ	50

1802, 1804 校正電流ソース列
1900, 2000 画素回路

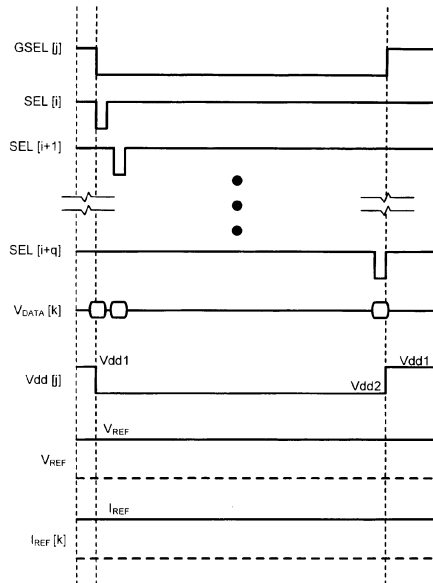
【図 1】



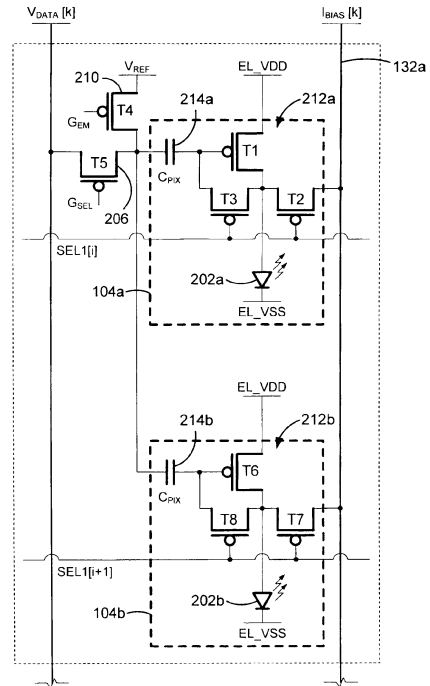
【図 2 a】



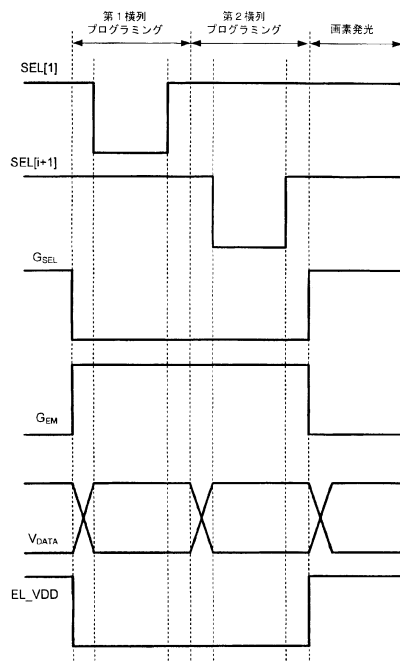
【図 2 b】



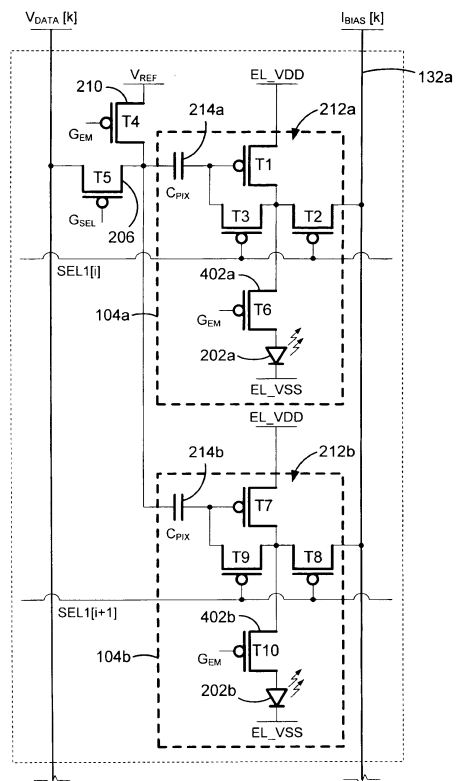
【図 3 a】



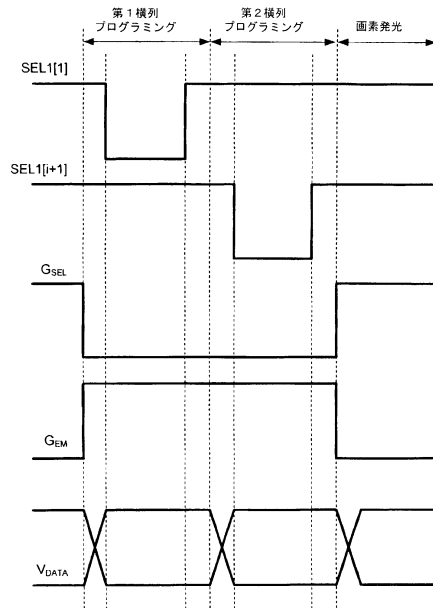
【図 3 b】



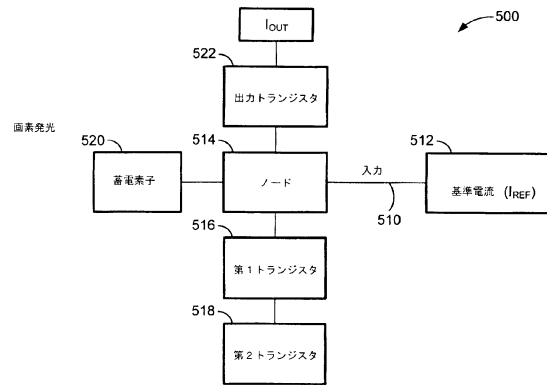
【図 4 a】



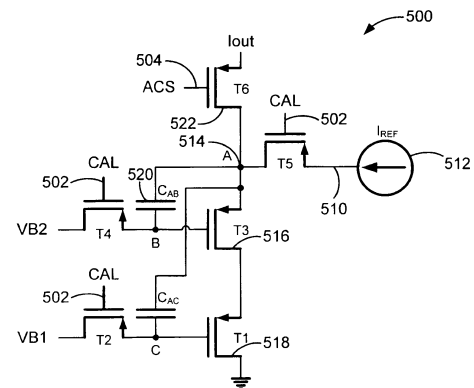
【図 4 b】



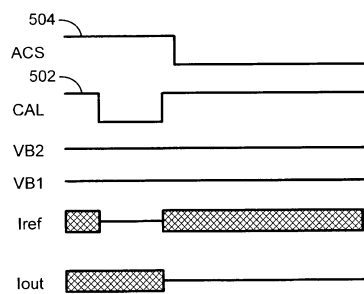
【図 5 a】



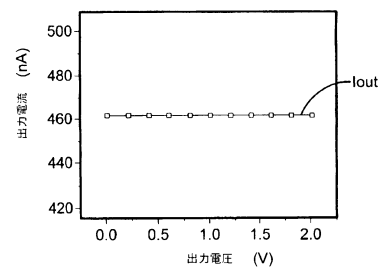
【図 5 b - 1】



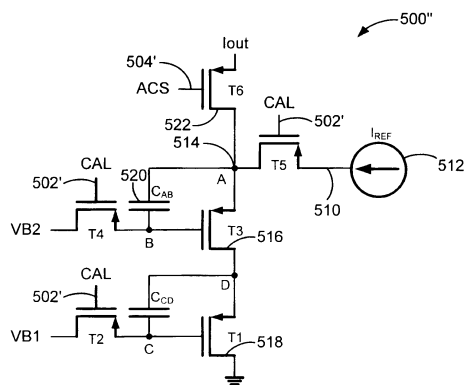
【図 5 b - 2】



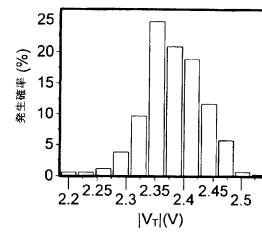
【図 6】



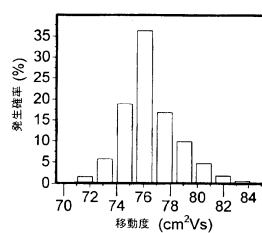
【図 5 c】



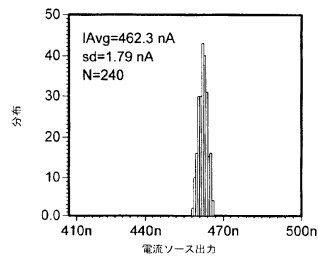
【図 7 a】



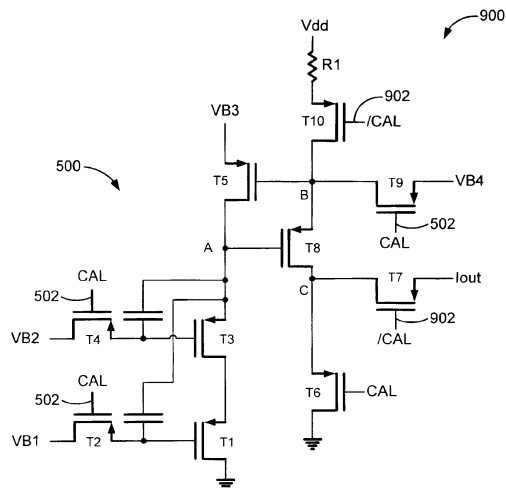
【図 7 b】



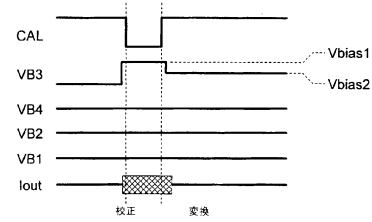
【図 8】



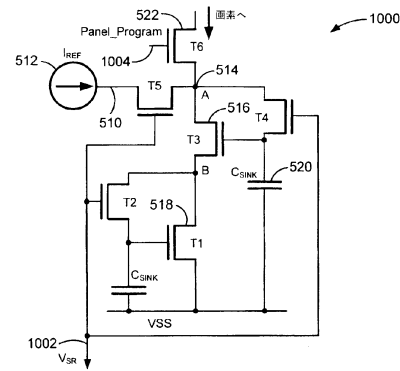
【図 9 a】



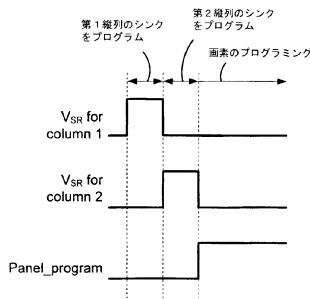
【図 9 b】



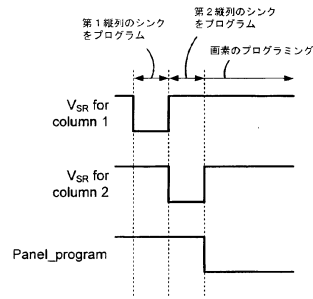
【図 10 a】



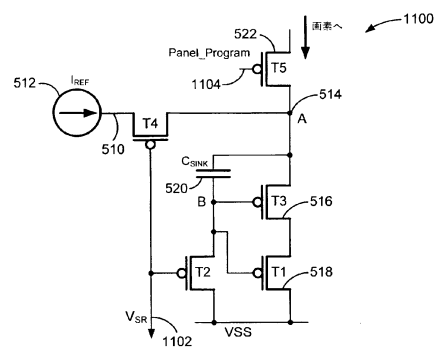
【図 10 b】



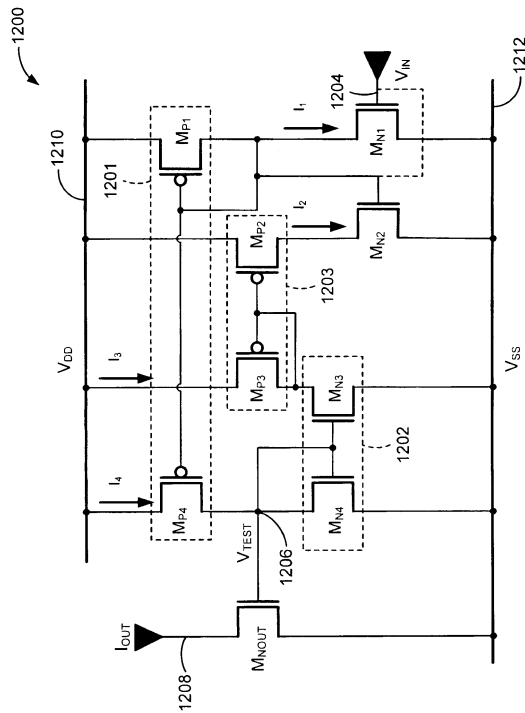
【図 11 b】



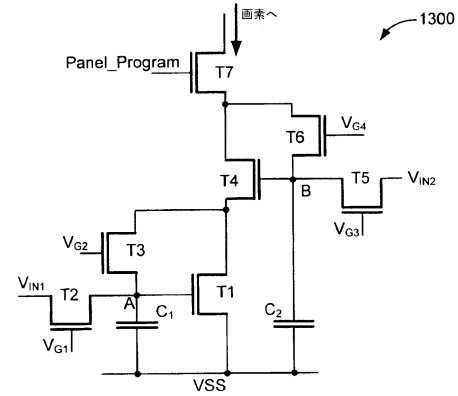
【図 11 a】



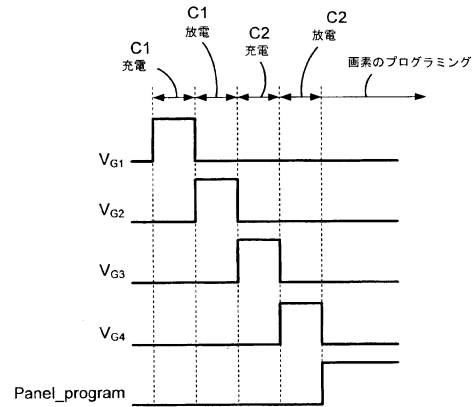
【図 1 2】



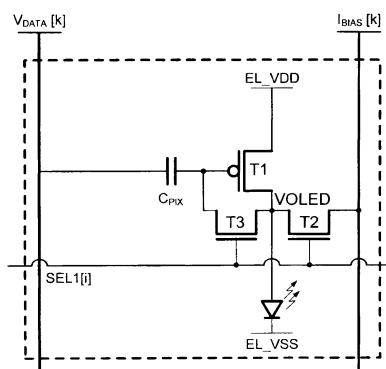
【図 1 3 a】



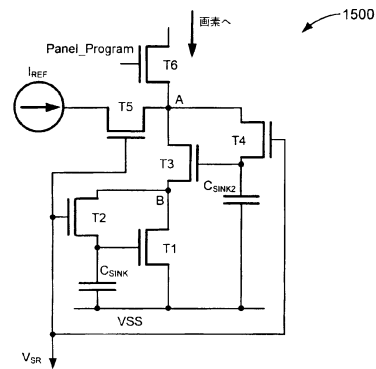
【図 1 3 b】



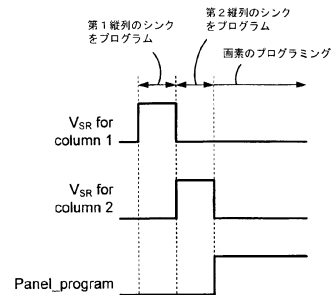
【図 1 4 a】



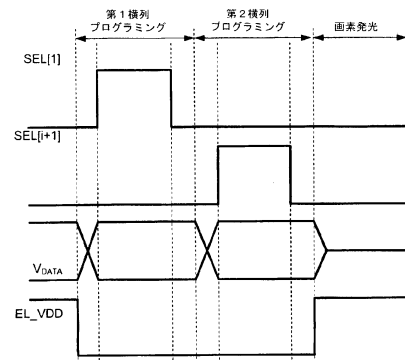
【図 1 5 a】



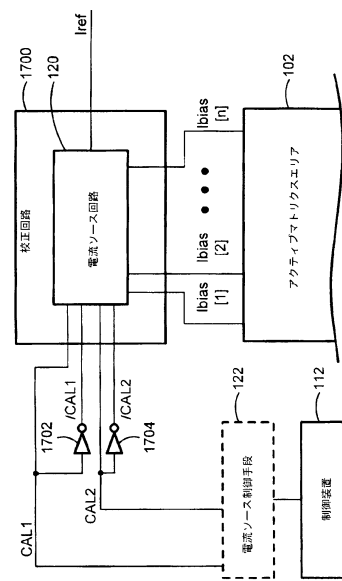
【図 1 5 b】



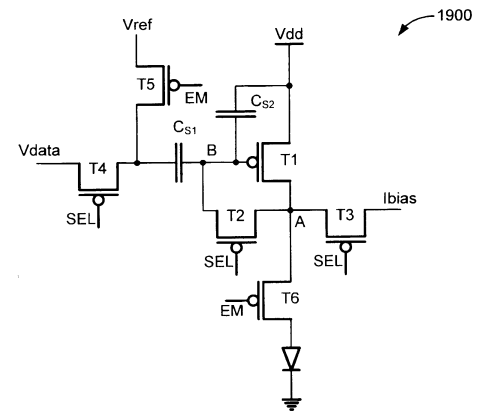
【図 1 4 b】



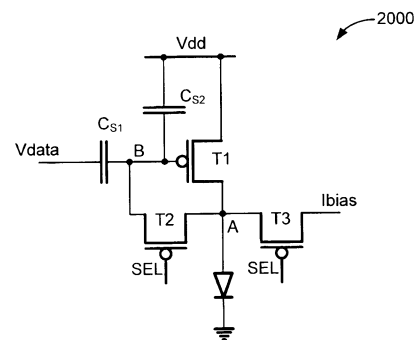
【図 17】



【図 19】



【図 20】



【図 20】

フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 1 M
	G 0 9 G	3/20	6 2 4 B
	G 0 9 G	3/20	6 7 0 H
	G 0 9 G	3/20	6 7 0 J
	G 0 9 G	3/3225	
	H 0 5 B	33/08	
	H 0 5 B	33/14	A

(31)優先権主張番号 2694086
(32)優先日 平成22年2月17日(2010.2.17)
(33)優先権主張国 カナダ(CA)
(31)優先権主張番号 12/944,477
(32)優先日 平成22年11月11日(2010.11.11)
(33)優先権主張国 米国(US)
(31)優先権主張番号 12/944,488
(32)優先日 平成22年11月11日(2010.11.11)
(33)優先権主張国 米国(US)
(31)優先権主張番号 12/944,491
(32)優先日 平成22年11月11日(2010.11.11)
(33)優先権主張国 米国(US)

(72)発明者 ナサン アロキア
イギリス ケンブリッジ ハンチンドン ロード 1 8 9
(72)発明者 ライ ジャクソン チ ソン
カナダ オンタリオ キッチェナー キング ストリート ウェスト 4 0 4 アpartment 3
1 9

合議体
審判長 中塚 直樹
審判官 須原 宏光
審判官 清水 稔

(56)参考文献 特開2008-203884(JP, A)

(58)調査した分野(Int.Cl., DB名)
G09G 3/30-3/3291

专利名称(译)	高效编程和快速校准发光显示器及其稳定的电流源接收器		
公开(公告)号	JP6488254B2	公开(公告)日	2019-03-20
申请号	JP2016072396	申请日	2016-03-31
[标]申请(专利权)人(译)	伊格尼斯创新公司		
申请(专利权)人(译)	伊格尼斯-Inobeishon公司		
当前申请(专利权)人(译)	伊格尼斯-Inobeishon公司		
[标]发明人	チャジゴラムレザ ナサンアロキア ライジャクソンチソン		
发明人	チャジ ゴラムレザ ナサン アロキア ライ ジャクソン チ ソン		
IPC分类号	G09G3/3233 G09G3/20 G09G3/3225 H05B33/08 H01L51/50		
CPC分类号	G09G3/3283 G09G3/3291 G09G2300/0465 G09G2300/0814 G09G2300/0819 G09G2300/0852 G09G2310/0218 G09G2310/0262 G09G2320/0233 G09G2320/0693 G09G3/3225 G09G5/18		
FI分类号	G09G3/3233 G09G3/20.611.F G09G3/20.612.E G09G3/20.612.G G09G3/20.621.K G09G3/20.621.M G09G3/20.624.B G09G3/20.670.H G09G3/20.670.J G09G3/3225 H05B33/08 H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE04 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD07 5C080/DD22 5C080/DD26 5C080/DD29 5C380/AA01 5C380/AB06 5C380/AB16 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB46 5C380/BA01 5C380/BA14 5C380/BD02 5C380/BD09 5C380/BD10 5C380/CC26 5C380/CC27 5C380/CC34 5C380/CC39 5C380/CC41 5C380/CC58 5C380/CC62 5C380/CC77 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD016 5C380/CD026 5C380/CE04 5C380/CF12 5C380/CF26 5C380/CF43 5C380/CF52 5C380/DA32 5C380/DA35 5C380/DA58 5C380/GA15 5C380/GA17		
优先权	2684818 2009-11-12 CA 2687477 2009-12-07 CA 2694086 2010-02-17 CA 12/944477 2010-11-11 US 12/944488 2010-11-11 US 12/944491 2010-11-11 US		
其他公开文献	JP2016167074A		
外部链接	Espacenet		

摘要(译)

提供了一种能够控制源电压变化对输出电流的影响的电路。一种用于提高AMOLED (非晶有机发光器件) 显示器的显示分辨率的电路和驱动技术。开关晶体管在显示器的几个子像素之间共享, 以通过最小化所使用的晶体管的数量来提高制造产量。该方法还使得能够使用传统的连续扫描驱动器。还公开了一种使用单个器件在显示基板上提供稳定且高阻抗的电流吸收源的技术。最后, 尽管晶体管元件的不稳定性和不均匀性, 发光显示器的空间和/或时间均匀性通过执行参考电流源的快速校准以通过改善动态范围来降低噪声影响一种改进技术 [选图]图1

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6488254号

(P6488254)

(45) 発行日 平成31年3月20日 (2019. 3. 20)

(24) 登録日 平成31年3月1日 (2019. 3. 1)

(51) Int. Cl.

F I

G O 9 G 3 / 3 2 3 3 (2 0 1 6 . 0 1) G O 9 G 3 / 3 2 3 3

G O 9 G 3 / 2 0 (2 0 0 6 . 0 1) G O 9 G 3 / 2 0 6 1 1 F

G O 9 G 3 / 3 2 2 5 (2 0 1 6 . 0 1) G O 9 G 3 / 2 0 6 1 2 E

H O 5 B 3 3 / 0 6 (2 0 0 6 . 0 1) G O 9 G 3 / 2 0 6 1 2 G

H O 1 L 5 1 / 5 0 (2 0 0 6 . 0 1) G O 9 G 3 / 2 0 6 2 1 K

請求項の数 15 (全 49 頁) 最終頁に続く

(21) 出願番号 特願2016-72396 (P2016-72396)

(22) 出願日 平成28年3月31日 (2016. 3. 31)

(62) 分割の表示 特願2012-538429 (P2012-538429)の分割

原出願日 平成22年11月12日 (2010. 11. 12)

(65) 公開番号 特開2016-167074 (P2016-167074A)

(43) 公開日 平成28年9月15日 (2016. 9. 15)

審査請求日 平成28年5月2日 (2016. 5. 2)

審判番号 不服2018-328 (P2018-328/J1)

審判請求日 平成30年1月11日 (2018. 1. 11)

(31) 優先権主張番号 2684818

(32) 優先日 平成21年11月12日 (2009. 11. 12)

(33) 優先権主張国 カナダ (CA)

(31) 優先権主張番号 2687477

(32) 優先日 平成21年12月7日 (2009. 12. 7)

(33) 優先権主張国 カナダ (CA)

(73) 特許権者 507257080

イグニス・イノベーション・インコーポレーテッド

I G N I S I N N O V A T I O N I N C O R P O R A T E D

カナダ オンタリオ ウォータールーバサースト ドライブ 50 ユニット 12

(74) 代理人 110001210

特許業務法人 Y K I 国際特許事務所

(72) 発明者

チャジ グラムレザ

カナダ オンタリオ ウォータールーケルソ ドライブ 463

最終頁に続く

(54) 【発明の名称】 発光ディスプレイおよびその安定的電流ソース・シンクのための効率的プログラミングおよび高速校正