

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6041286号
(P6041286)

(45) 発行日 平成28年12月7日 (2016. 12. 7)

(24) 登録日 平成28年11月18日 (2016. 11. 18)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 2 5 8 (2 0 1 6 . 0 1)

G 0 9 G 3 / 3 2 5 8

G 0 9 G 3 / 2 0 (2 0 0 6 . 0 1)

G 0 9 G 3 / 2 0 6 2 2 C

G 0 9 G 3 / 2 0 6 2 4 B

G 0 9 G 3 / 2 0 6 1 1 A

G 0 9 G 3 / 2 0 6 2 1 A

請求項の数 17 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2011-183862 (P2011-183862)
(22) 出願日 平成23年8月25日 (2011. 8. 25)
(65) 公開番号 特開2013-45015 (P2013-45015A)
(43) 公開日 平成25年3月4日 (2013. 3. 4)
審査請求日 平成26年8月25日 (2014. 8. 25)

(73) 特許権者 514188173
株式会社 J O L E D
東京都千代田区神田錦町三丁目2 3 番地
(74) 代理人 100189430
弁理士 吉川 修一
(74) 代理人 100190805
弁理士 傍島 正朗
(72) 発明者 若林 俊一
大阪府門真市大字門真1 0 0 6 番地 パナ
ソニック株式会社内
審査官 小川 浩史

最終頁に続く

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

行列状に配置された複数の画素と、
2 画素行ごとに配置された走査線と、
画素列ごとに配置されたアドレス線とを備え、
前記複数の画素のうち、一の前記走査線と一の前記アドレス線との交点に対応する 2 画素のうち第 1 の画素は、
前記走査線の電位に応じて導通状態となる第 1 スイッチ部と、
前記第 1 スイッチ部が導通状態となることにより前記アドレス線及び前記走査線の電位に応じて定まる電圧を保持する第 1 コンデンサと、
前記第 1 コンデンサに保持された電圧に応じて発光電流を流す第 1 スイッチトランジスタと、
前記発光電流が流れることにより発光する第 1 発光素子とを備え、
前記複数の画素のうち、前記交点に対応する 2 画素のうちの、前記第 1 の画素の属する画素行と異なる画素行に配置された第 2 の画素は、
前記走査線の電位に応じて、前記第 1 スイッチ部とは排他的に導通状態となる第 2 スイッチ部と、
前記第 2 スイッチ部が導通状態となることにより前記アドレス線及び前記走査線の電位に応じて定まる電圧を保持する第 2 コンデンサと、
前記第 2 コンデンサに保持された電圧に応じて発光電流を流す第 2 スイッチトランジスタと、

10

20

タと、

前記発光電流が流れることにより発光する第2発光素子とを備える表示装置。

【請求項2】

前記第1スイッチ部は、アノード電極が前記アドレス線に接続され、カソード電極が前記第1コンデンサの一方の電極に接続された第1のダイオード素子であり、

前記第1コンデンサの他方の電極は前記走査線に接続され、

前記第1スイッチトランジスタのゲート電極は前記第1コンデンサの一方の電極に接続され、ドレイン電極は前記第1発光素子のカソード電極に接続され、ソース電極は前記走査線に接続され、

10

前記第1発光素子は、アノード電極が定電流源を介して電源線に接続されており、

前記第2スイッチ部は、アノード電極が前記走査線に接続され、カソード電極が前記第2コンデンサの一方の電極に接続された第2のダイオード素子であり、

前記第2コンデンサの他方の電極は、前記アドレス線に接続され、

前記第2スイッチトランジスタのゲート電極は前記第2コンデンサの一方の電極に接続され、ドレイン電極は前記第2発光素子のカソード電極に接続され、ソース電極は前記アドレス線に接続され、

前記第2発光素子は、アノード電極が定電流源を介して前記電源線に接続されている請求項1に記載の表示装置。

【請求項3】

20

さらに、前記走査線及び前記アドレス線の電位を制御する駆動部を備え、

前記駆動部は、

前記走査線の電位を低電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、前記低電位に対して前記第1スイッチトランジスタの閾値電圧と前記第1のダイオードの閾値電圧との和よりも高い高電位とすることにより、前記第1のダイオードを導通状態にして前記第1コンデンサに前記電圧を保持させ、

前記走査線の電位を高電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、前記高電位に対して前記第2スイッチトランジスタの閾値電圧と前記第2のダイオードの閾値電圧との和よりも低い電位であるアドレス線低電位とすることにより、前記第2のダイオードを導通状態にして前記第2コンデンサに前記電圧を保持させ、

30

前記走査線を前記低電位とし、前記アドレス線を前記アドレス線低電位とすることにより、前記第1コンデンサ及び前記第2コンデンサに保持された電圧に応じて前記第1スイッチトランジスタ及び前記第2スイッチトランジスタを導通状態にして前記第1発光素子及び前記第2発光素子を発光させる

請求項2に記載の表示装置。

【請求項4】

さらに、

前記第1コンデンサ及び第2コンデンサに保持された電圧を消去するための消去線を備え、

40

前記第1画素は、さらに、

アノード電極が前記第1コンデンサの一方の電極に接続され、カソード電極が前記消去線に接続された第3のダイオード素子を備え、

前記第2画素は、さらに、

アノード電極が前記第2コンデンサの一方の電極に接続され、カソード電極が前記消去線に接続された第4のダイオード素子を備える

請求項3に記載の表示装置。

【請求項5】

前記駆動部は、

前記第1コンデンサ及び前記第2コンデンサに電圧を保持させる場合には、前記消去線

50

の電位を高電位とし、

前記第 1 コンデンサ及び前記第 2 コンデンサに保持された電圧を消去する場合には、前記消去線の電位を、前記走査線に印加される低電位及び前記アドレス線に印加される低電位以下の低電位とする

請求項 4 に記載の表示装置。

【請求項 6】

前記第 1 スイッチ部は、

ゲート電極が前記走査線に接続され、ソース電極が第 1 電源線に接続された第 3 スイッチトランジスタと、

ゲート電極が前記アドレス線に接続され、ソース電極が前記第 1 コンデンサの一方の電極に接続され、ドレイン電極が前記第 3 スイッチトランジスタのドレイン電極と接続された第 4 スイッチトランジスタとを備え、

前記第 2 スイッチ部は、

ゲート電極が所定のバイアス電位を有するバイアス端子に接続され、ソース電極が前記走査線に接続された第 5 スイッチトランジスタと、

ゲート電極が前記アドレス線に接続され、ソース電極が前記第 2 コンデンサの一方の電極に接続され、ドレイン電極が前記第 5 スイッチトランジスタのドレイン電極と接続された第 6 スイッチトランジスタとを備え、

前記第 1 スイッチトランジスタのゲート電極は前記第 1 コンデンサの一方の電極に接続され、ドレイン電極は第 2 電源線に接続され、ソース電極は前記第 1 コンデンサの他方の電極に接続され、

前記第 1 発光素子は、アノード電極が前記第 1 スイッチトランジスタのソース電極に接続され、カソード電極が接地されており、

前記第 2 スイッチトランジスタのゲート電極は前記第 2 コンデンサの一方の電極に接続され、ドレイン電極は前記第 2 電源線に接続され、ソース電極は前記第 2 コンデンサの他方の電極に接続され、

前記第 2 発光素子は、アノード電極が前記第 2 スイッチトランジスタのソース電極に接続され、カソード電極が接地されている

請求項 1 に記載の表示装置。

【請求項 7】

さらに、前記走査線及び前記アドレス線の電位を制御する駆動部を備え、

前記駆動部は、

前記走査線の電位を、前記第 1 電源線の電源電位に対して前記第 3 スイッチトランジスタの閾値電圧分よりも低い走査線低電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、接地電位に対して前記第 1 スイッチトランジスタの閾値電圧と前記第 4 スイッチトランジスタの閾値電圧と前記第 1 発光素子の閾値電圧との和よりも高い高電位とすることにより、前記第 3 スイッチトランジスタ及び前記第 4 スイッチトランジスタを導通状態にして、前記第 1 電源線から前記第 1 コンデンサに前記電圧を保持させ、

前記走査線の電位を、前記バイアス電位に対して前記第 5 スイッチトランジスタの閾値電圧分よりも高い高電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、接地電位に対して前記第 2 スイッチトランジスタの閾値電圧と前記第 6 スイッチトランジスタの閾値電圧と前記第 2 発光素子の閾値電圧との和よりも高い高電位とすることにより、前記第 5 スイッチトランジスタ及び前記第 6 スイッチトランジスタを導通状態にして前記走査線から前記第 2 コンデンサに前記電圧を保持させる

請求項 6 に記載の表示装置。

【請求項 8】

さらに、

前記第 1 コンデンサの一方の電極及び第 2 コンデンサの一方の電極に接続され、前記第 1 コンデンサ及び前記第 2 コンデンサに保持された電圧を消去するための消去線を備える

請求項 7 に記載の表示装置。

【請求項 9】

前記駆動部は、

前記第 1 コンデンサ及び前記第 2 コンデンサに保持された電圧を消去する場合には、前記アドレス線の電位を、前記第 4 スイッチトランジスタのソース電位に対して前記第 4 スイッチトランジスタの閾値電圧分よりも低く、かつ、前記第 6 スイッチトランジスタのソース電位に対して前記第 6 スイッチトランジスタの閾値電圧分よりも低くすることにより前記第 4 スイッチトランジスタ及び前記第 6 スイッチトランジスタを非導通とした状態で、前記消去線の電位を、前記アドレス線に印加される前記低電位以下の低電位とする

請求項 8 に記載の表示装置。

10

【請求項 10】

前記第 1 発光素子及び前記第 2 発光素子は、有機 EL 素子である

請求項 1 ~ 9 のうちいずれか 1 項に記載の表示装置。

【請求項 11】

前記第 1 発光素子及び前記第 2 発光素子は、電流駆動型の発光素子である

請求項 1 ~ 9 のうちいずれか 1 項に記載の表示装置。

【請求項 12】

複数の画素が行列状に配置された表示装置の駆動方法であって、

前記複数の画素のうち、2 画素行ごとに配置された走査線のうちの走査線と画素列ごとに配置されたアドレス線のうちのアドレス線との交点に配置された第 1 画素は、

20

前記走査線の電位に応じて導通状態となる第 1 スイッチ部と、

前記アドレス線の電位に対応した電圧を保持する第 1 コンデンサと、

前記第 1 コンデンサに保持された電圧に応じて導通状態となる第 1 スイッチトランジスタと、

前記第 1 スイッチトランジスタが導通状態となることにより発光する第 1 発光素子とを備え、

前記複数の画素のうち、前記交点であって前記第 1 画素の属する画素行と異なる画素行に配置された第 2 画素は、

前記走査線の電位に応じて導通状態となる第 2 スイッチ部と、

前記アドレス線の電位に対応した電圧を保持する第 2 コンデンサと、

30

前記第 2 コンデンサに保持された電圧に応じて導通状態となる第 2 スイッチトランジスタと、

前記第 2 スイッチトランジスタが導通状態となることにより発光する第 2 発光素子とを備え、

前記走査線の電位を低電位とすることにより、前記第 1 スイッチ部を導通状態にして前記第 1 コンデンサに前記電圧を保持させる第 1 電圧保持ステップと、

前記走査線の電位を高電位とすることにより、前記第 2 スイッチ部を導通状態にして前記第 2 コンデンサに前記電圧を保持させる第 2 電圧保持ステップと、

前記第 1 電圧保持ステップ及び前記第 2 電圧保持ステップの後、前記走査線及び前記アドレス線を低電位とすることにより、前記第 1 コンデンサ及び前記第 2 コンデンサに保持された電圧に応じて前記第 1 スイッチトランジスタ及び前記第 2 スイッチトランジスタを導通状態にして前記第 1 発光素子及び前記第 2 発光素子を一斉発光させる発光ステップを含む

40

表示装置の駆動方法。

【請求項 13】

前記第 1 スイッチ部は、アノード電極が前記アドレス線に接続され、カソード電極が前記第 1 コンデンサの一方の電極の接続された第 1 のダイオード素子であり、

前記第 1 コンデンサの他方の電極は前記走査線に接続され、

前記第 1 スイッチトランジスタのゲート電極は前記第 1 コンデンサの一方の電極に接続され、ドレイン電極は前記第 1 発光素子のカソード電極に接続され、ソース電極は前記走

50

査線に接続され、

前記第 1 発光素子は、アノード電極が定電流源を介して電源線に接続されており、

前記第 2 スイッチ部は、アノード電極が前記走査線に接続され、カソード電極が前記第 2 コンデンサの一方の電極の接続された第 2 のダイオード素子であり、

前記第 2 コンデンサの他方の電極は前記アドレス線に接続され、

前記第 2 スイッチトランジスタのゲート電極は前記第 2 コンデンサの一方の電極に接続され、ドレイン電極は前記第 2 発光素子のカソード電極に接続され、ソース電極は前記アドレス線に接続され、

前記第 2 発光素子は、アノード電極が定電流源を介して前記電源線に接続されており、

前記第 1 電圧保持ステップでは、前記走査線の電位を低電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、前記低電位に対して前記第 1 スイッチトランジスタの閾値電圧と前記第 1 のダイオードの閾値電圧との和よりも高い高電位とすることにより、前記第 1 のダイオードを導通状態にして前記第 1 コンデンサに前記電圧を保持させ、

前記第 2 電圧保持ステップでは、前記走査線の電位を高電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、前記高電位に対して前記第 2 スイッチトランジスタの閾値電圧と前記第 2 のダイオードの閾値電圧との和よりも低い低電位とすることにより、前記第 2 のダイオードを導通状態にして前記第 2 コンデンサに前記電圧を保持させる

請求項 1 2 に記載の表示装置の駆動方法。

【請求項 1 4】

前記表示装置は、さらに、

前記第 1 コンデンサ及び前記第 2 コンデンサに保持された電圧を消去するための消去線を備え、

前記第 1 画素は、さらに、

アノード電極が前記第 1 コンデンサの一方の電極に接続され、カソード電極が前記消去線に接続された第 3 のダイオード素子を備え、

前記第 2 画素は、さらに、

アノード電極が前記第 2 コンデンサの一方の電極に接続され、カソード電極が前記消去線に接続された第 4 のダイオード素子を備え、

さらに、前記第 1 電圧保持ステップ及び前記第 2 電圧保持ステップの前に、前記消去線の電位を、前記走査線に印加される低電位及び前記アドレス線に印加される低電位以下の低電位とすることにより、前記第 1 コンデンサ及び前記第 2 コンデンサに保持された電圧を消去する消去ステップを含む

請求項 1 3 に記載の表示装置の駆動方法。

【請求項 1 5】

前記第 1 スイッチ部は、

ゲート電極が前記走査線に接続され、ソース電極が第 1 電源線に接続された第 3 スイッチトランジスタと、

ゲート電極が前記アドレス線に接続され、ソース電極が前記第 1 コンデンサの一方の電極に接続され、ドレイン電極が前記第 3 スイッチトランジスタのドレイン電極と接続された第 4 スイッチトランジスタとを備え、

前記第 2 スイッチ部は、

ゲート電極が所定のバイアス電位を有するバイアス端子に接続され、ソース電極が前記走査線に接続された第 5 スイッチトランジスタと、

ゲート電極が前記アドレス線に接続され、ソース電極が前記第 2 コンデンサの一方の電極に接続され、ドレイン電極が前記第 5 スイッチトランジスタのドレイン電極と接続された第 6 スイッチトランジスタとを備え、

前記第 1 スイッチトランジスタのゲート電極は前記第 1 コンデンサの一方の電極に接続され、ドレイン電極は第 2 電源線に接続され、ソース電極は前記第 1 コンデンサの他方の

電極に接続され、

前記第 1 発光素子は、アノード電極が前記第 1 スイッチトランジスタのソース電極に接続され、カソード電極が接地されており、

前記第 2 スイッチトランジスタのゲート電極は前記第 2 コンデンサの一方の電極に接続され、ドレイン電極は前記第 2 電源線に接続され、ソース電極は前記第 2 コンデンサの他方の電極に接続され、

前記第 2 発光素子は、アノード電極が前記第 2 スイッチトランジスタのソース電極に接続され、カソード電極が接地されており、

前記第 1 電圧保持ステップでは、前記走査線の電位を、前記第 1 電源線の電源電位に対して前記第 3 スイッチトランジスタの閾値電圧分よりも低い走査線低電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、接地電位に対して前記第 1 スイッチトランジスタの閾値電圧と前記第 4 スイッチトランジスタの閾値電圧と前記第 1 発光素子の閾値電圧との和よりも高い高電位とすることにより、前記第 3 スイッチトランジスタ及び前記第 4 スイッチトランジスタを導通状態にして、前記第 1 電源線から前記第 1 コンデンサに前記電圧を保持させ、

10

前記第 2 電圧保持ステップでは、前記走査線の電位を、前記バイアス電位に対して前記第 5 スイッチトランジスタの閾値電圧分よりも高い高電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、接地電位に対して前記第 2 スイッチトランジスタの閾値電圧と前記第 6 スイッチトランジスタの閾値電圧と前記第 2 発光素子の閾値電圧との和よりも高い高電位とすることにより、前記第 5 スイッチトランジスタ及び前記第 6 スイッチトランジスタを導通状態にして前記走査線から前記第 2 コンデンサに前記電圧を保持させる

20

請求項 1 2 に記載の表示装置の駆動方法。

【請求項 1 6】

前記表示装置は、さらに、

前記第 1 コンデンサの一方の電極及び前記第 2 コンデンサの一方の電極に接続され、前記第 1 コンデンサ及び前記第 2 コンデンサに保持された電圧を消去するための消去線を備え、

さらに、前記第 1 電圧保持ステップ及び前記第 2 電圧保持ステップの前に、前記アドレス線の電位を、前記第 4 スイッチトランジスタのソース電位に対して前記第 4 スイッチトランジスタの閾値電圧よりも低く、かつ、前記第 6 スイッチトランジスタのソース電位に対して前記第 6 スイッチトランジスタの閾値電圧よりも低くすることにより前記第 4 スイッチトランジスタ及び前記第 6 スイッチトランジスタを非導通とした状態で、前記消去線の電位を、前記走査線低電位とすることにより前記第 1 コンデンサ及び前記第 2 コンデンサに保持された電圧を消去する消去ステップを含む

30

請求項 1 5 に記載の表示装置の駆動方法。

【請求項 1 7】

前記第 1 電圧保持ステップ、前記第 2 電圧保持ステップ及び発光ステップでは、前記消去線の電位を、ハイインピーダンス状態とする

請求項 1 6 に記載の表示装置の駆動方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその駆動方法に関し、特に、画素の発光時間に応じて表示輝度を制御するアクティブマトリクス型表示装置及びその駆動方法に関する。

【背景技術】

【0002】

表示装置の一つとして、有機材料を発光層に用いた有機 EL (エレクトロルミネッセンス) 素子を画素の構成要素とした表示パネルが、すでに商品化されている。有機 EL 素子を用いた表示装置としては、マトリクス状に配列された画素の各々に、例えば、TF T (

50

Thin Film Transistor)などの点灯制御用素子を用いたアクティブマトリクス型表示装置が知られている。

【0003】

アクティブマトリクス型表示装置では、階調表現方式として、アナログ駆動方式とデジタル駆動方式とが知られている。アナログ駆動方式は、TFTのゲート端子に接続されたコンデンサに、映像データに応じた電圧を保持させる。そして、1フレーム期間において、コンデンサに保持された電圧に応じた輝度で各画素の有機EL素子を発光させ続ける。このように、アナログ駆動方式では、映像データに応じてコンデンサに保持される電荷量を変化させ、各画素の有機EL素子の輝度を制御して階調を表現する。一方、デジタル駆動方式は、1フレーム期間を、それぞれ発光可能期間の異なる複数のサブフィールドに分割し、映像データに応じて、サブフィールドごとに各画素を発光させるか発光させないかを選択する。そして、1フィールド期間の発光時間の総和により、階調を表現する。

10

【0004】

図10は、特許文献1に記載された、デジタル駆動方式の表示パネルに配置された画素の回路図である。同図に記載の画素900において、映像信号に対応したデータドライバからのデータ信号が、表示パネルに配列されたデータ線914を介してデータ書き込み用トランジスタ901のソースに供給される。データ書き込み用トランジスタ901のゲートには、走査ドライバに接続された走査線913を介して走査信号が供給される。データ書き込み用トランジスタ901のドレインは、駆動トランジスタ902のゲートに接続されると共に、コンデンサ905の一方の端子に接続されている。また、駆動トランジスタ902のソースは、コンデンサ905の他方の端子に接続されると共に、電源線916を介して駆動電圧が供給される。駆動トランジスタ902のドレインは、有機EL素子904のアノード端子に接続され、有機EL素子904のカソード端子は、基準電位点に接続されている。さらに、消去用トランジスタ903のソース及びドレインが、コンデンサ905の各端部にそれぞれ接続されている。消去用トランジスタ903のゲートには、消去線915を介して消去ドライバより消去信号が供給される。

20

【0005】

上記構成は、一般的なアナログ駆動方式に対して、コンデンサ905の両端を接続する消去用トランジスタ903及び消去線915が設けられている点が異なる。消去線915に消去信号が印加されることにより、消去用トランジスタ903が短絡されてコンデンサ905に保持された電圧がキャンセルされる。コンデンサ905に電荷が蓄積されてから消去線915に電圧を印加されるまでの時間を、各サブフィールドで異ならせることにより、サブフィールドごとの発光可能期間を異ならせている。デジタル駆動方式では、点灯制御用素子に求められる機能がスイッチング機能のみであるため、点灯制御用素子での電力損失を低減することが可能となる。

30

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2007-108366号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0007】

しかしながら、前述した特許文献1のデジタル駆動方式では、1画素ごとに、走査線及び消去線を配置する必要があるため、例えば、FHD(フル・ハイビジョン・ディスプレイ)や、SHD(4k2kディスプレイ)などの高精細ディスプレイにおいては、配線の設計が問題となる。すなわち、より高精細な画像を得るためには、配線幅を狭くする必要があり、そのため配線抵抗が大きくなってしまふ。配線抵抗が大きくなると配線による損失が大きくなり、消費電力量も大きくなるといった課題が発生する。

【0008】

本発明は、上記課題に鑑みてなされたものであり、配線による損失を低減し、高精細化

50

が可能な表示装置及びその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記課題を解決するために、本発明の一態様に係る表示装置は、行列状に配置された複数の画素と、2画素行ごとに配置された走査線と、画素列ごとに配置されたアドレス線とを備え、前記複数の画素のうち、一の前記走査線と一の前記アドレス線との交点に対応する2画素のうちの第1の画素は、前記走査線の電位に応じて導通状態となる第1スイッチ部と、前記第1スイッチ部が導通状態となることにより前記アドレス線及び前記走査線の電位に応じて定まる電圧を保持する第1コンデンサと、前記第1コンデンサに保持された電圧に応じて発光電流を流す第1スイッチトランジスタと、前記発光電流が流れることにより発光する第1発光素子とを備え、前記複数の画素のうち、前記交点に対応する2画素のうちの、前記第1の画素の属する画素行と異なる画素行に配置された第2の画素は、前記走査線の電位に応じて、前記第1スイッチ部とは排他的に導通状態となる第2スイッチ部と、前記第2スイッチ部が導通状態となることにより前記アドレス線及び前記走査線の電位に応じて定まる電圧を保持する第2コンデンサと、前記第2コンデンサに保持された電圧に応じて発光電流を流す第2スイッチトランジスタと、前記発光電流が流れることにより発光する第2発光素子とを備えることを特徴とする。

10

【0010】

上記構成によれば、各画素への電圧書き込みのタイミングを制御するための走査線は、2画素行ごとに配置されればよく、配線数を削減することができる。よって、配線による損失を低減できる。また、高精細化も可能となる。

20

【0011】

また、前記第1スイッチ部は、アノード電極が前記アドレス線に接続され、カソード電極が前記第1コンデンサの一方の電極に接続された第1のダイオード素子であり、前記第1コンデンサの他方の電極は前記走査線に接続され、前記第1スイッチトランジスタのゲート電極は前記第1コンデンサの一方の電極に接続され、ドレイン電極は前記第1発光素子のカソード電極に接続され、ソース電極は前記走査線に接続され、前記第1発光素子は、アノード電極が定電流源を介して前記電源線に接続されており、前記第2スイッチ部は、アノード電極が前記走査線に接続され、カソード電極が前記第2コンデンサの一方の電極に接続された第2のダイオード素子であり、前記第2コンデンサの他方の電極は、前記アドレス線に接続され、前記第2スイッチトランジスタのゲート電極は前記第2コンデンサの一方の電極に接続され、ドレイン電極は前記第2発光素子のカソード電極に接続され、ソース電極は前記アドレス線に接続され、前記第2発光素子は、アノード電極が定電流源を介して前記電源線に接続されていてもよい。

30

【0012】

また、さらに、前記走査線及び前記アドレス線の電位を制御する駆動部を備え、前記駆動部は、前記走査線の電位を低電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、前記低電位に対して前記第1スイッチトランジスタの閾値電圧と前記第1のダイオードの閾値電圧との和よりも高い高電位とすることにより、前記第1のダイオードを導通状態にして前記第1コンデンサに前記電圧を保持させ、前記走査線の電位を高電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、前記高電位に対して前記第2スイッチトランジスタの閾値電圧と前記第2のダイオードの閾値電圧との和よりも低い電位であるアドレス線低電位とすることにより、前記第2のダイオードを導通状態にして前記第2コンデンサに前記電圧を保持させ、前記走査線を前記低電位とし、前記アドレス線を前記アドレス線低電位とすることにより、前記第1コンデンサ及び前記第2コンデンサに保持された電圧に応じて前記第1スイッチトランジスタ及び前記第2スイッチトランジスタを導通状態にして前記第1発光素子及び前記第2発光素子を発光させることが好ましい。

40

【0013】

これにより、走査線の電位を低電位としアドレス線の電位を高電位とすることにより、

50

第 1 の画素への電圧書き込みが実行され、走査線の電位を高電位としアドレス線の電位を低電位とすることにより、第 2 の画素への電圧書き込みが実行される。

【 0 0 1 4 】

また、さらに、前記第 1 コンデンサ及び第 2 コンデンサに保持された電圧を消去するための消去線を備え、前記第 1 画素は、さらに、アノード電極が前記第 1 コンデンサの一方の電極に接続され、カソード電極が前記消去線に接続された第 3 のダイオード素子を備え、前記第 2 画素は、さらに、アノード電極が前記第 2 コンデンサの一方の電極に接続され、カソード電極が前記消去線に接続された第 4 のダイオード素子を備えてもよい。

【 0 0 1 5 】

また、前記駆動部は、前記第 1 コンデンサ及び前記第 2 コンデンサに電圧を保持させる場合には、前記消去線の電位を高電位とし、前記第 1 コンデンサ及び前記第 2 コンデンサに保持された電圧を消去する場合には、前記消去線の電位を、前記走査線に印加される低電位及び前記アドレス線に印加される低電位以下の低電位としてもよい。

【 0 0 1 6 】

これにより、全ての画素に対し、一斉にリセット動作を実行できるので、サブフィールドごとの発光可能期間を制御できる。よって、デジタル駆動方式による表示動作が可能となる。

【 0 0 1 7 】

また、前記第 1 スイッチ部は、ゲート電極が前記走査線に接続され、ソース電極が第 1 電源線に接続された第 3 スイッチトランジスタと、ゲート電極が前記アドレス線に接続され、ソース電極が前記第 1 コンデンサの一方の電極に接続され、ドレイン電極が前記第 3 スイッチトランジスタのドレイン電極と接続された第 4 スイッチトランジスタとを備え、前記第 2 スイッチ部は、ゲート電極が所定のバイアス電位を有するバイアス端子に接続され、ソース電極が前記走査線に接続された第 5 スイッチトランジスタと、ゲート電極が前記アドレス線に接続され、ソース電極が前記第 2 コンデンサの一方の電極に接続され、ドレイン電極が前記第 5 スイッチトランジスタのドレイン電極と接続された第 6 スイッチトランジスタとを備え、前記第 1 スイッチトランジスタのゲート電極は前記第 1 コンデンサの一方の電極に接続され、ドレイン電極は第 2 電源線に接続され、ソース電極は前記第 1 コンデンサの他方の電極に接続され、前記第 1 発光素子は、アノード電極が前記第 1 スイッチトランジスタのソース電極に接続され、カソード電極が接地されており、前記第 2 スイッチトランジスタのゲート電極は前記第 2 コンデンサの一方の電極に接続され、ドレイン電極は前記第 2 電源線に接続され、ソース電極は前記第 2 コンデンサの他方の電極に接続され、前記第 2 発光素子は、アノード電極が前記第 2 スイッチトランジスタのソース電極に接続され、カソード電極が接地されていてもよい。

【 0 0 1 8 】

また、さらに、前記走査線及び前記アドレス線の電位を制御する駆動部を備え、前記駆動部は、前記走査線の電位を、前記第 1 電源線の電源電位に対して前記第 3 スイッチトランジスタの閾値電圧分よりも低い走査線低電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、接地電位に対して前記第 1 スイッチトランジスタの閾値電圧と前記第 4 スイッチトランジスタの閾値電圧と前記第 1 発光素子の閾値電圧との和よりも高い高電位とすることにより、前記第 3 スイッチトランジスタ及び前記第 4 スイッチトランジスタを導通状態にして、前記第 1 電源線から前記第 1 コンデンサに前記電圧を保持させ、前記走査線の電位を、前記バイアス電位に対して前記第 5 スイッチトランジスタの閾値電圧分よりも高い高電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、接地電位に対して前記第 2 スイッチトランジスタの閾値電圧と前記第 6 スイッチトランジスタの閾値電圧と前記第 2 発光素子の閾値電圧との和よりも高い高電位とすることにより、前記第 5 スイッチトランジスタ及び前記第 6 スイッチトランジスタを導通状態にして前記走査線から前記第 2 コンデンサに前記電圧を保持させることが好ましい。

【 0 0 1 9 】

これにより、各画素への電圧書き込みのタイミングを制御するための走査線は、2画素行ごとに配置されればよく、さらに、消去線が不要であるので、配線数を削減することができる。よって、配線による損失を低減できる。また、高精細化も可能となる。さらに、スイッチ部を、ダイオードを使用せずにTFTで構成しているので、製造工程が簡略化できる。

【0020】

また、さらに、前記第1コンデンサの一方の電極及び第2コンデンサの一方の電極に接続され、前記第1コンデンサ及び前記第2コンデンサに保持された電圧を消去するための消去線を備えてもよい。

【0021】

10

また、前記駆動部は、前記第1コンデンサ及び前記第2コンデンサに保持された電圧を消去する場合には、前記アドレス線の電位を、前記第4スイッチトランジスタのソース電位に対して前記第4スイッチトランジスタの閾値電圧分よりも低く、かつ、前記第6スイッチトランジスタのソース電位に対して前記第6スイッチトランジスタの閾値電圧分よりも低くすることにより前記第4スイッチトランジスタ及び前記第6スイッチトランジスタを非導通とした状態で、前記消去線の電位を、前記アドレス線に印加される前記低電位以下の低電位としてもよい。

【0022】

これにより、全ての画素に対し、一斉にリセット動作を実行できるので、サブフィールドごとの発光可能期間を制御できる。よって、デジタル駆動方式による表示動作が可能となる。

20

【0023】

また、前記第1発光素子及び前記第2発光素子は、有機EL素子であってもよい。

【0024】

また、前記第1発光素子及び前記第2発光素子は、電流駆動型の発光素子であってもよい。

【0025】

また、本発明は、このような特徴的な手段を備える表示装置として実現することができるだけでなく、表示装置に含まれる特徴的な手段をステップとする表示装置の駆動方法として実現することができる。

30

【発明の効果】

【0026】

本発明の表示装置及びその駆動方法によれば、配線数を削減することができるため、配線による損失を低減できる。また、高精細化も可能となる。

【図面の簡単な説明】

【0027】

【図1】本発明の実施の形態1に係る表示装置の機能ブロック図である。

【図2】本発明の実施の形態1に係る表示装置が有する画素部の回路構成図である。

【図3】本発明の実施の形態1に係る表示装置が有する走査線制御回路の内部回路図である。

40

【図4】本発明の表示装置が有するデータ線制御回路の内部回路図である。

【図5】本発明の実施の形態1に係る表示装置の駆動タイミングチャートである。

【図6A】実施の形態1に係る画素のリセット動作を説明する状態遷移図である。

【図6B】実施の形態1に係る奇数行画素の書き込み動作を説明する状態遷移図である。

【図6C】実施の形態1に係る偶数行画素の書き込み動作を説明する状態遷移図である。

【図6D】実施の形態1に係る画素の発光動作を説明する状態遷移図である。

【図7】本発明の実施の形態2に係る表示装置が有する画素部の回路構成図である。

【図8】本発明の実施の形態2に係る表示装置の駆動タイミングチャートである。

【図9A】実施の形態2に係る画素のリセット動作を説明する状態遷移図である。

【図9B】実施の形態2に係る奇数行画素の書き込み動作を説明する状態遷移図である。

50

【図 9 C】実施の形態 2 に係る偶数行画素の書き込み動作を説明する状態遷移図である。

【図 9 D】実施の形態 2 に係る画素の発光動作を説明する状態遷移図である。

【図 10】特許文献 1 に記載された、デジタル駆動方式の表示パネルに配置された画素の回路図である。

【発明を実施するための形態】

【0028】

以下、本発明を実施するための形態について、図面を参照しながら説明する。

【0029】

(実施の形態 1)

<表示装置の構成>

図 1 は、本発明の実施の形態 1 に係る表示装置の機能ブロック図である。同図に記載された表示装置 1 は、サブフィールド処理回路 2 と、走査線制御回路 5 と、消去線制御回路 6 と、データ線制御回路 7 と、画素部 10 とを備える。

【0030】

サブフィールド処理回路 2 は、入力された映像信号に応じて、画素部 10 の画素ごとに発光させるサブフィールドを割り当て、走査線制御回路 5、消去線制御回路 6 及びデータ線制御回路 7 に制御信号を出力する。

【0031】

走査線制御回路 5 は画素部 10 に走査電圧を印加し、データ線制御回路 7 は画素部 10 にアドレス電圧を印加し、消去線制御回路 6 は画素部 10 に消去電圧を印加する。以下、上述した表示装置 1 の構成要素について詳細に説明する。走査線制御回路 5、データ線制御回路 7 及び消去線制御回路 6 は、それぞれ、走査線、アドレス線及び消去線の電位を制御する駆動部である。

【0032】

図 2 は、本発明の実施の形態 1 に係る表示装置が有する画素部の回路構成図である。画素部 10 は、ディスプレイの解像度 ($m \times n$) に応じたマトリクス状に配置された複数の画素が配置された表示部であるが、図 2 には、画素部 10 の一部である、隣接する 4 画素が記載されている。図 2 に記載された画素部 10 は、隣接する 4 つの画素 11A、12A、21A 及び 22A と、画素列ごとに配置されたアドレス線 71 及び 72 と、2 画素行ごとに配置された走査線 51 と、各画素に対応して格子状に配置された電源線 81 及び消去線 61 とを備える。

【0033】

画素 11A は、上記複数の画素のうち、走査線 51 とアドレス線 71 との交点に対応する 2 画素のうちの第 1 の画素であり、画素 12A は、上記複数の画素のうち、走査線 51 とアドレス線 72 との交点に対応する 2 画素のうちの第 1 の画素である。また、画素 21A は、上記複数の画素のうち、走査線 51 とアドレス線 71 との交点に対応する 2 画素のうちの、画素 11A の属する画素行と異なる画素行に配置された第 2 の画素であり、画素 22A は、上記複数の画素のうち、走査線 51 とアドレス線 72 との交点に対応する 2 画素のうちの、画素 12A の属する画素行と異なる画素行に配置された第 2 の画素である。

【0034】

また、画素部 10 が有する複数の画素は、全て同じ回路素子を有しており、例えば、図 2 に記載された画素 11A は、有機 EL 素子 111 と、ダイオード 112 及び 113 と、TFT スイッチ 114 と、コンデンサ 115 と、定電流源 116 とを備える。

【0035】

ここで、画素 11A ~ 22A の各構成要素及びそれらの接続関係を説明する。

【0036】

まず、画素 11A ~ 22A に共通した接続関係を、画素 11A を例にして説明する。有機 EL 素子 111 のアノード電極は、定電流源 116 を介して電源線 81 に接続され、カソード電極は、TFT スイッチ 114 のドレイン電極に接続されている。TFT スイッチ 114 のゲート電極は、ダイオード 112 のカソード電極、ダイオード 113 のアノード

10

20

30

40

50

電極、及びコンデンサ 1 1 5 の一方の電極に接続されている。ダイオード 1 1 3 のカソード電極は、消去線 6 1 に接続されている。

【 0 0 3 7 】

さらに、同一画素行に配置された画素 1 1 A 及び 1 2 A では、T F T スイッチ 1 1 4 及び 3 1 4 のソース電極は走査線 5 1 に接続されている。一方、同一画素行に配置された画素 2 1 A 及び 2 2 A では、T F T スイッチ 2 1 4 及び 4 1 4 のソース電極は、それぞれ、アドレス線 7 1 及び 7 2 に接続されている。

【 0 0 3 8 】

また、画素 1 1 A においては、アドレス線 7 1 は、ダイオード 1 1 2 のアノード電極に接続され、画素 2 1 A においては、コンデンサ 2 1 5 の他方の電極に接続されている。

10

【 0 0 3 9 】

また、画素 1 2 A においては、アドレス線 7 2 は、ダイオード 3 1 2 のアノード電極に接続され、画素 2 2 A においては、コンデンサ 4 1 5 の他方の電極に接続されている。

【 0 0 4 0 】

次に、画素 1 1 A ~ 2 2 A の各構成要素を説明する。

【 0 0 4 1 】

有機 E L 素子 1 1 1、2 1 1、3 1 1 及び 4 1 1 は、電流駆動型の発光素子である。有機 E L 素子 1 1 1 及び 3 1 1 は、それぞれ、T F T スイッチ 1 1 4 及び 3 1 4 が導通状態となることにより発光する第 1 発光素子である。また、有機 E L 素子 2 1 1 及び 4 1 1 は、それぞれ、T F T スイッチ 2 1 4 及び 4 1 4 が導通状態となることにより発光する第 2 発光素子である。具体的には、有機 E L 素子 1 1 1 及び 3 1 1 は、それぞれ、電源線 8 1 と T F T スイッチ 1 1 4 及び 3 1 4 のドレイン電極との間に直列に挿入されている。また、有機 E L 素子 2 1 1 及び 4 1 1 は、それぞれ、電源線 8 1 と T F T スイッチ 2 1 4 及び 4 1 4 のドレイン電極との間に直列に挿入されている。

20

【 0 0 4 2 】

T F T スイッチ 1 1 4、2 1 4、3 1 4 及び 4 1 4 は、例えば、n 型の M O S F E T であり、ゲート - ソース間電圧が閾値電圧より大きい場合にドレイン - ソース間を導通状態とするスイッチ素子である。T F T スイッチ 1 1 4 及び 3 1 4 は、それぞれ、コンデンサ 1 1 5 及び 3 1 5 に保持された電圧に応じて導通状態となる第 1 スイッチトランジスタである。また、T F T スイッチ 2 1 4 及び 4 1 4 は、それぞれ、コンデンサ 2 1 5 及び 4 1 5 に保持された電圧に応じて導通状態となる第 2 スイッチトランジスタである。

30

【 0 0 4 3 】

コンデンサ 1 1 5、2 1 5、3 1 5 及び 4 1 5 は、アドレス線と走査線との電位差に対応した電荷を、ダイオード 1 1 2、2 1 2、3 1 2 及び 4 1 2 を介して充電し、また、消去線 6 1 に消去電圧が印加された場合に、上記充電された電荷を、ダイオード 1 1 3、2 1 3、3 1 3 及び 4 1 3 を介して放電する。コンデンサ 1 1 5 及び 3 1 5 は、それぞれ、ダイオード 1 1 2 及び 3 1 2 が導通状態となることにより、アドレス線 7 1 及び 7 2 ならびに走査線 5 1 の電位に応じて定まる電圧を保持する第 1 コンデンサである。また、コンデンサ 2 1 5 及び 4 1 5 は、それぞれ、ダイオード 2 1 2 及び 4 1 2 が導通状態となることにより、アドレス線 7 1 及び 7 2 の電位ならびに走査線 5 1 の電位に応じて定まる電圧を保持する第 2 コンデンサである。

40

【 0 0 4 4 】

ダイオード 1 1 2 は、走査線 5 1 の電位に応じて導通状態となる第 1 スイッチ部であり、アノード電極がアドレス線 7 1 に接続され、カソード電極がコンデンサ 1 1 5 の一方の電極に接続された第 1 のダイオード素子である。ダイオード 3 1 2 は、走査線 5 1 の電位に応じて導通状態となる第 1 スイッチ部であり、アノード電極がアドレス線 7 2 に接続され、カソード電極がコンデンサ 3 1 5 の一方の電極に接続された第 1 のダイオード素子である。

【 0 0 4 5 】

ダイオード 2 1 2 は、走査線 5 1 の電位に応じて、ダイオード 1 1 2 とは排他的に導通

50

状態となる第2スイッチ部であり、アノード電極が走査線51に接続され、カソード電極がコンデンサ215の一方の電極に接続された第2のダイオード素子である。ダイオード412は、走査線51の電位に応じて、ダイオード312とは排他的に導通状態となる第2スイッチ部であり、アノード電極が走査線51に接続され、カソード電極がコンデンサ415の一方の電極に接続された第2のダイオード素子である。

【0046】

ダイオード113は、アノード電極がコンデンサ115の一方の電極に接続され、カソード電極が消去線61に接続された第3のダイオード素子であり、ダイオード313は、アノード電極がコンデンサ315の一方の電極に接続され、カソード電極が消去線61に接続された第3のダイオード素子である。

10

【0047】

ダイオード213は、アノード電極がコンデンサ215の一方の電極に接続され、カソード電極が消去線61に接続された第4のダイオード素子であり、ダイオード413は、アノード電極がコンデンサ415の一方の電極に接続され、カソード電極が消去線61に接続された第4のダイオード素子である。

【0048】

消去線61は、消去電圧が印加されることにより、コンデンサ115、215、315及び415に蓄積された電荷を放電する。言い換えると、消去線61は、コンデンサ115、215、315及び415に保持された電圧を消去するための制御線である。

【0049】

20

なお、本実施の形態では、全ての画素に対し、一定の電源電圧が電源線81を介して印加される。また、消去電圧は、全ての画素に対し、消去線61を介して同じタイミングで印加される。よって、消去線61及び電源線81は、それぞれ、全画素にわたり共通線となってもよい。これにより、消去線制御回路6の駆動負荷が低減される。

【0050】

上記接続関係及び構成要素により、アドレス線71及び72の電位が走査線51の電位に対して、ダイオード112の閾値電圧とTFTスイッチ114の閾値電圧との和、ならびに、ダイオード312の閾値電圧とTFTスイッチ314の閾値電圧との和よりも高い場合、コンデンサ115及び315には、それぞれ、アドレス線71及び72と走査線51との電位差に対応する電圧が保持される。また、アドレス線71及び72の電位が走査線51の電位に対して、ダイオード212の閾値電圧とTFTスイッチ214の閾値電圧との和、ならびに、ダイオード412とTFTスイッチ414の閾値電圧との和よりも低い場合、コンデンサ215及び415には、走査線51とアドレス線71及び72との電位差に対応する電圧が保持される。このように、アドレス線の電位と走査線の電位とが、排他的に制御されることにより、奇数画素行への電圧書き込みの後、偶数画素行への電圧書き込みが実行される。上記書き込みが完了した後、走査線51を所定の電位（例えば、GND電位）に設定することにより、TFTスイッチの閾値電圧以上の電圧がコンデンサに保持されている画素の有機EL素子が一斉発光する。

30

【0051】

上記構成によれば、電圧書き込みのタイミングを制御するための走査線は、2画素行ごとに配置されればよく、配線数を削減することができる。よって、配線による損失を低減できる。また、高精細化も可能となる。

40

【0052】

次に、走査線制御回路5について説明する。走査線制御回路5は、サブフィールド処理回路2からの制御信号により、書き込み期間において発光画素行を選択するための走査信号を、走査線を介して画素部に出力する。

【0053】

図3は、本発明の実施の形態1に係る表示装置が有する走査線制御回路の内部回路図である。走査線制御回路5は、出力ラインである走査線51～5kに、それぞれ高電位パルス V_{scn} または低電位パルス V_{GND} を供給するための2つのFETスイッチをライン

50

毎に配置した回路構成となっている。画素行数が n である場合には、走査線制御回路 5 は、 $n/2$ 本の走査線 5 1 ~ 5 k を介して画素部 1 0 に接続されている。各走査線には、走査線制御回路 5 の信号に応じて、任意の順序で 2 画素行毎に走査線 5 1 ~ 5 k に高電位パルス V_{scn} または低電位パルス V_{GND} を供給することが可能である。高電位パルスまたは低電位パルスを印加するタイミングについては、後述する。

【0054】

図 3 に記載された回路において、例えば、走査線 5 1 に低電位パルス V_{GND} を印加する場合には、走査線制御回路 5 は、FET 5 1 4 を ON 状態とし、FET 5 1 3 を OFF 状態とする。また、走査線 5 1 に高電位パルス V_{scn} を印加する場合には、走査線制御回路 5 は、FET 5 1 3 を ON 状態とし、FET 5 1 4 を OFF 状態とする。また、FET 5 1 3 及び FET 5 1 4 をともに OFF 状態とした場合には、走査線 5 1 はハイインピーダンス状態となり、電流経路を構成しない。すなわち、走査線制御回路 5 は、走査線ごとに配置された 2 つの FET の ON 状態及び OFF 状態を選択することにより、走査線を、低電位パルス V_{GND} 状態、高電位パルス V_{scn} 状態、及びハイインピーダンス状態の 3 形態のうちいずれかの形態とすることが可能である。

【0055】

次に、消去線制御回路 6 について説明する。消去線制御回路 6 は、サブフィールド処理回路 2 からの制御信号により、コンデンサ 1 1 5、2 1 5、3 1 5 及び 4 1 5 に保持された、信号電圧を消去するための消去電圧を、消去線を介してダイオード 1 1 3、2 1 3、3 1 3 及び 4 1 3 のカソード電極に出力する。

【0056】

消去線制御回路 6 は、消去線 6 1 に対し、走査線に印加される低電位パルス及びアドレス線に印加される低電位パルス以下の低電位、例えば、 GND 電位を消去電圧として供給する。これにより、信号電圧が保持されているコンデンサ 1 1 5、2 1 5、3 1 5 及び 4 1 5 の一方の電極から消去線 6 1 へ向かって順方向電流が流れ、コンデンサ 1 1 5、2 1 5、3 1 5 及び 4 1 5 がリセットされる。また、リセットしない場合には、消去線制御回路 6 は、消去線 6 1 に対し、例えば、走査線に印加される高電位パルスまたはアドレス線に印加される高電位パルス信号電圧よりも大きい正電圧を供給する。消去電圧パルスを印加するタイミングについては、後述する。

【0057】

次に、データ線制御回路 7 について説明する。

【0058】

図 4 は、本発明の表示装置が有するデータ線制御回路の内部回路図である。データ線制御回路 7 は、サブフィールド処理回路 2 からの制御信号により、書き込み期間において走査線制御回路 5 から出力される走査信号に同期して、TFT スイッチ 1 1 4、2 1 4、3 1 4 及び 4 1 4 の導通及び非導通を切り換えるためのアドレス電圧を、アドレス線 7 1 または 7 2 を介して、各画素に出力する。また、図 4 に示されるように、データ線制御回路 7 は、R 画素、G 画素、B 画素に応じて、異なるアドレス電圧をアドレス線 7 1 または 7 2 を介して各画素に供給してもよい。例えば、画素 1 1 A 及び画素 2 1 A が R 画素である場合、データ線制御回路 7 は、画素 1 1 A に対して、走査線 5 1 が低電位パルス V_{GND} 状態であるときに、スイッチ $SW3A_R$ を導通させることによりアドレス電圧 (V_R) をアドレス線 7 1 に供給する。また、走査線 5 1 が高電位パルス V_{scn} 状態であるときに、スイッチ $SW3B_R$ を導通させることによりアドレス電圧 ($-V_R$) をアドレス線 7 1 に供給する。アドレス電圧を印加するタイミングについては、後述する。また、データ線制御回路 7 は、画素部 1 0 の解像度に応じた画素列数 m 本のアドレス線を同時に制御可能とするためのメモリ機能を有している。

【0059】

< 表示装置の動作 >

以下、図 2、図 5 及び図 6 A ~ 図 6 D を用いて、表示装置 1 の動作について述べる。図 5 は、本発明の実施の形態 1 に係る表示装置の駆動タイミングチャートである。同図には

、図2における画素11A及び12Aを3行目の画素行に属する画素、また、画素21A及び22Aを4行目の画素行に属する画素と仮定し、これら4画素を、所定のサブフィールド期間において、全て発光させた場合を例示している。

【0060】

[リセット動作]

まず、時刻t01～時刻t02において、消去線制御回路6は、消去線61に対し消去電圧を供給し、全ての画素が有するコンデンサをリセットする。消去線制御回路6は、消去線61に対し、例えば、GND電位を消去電圧として供給する。これにより、信号電圧が保持されているコンデンサ115、215、315及び415の一方の電極から消去線61へ向かってダイオード113、213、313及び413に順方向電流が流れ、コンデンサ115、215、315及び415がリセットされる。

10

【0061】

図6Aは、実施の形態1に係る画素のリセット動作を説明する状態遷移図である。すなわち、消去線61にLOW電位が印加された場合、図6Aに示されるように、コンデンサ115、215、315及び415→ダイオード113、213、313及び413→消去線61の順に放電電流が流れ、コンデンサ115、215、315及び415に保持された電圧が消去される。

【0062】

上記時刻t01～時刻t02における消去線制御回路6の動作は、書き込み動作の前に、消去線61の電位を、走査線51に印加される低電位及びアドレス線71及び72に印加される低電位以下の低電位とすることにより、コンデンサ115及びコンデンサ315に保持された電圧を消去する消去ステップに相当する。

20

【0063】

[書き込み動作]

時刻t03において、走査線制御回路5は、n型のFET514のゲート電位をLOW電位としてOFF状態とし、またp型のFET513のゲート電位が既にHIGH電位でありOFF状態であることから、走査線51は、ハインピーダンス状態となる。これにより、画素が有するコンデンサへ信号を書き込むための準備が完了する。

【0064】

次に、奇数画素行への書き込み動作が、奇数行順次に行われる。

30

【0065】

例えば、時刻t04～時刻t05において、走査線制御回路5は、3行目に属する画素への電圧書き込みを実行すべく、FET514のゲート電位をHIGH電位としてON状態とし、走査線51の電位をLOW(GND)電位とする。一方、データ線制御回路7は、走査線制御回路5の上記動作と同期して、3行目の画素に対応するHIGH電位、つまり、走査線51の電位に対してTFTスイッチ114の閾値電圧とダイオード112の閾値電圧との和、ならびに、TFTスイッチ314の閾値電圧とダイオード312の閾値電圧との和よりも高い高電位を、アドレス線71及び72に供給する。

【0066】

これにより、コンデンサ115の一方の電極及び315の一方の電極には、それぞれ、アドレス線71及び72のHIGH電位が、導通状態となったダイオード112及び312を介して印加され、また、コンデンサ115及び315の他方の電極には、走査線51のLOW(GND)電位が印加されることから、コンデンサ115及び315には、アドレス線71及び72のHIGH電位に対応した電圧が保持される。つまり、画素11A及び21Aへの書き込み動作が行われる。

40

【0067】

図6Bは、実施の形態1に係る奇数行画素の書き込み動作を説明する状態遷移図である。すなわち、走査線51にLOW電位が印加され、アドレス線71及び72にHIGH電位が印加された場合、図6Bに示されるように、アドレス線71及び72→ダイオード112及び312→コンデンサ115及び315の順に充電電流が流れ、コンデンサ115

50

及び 3 1 5 に電圧が保持される。

【 0 0 6 8 】

上記時刻 t 0 4 ~ 時刻 t 0 5 における走査線制御回路 5 及びデータ線制御回路 7 の動作は、走査線 5 1 の電位を低電位とし、走査線 5 1 以外の走査線をハイインピーダンス状態とし、アドレス線 7 1 及び 7 2 の電位を、走査線 5 1 の低電位に対して、ダイオード 1 1 2 の閾値電圧と T F T スイッチ 1 1 4 の閾値電圧との和、ならびに、ダイオード 3 1 2 の閾値電圧と T F T スイッチ 3 1 4 の閾値電圧との和よりも高い高電位とすることにより、ダイオード 1 1 2 及び 3 1 2 を導通状態にしてコンデンサ 1 1 5 及び 3 1 5 に電圧を保持させる第 1 電圧保持ステップに相当する。

【 0 0 6 9 】

時刻 t 0 5 以降、上述した 3 行目の画素行における書き込み動作と同様に、奇数画素行への書き込み動作を奇数行順次に実行する。なお、この間、書き込み動作中でない画素行の走査線は、ハイインピーダンス状態に設定されている。従って、書き込みが完了した画素であっても、F E T のソース電位が確定しないため、当該奇数画素行への書き込み期間中には、有機 E L 素子は発光動作を開始しない。

【 0 0 7 0 】

次に、奇数画素行への書き込み動作が終了すると、偶数画素行への書き込み動作が実行される。

【 0 0 7 1 】

例えば、時刻 t 0 6 ~ 時刻 t 0 7 において、走査線制御回路 5 は、4 行目に属する画素への信号電圧書き込みを実行すべく、F E T 5 1 3 のゲート電位を L O W 電位として O N 状態とし、走査線 5 1 の電位を H I G H (V s c n) 電位とする。一方、データ線制御回路 7 は、走査線制御回路 5 の上記動作と同期して、4 行目の画素に対応する L O W (G N D) 電位、つまり、走査線 5 1 の H I G H 電位に対して T F T スイッチ 2 1 4 の閾値電圧とダイオード 2 1 2 の閾値電圧との和、ならびに、T F T スイッチ 4 1 4 の閾値電圧とダイオード 4 1 2 の閾値電圧との和よりも低い低電位を、アドレス線 7 1 及び 7 2 に供給する。

【 0 0 7 2 】

これにより、コンデンサ 2 1 5 の一方の電極及び 4 1 5 の一方の電極には、それぞれ、走査線 5 1 の H I G H (V s c n) 電位が、導通状態となったダイオード 2 1 2 及び 4 1 2 を介して印加され、また、コンデンサ 2 1 5 及び 4 1 5 の他方の電極には、アドレス線 7 1 及び 7 2 の L O W (G N D) 電位が印加されることから、コンデンサ 2 1 5 及び 4 1 5 には、走査線の H I G H 電位に対応した電圧が保持される。つまり、画素 1 1 A 及び 2 1 A への書き込み動作が実行される。

【 0 0 7 3 】

図 6 C は、実施の形態 1 に係る偶数行画素の書き込み動作を説明する状態遷移図である。すなわち、走査線 5 1 に H I G H 電位が印加され、アドレス線 7 1 及び 7 2 に L O W 電位が印加された場合、図 6 C に示されるように、走査線 5 1 → ダイオード 2 1 2 及び 4 1 2 → コンデンサ 2 1 5 及び 4 1 5 の順に充電電流が流れ、コンデンサ 2 1 5 及び 4 1 5 に電圧が保持される。

【 0 0 7 4 】

上記時刻 t 0 6 ~ 時刻 t 0 7 における走査線制御回路 5 及びデータ線制御回路 7 の動作は、走査線 5 1 の電位を高電位とし、走査線 5 1 以外の走査線をハイインピーダンス状態とし、アドレス線 7 1 及び 7 2 の電位を、走査線 5 1 の高電位に対して ダイオード 2 1 2 の閾値電圧と T F T スイッチ 2 1 4 の閾値電圧との和、ならびに、ダイオード 4 1 2 の閾値電圧と T F T スイッチ 4 1 4 の閾値電圧との和よりも低い低電位とすることにより、ダイオード 2 1 2 及び 4 1 2 を導通状態にしてコンデンサ 2 1 5 及び 4 1 5 に電圧を保持させる第 2 電圧保持ステップに相当する。

【 0 0 7 5 】

時刻 t 0 7 以降、上述した 4 行目の画素行における書き込み動作と同様に、偶数画素行

10

20

30

40

50

への書き込み動作を偶数行順次に実行する。なお、この間、書き込み動作中でない画素行の走査線は、ハイインピーダンス状態に設定されている。従って、書き込みが完了した画素であっても、TFTスイッチのゲート電位が確定しないため、当該偶数画素行への書き込み期間中には、有機EL素子は発光動作を開始しない。

【0076】

なお、奇数行への書き込み時に印加されるアドレス線71及び72のHIGH電位とGND電位との電位差、及び、偶数行への書き込み時に印加される走査線のHIGH電位(Vscn)とGND電位との電位差は、TFTスイッチの閾値電圧とダイオードの閾値電圧との和よりも大きいことが条件である。

【0077】

[発光動作]

次に、時刻t08において、走査線制御回路5は、全画素を一斉に発光させるべく、FET514のゲート電位をHIGH電位としてON状態とし、走査線51の電位をLOW(GND)電位とする。同様にして、他の走査線の電位もLOW電位とする。また、全てのアドレス線をLOW電位とする。

【0078】

これにより、奇数画素行の画素が有するTFTスイッチのソース電位、及び、偶数画素行の画素が有するTFTスイッチのゲート電位が確定し、閾値電圧以上の電圧が保持されているコンデンサを有する画素のTFTスイッチはオン状態となる。よって、奇数画素行においては、電源線81→定電流源→有機EL素子→オン状態のTFTスイッチ→LOW電位である走査線という経路で発光電流が流れる。また、偶数画素行においては、電源線81→定電流源→有機EL素子→オン状態のTFTスイッチ→LOW電位であるアドレス線という経路で発光電流が流れる。

【0079】

図6Dは、実施の形態1に係る画素の発光動作を説明する状態遷移図である。すなわち、走査線51、アドレス線71及び72にLOW電位が印加された場合、図6Dに示されるように、電源線81→定電流源116、216、316及び416→有機EL素子111、211、311及び411→TFTスイッチ114、214、314及び414→走査線51またはアドレス線71及び72の順に発光電流が流れ、有機EL素子111、211、311及び411が一斉発光する。

【0080】

上記時刻t08～時刻t09における走査線制御回路5及びデータ線制御回路7の動作は、上記書き込み動作の後、走査線51及びアドレス線71及び72を低電位とすることにより、コンデンサ115、215、315及び415に保持された電圧に応じてTFTスイッチ114、214、314及び414を導通状態にして有機EL素子111、211、311及び411を一斉発光させる発光ステップに相当する。

【0081】

上述した時刻t01～時刻t09におけるリセット期間、書き込み動作及び発光動作の期間は、サブフィールド期間であり、デジタル階調制御は、上記サブフィールド期間を複数繰り返すことにより実行される。すなわち、例えば、第1サブフィールドの発光期間を1μ秒、第2サブフィールドの発光期間を2μ秒、第3サブフィールドの発光期間を4μ秒、第4サブフィールドの発光期間を8μ秒、・・・、第9サブフィールドの発光期間を256μ秒とし、第1～9サブフィールドを組み合わせることにより、階調表示を行う。具体的には、以下の通りである。0階調は、すべてのサブフィールドにおいて発光させない。1階調は第1サブフィールド(1μ秒)のみ発光させる。2階調は第2サブフィールド(2μ秒)のみ発光させる。3階調は(第1+第2)サブフィールド(1μ秒+2μ秒=3μ秒)を発光させる。4階調は第3サブフィールド(4μ秒)のみ発光させる。5階調は(第1+第3)サブフィールド(1μ秒+4μ秒=5μ秒)を発光させる。6階調は(第2+第3)サブフィールド(2μ秒+4μ秒=6μ秒)を発光させる。7階調は(第1+第2+第3)サブフィールド(1μ秒+2μ秒+4μ秒=7μ秒)を発光させる。8

10

20

30

40

50

階調は第4サブフィールド(8 μ 秒)のみ発光させる。このようにして、各0~511階調を表示する。

【0082】

上記サブフィールド期間を組み合わせた階調表示を、1フレームの間に実行して画像を作り出す。なお、奇数画素行及び偶数画素行の書き込み順序は、逆でも構わない。

【0083】

以上のように、本発明の表示装置の駆動方法によれば、1本の走査線で2画素行分の画素を駆動することにより、1画素行ごとに走査線が配置された従来の表示装置に比べて、配線数及び配線に必要な面積を削減することができる。また、電極抵抗及び電極浮遊容量を削減できるので、配線による損失を低減できる。また、高精細化が容易になる。

10

【0084】

(実施の形態2)

本実施の形態に係る表示装置の画素回路は、実施の形態1に係る表示装置の画素回路と比較して、スイッチ部の構成要素としてダイオードを使用せずにTFTスイッチを使用した点が回路構成として異なるが、走査線電位を奇数画素行と偶数画素行とで排他的に制御し、アドレス線及び走査線の電位に応じて定まる電圧を保持することにより書き込みを実行する基本動作は同じである。以下、実施の形態1と同じ点は説明を省略し、異なる点のみ説明する。

【0085】

<表示装置の構成>

20

図7は、本発明の実施の形態2に係る表示装置が有する画素部の回路構成図である。図7に記載された画素部は、隣接する4つの画素11B、12B、21B及び22Bと、画素列ごとに配置されたアドレス線91及び92と、2画素行ごとに配置された走査線51と、各画素に対応して格子状に配置された電源線81及び消去線62とを備える。

【0086】

画素11Bは、上記複数の画素のうち、走査線51とアドレス線91との交点に対応する2画素のうちの第1の画素であり、画素12Bは、上記複数の画素のうち、走査線51とアドレス線92との交点に対応する2画素のうちの第1の画素である。また、画素21Bは、上記複数の画素のうち、走査線51とアドレス線91との交点に対応する2画素のうちの、画素11Bの属する画素行と異なる画素行に配置された第2の画素であり、画素22Bは、上記複数の画素のうち、走査線51とアドレス線92との交点に対応する2画素のうちの、画素12Bの属する画素行と異なる画素行に配置された第2の画素である。

30

【0087】

また、画素部が有する複数の画素は、全て同じ回路素子を有しており、例えば、図7に記載された画素11Bは、有機EL素子121と、TFTスイッチ122、123及び124と、コンデンサ125と、定電流源126とを備える。

【0088】

ここで、画素11B~22Bの各構成要素及びそれらの接続関係を説明する。

【0089】

まず、画素11B~22Bに共通した接続関係を、画素11Bを例にして説明する。

40

【0090】

有機EL素子121のアノード電極は、n型のTFTスイッチ124のソース電極に接続され、カソード電極は接地されている。

【0091】

TFTスイッチ124のドレイン電極は定電流源126を介して電源線82に接続され、ゲート電極はn型のTFTスイッチ123のソース電極に接続されている。

【0092】

TFTスイッチ123のドレイン電極はp型のTFTスイッチ122のドレイン電極に接続され、ゲート電極はアドレス線91に接続されている。

【0093】

50

コンデンサ 1 2 5 は、T F T スイッチ 1 2 4 のゲート電極及びソース電極に接続され、さらに、全画素共通の消去線 6 2 に接続されている。

【 0 0 9 4 】

さらに、同一の奇数画素行に配置された画素 1 1 B 及び 1 2 B では、T F T スイッチ 1 2 2 及び 3 2 2 のソース電極は電源線 8 2 に接続され、ゲート電極は走査線 5 1 に接続されている。

【 0 0 9 5 】

一方、同一の偶数画素行に配置された画素 2 1 B 及び 2 2 B では、T F T スイッチ 2 2 2 及び 4 2 2 のソース電極は走査線 5 1 に接続され、ゲート電極はバイアス電位 V_b を有するバイアス端子に接続されている。

10

【 0 0 9 6 】

次に、画素 1 1 B ~ 2 2 B の各構成要素を説明する。

【 0 0 9 7 】

有機 E L 素子 1 2 1 及び 3 2 1 は、それぞれ、アノード電極が T F T スイッチ 1 2 4 及び 3 2 4 のソース電極に接続され、カソード電極が接地された第 1 発光素子である。有機 E L 素子 2 2 1 及び 4 2 1 は、それぞれ、アノード電極が T F T スイッチ 2 2 4 及び 4 2 4 のソース電極に接続され、カソード電極が接地された第 2 発光素子である。

【 0 0 9 8 】

T F T スイッチ 1 2 2、2 2 2、3 2 2 及び 4 2 2 は、例えば、p 型の M O S F E T であり、ソース電位に対するゲート電位が閾値電圧分より小さい場合にドレイン - ソース間を導通状態とするローアクティブ素子である。

20

【 0 0 9 9 】

T F T スイッチ 1 2 3、2 2 3、3 2 3 及び 4 2 3 は、例えば、n 型の M O S F E T であり、ソース電位に対するゲート電位が閾値電圧分より大きい場合にドレイン - ソース間を導通状態とするハイアクティブ素子である。

【 0 1 0 0 】

T F T スイッチ 1 2 2 及び 3 2 2 は、ゲート電極が走査線 5 1 に接続され、ソース電極が第 1 電源線である電源線 8 2 に接続された第 3 スイッチトランジスタである。

【 0 1 0 1 】

T F T スイッチ 1 2 3 及び 3 2 3 は、それぞれ、ゲート電極がアドレス線 9 1 及び 9 2 に接続され、ソース電極がコンデンサ 1 2 5 及び 3 2 5 の一方の電極に接続され、ドレイン電極が T F T スイッチ 1 2 2 及び 3 2 2 のドレイン電極と接続された第 4 スイッチトランジスタである。

30

【 0 1 0 2 】

T F T スイッチ 1 2 2 と T F T スイッチ 1 2 3 とは、走査線 5 1 の電位に応じて導通状態となる第 1 スイッチ部を構成する。また、T F T スイッチ 3 2 2 と T F T スイッチ 3 2 3 とは、走査線 5 1 の電位に応じて導通状態となる第 1 スイッチ部を構成する。

【 0 1 0 3 】

T F T スイッチ 2 2 2 及び 4 2 2 は、ゲート電極がバイアス電位 V_b を有するバイアス端子に接続され、ソース電極が走査線 5 1 に接続された第 5 スイッチトランジスタである。

40

【 0 1 0 4 】

T F T スイッチ 2 2 3 及び 4 2 3 は、それぞれ、ゲート電極がアドレス線 9 1 及び 9 2 に接続され、ソース電極がコンデンサ 2 2 5 及び 4 2 5 の一方の電極に接続され、ドレイン電極が T F T スイッチ 2 2 2 及び 4 2 2 のドレイン電極と接続された第 6 スイッチトランジスタである。

【 0 1 0 5 】

T F T スイッチ 2 2 2 と 2 2 3 とは、走査線 5 1 の電位に応じて、上記第 1 スイッチ部とは排他的に導通状態となる第 2 スイッチ部を構成する。また、T F T スイッチ 4 2 2 と 4 2 3 とは、走査線 5 1 の電位に応じて、上記第 1 スイッチ部とは排他的に導通状態とな

50

る第２スイッチ部を構成する。

【０１０６】

ＴＦＴスイッチ１２４及び３２４のゲート電極は、それぞれ、コンデンサ１２５及び３２５の一方の電極に接続され、ドレイン電極は電源 V_{DD} に接続され、ソース電極はコンデンサ１２５及び３２５の他方の電極に接続された第１スイッチトランジスタである。

【０１０７】

ＴＦＴスイッチ２２４及び４２４のゲート電極は、それぞれ、コンデンサ２２５及び４２５の一方の電極に接続され、ドレイン電極は第２電源線 V_{DD} に接続され、ソース電極はコンデンサ２２５及び４２５の他方の電極に接続された第２スイッチトランジスタである。

10

【０１０８】

コンデンサ１２５及び３２５は、電源線８２の電位（例えば１０Ｖ）に対応した電荷を、ＴＦＴスイッチ１２２及び１２３ならびに３２２及び３２３を介して充電し、また、消去線６２を介して放電する。

【０１０９】

コンデンサ２２５及び４２５は、走査線５１のHIGH電位（例えば１０Ｖ）に対応した電荷を、ＴＦＴスイッチ２２２及び２２３ならびに４２２及び４２３を介して充電し、また、消去線６２を介して放電する。

【０１１０】

コンデンサ１２５及び３２５は、それぞれ、第１スイッチ部が導通状態となることにより、アドレス線９１及び９２、走査線５１ならびに電源線８２の電位に応じて定まる電圧を保持する第１コンデンサである。また、コンデンサ２２５及び４２５は、それぞれ、第２スイッチ部が導通状態となることにより、アドレス線９１及び９２、ならびに走査線５１の電位に応じて定まる電圧を保持する第２コンデンサである。

20

【０１１１】

消去線６２は、通常はハイインピーダンス状態に設定されており、消去動作時のみLOW電位（例えば０Ｖ）が印加されることにより、コンデンサ１２５、２２５、３２５及び４２５に蓄積された電荷を放電する。

【０１１２】

また、定電流源１２６、２２６、３２６及び４２６が接続されている電源 V_{DD} と電源線８２とが共有されていてもよい。

30

【０１１３】

上記接続関係及び構成要素により、走査線５１の電位が電源線８２の電源電位に対してＴＦＴスイッチ１２２及び３２２の閾値電圧分よりも十分低いLOW電位の場合、ローアクティブ動作するＴＦＴスイッチ１２２及び３２２がソースドレインへと導通する。この状態でアドレス線９１及び９２の電位が、それぞれ、接地電位に対して、有機ＥＬ素子１２１の閾値電圧とＴＦＴスイッチ１２３の閾値電圧とＴＦＴスイッチ１２４の閾値電圧との和、ならびに、有機ＥＬ素子３２１の閾値電圧とＴＦＴスイッチ３２３の閾値電圧とＴＦＴスイッチ３２４の閾値電圧との和よりも高い高電位である場合、ＴＦＴスイッチ１２３及び３２３の導通により、コンデンサ１２５及び３２５には、それぞれ、電源線８２の電源電位に対応する電圧が保持される。

40

【０１１４】

また、走査線５１の電位がバイアス電位 V_b に対してＴＦＴスイッチ２２２及び４２２の閾値電圧分よりも十分高い高電位の場合、ローアクティブ動作するＴＦＴスイッチ２２２及び４２２がソースドレインへと導通する。この状態でアドレス線９１及び９２の電位が、それぞれ、接地電位に対して、有機ＥＬ素子２２１の閾値電圧とＴＦＴスイッチ２２３の閾値電圧とＴＦＴスイッチ２２４の閾値電圧との和、ならびに、有機ＥＬ素子４２１の閾値電圧とＴＦＴスイッチ４２３の閾値電圧とＴＦＴスイッチ４２４との和よりも高い高電位である場合、ＴＦＴスイッチ２２３及び４２３の導通により、コンデンサ２２５及び４２５には、それぞれ、走査線５１のHIGH電位に対応する電圧が保持される。

50

【 0 1 1 5 】

このように、走査線の電位が、奇数画素行と偶数画素行とで排他的に制御されることにより、奇数画素行への電圧書き込みの後、偶数画素行への電圧書き込みが行順次に実行される。上記書き込みが完了した後、走査線 5 1、アドレス線 9 1 及び 9 2 を LOW 電位に設定することにより、T F T スイッチの閾値電圧以上の電圧がコンデンサに保持されている画素の有機 E L 素子が一斉発光する。

【 0 1 1 6 】

上記構成によれば、信号電圧の書き込みタイミングを制御するための走査線は、2 画素行ごとに配置されればよいので、配線数を削減することができる。よって、配線による損失を低減できる。また、高精細化も可能となる。また、実施の形態 1 と比較して、スイッチ部を、ダイオードを使用せずに T F T で構成しているので、製造工程が簡略化できる。

10

【 0 1 1 7 】

< 表示装置の動作 >

以下、図 7、図 8 及び図 9 A ~ 図 9 D を用いて、本実施の形態に係る表示装置の動作について述べる。図 8 は、本発明の実施の形態 2 に係る表示装置の駆動タイミングチャートである。同図には、図 7 における画素 1 1 B 及び 1 2 B を 3 行目の画素行に属する画素、また、画素 2 1 B 及び 2 2 B を 4 行目の画素行に属する画素と仮定し、これら 4 画素を、所定のサブフィールド期間において、全て発光させた場合を例示している。

【 0 1 1 8 】

[リセット動作]

20

まず、時刻 t_{21} ~ 時刻 t_{22} において、消去線制御回路 6 は、消去線 6 2 に対し消去電圧を供給し、全ての画素が有するコンデンサをリセットする。消去線制御回路 6 は、消去線 6 2 に対し、例えば、GND 電位を消去電圧として供給する。これにより、信号電圧が保持されているコンデンサ 1 2 5、2 2 5、3 2 5 及び 4 2 5 の一方の電極から消去線 6 2 を介して消去線制御回路 6 の方向へ放電電流が流れ、コンデンサ 1 2 5、2 2 5、3 2 5 及び 4 2 5 がリセットされる。

【 0 1 1 9 】

また、この期間において、データ線制御回路 7 は、アドレス線 9 1 及び 9 2 に対し、LOW 電位を供給する。これにより、T F T スイッチ 1 2 3、2 2 3、3 2 3 及び 4 2 3 のゲート - ソース間には、閾値電圧よりも小さい電圧が印加されているので、ドレイン - ソースは非導通状態となる。

30

【 0 1 2 0 】

図 9 A は、実施の形態 2 に係る画素のリセット動作を説明する状態遷移図である。すなわち、消去線 6 2 に LOW 電位が印加された場合、図 9 A に示されるように、コンデンサ 1 2 5、2 2 5、3 2 5 及び 4 2 5 → 消去線 6 2 の順に放電電流が流れ、コンデンサ 1 2 5、2 2 5、3 2 5 及び 4 2 5 に保持された電圧が消去される。

【 0 1 2 1 】

上記時刻 t_{21} ~ 時刻 t_{22} における消去線制御回路 6 の動作は、書き込み動作の前に、アドレス線 9 1 及び 9 2 の電位を、T F T スイッチ 1 2 3、2 2 3、3 2 3 及び 4 2 3 のソース電位に対して T F T スイッチ 1 2 3、2 2 3、3 2 3 及び 4 2 3 の閾値電圧よりも低くすることにより T F T スイッチ 1 2 3、2 2 3、3 2 3 及び 4 2 3 を非導通とした状態で、消去線 6 2 の電位を、アドレス線 9 1 及び 9 2 の低電位以下の低電位とすることによりコンデンサ 1 2 5、2 2 5、3 2 5 及び 4 2 5 に保持された電圧を消去する消去ステップに相当する。

40

【 0 1 2 2 】

なお、上述したリセット期間以外の期間では、消去線制御回路 6 は、消去線 6 2 の電位を、ハイインピーダンス状態としている。

【 0 1 2 3 】

[書き込み動作]

時刻 t_{23} において、走査線制御回路 5 は、n 型の F E T 5 1 4 のゲート電位を LOW

50

電位としてOFF状態とし、またp型のFET513のゲート電位が既にHIGH電位でありOFF状態であることから、走査線51は、ハイインピーダンス状態となる。これにより、画素が有するコンデンサへ信号を書き込むための準備が完了する。

【0124】

次に、奇数画素行への書き込み動作が、奇数行順次に行われる。

【0125】

例えば、時刻 t_{24} ～時刻 t_{25} において、走査線制御回路5は、3行目に属する画素への電圧書き込みを実行すべく、FET514のゲート電位をHIGH電位としてON状態とし、走査線51の電位をLOW(GND)電位とする。これにより、TFETスイッチ122及び322のゲート電極には当該LOW電位(GND)が印加される。また、TFETスイッチ122及び322のソース電極には電源電位(10V)が印加される。そうすると、TFETスイッチ122及び322のゲート-ソース間には、絶対値が閾値電圧よりも十分大きな負電圧が印加されているので、ソース-ドレインへと電流が流れ得る状態となる。

【0126】

一方、データ線制御回路7は、走査線制御回路5の上記動作と同期して、3行目の画素に対応するHIGH電位、つまり、GND電位に対して、有機EL素子121の閾値電圧とTFETスイッチ123の閾値電圧とTFETスイッチ124の閾値電圧との和、ならびに、有機EL素子321の閾値電圧とTFETスイッチ323の閾値電圧とTFETスイッチ324の閾値電圧との和よりも高い高電位を、アドレス線91及び92に供給する。これにより、TFETスイッチ123及び323のゲート電極には当該HIGH電位が印加される。そうすると、TFETスイッチ123及び323のゲート-ソース間には、閾値電圧よりも十分大きな正電圧が印加されているので、ドレイン-ソースが導通状態となる。

【0127】

上記TFETスイッチ122及び322ならびにTFETスイッチ123及び323の導通状態により、コンデンサ125及び325には、アドレス線91及び92のHIGH電位、走査線51のLOW電位ならびに電源線82の電源電位に応じて定まる電圧が保持される。つまり、画素11B及び12Bへの書き込み動作が行われる。

【0128】

図9Bは、実施の形態2に係る奇数行画素の書き込み動作を説明する状態遷移図である。すなわち、走査線51にLOW電位が印加され、アドレス線91及び92にHIGH電位が印加された場合、図9Bに示されるように、電源線82→TFETスイッチ122及び322→TFETスイッチ123及び323→コンデンサ125及び325の順に充電電流が流れ、コンデンサ125及び325に電圧が保持される。

【0129】

上記時刻 t_{24} ～時刻 t_{25} におけるデータ線制御回路7及び走査線制御回路5の動作は、走査線51の電位を、電源線82の電源電位に対してTFETスイッチ122及び322の閾値電圧分よりも低い走査線低電位とし、走査線51以外の走査線をハイインピーダンス状態とし、アドレス線91及び92の電位を、接地電位に対して、有機EL素子121の閾値電圧とTFETスイッチ123の閾値電圧とTFETスイッチ124の閾値電圧との和、ならびに、有機EL素子321の閾値電圧とTFETスイッチ323の閾値電圧とTFETスイッチ324の閾値電圧との和よりも高い高電位とすることにより、TFETスイッチ122、123、322及び323を導通状態にして、電源線82からコンデンサ125及び325に電圧を保持させる第1電圧保持ステップに相当する。

【0130】

時刻 t_{25} 以降、上述した3行目の画素行における書き込み動作と同様に、奇数画素行への書き込み動作を奇数行順次に行う。

【0131】

次に、奇数画素行への書き込み動作が終了すると、偶数画素行への書き込み動作が行われる。

【 0 1 3 2 】

例えば、時刻 t_{26} ~ 時刻 t_{27} において、走査線制御回路 5 は、4 行目に属する画素への信号電圧書き込みを実行すべく、FET 513 のゲート電位を LOW 電位として ON 状態とし、走査線 51 の電位を HIGH (V_{scn}) 電位とする。これにより、TFT スイッチ 222 及び 422 のソース電極には当該 HIGH 電位 (V_{scn} 、例えば 10 V) が印加される。また、TFT スイッチ 222 及び 422 のゲート電極にはバイアス電位 (例えば、5 V) が印加される。そうすると、TFT スイッチ 222 及び 422 のゲート - ソース間には、絶対値が閾値電圧よりも十分大きな負電圧が印加されているので、ソース → ドレインへと電流が流れ得る状態となる。

【 0 1 3 3 】

10

一方、データ線制御回路 7 は、走査線制御回路 5 の上記動作と同期して、4 行目の画素に対応する HIGH 電位、つまり、GND 電位に対して、有機 EL 素子 221 の閾値電圧と TFT スイッチ 223 の閾値電圧と TFT スイッチ 224 の閾値電圧との和、ならびに、有機 EL 素子 421 の閾値電圧と TFT スイッチ 423 の閾値電圧と TFT スイッチ 424 の閾値電圧との和よりも高い電位を、アドレス線 91 及び 92 に供給する。これにより、TFT スイッチ 223 及び 423 のゲート電極には当該 HIGH 電位が印加される。そうすると、TFT スイッチ 223 及び 423 のゲート - ソース間には、閾値電圧よりも十分大きな正電圧が印加されているので、ドレイン - ソースが導通状態となる。

【 0 1 3 4 】

上記 TFT スイッチ 222 及び 422 ならびに TFT スイッチ 223 及び 423 の導通状態により、コンデンサ 225 及び 425 には、アドレス線 91 及び 92 の HIGH 電位ならびに走査線 51 の HIGH 電位に応じて定まる電圧が保持される。つまり、画素 21B 及び 22B への書き込み動作が実行される。

20

【 0 1 3 5 】

図 9C は、実施の形態 2 に係る偶数行画素の書き込み動作を説明する状態遷移図である。すなわち、走査線 51 に HIGH 電位が印加され、アドレス線 91 及び 92 に HIGH 電位が印加された場合、図 9C に示されるように、走査線 51 → TFT スイッチ 222 及び 422 → TFT スイッチ 223 及び 423 → コンデンサ 225 及び 425 の順に充電電流が流れ、コンデンサ 225 及び 425 に電圧が保持される。

【 0 1 3 6 】

30

上記時刻 t_{26} ~ 時刻 t_{27} におけるデータ線制御回路 7 及び走査線制御回路 5 の動作は、走査線 51 の電位を、バイアス電位 V_b に対して TFT スイッチ 222 及び 422 の閾値電圧分よりも高い高電位とし、走査線 51 以外の走査線をハイインピーダンス状態とし、アドレス線 91 及び 92 の電位を、接地電位に対して、有機 EL 素子 221 の閾値電圧と TFT スイッチ 223 の閾値電圧と TFT スイッチ 224 の閾値電圧との和、ならびに、有機 EL 素子 421 の閾値電圧と TFT スイッチ 423 の閾値電圧と TFT スイッチ 424 の閾値電圧との和よりも高い高電位とすることにより、TFT スイッチ 222、223、422 及び 423 を導通状態にして走査線 51 からコンデンサ 225 及び 425 に電圧を保持させる第 2 電圧保持ステップに相当する。

【 0 1 3 7 】

40

時刻 t_{27} 以降、上述した 4 行目の画素行における書き込み動作と同様に、偶数画素行への書き込み動作を偶数行順次に実行する。

【 0 1 3 8 】

[発光動作]

次に、時刻 t_{28} において、走査線制御回路 5 は、全画素を一斉に発光させるべく、FET 514 のゲート電位を HIGH 電位として ON 状態とし、走査線 51 の電位を LOW (GND) 電位とする。同様にして、他の走査線の電位も LOW 電位とする。

【 0 1 3 9 】

これにより、全画素において、電源 V_{DD} → 定電流源 → オン状態の TFT スイッチ → 有機 EL 素子 → 接地端子という経路で発光電流が流れる。

50

【 0 1 4 0 】

図 9 D は、実施の形態 2 に係る画素の発光動作を説明する状態遷移図である。すなわち、走査線 5 1、アドレス線 9 1 及び 9 2 に LOW 電位が印加された場合、図 9 D に示されるように、電源 V_{DD} → 定電流源 1 2 6、2 2 6、3 2 6 及び 4 2 6 → T F T スイッチ 1 2 4、2 2 4、3 2 4 及び 4 2 4 → 有機 E L 素子 1 2 1、2 2 1、3 2 1 及び 4 2 1 → 接地端子の順に発光電流が流れ、有機 E L 素子 1 2 1、2 2 1、3 2 1 及び 4 2 1 が一斉発光する。

【 0 1 4 1 】

上述した時刻 t_{21} ~ 時刻 t_{29} における書き込み動作及び発光動作の期間は、サブフィールド期間であり、デジタル階調制御は、上記サブフィールド期間を複数繰り返すことにより実行される。上記サブフィールド期間を組み合わせせた階調表示を、1 フレームの間に実行して画像を作り出す。なお、奇数画素行及び偶数画素行の書き込み順序は、逆でも構わない。

10

【 0 1 4 2 】

以上のように、本実施の形態に係る表示装置の駆動方法によれば、1 本の走査線で 2 行の画素を駆動することにより、1 行ごとに走査線が配置された従来の表示装置に比べて、配線数及び配線に必要な面積を削減することができる。また、電極抵抗及び電極浮遊容量を削減できるので、配線による損失を低減できる。また、高精細化が容易になる。さらに、実施の形態 1 と比較して、スイッチ部を、ダイオードを使用せずに T F T で構成しているので、製造工程が簡略化できる。

20

【 0 1 4 3 】

以上、本発明に係る表示装置及びその駆動方法について実施に形態 1 及び 2 に基づき説明したが、本発明に係る表示装置及びその駆動方法は、上述した実施の形態 1 及び 2 に限定されるものではない。実施の形態 1 及び 2 に対して、本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係る表示装置を内蔵した各種機器も本発明に含まれる。

【 0 1 4 4 】

なお、実施の形態 1 及び 2 では、発光素子として有機 E L 素子を用いているが、当該発光素子は電流駆動型の発光素子であればよく、例えば、無機 E L 素子であってもよい。

【 産業上の利用可能性 】

30

【 0 1 4 5 】

本発明の表示装置及びその駆動方法は、特に、デジタル階調制御方式で輝度を変動させるアクティブ型ディスプレイに有用であり、壁掛けテレビや大型モニタ等に有用である。

【 符号の説明 】

【 0 1 4 6 】

- 1 表示装置
- 2 サブフィールド処理回路
- 3 電源線制御回路
- 5 走査線制御回路
- 6 消去線制御回路
- 7 データ線制御回路
- 10 画素部
- 11 A、11 B、12 A、12 B、21 A、21 B、22 A、22 B、900 画素
- 51、913 走査線
- 61、62、915 消去線
- 71、72、91、92 アドレス線
- 81、82、916 電源線
- 111、121、211、221、311、321、411、421、904 有機 E L 素子
- 112、113、212、213、312、313、412、413 ダイオード

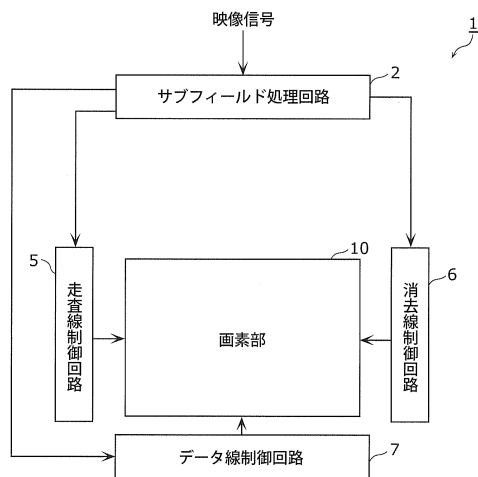
40

50

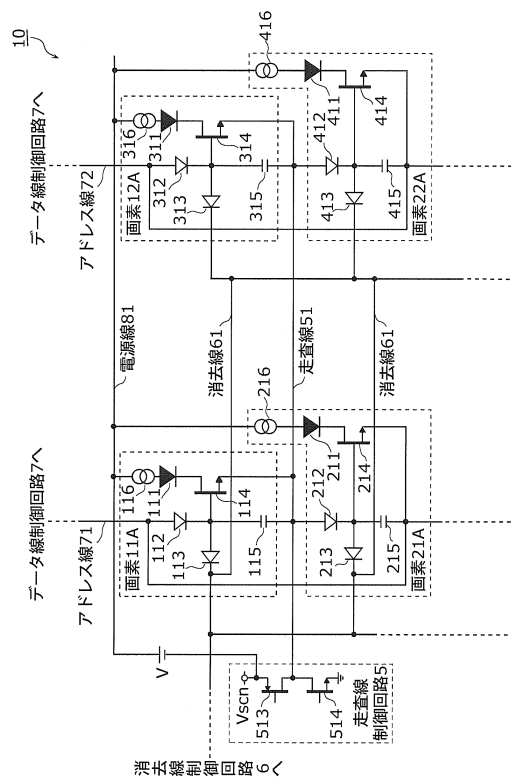
1 1 4、1 2 2、1 2 3、1 2 4、2 1 4、2 2 2、2 2 3、2 2 4、3 1 4、3 2 2
 、3 2 3、3 2 4、4 1 4、4 2 2、4 2 3、4 2 4 T F T スイッチ
 1 1 5、1 2 5、2 1 5、2 2 5、3 1 5、3 2 5、4 1 5、4 2 5、9 0 5 コン
 デンサ
 1 1 6、1 2 6、2 1 6、2 2 6、3 1 6、3 2 6、4 1 6、4 2 6 定電流源
 5 1 3、5 1 4 F E T
 9 0 1 データ書き込み用トランジスタ
 9 0 2 駆動トランジスタ
 9 0 3 消去用トランジスタ
 9 1 4 データ線

10

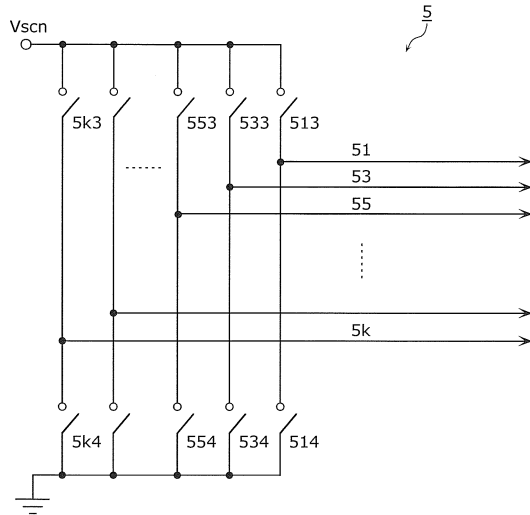
【図 1】



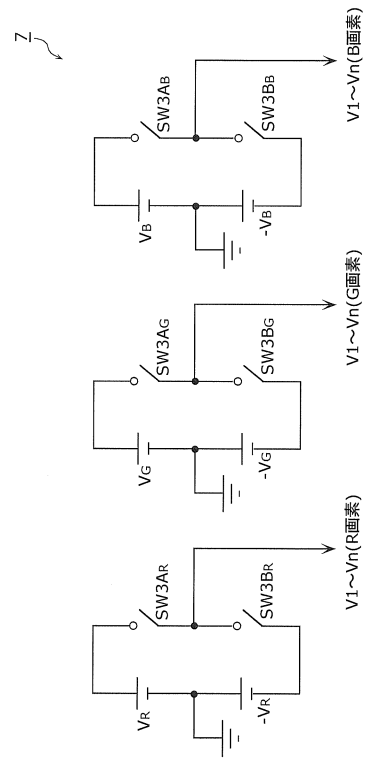
【図 2】



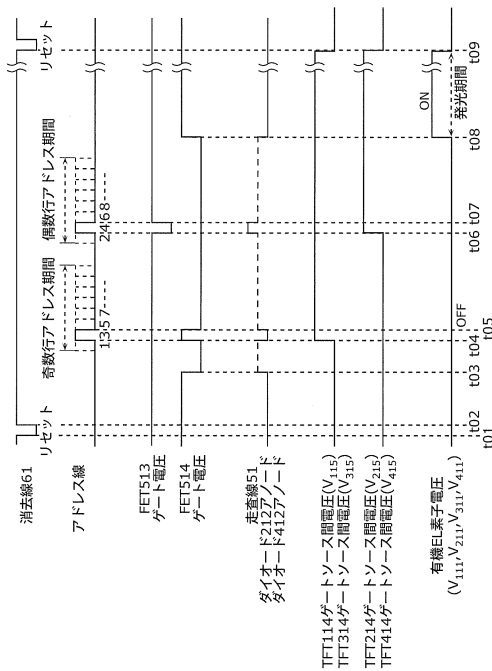
【図 3】



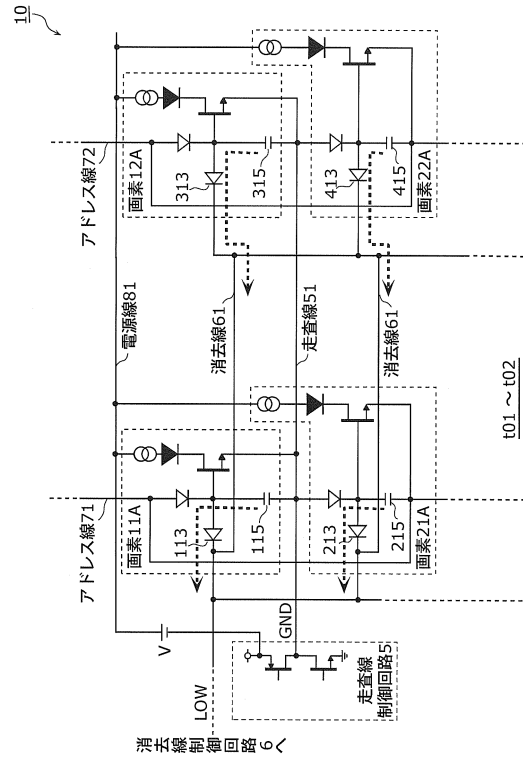
【図 4】



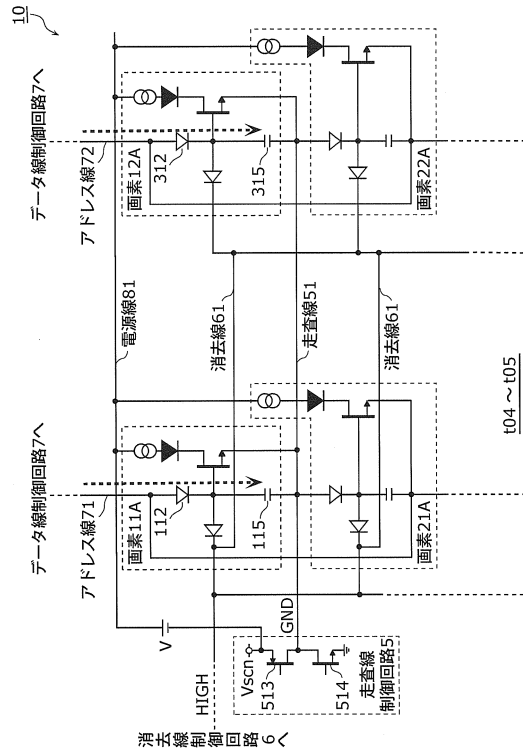
【図 5】



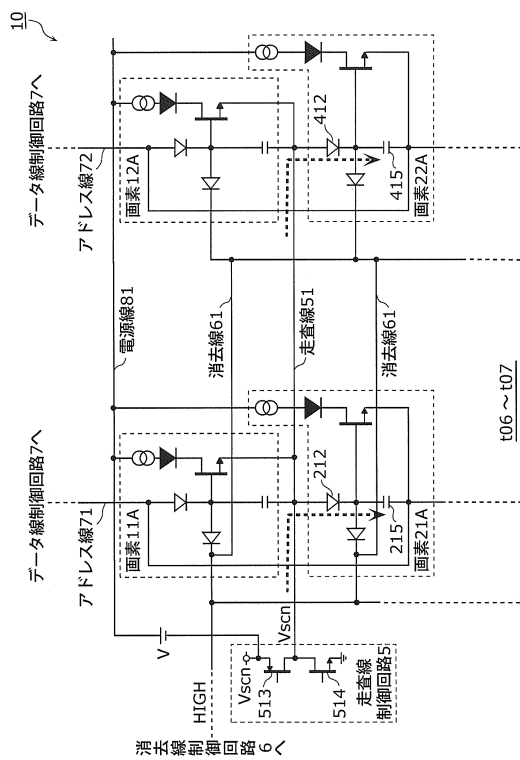
【図 6 A】



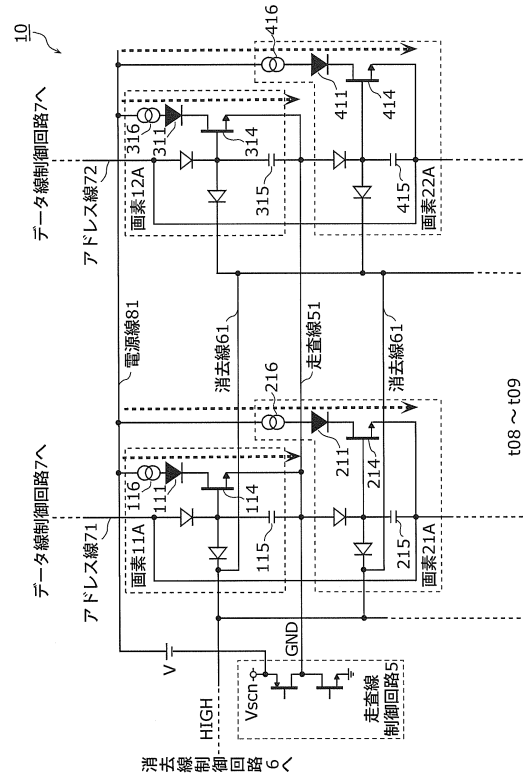
【 図 6 B 】



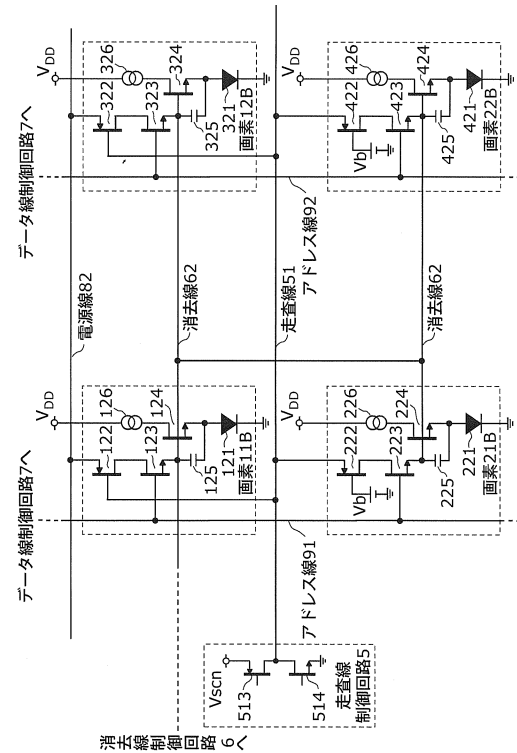
【 図 6 C 】



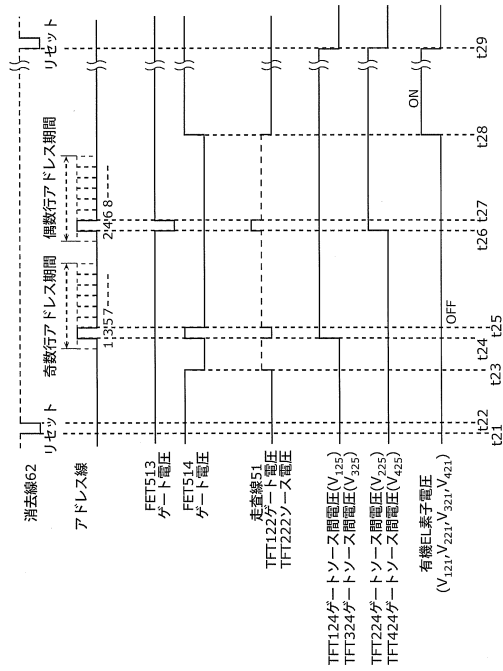
【 ㄨ 6 D 】



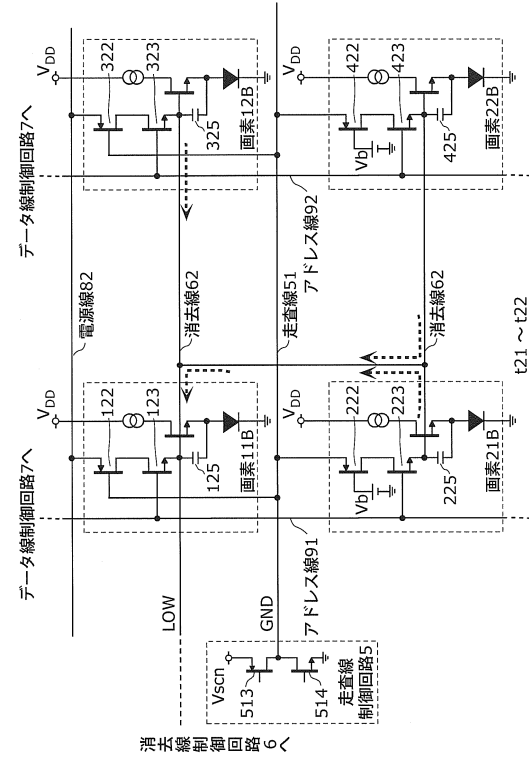
【圖 7】



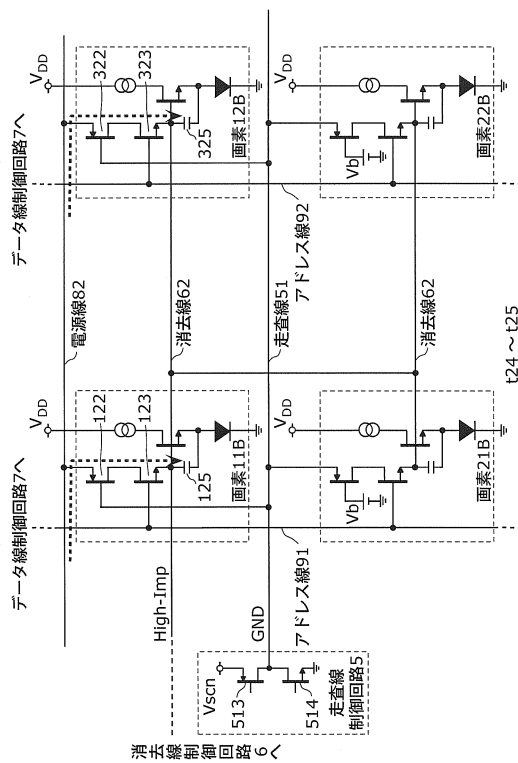
【図 8】



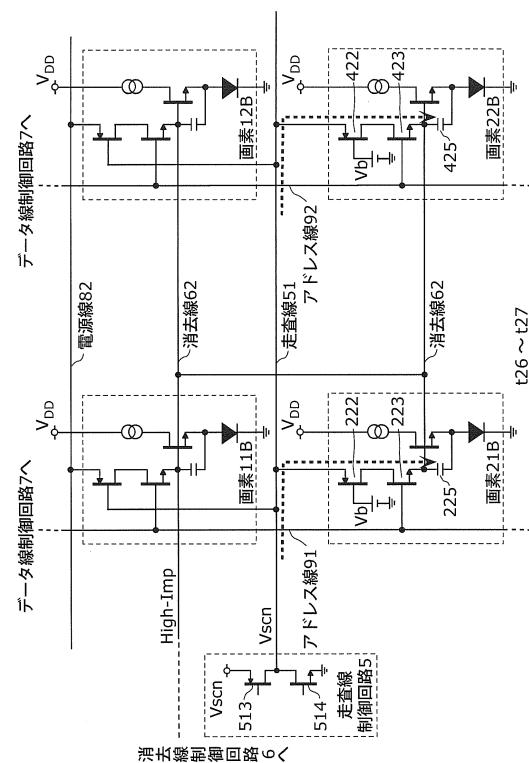
【図 9 A】



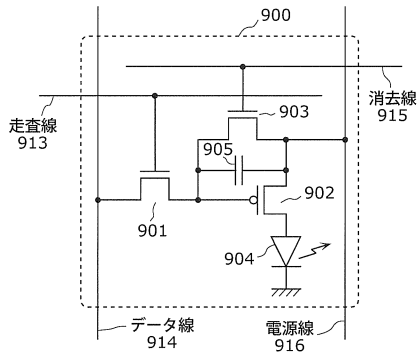
【図 9 B】



【図 9 C】



【 図 1 0 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 2 D
G 0 9 G 3/20 6 2 3 C
G 0 9 G 3/20 6 2 3 D
G 0 9 G 3/20 6 2 2 M
G 0 9 G 3/20 6 4 1 E

(56)参考文献 特開 2 0 0 7 - 1 0 8 3 6 6 (J P , A)
特開 2 0 0 2 - 1 7 5 0 4 8 (J P , A)
特開 2 0 0 8 - 2 6 8 4 3 7 (J P , A)
特開 2 0 0 3 - 1 0 8 0 7 0 (J P , A)
特開 2 0 1 2 - 1 6 3 7 8 7 (J P , A)
特開 2 0 1 2 - 1 6 3 6 3 2 (J P , A)
Kazutaka Inukai、外 7 名、4.0-in. TFT-OLED Displays and a Novel Digital Driving Method
、SID00 digest、米国、Society for Information Display、2 0 0 0 年 5 月 1 6 日、924-927

(58)調査した分野(Int.Cl.、D B 名)
G 0 9 G 3 / 2 0 - 3 / 3 8

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP6041286B2	公开(公告)日	2016-12-07
申请号	JP2011183862	申请日	2011-08-25
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
当前申请(专利权)人(译)	株式会社JOLED		
[标]发明人	若林俊一		
发明人	若林 俊一		
IPC分类号	G09G3/3258 G09G3/20		
FI分类号	G09G3/3258 G09G3/20.622.C G09G3/20.624.B G09G3/20.611.A G09G3/20.621.A G09G3/20.622.D G09G3/20.623.C G09G3/20.623.D G09G3/20.622.M G09G3/20.641.E G09G3/30.J G09G3/3233 G09G3/3266 G09G3/3275		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK43 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB34 5C380/AC04 5C380/AC07 5C380/BA01 5C380/BA12 5C380/CA14 5C380/CA53 5C380/CA54 5C380/CB04 5C380/CB26 5C380/CB31 5C380/CC27 5C380/CC34 5C380/CC35 5C380/CC38 5C380/CC41 5C380/CC42 5C380/CC54 5C380/CC63 5C380/CD011 5C380/CD013 5C380/CF46 5C380/DA02 5C380/DA09 5C380/DA47		
代理人(译)	吉川修 Sobashima正雄		
审查员(译)	小川博		
其他公开文献	JP2013045015A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够减少由布线引起的损耗并实现高清晰度的显示装置及其驱动方法。一种显示装置1包括：多个像素，这两个像素行布置的扫描线每51，和一个地址线71设置用于每个像素列中，像素11A中，扫描线51的电位其进行响应于电容器115，其保持在二极管112的导通的时间对应于所述地址线71的电位的电压的二极管112，TFT开关114响应于该电压导通，由TFT开关114的导通而发光和有机EL元件111，像素21A中，根据与扫描线51的电位时，二极管212为排他地在二极管112之间建立电连续性，在二极管212的导通的时间对应于所述地址线71的电位的电压TFT开关214和有机EL元件211根据电压处于导通状态，有机EL元件211通过TFT开关214的导通而发光。 .The

(19) 日本国特許庁 (JP)		(12) 特 許 公 報 (B2)		(11) 特許番号 特許第6041286号 (P6041286)	
(45) 発行日 平成28年12月7日 (2016. 12. 7)		(24) 登録日 平成28年11月18日 (2016. 11. 18)			
(51) Int. Cl. G09G 3/3258 (2016. 01) G09G 3/20 (2006. 01)		F I G09G 3/3258 G09G 3/20 6 2 2 C G09G 3/20 6 2 4 B G09G 3/20 6 1 1 A G09G 3/20 6 2 1 A 請求項の数 17 (全 30 頁) 最終頁に続く			
(21) 出願番号 特願2011-183862 (P2011-183862)		(73) 特許権者 514188173 株式会社 J O L E D			
(22) 出願日 平成23年8月25日 (2011. 8. 25)		東京都千代田区神田錦町三丁目2 3 番地			
(65) 公開番号 特開2013-45015 (P2013-45015A)		(74) 代理人 100189430 弁理士 吉川 修一			
(43) 公開日 平成25年3月4日 (2013. 3. 4)		(74) 代理人 100190805 弁理士 橋島 正朗			
審査請求日 平成26年8月25日 (2014. 8. 25)		(72) 発明者 若林 俊一 大阪府門真市大字門真1 0 0 6 番地 パナ ソニック株式会社内 審査官 小川 浩史			
(54) 【発明の名称】 表示装置及びその駆動方法		最終頁に続く			