

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5214030号
(P5214030)

(45) 発行日 平成25年6月19日(2013.6.19)

(24) 登録日 平成25年3月8日(2013.3.8)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)G09G 3/30 J
G09G 3/20 624B
G09G 3/20 621A
G09G 3/20 622D
G09G 3/20 623C

請求項の数 7 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2011-521852 (P2011-521852)
(86) (22) 出願日 平成22年4月28日(2010.4.28)
(86) 国際出願番号 PCT/JP2010/057556
(87) 国際公開番号 W02011/004646
(87) 国際公開日 平成23年1月13日(2011.1.13)
審査請求日 平成23年11月15日(2011.11.15)
(31) 優先権主張番号 特願2009-163246 (P2009-163246)
(32) 優先日 平成21年7月10日(2009.7.10)
(33) 優先権主張国 日本国(JP)

(73) 特許権者 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町2番2号
(74) 代理人 100104695
弁理士 島田 明宏
(74) 代理人 100121348
弁理士 川原 健児
(72) 発明者 仙田 孝裕
大阪府大阪市阿倍野区長池町2番2号
シャープ株式会社内

審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

電流駆動型の表示装置であって、

Nチャンネル型トランジスタを用いて構成され、2次元状に配置された複数の画素回路と

、

前記画素回路の行ごとに設けられた複数の第1の走査線および複数の第2の走査線と、

前記画素回路の列ごとに設けられた複数のデータ線と、

前記第1および第2の走査線を用いて、前記画素回路を行ごとに選択する走査線駆動回路と、

前記データ線に対して、表示データに応じたデータ電位を与えるデータ線駆動回路とを
備え、

前記画素回路は、

第1の電源電位が印加される第1の導電性部材と第2の電源電位が印加される第2の導電性部材との間に設けられた電気光学素子と、

前記第1および第2の導電性部材の間に、前記電気光学素子と直列に設けられた駆動用トランジスタと、

前記駆動用トランジスタのゲート端子に第1の電極が接続されたコンデンサと、

前記コンデンサの第2の電極と前記データ線との間に設けられた第1のスイッチングトランジスタと、

前記駆動用トランジスタのゲート端子とドレイン端子との間に設けられた第2のスイ

10

20

ッチングトランジスタと、

一方の導通端子が前記電気光学素子の一方の端子と同じ節点に接続された第3のスイッチングトランジスタと、

前記コンデンサの第2の電極と前記第1の導電性部材との間に設けられた第4のスイッチングトランジスタと、

前記第1および第2の導電性部材の間に、前記電気光学素子および前記駆動用トランジスタと直列に、ソース端子を前記駆動用トランジスタのドレイン端子に接続して設けられた第5のスイッチングトランジスタとを含み、

前記第1、第2および第3のスイッチングトランジスタのゲート端子は前記第1の走査線に接続され、前記第4および第5のスイッチングトランジスタのゲート端子は前記第2の走査線に接続されていることを特徴とする、表示装置。

10

【請求項2】

前記電気光学素子は、前記駆動用トランジスタのソース端子と前記第2の導電性部材との間に設けられ、

前記第5のスイッチングトランジスタのドレイン端子は前記第1の導電性部材に接続されていることを特徴とする、請求項1に記載の表示装置。

【請求項3】

前記第3のスイッチングトランジスタのソース端子は、前記第2の導電性部材に接続されていることを特徴とする、請求項2に記載の表示装置。

【請求項4】

20

前記電気光学素子は、前記第5のスイッチングトランジスタのドレイン端子と前記第1の導電性部材との間に設けられ、

前記駆動用トランジスタのソース端子は前記第2の導電性部材に接続されていることを特徴とする、請求項1に記載の表示装置。

【請求項5】

前記第3のスイッチングトランジスタのドレイン端子は、前記第1の導電性部材に接続されていることを特徴とする、請求項4に記載の表示装置。

【請求項6】

前記走査線駆動回路は、前記画素回路を選択するときには、前記第1の走査線に所定時間だけハイレベル電位を与えると共に、前記第1の走査線にハイレベル電位を与えた後に前記第2の走査線にローレベル電位を与え、前記第1の走査線にローレベル電位を与えた後に前記第2の走査線にハイレベル電位を与え、

30

前記データ線駆動回路は、前記第1および第2の走査線にハイレベル電位が与えられている間、前記データ線をハイインピーダンス状態に制御し、前記第1の走査線にハイレベル電位が与えられ、前記第2の走査線にローレベル電位が与えられている間、前記データ線に前記データ電位を与えることを特徴とする、請求項1に記載の表示装置。

【請求項7】

前記電気光学素子は、有機EL素子で構成されていることを特徴とする、請求項1に記載の表示装置。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、表示装置に関し、より特定的には、有機ELディスプレイなどの電流駆動型表示装置に関する。

【背景技術】

【0002】

近年、薄型、軽量、高速応答可能な表示装置として、有機EL (Electro Luminescence) ディ스플레이が注目されている。従来は主に小型の有機ELディスプレイが開発されてきたが、近年では中型や大型の有機ELディスプレイも開発されている。

【0003】

50

小型の有機ELディスプレイのTFT (Thin Film Transistor) 基板は、低温ポリシリコンを用いて製造される。低温ポリシリコンを用いた製造プロセスでは、TFT基板上にPチャンネル型TFTとNチャンネル型TFTの両方を形成することができる。したがって、有機EL素子を含む画素回路を2種類のTFTを用いて好適に設計し、TFT基板上の配線や電源線を削減することができる。また、TFT基板上に有機EL素子の駆動回路を形成することもできる。

【0004】

一方、中型や大型の有機ELディスプレイのTFT基板は、コスト削減のために、アモルファスシリコン、微結晶シリコンあるいはIGZO (Indium Gallium Zinc Oxide : インジウムガリウム亜鉛複合酸化物) などを用いて製造される。ところが、これらの材料を用いた製造プロセスにおいてTFT基板上にPチャンネル型TFTを形成することは、これまでのところ実用レベルでは成功していない。このため、中型や大型の有機ELディスプレイでは、Nチャンネル型TFTだけを用いて画素回路を構成する必要がある。

10

【0005】

また、TFT基板上にPチャンネル型TFTを形成できないので、TFT基板上に有機EL素子の駆動回路を形成することも困難になる。そこで、走査線の端部をそのままTFT基板の外部へ引き出す場合が多くなる。この場合、走査線の本数が多いほど、製造コストは上昇し、信頼性は低下する。このため、中型や大型の有機ELディスプレイでは、走査線の本数をできるだけ減らす必要がある。

【0006】

20

有機ELディスプレイについては、従来から各種の画素回路が知られている。例えば特許文献1には、図9に示すように、Nチャンネル型TFT80～84、コンデンサ85、86、および、有機EL素子87を含む画素回路が記載されている。特許文献2には、図10に示すように、Pチャンネル型TFT90～95、コンデンサ96、および、有機EL素子97を含む画素回路が記載されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】日本国特開2008-310075号公報

【特許文献2】日本国特開2007-133369号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0008】

図9に示す画素回路は、Nチャンネル型TFTを用いて構成されているので、中型や大型の有機ELディスプレイに利用することができる。しかしながら、この画素回路は、2個のコンデンサ85、86を含み、4種類の走査線Gi、Ri、Ei、Miを用いて駆動される。このため、図9に示す画素回路には、回路量や走査線の本数が多いという問題がある。

【0009】

図10に示す画素回路は、1個のコンデンサ96を含み、3種類の走査線G1i、G2i、Eiを用いて駆動される。この画素回路には、回路量や走査線の本数が少ないという利点がある。しかしながら、この画素回路は、Pチャンネル型TFTを用いて構成されている。このため、図10に示す画素回路には、中型や大型の有機ELディスプレイには利用できないという問題がある。

40

【0010】

それ故に、本発明は、Nチャンネル型トランジスタで構成され、2種類の走査線を用いて駆動できる画素回路を備えた表示装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明の第1の局面は、電流駆動型の表示装置であって、

50

Nチャンネル型トランジスタを用いて構成され、2次元状に配置された複数の画素回路と、
前記画素回路の行ごとに設けられた複数の第1の走査線および複数の第2の走査線と、
前記画素回路の列ごとに設けられた複数のデータ線と、
前記第1および第2の走査線を用いて、前記画素回路を行ごとに選択する走査線駆動回路と、
前記データ線に対して、表示データに応じたデータ電位を与えるデータ線駆動回路とを
備え、
前記画素回路は、

第1の電源電位が印加される第1の導電性部材と第2の電源電位が印加される第2の
導電性部材との間に設けられた電気光学素子と、

前記第1および第2の導電性部材の間に、前記電気光学素子と直列に設けられた駆動
用トランジスタと、

前記駆動用トランジスタのゲート端子に第1の電極が接続されたコンデンサと、

前記コンデンサの第2の電極と前記データ線との間に設けられた第1のスイッチング
トランジスタと、

前記駆動用トランジスタのゲート端子とドレイン端子との間に設けられた第2のスイ
ッチングトランジスタと、

一方の導通端子が前記電気光学素子の一方の端子と同じ節点に接続された第3のスイ
ッチングトランジスタと、

前記コンデンサの第2の電極と前記第1の導電性部材との間に設けられた第4のスイ
ッチングトランジスタと、

前記第1および第2の導電性部材の間に、前記電気光学素子および前記駆動用トラン
ジスタと直列に、ソース端子を前記駆動用トランジスタのドレイン端子に接続して設けら
れた第5のスイッチングトランジスタとを含み、

前記第1、第2および第3のスイッチングトランジスタのゲート端子は前記第1の走査
線に接続され、前記第4および第5のスイッチングトランジスタのゲート端子は前記第2
の走査線に接続されていることを特徴とする。

【0012】

本発明の第2の局面は、本発明の第1の局面において、

前記電気光学素子は、前記駆動用トランジスタのソース端子と前記第2の導電性部材と
の間に設けられ、

前記第5のスイッチングトランジスタのドレイン端子は前記第1の導電性部材に接続さ
れていることを特徴とする。

【0013】

本発明の第3の局面は、本発明の第2の局面において、

前記第3のスイッチングトランジスタのソース端子は、前記第2の導電性部材に接続さ
れていることを特徴とする。

【0014】

本発明の第4の局面は、本発明の第1の局面において、

前記電気光学素子は、前記第5のスイッチングトランジスタのドレイン端子と前記第1
の導電性部材との間に設けられ、

前記駆動用トランジスタのソース端子は前記第2の導電性部材に接続されていることを
特徴とする。

【0015】

本発明の第5の局面は、本発明の第4の局面において、

前記第3のスイッチングトランジスタのドレイン端子は、前記第1の導電性部材に接続
されていることを特徴とする。

【0016】

本発明の第6の局面は、本発明の第1の局面において、

10

20

30

40

50

前記走査線駆動回路は、前記画素回路を選択するときには、前記第1の走査線に所定時間だけハイレベル電位を与えると共に、前記第1の走査線にハイレベル電位を与えた後に前記第2の走査線にローレベル電位を与え、前記第1の走査線にローレベル電位を与えた後に前記第2の走査線にハイレベル電位を与え、

前記データ線駆動回路は、前記第1および第2の走査線にハイレベル電位が与えられている間、前記データ線をハイインピーダンス状態に制御し、前記第1の走査線にハイレベル電位が与えられ、前記第2の走査線にローレベル電位が与えられている間、前記データ線に前記データ電位を与えることを特徴とする。

【0017】

本発明の第7の局面は、本発明の第1の局面において、

前記電気光学素子は、有機EL素子で構成されていることを特徴とする。

【発明の効果】

【0018】

本発明の第1の局面によれば、第1、第2、第4および第5のスイッチングトランジスタを用いて、データ電位と駆動用トランジスタの閾値電圧に応じて変化する電位を駆動用トランジスタのゲート端子に与えて、駆動用トランジスタの閾値電圧を補償しながら電気光学素子を所望の輝度で発光させることができる。また、第3のスイッチングトランジスタを用いて、データ電位の書き込み中に電気光学素子を消灯させることができる。駆動用トランジスタと第1～第5のスイッチングトランジスタはNチャネル型トランジスタを用いて構成され、第1～第3のスイッチングトランジスタのゲート端子は第1の走査線に接続され、第4および第5のスイッチングトランジスタのゲート端子は第2の走査線に接続される。したがって、Nチャネル型トランジスタで構成され、2種類の走査線を用いて駆動でき、駆動用トランジスタの閾値電圧を補償できる画素回路を備えた表示装置を得ることができる。

【0019】

本発明の第2の局面によれば、第1および第2の導電性部材の間に第1の導電性部材側から順に、第5のスイッチングトランジスタ、駆動用トランジスタ、および、電気光学素子を配置した場合に、Nチャネル型トランジスタで構成され、2種類の走査線を用いて駆動でき、駆動用トランジスタの閾値電圧を補償できる画素回路を備えた表示装置を得ることができる。

【0020】

本発明の第3の局面によれば、第3のスイッチングトランジスタのソース端子を第2の導電性部材に接続することにより、新たな電源線を設けることなく、第2の導電性部材から電気光学素子の一方の端子に所定の電位を印加することができる。

【0021】

本発明の第4の局面によれば、第1および第2の導電性部材の間に第1の導電性部材側から順に、電気光学素子、第5のスイッチングトランジスタ、および、駆動用トランジスタを配置した場合に、Nチャネル型トランジスタで構成され、2種類の走査線を用いて駆動でき、駆動用トランジスタの閾値電圧を補償できる画素回路を備えた表示装置を得ることができる。

【0022】

本発明の第5の局面によれば、第3のスイッチングトランジスタのドレイン端子を第1の導電性部材に接続することにより、新たな電源線を設けることなく、第1の導電性部材から電気光学素子の一方の端子に所定の電位を印加することができる。

【0023】

本発明の第6の局面によれば、第1の走査線に所定時間だけハイレベル電位を与え、少し遅れて第2の走査線にローレベル電位を与えることにより、コンデンサの電極間にデータ電位と駆動用トランジスタの閾値電圧に応じて変化する電位差を保持させて、データ電位と駆動用トランジスタの閾値電圧に応じて変化する電位を駆動用トランジスタのゲート端子に与えることができる。これにより、駆動用トランジスタの閾値電圧を補償しながら

10

20

30

40

50

、電気光学素子を所望の輝度で発光させることができる。また、第1および第2の走査線にハイレベル電位が与えられている間、データ線をハイインピーダンス状態に制御することにより、第1の導電性部材（電源線または電源電極）からデータ線に不要な電流が流れることを防止することができる。

【0024】

本発明の第7の局面によれば、Nチャネル型トランジスタで構成され、2種類の走査線を用いて駆動でき、駆動用トランジスタの閾値電圧を補償できる画素回路を備えた有機ELディスプレイを得ることができる。

【図面の簡単な説明】

【0025】

10

【図1】本発明の第1および第2の実施形態に係る表示装置の構成を示すブロック図である。

【図2】本発明の第1の実施形態に係る表示装置に含まれる画素回路の回路図である。

【図3】図2に示す画素回路のタイミングチャートである。

【図4A】図2に示す画素回路の書き込み前の状態を示す図である。

【図4B】図2に示す画素回路の初期化時の状態を示す図である。

【図4C】図2に示す画素回路の書き込み時の状態を示す図である。

【図4D】図2に示す画素回路の点灯前の状態を示す図である。

【図4E】図2に示す画素回路の点灯後の状態を示す図である。

【図5】本発明の第2の実施形態に係る表示装置に含まれる画素回路の回路図である。

20

【図6A】図5に示す画素回路の書き込み前の状態を示す図である。

【図6B】図5に示す画素回路の初期化時の状態を示す図である。

【図6C】図5に示す画素回路の書き込み時の状態を示す図である。

【図6D】図5に示す画素回路の点灯前の状態を示す図である。

【図6E】図5に示す画素回路の点灯後の状態を示す図である。

【図7】本発明の第1の変形例に係る表示装置に含まれる画素回路の回路図である。

【図8】本発明の第2の変形例に係る表示装置に含まれる画素回路の回路図である。

【図9】従来の表示装置に含まれる画素回路（第1の例）の回路図である。

【図10】従来の表示装置に含まれる画素回路（第2の例）の回路図である。

【発明を実施するための形態】

30

【0026】

以下、図面を参照して、本発明の第1および第2の実施形態に係る表示装置について説明する。各実施形態に係る表示装置は、電気光学素子、コンデンサ、駆動用トランジスタ、および、複数のスイッチングトランジスタを含む画素回路を備えている。画素回路は、電気光学素子として有機EL素子を含み、駆動用トランジスタおよびスイッチングトランジスタとしてTFTを含んでいる。画素回路に含まれるTFTは、例えば、アモルファスシリコンや微結晶シリコンやIGZOや低温ポリシリコンなどで形成される。以下、 n および m は2以上の整数、 i は1以上 n 以下の整数、 j は1以上 m 以下の整数とする。

【0027】

図1は、本発明の第1および第2の実施形態に係る表示装置の構成を示すブロック図である。図1に示す表示装置1は、複数の画素回路 A_{ij} 、表示制御回路2、ゲートドライバ回路3、および、ソースドライバ回路4を備えている。画素回路 A_{ij} は、Nチャネル型トランジスタを用いて構成され、行方向に m 個ずつ、列方向に n 個ずつ、2次元状に配置される。画素回路 A_{ij} の行ごとに2種類の走査線 G_i 、 E_i が設けられ、画素回路 A_{ij} の列ごとにデータ線 S_j が設けられる。画素回路 A_{ij} は、走査線 G_i とデータ線 S_j の各交差点に対応して配置される。

40

【0028】

走査線 G_i 、 E_i はゲートドライバ回路3に接続され、データ線 S_j はソースドライバ回路4に接続される。走査線 G_i 、 E_i の電位はゲートドライバ回路3によって制御され、データ線 S_j の電位はソースドライバ回路4によって制御される。また、図1では省略

50

されているが、画素回路 A_{ij} の配置領域には、画素回路 A_{ij} に電源電圧を供給するために、電源線 V_p と共通陰極 V_{com} （または、共通陽極 V_p と電源線 V_{com} ）が配置されている。

【0029】

表示制御回路 2 は、ゲートドライバ回路 3 に対してゲート出力イネーブル信号 G_{OE} 、スタートパルス Y_I 、および、クロック Y_{CK} を出力し、ソースドライバ回路 4 に対してスタートパルス S_P 、クロック C_{LK} 、表示データ D_A 、ラッチパルス L_P 、および、ソース出力イネーブル信号 S_{OE} を出力する。

【0030】

ゲートドライバ回路 3 は、シフトレジスタ回路、論理演算回路、および、バッファ（いずれも図示せず）を含んでいる。シフトレジスタ回路は、クロック Y_{CK} に同期してスタートパルス Y_I を順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスとゲート出力イネーブル信号 G_{OE} との間で論理演算を行う。論理演算回路の出力は、バッファを経由して、対応する走査線 G_i 、 E_i に与えられる。このようにゲートドライバ回路 3 は、走査線 G_i 、 E_i を用いて、画素回路 A_{ij} を行ごとに選択する走査線駆動回路として機能する。

【0031】

ソースドライバ回路 4 は、 m ビットのシフトレジスタ 5、レジスタ 6、ラッチ回路 7、 m 個の D/A コンバータ 8、および、 m 個のアナログスイッチ 9 を含んでいる。シフトレジスタ 5 は、縦続接続された m 個の 1 ビットレジスタを含んでいる。シフトレジスタ 5 は、クロック C_{LK} に同期してスタートパルス S_P を順次転送し、各段のレジスタからタイミングパルス DLP を出力する。タイミングパルス DLP の出力タイミングに合わせて、レジスタ 6 には表示データ D_A が供給される。レジスタ 6 は、タイミングパルス DLP に従い、表示データ D_A を記憶する。レジスタ 6 に 1 行分の表示データ D_A が記憶されると、表示制御回路 2 はラッチ回路 7 に対してラッチパルス L_P を出力する。ラッチ回路 7 は、ラッチパルス L_P を受け取ると、レジスタ 6 に記憶された表示データを保持する。

【0032】

D/A コンバータ 8 とアナログスイッチ 9 は、データ線 S_j に対応して設けられる。 D/A コンバータ 8 は、ラッチ回路 7 に保持された表示データをアナログ信号電圧に変換する。アナログスイッチ 9 は、 D/A コンバータ 8 の出力とデータ線 S_j との間に設けられる。アナログスイッチ 9 は、表示制御回路 2 から出力されたソース出力イネーブル信号 S_{OE} に応じて、オン状態とオフ状態に切り替わる。ソース出力イネーブル信号 S_{OE} がハイレベルのときには、アナログスイッチ 9 はオン状態になり、データ線 S_j には D/A コンバータ 8 から出力されたアナログ信号電圧が与えられる。ソース出力イネーブル信号 S_{OE} がローレベルのときには、アナログスイッチ 9 はオフ状態になり、データ線 S_j はハイインピーダンス状態になる。このようにソースドライバ回路 4 は、データ線 S_j に対して、表示データに応じた電位を与えるデータ線駆動回路として機能する。

【0033】

（第 1 の実施形態）

図 2 は、本発明の第 1 の実施形態に係る表示装置に含まれる画素回路の回路図である。図 2 に示す画素回路 100 は、駆動用 TFT_{10} 、スイッチ用 $TFT_{11} \sim 15$ 、コンデンサ 16、および、有機 EL 素子 17 を備えている。画素回路 100 は、図 1 では画素回路 A_{ij} に相当する。駆動用 TFT_{10} およびスイッチ用 $TFT_{11} \sim 15$ は、いずれも N チャンネル型トランジスタである。

【0034】

画素回路 100 は、電源線 V_p 、共通陰極 V_{com} 、走査線 G_i 、 E_i 、および、データ線 S_j に接続されている。電源線 V_p と共通陰極 V_{com} には、それぞれ一定の電源電位 V_{DD} 、 V_{SS} が印加される。共通陰極 V_{com} は、表示装置内のすべての有機 EL 素子 17 の共通電極となる。電源線 V_p は第 1 の導電性部材として機能し、共通陰極 V_{com} は第 2 の導電性部材として機能する。走査線 G_i は第 1 の走査線として機能し、走査線

E_iは第2の走査線として機能する。

【0035】

画素回路100では、電源線V_pと共通陰極V_{com}とを結ぶ経路上に電源線V_p側から順に、スイッチ用TFT15、駆動用TFT10、および、有機EL素子17が直列に設けられている。より詳細には、スイッチ用TFT15のドレイン端子は電源線V_pに接続され、ソース端子は駆動用TFT10のドレイン端子に接続される。駆動用TFT10のソース端子は有機EL素子17のアノード端子に接続され、有機EL素子17のカソード端子は共通陰極V_{com}に接続される。このように画素回路100では、有機EL素子17は駆動用TFT10のソース端子と共通陰極V_{com}との間に設けられ、スイッチ用TFT15のドレイン端子は電源線V_pに接続される。

10

【0036】

コンデンサ16の一方の電極（図2では右側の電極。以下、第1の電極という）は、駆動用TFT10のゲート端子に接続される。スイッチ用TFT11は、コンデンサ16の他方の電極（図2では左側の電極。以下、第2の電極という）とデータ線S_jとの間に設けられる。スイッチ用TFT12は、駆動用TFT10のゲート端子とドレイン端子との間に設けられる。スイッチ用TFT13は、有機EL素子17のアノード端子と共通陰極V_{com}との間に設けられる。スイッチ用TFT13のドレイン端子は有機EL素子17のアノード端子と同じ節点に接続され、スイッチ用TFT13のソース端子は共通陰極V_{com}に接続される。このようにスイッチ用TFT13は、電源線V_pと共通陰極V_{com}との間に、有機EL素子17と並列に設けられる。スイッチ用TFT14は、コンデンサ16の第2の電極と電源線V_pとの間に設けられる。スイッチ用TFT11～13のゲート端子は走査線G_iに接続され、スイッチ用TFT14、15のゲート端子は走査線E_iに接続される。

20

【0037】

図3は、画素回路100のタイミングチャートである。図3には、走査線G_i、E_iおよびデータ線S_jに印加される電位の変化と、駆動用TFT10のゲート電位V_gの変化とが記載されている。図3では、走査線G_iの電位がハイレベルである期間（時刻t₁から時刻t₃までの期間）が1水平期間となる。以下、図3および図4A～図4Eを参照して、画素回路100の動作を説明する。

【0038】

時刻t₁より前では、走査線G_iの電位はローレベルに、走査線E_iの電位はハイレベルに制御される。このとき、スイッチ用TFT11～13はオフ状態、スイッチ用TFT14、15はオン状態にある。また、駆動用TFT10もオン状態にある。このため、電源線V_pと共通陰極V_{com}の間に、スイッチ用TFT15、駆動用TFT10、および、有機EL素子17を経由する電流が流れ、有機EL素子17は発光する（図4Aを参照）。

30

【0039】

時刻t₁において走査線G_iの電位がハイレベルに変化すると、スイッチ用TFT11～13はオン状態になる。また、時刻t₁から時刻t₂までの間、データ線S_jはハイインピーダンス状態に制御される。スイッチ用TFT12がオン状態になると、電源線V_pからスイッチ用TFT15およびスイッチ用TFT12を経由する電流が流れ、駆動用TFT10のゲート電位V_gは電源線V_pの電位V_{DD}まで上昇する。また、スイッチ用TFT13の抵抗は、有機EL素子17の抵抗よりも十分に小さい。このため、スイッチ用TFT13がオン状態になると、それまで有機EL素子17を経由して流れていた電流は、スイッチ用TFT13を経由して共通陰極V_{com}に流れるようになり、有機EL素子17は消灯する（図4Bを参照）。なお、このときデータ線S_jはハイインピーダンス状態に制御されるので、スイッチ用TFT11がオン状態になっても、電源線V_pとデータ線S_jの間に、スイッチ用TFT14およびスイッチ用TFT11を経由する不要な電流は流れない。

40

【0040】

50

時刻 t_2 において走査線 E_i の電位がローレベルに変化すると、スイッチ用 T F T 1 4、1 5 はオフ状態になる。また、時刻 t_2 から時刻 t_3 までの間、データ線 S_j には表示データに応じた電位（以下、データ電位 V_{da} という）が印加される。スイッチ用 T F T 1 5 がオフ状態になると、それまで電源線 V_p から流れていた電流は流れなくなり、駆動用 T F T 1 0 のゲート端子と共通陰極 V_{com} の間に、スイッチ用 T F T 1 2、駆動用 T F T 1 0、および、スイッチ用 T F T 1 3 を経由する電流 I_a が流れるようになる（図 4 C を参照）。

【0041】

電流 I_a が流れると、駆動用 T F T 1 0 のゲート電位 V_g は下降する。駆動用 T F T 1 0 のゲート・ソース間の電位差が駆動用 T F T 1 0 の閾値電圧 V_{th} に等しくなると、駆動用 T F T 1 0 はオフ状態になり、電流 I_a は流れなくなる。このため、駆動用 T F T 1 0 のゲート電位 V_g は、時刻 t_2 からしばらく経つと $(V_{SS} + V_{th})$ に到達し、それよりも下降しなくなる。

10

【0042】

また、データ線 S_j にデータ電位 V_{da} が印加されると、データ線 S_j からスイッチ用 T F T 1 1 を経由してコンデンサ 1 6 の第 2 の電極に電流が流れる。このため、コンデンサ 1 6 の第 2 の電極の電位は、データ電位 V_{da} に等しくなる。この結果、時刻 t_2 からしばらく経つと、コンデンサ 1 6 の第 1 の電極の電位は $(V_{SS} + V_{th})$ になり、第 2 の電極の電位は V_{da} になる。

【0043】

20

時刻 t_3 において走査線 G_i の電位がローレベルに変化すると、スイッチ用 T F T 1 1 ~ 1 3 はオフ状態になる。このときコンデンサ 1 6 は、電極間の電位差 $(V_{SS} + V_{th} - V_{da})$ を保持する（図 4 D を参照）。

【0044】

時刻 t_4 において走査線 E_i の電位がハイレベルに変化すると、スイッチ用 T F T 1 4、1 5 はオン状態になる。スイッチ用 T F T 1 4 がオン状態になると、電源線 V_p からスイッチ用 T F T 1 4 を経由してコンデンサ 1 6 の第 2 の電極に電流が流れ、コンデンサ 1 6 の第 2 の電極の電位は電源線 V_p の電位 V_{DD} まで上昇する。コンデンサ 1 6 の電極間の電位差は時刻 t_4 の前後で変化しないので、コンデンサ 1 6 の第 2 の電極の電位が V_{da} から V_{DD} に変化すると、コンデンサ 1 6 の第 1 の電極の電位も同じ量 $(V_{DD} - V_{da})$ だけ変化する。このため、駆動用 T F T 1 0 のゲート電位 V_g は、 $(V_{SS} + V_{th})$ から $\{V_{SS} + V_{th} + (V_{DD} - V_{da})\}$ に変化する。

30

【0045】

また、スイッチ用 T F T 1 5 がオン状態になるので、電源線 V_p と共通陰極 V_{com} の間に、スイッチ用 T F T 1 5、駆動用 T F T 1 0 および有機 E L 素子 1 7 を経由する電流 I_b が流れるようになり、有機 E L 素子 1 7 は発光する（図 4 E を参照）。駆動用 T F T 1 0 のゲート電位を V_g 、閾値電圧を V_{th} としたとき、電流 I_b の量は $(V_g - V_{th})^2$ に比例する。また、時刻 t_4 以降、駆動用 T F T 1 0 のゲート電位 V_g は $\{V_{SS} + V_{th} + (V_{DD} - V_{da})\}$ である。

【0046】

40

したがって、電流 I_b の量は、データ電位 V_{da} に応じて変化し、駆動用 T F T 1 0 の閾値電圧 V_{th} には依存しない。このため、駆動用 T F T 1 0 の閾値電圧 V_{th} にばらつきがある場合でも、時刻 t_4 以降に有機 E L 素子 1 7 を流れる電流 I_b の量は同じになり、有機 E L 素子 1 7 は表示データに応じた輝度で発光する。よって、画素回路 1 0 0 を図 3 に示すタイミングで駆動することにより、駆動用 T F T 1 0 の閾値電圧を補償し、有機 E L 素子 1 7 を所望の輝度で発光させることができる。

【0047】

以上に示すように、本実施形態に係る表示装置によれば、スイッチ用 T F T 1 1、1 2、1 4、1 5 を用いて、データ電位 V_{da} と駆動用トランジスタの閾値電圧 V_{th} に応じて変化する電位 $\{V_{SS} + V_{th} + (V_{DD} - V_{da})\}$ を駆動用 T F T 1 0 のゲート端

50

子に与えて、駆動用TFT10の閾値電圧を補償しながら有機EL素子17を所望の輝度で発光させることができる。また、スイッチ用TFT13を用いて、データ電位の書き込み中に有機EL素子17を消灯させることができる。駆動用TFT10およびスイッチ用TFT11～15はNチャンネル型トランジスタを用いて構成され、スイッチ用TFT11～13のゲート端子は走査線Giに接続され、スイッチ用TFT14、15のゲート端子は走査線Eiに接続される。したがって、Nチャンネル型トランジスタで構成され、2種類の走査線Gi、Eiを用いて駆動でき、駆動用TFT10の閾値電圧を補償できる画素回路100を備えた有機ELディスプレイを得ることができる。

【0048】

また、走査線Giに所定時間だけハイレベル電位を与え、少し遅れて走査線Eiにローレベル電位を与えることにより、コンデンサ16の電極間にデータ電位Vdaと駆動用TFT10の閾値電圧Vthに応じて変化する電位差($VSS + Vth - Vda$)を保持させて、駆動用TFT10のゲート端子に電位 $\{VSS + Vth + (VDD - Vda)\}$ を与えることができる。これにより、駆動用TFT10の閾値電圧を補償しながら、有機EL素子17を所望の輝度で発光させることができる。また、走査線Gi、Eiにハイレベル電位が与えられている間、データ線Sjをハイインピーダンス状態に制御することにより、電源線Vpからデータ線Sjに不要な電流が流れることを防止することができる。また、スイッチ用TFT13のソース端子を共通陰極Vcomに接続することにより、新たな電源線を設けることなく、共通陰極Vcomから有機EL素子17のアノード端子に所定の電位を印加することができる。

【0049】

(第2の実施形態)

図5は、本発明の第2の実施形態に係る表示装置に含まれる画素回路の回路図である。図5に示す画素回路200は、駆動用TFT20、スイッチ用TFT21～25、コンデンサ26、および、有機EL素子27を備えている。画素回路200は、図1では画素回路Aijに相当する。駆動用TFT20およびスイッチ用TFT21～25は、いずれもNチャンネル型トランジスタである。

【0050】

画素回路200は、共通陽極Vp、電源線Vcom、走査線Gi(第1の走査線)、走査線Ei(第2の走査線)、および、データ線Sjに接続されている。共通陽極Vpと電源線Vcomには、それぞれ一定の電源電位VDD、VSSが印加される。共通陽極Vpは、表示装置内のすべての有機EL素子27の共通電極となる。共通陽極Vpは第1の導電性部材として機能し、電源線Vcomは第2の導電性部材として機能する。

【0051】

画素回路200では、共通陽極Vpと電源線Vcomとを結ぶ経路上に共通陽極Vp側から順に、有機EL素子27、スイッチ用TFT25、および、駆動用TFT20が直列に設けられている。より詳細には、有機EL素子27のアノード端子は共通陽極Vpに接続され、カソード端子はスイッチ用TFT25のドレイン端子に接続される。スイッチ用TFT25のソース端子は駆動用TFT20のドレイン端子に接続され、駆動用TFT20のソース端子は電源線Vcomに接続される。このように画素回路200では、有機EL素子27はスイッチ用TFT25のドレイン端子と共通陽極Vpとの間に設けられ、駆動用TFT20のソース端子は電源線Vcomに接続される。

【0052】

コンデンサ26の一方の電極(図5では右側の電極。以下、第1の電極という)は、駆動用TFT20のゲート端子に接続される。スイッチ用TFT21は、コンデンサ26の他方の電極(図5では左側の電極。以下、第2の電極という)とデータ線Sjとの間に設けられる。スイッチ用TFT22は、駆動用TFT20のゲート端子とドレイン端子との間に設けられる。スイッチ用TFT23は、有機EL素子27のカソード端子と共通陽極Vpとの間に設けられる。スイッチ用TFT23のソース端子は有機EL素子27のカソード端子と同じ節点に接続され、スイッチ用TFT23のドレイン端子は共通陽極Vpに

接続される。このようにスイッチ用TFT23は、共通陽極Vpと電源線Vcomとの間に、有機EL素子27と並列に設けられる。スイッチ用TFT24は、コンデンサ26の第2の電極と共通陽極Vpとの間に設けられる。スイッチ用TFT21～23のゲート端子は走査線Giに接続され、スイッチ用TFT24、25のゲート端子は走査線Eiに接続される。

【0053】

画素回路200は、第1の実施形態に係る画素回路100と同じタイミングで動作する（図3を参照）。画素回路200では、駆動用TFT20のゲート電位をVgとする。以下、図3および図6A～図6Eを参照して、画素回路200の動作を説明する。

【0054】

時刻t1より前では、走査線Giの電位はローレベルに、走査線Eiの電位はハイレベルに制御される。このとき、スイッチ用TFT21～23はオフ状態、スイッチ用TFT24、25はオン状態にある。また、駆動用TFT20もオン状態にある。このため、共通陽極Vpと電源線Vcomの間に、有機EL素子27、スイッチ用TFT25、および、駆動用TFT20を経由する電流が流れ、有機EL素子27は発光する（図6Aを参照）。

【0055】

時刻t1において走査線Giの電位がハイレベルに変化すると、スイッチ用TFT21～23はオン状態になる。また、時刻t1から時刻t2までの間、データ線Sjはハイインピーダンス状態に制御される。スイッチ用TFT23の抵抗は、有機EL素子27の抵抗よりも十分に小さい。このため、スイッチ用TFT23がオン状態になると、それまで有機EL素子27を経由して流れていた電流は、共通陽極Vpからスイッチ用TFT23を経由して流れるようになり、有機EL素子27は消灯する（図6Bを参照）。また、スイッチ用TFT22がオン状態になると、共通陽極Vpからスイッチ用TFT23、スイッチ用TFT25およびスイッチ用TFT22を経由する電流が流れ、駆動用TFT20のゲート電位Vgは共通陽極Vpの電位VDDまで上昇する。なお、このときデータ線Sjはハイインピーダンス状態に制御されるので、スイッチ用TFT21がオン状態になっても、共通陽極Vpとデータ線Sjの間に、スイッチ用TFT24およびスイッチ用TFT21を経由する不要な電流は流れない。

【0056】

時刻t2において走査線Eiの電位がローレベルに変化すると、スイッチ用TFT24、25はオフ状態になる。また、時刻t2から時刻t3までの間、データ線Sjには表示データに応じたデータ電位Vdaが印加される。スイッチ用TFT25がオフ状態になると、それまで共通陽極Vpから流れていた電流は流れなくなり、駆動用TFT20のゲート端子と電源線Vcomの間に、スイッチ用TFT22および駆動用TFT20を経由する電流Icが流れるようになる（図6Cを参照）。

【0057】

電流Icが流れると、駆動用TFT20のゲート電位Vgは下降する。駆動用TFT20のゲート・ソース間の電位差が駆動用TFT20の閾値電圧Vthに等しくなると、駆動用TFT20はオフ状態になり、電流Icは流れなくなる。このため、駆動用TFT20のゲート電位Vgは、時刻t2からしばらく経つと（ $VSS + Vth$ ）に到達し、それよりも下降しなくなる。

【0058】

また、データ線Sjにデータ電位Vdaが印加されると、データ線Sjからスイッチ用TFT21を経由してコンデンサ26の第2の電極に電流が流れる。このため、コンデンサ26の第2の電極の電位は、データ電位Vdaに等しくなる。この結果、時刻t2からしばらく経つと、コンデンサ26の第1の電極の電位は（ $VSS + Vth$ ）になり、第2の電極の電位はVdaになる。

【0059】

時刻t3において走査線Giの電位がローレベルに変化すると、スイッチ用TFT21

10

20

30

40

50

～23はオフ状態になる。このときコンデンサ26は、電極間の電位差($V_{SS} + V_{th} - V_{da}$)を保持する(図6Dを参照)。

【0060】

時刻t4において走査線Eiの電位がハイレベルに変化すると、スイッチ用TFT24、25はオン状態になる。スイッチ用TFT24がオン状態になると、共通陽極Vpからスイッチ用TFT24を経由してコンデンサ26の第2の電極に電流が流れ、コンデンサ26の第2の電極の電位は共通陽極Vpの電位VDDまで上昇する。コンデンサ26の電極間の電位差は時刻t4の前後で変化しないので、コンデンサ26の第2の電極の電位がVdaからVDDに変化すると、コンデンサ26の第1の電極の電位も同じ量($VDD - Vda$)だけ変化する。このため、駆動用TFT20のゲート電位Vgは、($V_{SS} + V_{th}$)から $\{V_{SS} + V_{th} + (VDD - Vda)\}$ に変化する。

10

【0061】

また、スイッチ用TFT25がオン状態になるので、共通陽極Vpと電源線Vcomの間に、有機EL素子27、スイッチ用TFT25および駆動用TFT20を経由する電流Idが流れるようになり、有機EL素子27は発光する(図6Eを参照)。駆動用TFT20のゲート電位をVg、閾値電圧をVthとしたとき、電流Idの量は $(Vg - Vth)^2$ に比例する。また、時刻t4以降、駆動用TFT20のゲート電位Vgは $\{V_{SS} + V_{th} + (VDD - Vda)\}$ である。

【0062】

20

したがって、電流Idの量は、データ電位Vdaに応じて変化する、駆動用TFT20の閾値電圧Vthには依存しない。このため、駆動用TFT20の閾値電圧Vthにばらつきがある場合でも、時刻t4以降に有機EL素子27を流れる電流Idの量は同じになり、有機EL素子27は表示データに応じた輝度で発光する。よって、画素回路200を図3に示すタイミングで駆動することにより、駆動用TFT20の閾値電圧を補償し、有機EL素子27を所望の輝度で発光させることができる。

【0063】

以上に示すように、本実施形態に係る表示装置によれば、第1の実施形態に係る表示装置と同様に、Nチャネル型トランジスタで構成され、2種類の走査線Gi、Eiを用いて駆動でき、駆動用TFT20の閾値電圧を補償できる画素回路200を備えた有機ELディスプレイを得ることができる。また、スイッチ用TFT23のドレイン端子を共通陽極Vpに接続することにより、新たな電源線を設けることなく、共通陽極Vpから有機EL素子27のカソード端子に所定の電位を印加することができる。

30

【0064】

なお、第1および第2の実施形態に係る表示装置については、以下の変形例を構成することができる。図7は、本発明の第1の変形例に係る表示装置に含まれる画素回路の回路図である。図7に示す画素回路110は、第1の実施形態に係る画素回路100(図2)に対して、スイッチ用TFT13のソース端子を定電源線Vrefに接続する変形を施したものである。定電源線Vrefには、有機EL素子17に対する印加電圧が発光閾値電圧以下となるような任意の電位が印加される。

40

【0065】

図2に示す画素回路100では、スイッチ用TFT13のソース端子を共通陰極Vcomに接続するために、TFT基板の上面側に設けられた有機EL素子17のEL層を通して、TFT基板の最上面に設けられた有機EL素子17のカソード電極に接続するコンタクトが必要となる。このため、画素回路100を備えた表示装置では、上記コンタクトを設ける分だけ製造プロセスが複雑になる。

【0066】

これに対して、図7に示す画素回路110では、スイッチ用TFT13のソース端子は定電源線Vrefに接続されている。定電源線VrefはTFT基板上に設けられるので、画素回路110には上記コンタクトを設ける必要がない。したがって、画素回路110

50

を備えた表示装置によれば、製造プロセスを簡素化することができる。

【0067】

図8は、本発明の第2の変形例に係る表示装置に含まれる画素回路の回路図である。図8に示す画素回路210は、第2の実施形態に係る画素回路200（図5）に対して、スイッチ用TFT23のドレイン端子を定電源線Vrefに接続する変形を施したものである。画素回路210を備えた表示装置は、画素回路110を備えた表示装置と同様の効果を奏する。

【0068】

このように本発明によれば、Nチャネル型トランジスタで構成され、2種類の走査線を用いて駆動できる画素回路を備えた表示装置を提供することができる。

10

【産業上の利用可能性】

【0069】

本発明の表示装置は、Nチャネル型トランジスタで構成した画素回路を2種類の走査線を用いて駆動できるという効果をするので、有機ELディスプレイなどの電流駆動型表示装置に利用することができる。

【符号の説明】

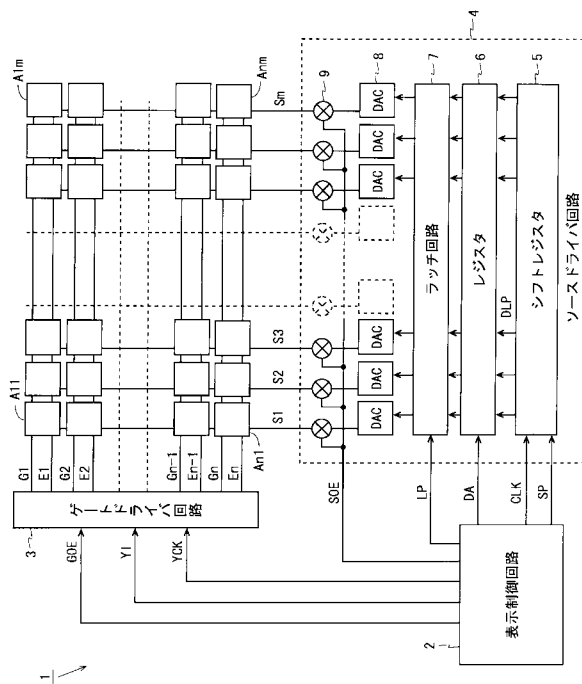
【0070】

- 1…表示装置
- 2…表示制御回路
- 3…ゲートドライバ回路
- 4…ソースドライバ回路
- 5…シフトレジスタ
- 6…レジスタ
- 7…ラッチ回路
- 8…D/Aコンバータ
- 9…アナログスイッチ
- 10、20…駆動用TFT
- 11～15、21～25…スイッチ用TFT
- 16、26…コンデンサ
- 17、27…有機EL素子
- 100、110、200、210…画素回路

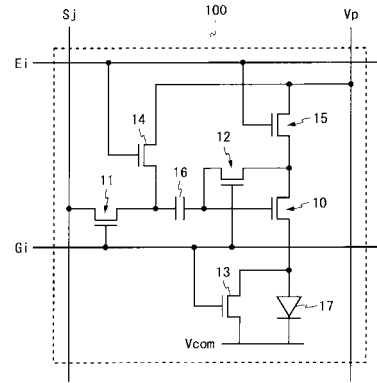
20

30

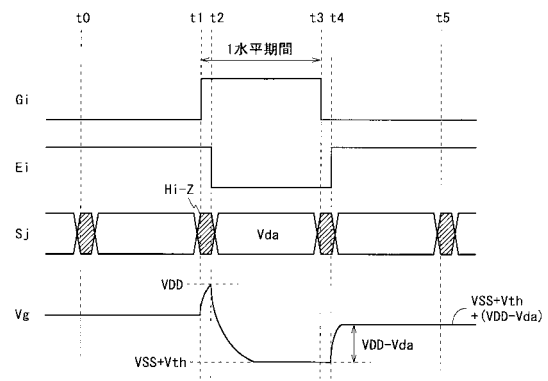
【図 1】



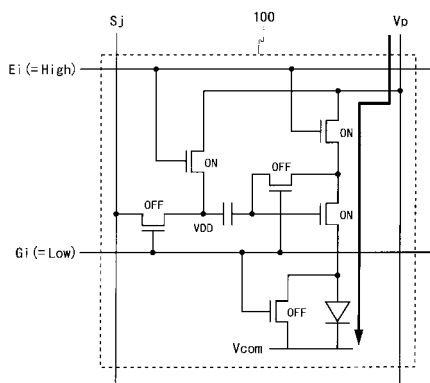
【図 2】



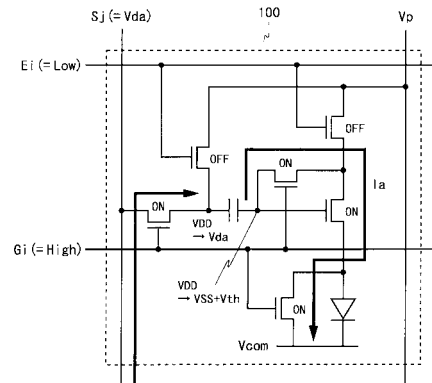
【図 3】



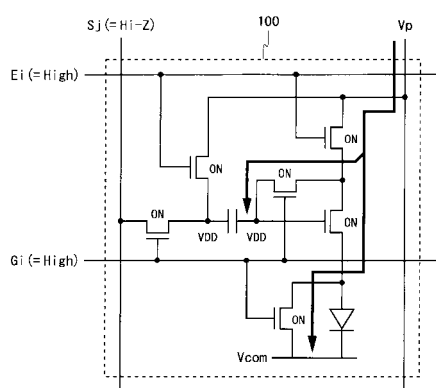
【図 4 A】



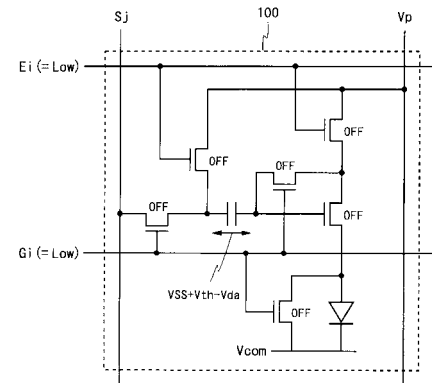
【図 4 C】



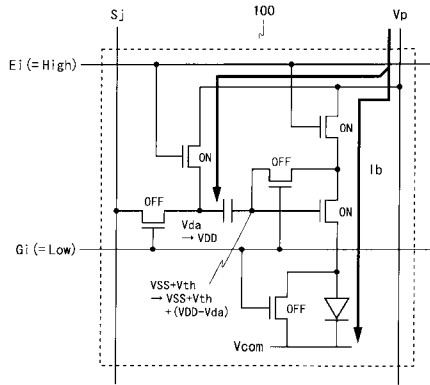
【図 4 B】



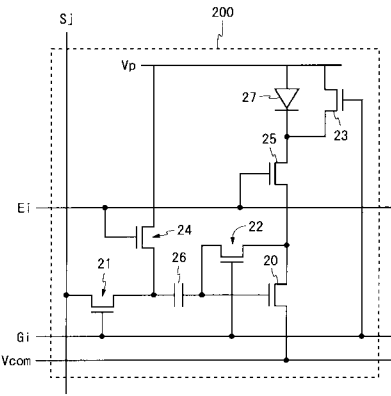
【図 4 D】



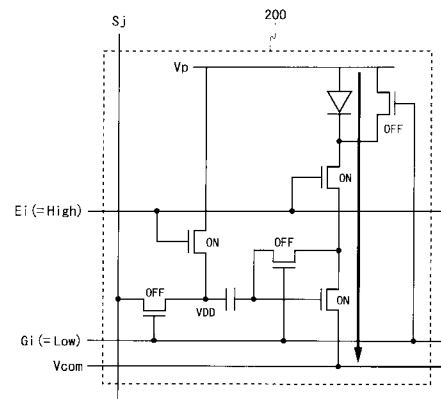
【図 4 E】



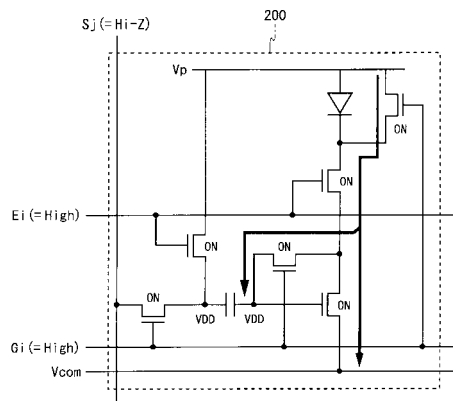
【図 5】



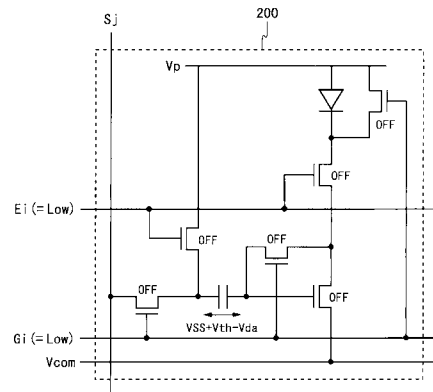
【図 6 A】



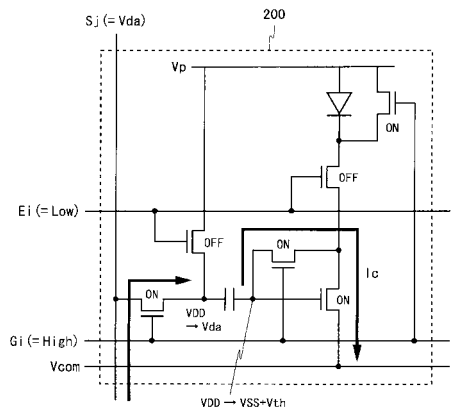
【図 6 B】



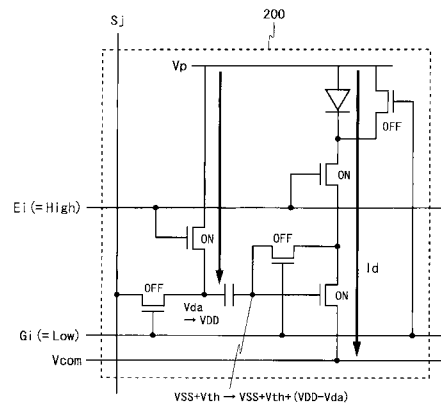
【図 6 D】



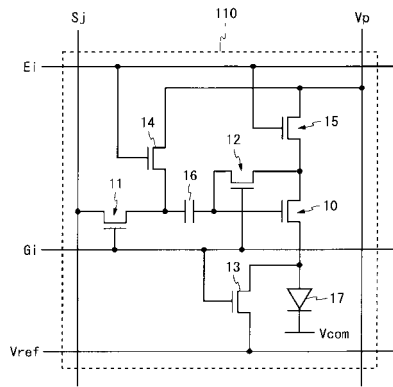
【図 6 C】



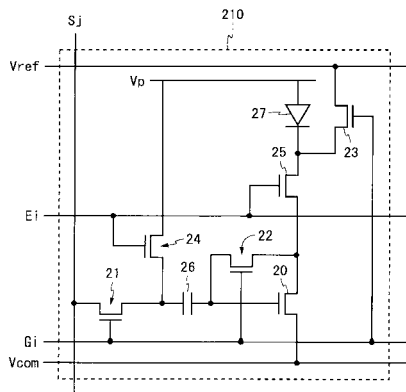
【図 6 E】



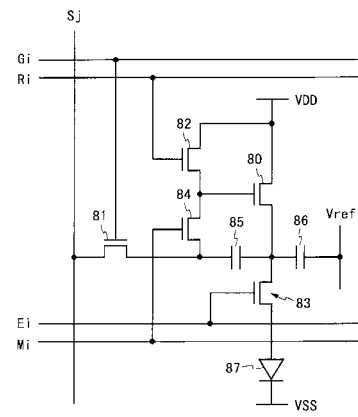
【図 7】



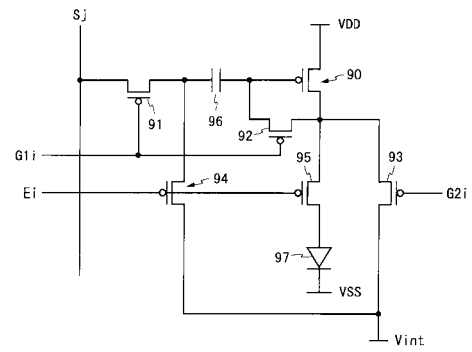
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 D
G 0 9 G 3/20 6 8 0 H
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/20 6 1 1 H

(56)参考文献 特開2007-133369 (JP, A)
特開2006-276250 (JP, A)
特開2006-146219 (JP, A)
特開2005-309150 (JP, A)
国際公開第2007/063662 (WO, A1)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3/30
G 0 9 G 3/20

专利名称(译)	表示装置		
公开(公告)号	JP5214030B2	公开(公告)日	2013-06-19
申请号	JP2011521852	申请日	2010-04-28
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	仙田孝裕		
发明人	仙田 孝裕		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G2300/0417 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0262		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.621.A G09G3/20.622.D G09G3/20.623.C G09G3/20.623.D G09G3/20.680.H G09G3/20.642.A G09G3/20.611.H		
代理人(译)	岛田彰 川原贤治		
审查员(译)	Naoaki桥本		
优先权	2009163246 2009-07-10 JP		
其他公开文献	JPWO2011004646A1		
外部链接	Espacenet		

摘要(译)

TFT 10和15以及有机EL元件17设置在电源线Vp和公共阴极Vcom之间，电容器16和TFT 11设置在TFT 10的栅极和数据线Sj之间。TFT12设置在TFT10的栅极和漏极之间，TFT13设置在有机EL元件17的阳极端子和公共阴极Vcom之间，TFT14设置在电容器16的一个电极和电源线Vp之间。TFT11至13的栅极连接到扫描线Gi，并且TFT14和15的栅极连接到扫描线Ei。在写入时，高电位施加到扫描线Gi，并且稍后将低电位施加到扫描线Ei。当高电位施加到两条扫描线时，数据线Sj被控制为高阻抗状态。因此，使用两种类型的扫描线来驱动由N型晶体管构成的像素电路。

【图 4 B】

